

HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

through fifth inductors L3-L5.

(57) 要約: LC共振器を構成するインダクタのQ値が大きく、挿入損失が改善された積層型LCフィルタを提供する。第1のインダクタL1の線路状導体パターン17a、27a、37aに対しては、第2の辺E12側に1本のビア導体5fを接続し、第4の辺E14側に2本のビア導体5m、5nを接続し、第2のインダクタL2の線路状導体パターン17b、27b、37bに対しては、逆に、第2の辺E12側に2本のビア導体5g、5fを接続し、第4の辺E14側に1本のビア導体5oを接続し、以下、第3～第5のインダクタL3～L5に対しても、同様の関係を繰り返す。

明 細 書

発明の名称： 積層型ＬＣフィルタ

技術分野

[0001] 本発明は、積層体の内部に複数のＬＣ共振器を備えた積層型ＬＣフィルタに関し、さらに詳しくは、ＬＣ共振器を構成するインダクタのＱ値が大きく、挿入損失が改善された積層型ＬＣフィルタに関する。

背景技術

[0002] 複数の誘電体層が積層された積層体の内部に、インダクタとキャパシタとからなるＬＣ共振器が形成された積層型ＬＣフィルタが、種々の電子機器に使用されている。

[0003] そのような積層型ＬＣフィルタが、特許文献１（ＷＯ２００７／１１９３５６号公報）に開示されている。

[0004] 図５に、特許文献１に開示された積層型ＬＣフィルタ（積層帯域通過フィルタ）１１００を示す。

[0005] 積層型ＬＣフィルタ１１００は、グランド導体パターン形成層（接地電極形成層）１０１ａ、キャパシタ導体パターン形成層（キャパシタ電極形成層）１０１ｂ、線路状導体パターン形成層（線路電極形成層）１０１ｃ、外層１０１ｄからなる、複数の誘電体層が積層された積層体１０１を備える。

[0006] グランド導体パターン形成層１０１ａの上側主面には、グランド導体パターン（接地導体パターン）１０２が形成されている。グランド導体パターン１０２は、積層体１０１の対向する２つの側面に形成されたグランド端子（接地端子；図示せず）に、それぞれ引き出されている。

[0007] キャパシタ導体パターン形成層１０１ｂの上側主面には、５つのキャパシタ導体パターン１０３ａ～１０３ｅが形成されている。そのうち、キャパシタ導体パターン１０３ａ、１０３ｅは、グランド端子が形成されていない別の側面にそれぞれ形成された入出力端子（図示せず）に、それぞれ引き出されている。

- [0008] また、キャパシタ導体パターン形成層 101b には、5つのビア導体（ビア電極）104a～104eが形成されている。
- [0009] 線路状導体パターン形成層 101cの上側主面には、5つの線路状導体パターン105a～105eが形成されている。
- [0010] また、線路状導体パターン形成層 101cにも、前出の5つのビア導体104a～104eが形成されている。さらに、線路状導体パターン形成層 101cには、別の5つのビア導体104f～104jが形成されている。
- [0011] 外層 101dは、保護層であり、導体パターン、ビア導体は形成されていない。
- [0012] ビア導体104f、線路状導体パターン105a、ビア導体104aが接続されて、キャパシタ導体パターン103aとグラウンド導体パターン102との間に、ループ状の第1のインダクタが構成されている。また、キャパシタ導体パターン103aとグラウンド導体パターン102とで第1のキャパシタが構成されている。そして、第1のインダクタと第1のキャパシタとが並列に接続されて、第1のLC並列共振器が構成されている。
- [0013] ビア導体104g、線路状導体パターン105b、ビア導体104bが接続されて、キャパシタ導体パターン103bとグラウンド導体パターン102との間に、ループ状の第2のインダクタが構成されている。また、キャパシタ導体パターン103bとグラウンド導体パターン102とで第2のキャパシタが構成されている。そして、第2のインダクタと第2のキャパシタとが並列に接続されて、第2のLC並列共振器が構成されている。
- [0014] ビア導体104h、線路状導体パターン105c、ビア導体104cが接続されて、キャパシタ導体パターン103cとグラウンド導体パターン102との間に、ループ状の第3のインダクタが構成されている。また、キャパシタ導体パターン103cとグラウンド導体パターン102とで第3のキャパシタが構成されている。そして、第3のインダクタと第3のキャパシタとが並列に接続されて、第3のLC並列共振器が構成されている。
- [0015] ビア導体104i、線路状導体パターン105d、ビア導体104dが接

続されて、キャパシタ導体パターン103dとグラウンド導体パターン102との間に、ループ状の第4のインダクタが構成されている。また、キャパシタ導体パターン103dとグラウンド導体パターン102とで第4のキャパシタが構成されている。そして、第4のインダクタと第4のキャパシタとが並列に接続されて、第4のLC並列共振器が構成されている。

[0016] ビア導体104j、線路状導体パターン105e、ビア導体104eが接続されて、キャパシタ導体パターン103eとグラウンド導体パターン102との間に、ループ状の第5のインダクタが構成されている。また、キャパシタ導体パターン103eとグラウンド導体パターン102とで第5のキャパシタが構成されている。そして、第5のインダクタと第5のキャパシタとが並列に接続されて、第5のLC並列共振器が構成されている。

[0017] 積層型LCフィルタ1100は、上述したように、積層体101の内部に、第1～第5の5つのLC並列共振器が形成されている。そして、積層型LCフィルタ1100は、一方の入出力端子が第1のLC並列共振器に接続され、他方の入出力端子が第5のLC並列共振器に接続され、さらに、隣接するLC並列共振器のインダクタどうしが電磁界結合されて、5段のLCバンドパスフィルタが構成されている。

[0018] このように、積層型LCフィルタ1100は、複数のLC並列共振器のインダクタが、それぞれビア導体と線路状導体パターンとでループを形成したものからなり、かつ、LC並列共振器が配列された方向に見た場合に、互いに結合するLC並列共振器のインダクタのループ面どうしが少なくとも一部で重なっているため、両者の結合度は高められており、フィルタ特性の広帯域化がはかられている。

先行技術文献

特許文献

[0019] 特許文献1：WO2007/119356号公報

発明の概要

発明が解決しようとする課題

- [0020] 積層型LCフィルタを含め、電子部品は、電子機器の消費電力を抑制することができるため、可能な限り挿入損失が小さいことが望ましい。特に、移動体通信機器など、バッテリーにより駆動される電子機器に使用される電子部品に対しては、挿入損失が小さいことが強く求められている。
- [0021] しかしながら、特許文献1に開示された積層型LCフィルタ1100は、各LC共振器のインダクタが、直方体形状の積層体の一方の長辺側側面の付近に設けられたビア導体と、他方の長辺側側面の付近に設けられたビア導体と、両ビア導体のビア径とほぼ同じ幅の線路状導体パターンとからなる、平均断面積の小さい単純な構成であるため、比較的、内部抵抗値が大きく、Q値が不十分で、求められる小さな挿入損失を得られないおそれがあった。
- [0022] 本発明は上記のような課題を解決するためになされたものであり、その目的は、特許文献1のようなビア導体を使ったループ状のインダクタを有するLC共振器を含む積層型LCフィルタにおいて、LC共振器のQ値を向上させ、挿入損失を小さくすることである。

課題を解決するための手段

- [0023] 本発明は、上述した従来の課題を解決するためになされたものであり、その手段として本発明の積層型LCフィルタは、複数の誘電体層が積層された直方体状の積層体と、誘電体層の層間に形成された複数の線路状導体パターンと、誘電体層の層間に形成された複数のキャパシタ導体パターンと、誘電体層の層間に形成された少なくとも1つのグラウンド導体パターンと、誘電体層を貫通して形成された複数のビア導体と、を備え、線路状導体パターンの両端にビア導体が接続されることにより、複数のループ状のインダクタが形成され、キャパシタ導体パターンとグラウンド導体パターンの間に形成される容量により、または、1対のキャパシタ導体パターンの間に形成される容量により、複数のキャパシタが形成され、インダクタとキャパシタとが接続されることにより、少なくとも2つのLC共振器が形成され、積層体は、誘電体層の積層方向に見た場合に、順に繋がった、第1の辺、第2の辺、第3の

辺、第4の辺を備え、積層体を、誘電体層の積層方向に透視した場合に、複数のLC共振器の線路状導体パターンには、それぞれ、積層体の第2の辺側および第4の辺側において、ビア導体が接続され、少なくとも1つの線路状導体パターンは、第2の辺側と第4の辺側とにおいて、異なる本数のビア導体が接続されたものとした。

[0024] 順に並んだLC共振器の中から、第1から第Nまで連続して並んだ任意の2つ以上のLC共振器を見た場合に、第1および第2のLC共振器のうち、一方のLC共振器の線路状導体パターンには、第4の辺側において、第2の辺側よりも多くの本数のビア導体が接続され、他方のLC共振器の線路状導体パターンには、第2の辺側において、第4の辺側よりも多くの本数のビア導体が接続され、第3以降の第NのLC共振器は、奇数番のLC共振器の線路状導体パターンには、第1のLC共振器と同じ条件でビア導体が接続され、偶数番のLC共振器の線路状導体パターンには、第2のLC共振器と同じ条件でビア導体が接続されたものであることが好ましい。ただし、Nは2以上の整数である。この場合には、大型化を抑制しながら、ビア導体の本数を増やして内部抵抗を小さくし、インダクタのQ値を大きくして、積層型LCフィルタの挿入損失を小さくしすることができる。

[0025] 積層型LCフィルタは、積層体内にN個のLC共振器が形成され、第1から第Nまで連続して並んだ全てのLC共振器を見た場合に、第1および第2のLC共振器のうち、一方のLC共振器の線路状導体パターンには、第4の辺側において、第2の辺側よりも多くの本数のビア導体が接続され、他方のLC共振器の線路状導体パターンには、第2の辺側において、第4の辺側よりも多くの本数のビア導体が接続され、第3以降の第NのLC共振器は、奇数番のLC共振器の線路状導体パターンには、第1のLC共振器と同じ条件でビア導体が接続され、偶数番のLC共振器の線路状導体パターンには、第2のLC共振器と同じ条件でビア導体が接続されることがさらに好ましい。このように、内部に形成された全てのLC共振器において、本発明の特徴的な線路状導体パターンへのビア導体の接続方法を適用した場合には、より効

果的に、大型化を抑制しながら、ビア導体の本数を増やして内部抵抗を小さくし、インダクタのQ値を大きくして、積層型LCフィルタの挿入損失を小さくすることができる。

[0026] 積層型LCフィルタは、第1および第2のLC共振器のうち、一方のLC共振器の線路状導体パターンには、第2の辺側において1本のビア導体が接続され、第4の辺側において2本のビア導体が接続され、他方のLC共振器の線路状導体パターンには、第2の辺側において2本のビア導体が接続され、第4の辺側において1本のビア導体が接続されたものとするのが好ましい。この場合にも、より効果的に、大型化を抑制しながら、ビア導体の本数を増やして内部抵抗を小さくし、インダクタのQ値を大きくして、積層型LCフィルタの挿入損失を小さくすることができる。

[0027] 積層型LCフィルタは、第1および第2のLC共振器の線路状導体パターンが、いずれも積層体の第1の辺ないし第4の辺に非平行な辺を含むことが好ましい。この場合にも、より効果的に、大型化を抑制しながら、線路状導体パターンの内部抵抗を小さくし、インダクタのQ値を大きくして、積層型LCフィルタの挿入損失を小さくすることができる。

[0028] また、積層型LCフィルタは、隣接するLC共振器のインダクタどうしが電磁界結合され、積層体の側面を、第1の辺側から第3の辺側に向かって透視した場合に、全てのLC共振器のインダクタの巻回方向が同一であることが好ましい。この場合には、隣接するLC共振器のインダクタどうしの電磁界結合を強めることができ、より広帯域化した周波数特性を備えた積層型LCフィルタを得ることができる。

[0029] あるいは、積層型LCフィルタは、隣接するLC共振器のインダクタどうしが電磁界結合され、積層体の側面を、第1の辺側から第3の辺側に向かって透視した場合に、一部のLC共振器のインダクタの巻回方向と、残りのLC共振器のインダクタの巻回方向とが異なることも好ましい。この場合には、一部の隣接するLC共振器のインダクタどうしの電磁界結合を弱めることができ、所望の周波数特性を備えた積層型LCフィルタを得ることができる。

。

発明の効果

[0030] 本発明の積層型LCフィルタは、可能な限り大型化を抑制したうえで、LC共振器のインダクタの内部抵抗が小さくされ、インダクタのQ値が大きくなり、挿入損失が小さくされている。

図面の簡単な説明

[0031] [図1]実施形態にかかる積層型LCフィルタ100を示す斜視図である。

[図2]積層型LCフィルタ100を示す分解斜視図である。

[図3]積層型LCフィルタ100を示す分解部分平面図である。

[図4]積層型LCフィルタ100の等価回路図である。

[図5]特許文献1に開示された積層型LCフィルタ1100を示す分解斜視図である。

発明を実施するための形態

[0032] 以下、図面とともに、本発明を実施するための形態について説明する。

[0033] なお、実施形態は、本発明の実施の形態を例示的に示したものであり、本発明が実施形態の内容に限定されることはない。また、図面は、明細書の理解を助けるためのものであり、模式的に描画されている場合があり、描画された構成要素および構成要素間の寸法の比率が、明細書に記載されたそれらの寸法の比率と一致していない場合がある。また、明細書に記載されている構成要素が、図面において省略されている場合や、個数を省略して描画されている場合などがある。

[0034] 図1～図4に、実施形態にかかる積層型LCフィルタ100を示す。ただし、図1は斜視図、図2は分解斜視図、図3は分解部分平面図、図4は等価回路図である。

[0035] 積層型LCフィルタ100は、積層体1を備える。

[0036] 積層体1の対向する側面（端面）に、入出力端子2aと入出力端子2bとが形成されている。入出力端子2aと入出力端子2bとは、それぞれ、一端が積層体1の下側主面に延出し、他端が積層体1の上側主面に延出している

。また、積層体 1 の下側主面に、グランド端子 3 が形成されている。

[0037] 積層体 1 は、図 2 に示すように、たとえばセラミックなどからなる 8 層の誘電体層 1 a ～ 1 h が下から順に積層されたものからなる。

[0038] 積層体 1 は、図 1 および図 3 に示すように、誘電体層 1 a ～ 1 h の積層方向に見た場合に、順に繋がった、第 1 の辺 E 1 1、第 2 の辺 E 1 2、第 3 の辺 E 1 3、第 4 の辺 E 1 4 を備えている。

[0039] 以下において、まず、積層体 1 を構成する各誘電体層 1 a ～ 1 h について説明する。

[0040] 誘電体層 1 a の対向する側面（端面）に、入出力端子 2 a と入出力端子 2 b とが形成されている。なお、以下に説明する誘電体層 1 b ～ 1 h においても、対向する側面に入出力端子 2 a、2 b が形成されているが、特に必要がない場合には、その説明を省略する場合がある。

[0041] 誘電体層 1 a の下側主面に、グランド端子 3 が形成されている。

[0042] 誘電体層 1 a の上下主面間を貫通して、5 つのビア導体 5 a ～ 5 e が形成されている。

[0043] 誘電体層 1 a の上側主面に、グランド導体パターン 4 が形成されている。グランド導体パターン 4 は、ビア導体 5 a ～ 5 e によって、グランド端子 3 に接続されている。

[0044] 誘電体層 1 b の上下主面間を貫通して、7 本のビア導体 5 f ～ 5 l が形成されている。なお、分解斜視図である図 2 においては、接続関係が分かるように、ビア導体 5 f ～ 5 j を、それぞれ、実際よりも下方向に伸ばして描写している（以下に説明するビア導体において同じ）。ビア導体 5 f ～ 5 l は、それぞれ、グランド導体パターン 4 に接続されている。

[0045] 誘電体層 1 b の上側主面に、5 つのキャパシタ導体パターン 6 a ～ 6 e が形成されている。キャパシタ導体パターン 6 a は入出力端子 2 a に接続されている。キャパシタ導体パターン 6 e は入出力端子 2 b に接続されている。

[0046] 誘電体層 1 c の上下主面間を貫通して、7 本のビア導体 5 f ～ 5 l が形成されている。なお、ビア導体 5 f ～ 5 l は、上述したように誘電体層 1 b に

も形成されているが、異なる誘電体層に形成された同じ符号のビア導体は、両者が接続されていることを意味する。また、誘電体層 1 c の上下主面間を貫通して、別の 8 本のビア導体 5 m ~ 5 t が形成されている。ビア導体 5 m 、 5 n は、それぞれ、キャパシタ導体パターン 6 a に接続されている。ビア導体 5 o は、キャパシタ導体パターン 6 b に接続されている。ビア導体 5 p 、 5 q は、それぞれ、キャパシタ導体パターン 6 c に接続されている。ビア導体 5 r は、キャパシタ導体パターン 6 d に接続されている。ビア導体 5 s 、 5 t は、それぞれ、キャパシタ導体パターン 6 e に接続されている。

[0047] 誘電体層 1 c の上側主面に、2つのキャパシタ導体パターン 6 f 、 6 g が形成されている。キャパシタ導体パターン 6 f は、ビア導体 5 m 、 5 n に接続されている。また、キャパシタ導体パターン 6 g は、ビア導体 5 s 、 5 t に接続されている。

[0048] 誘電体層 1 d の上下主面間を貫通して、7本のビア導体 5 f ~ 5 l と、8本のビア導体 5 m ~ 5 t とが形成されている。

[0049] 誘電体層 1 d の上側主面に、2つのキャパシタ導体パターン 6 h 、 6 i が形成されている。キャパシタ導体パターン 6 h とキャパシタ導体パターン 6 i とは、相互に接続されている。

[0050] 誘電体層 1 e の上下主面間を貫通して、7本のビア導体 5 f ~ 5 l と、8本のビア導体 5 m ~ 5 t とが形成されている。

[0051] 誘電体層 1 e の上側主面に、5つの線路状導体パターン 17 a ~ 17 e が形成されている。図 3 に、誘電体層 1 e の上側主面を示す。線路状導体パターン 17 a ~ 17 e は、それぞれ、対向する第 1 の辺 E 11 および第 3 の辺 E 13 と同じ方向に延びるように配置されている。線路状導体パターン 17 a ~ 17 e は、それぞれ、対向する長辺が相互に非平行となるように形成されている。その結果、線路状導体パターン 17 a ~ 17 e は、いずれも、積層体 1 の第 1 の辺 E 11 、第 2 の辺 E 12 、第 3 の辺 E 13 、第 4 の辺 E 14 のいずれとも平行でない辺を、少なくとも 1 つ含んでいる。

[0052] 線路状導体パターン 17 a の第 2 の辺 E 12 側の端部に 1 本のビア導体 5 f

が接続され、線路状導体パターン17aの第4の辺E14側の端部に2本のビア導体5m、5nが接続されている。線路状導体パターン17bの第2の辺E12側の端部に2本のビア導体5g、5hが接続され、線路状導体パターン17bの第4の辺E14側の端部に1本のビア導体5oが接続されている。線路状導体パターン17cの第2の辺E12側の端部に1本のビア導体5iが接続され、線路状導体パターン17cの第4の辺E14側の端部に2本のビア導体5p、5qが接続されている。線路状導体パターン17dの第2の辺E12側の端部に2本のビア導体5j、5kが接続され、線路状導体パターン17dの第4の辺E14側の端部に1本のビア導体5rが接続されている。線路状導体パターン17eの第2の辺E12側の端部に1本のビア導体5lが接続され、線路状導体パターン17eの第4の辺E14側の端部に2本のビア導体5s、5tが接続されている。

[0053] 以上のように、線路状導体パターン17a～17eは、第2の辺E12側の端部に、1本、2本、1本、2本、1本と増減を繰り返して、合計7本のビア導体5f～5lが接続され、第4の辺E14側の端部に、2本、1本、2本、1本、2本と増減を繰り返して、合計8本のビア導体5m～5tが接続されている。すなわち、積層型LCフィルタ100は、スペースを可能な限り有効に利用したうえで、線路状導体パターン17a～17eに、可能な限り多い本数のビア導体5f～5tを接続し、内部抵抗を小さくするようにしている。

[0054] 誘電体層1fの上下主面間を貫通して、7本のビア導体5f～5lと、8本のビア導体5m～5tとが形成されている。

[0055] 誘電体層1fの上側主面に、5つの線路状導体パターン27a～27eが形成されている。線路状導体パターン27a～27eは、図3に示すように、誘電体層1eの上側主面に形成された線路状導体パターン17a～17eと、それぞれ、同じ形状からなる。また、線路状導体パターン27a～27eには、線路状導体パターン17a～17eと同じ位置において、ビア導体5f～5tが接続されている。

- [0056] 誘電体層 1 g の上下主面間を貫通して、7本のビア導体 5 f ~ 5 l と、8本のビア導体 5 m ~ 5 t とが形成されている。
- [0057] 誘電体層 1 g の上側主面に、5つの線路状導体パターン 3 7 a ~ 3 7 e が形成されている。線路状導体パターン 3 7 a ~ 3 7 e は、図 3 に示すように、誘電体層 1 e の上側主面に形成された線路状導体パターン 1 7 a ~ 1 7 e と、それぞれ、同じ形状からなる。また、線路状導体パターン 3 7 a ~ 3 7 e には、線路状導体パターン 1 7 a ~ 1 7 e と同じ位置において、ビア導体 5 f ~ 5 t が接続されている。
- [0058] 誘電体層 1 h は、保護層である。誘電体層 1 h の対向する側面（端面）に、入出力端子 2 a と入出力端子 2 b とが形成されている。
- [0059] 以上の構造からなる積層型 LC フィルタ 1 0 0 は、従来から積層型 LC フィルタにおいて広く使用されている材料および製造方法を使用して、製造することができる。
- [0060] 積層型 LC フィルタ 1 0 0 は、図 4 に示す等価回路を備えている。
- [0061] 積層型 LC フィルタ 1 0 0 は、入出力端子 2 a と入出力端子 2 b との間に、第 1 のインダクタ L 1 と第 1 のキャパシタ C 1 とが並列に接続された第 1 の LC 並列共振器 LC 1 と、第 2 のインダクタ L 2 と第 2 のキャパシタ C 2 とが並列に接続された第 2 の LC 並列共振器 LC 2 と、第 3 のインダクタ L 3 と第 3 のキャパシタ C 3 とが並列に接続された第 3 の LC 並列共振器 LC 3 と、第 4 のインダクタ L 4 と第 4 のキャパシタ C 4 とが並列に接続された第 4 の LC 並列共振器 LC 4 と、第 5 のインダクタ L 5 と第 5 のキャパシタ C 5 とが並列に接続された第 5 の LC 並列共振器 LC 5 とが、順に配置されている。そして、インダクタ L 1 とインダクタ L 2 とが、インダクタ L 2 とインダクタ L 3 とが、インダクタ L 3 とインダクタ L 4 とが、インダクタ L 4 とインダクタ L 5 とが、それぞれ、電磁界結合されている。また、第 1 の LC 並列共振器 LC 1 と第 2 の LC 並列共振器 LC 2 とが、キャパシタ C 1 2 によって、容量結合されている。第 4 の LC 並列共振器 LC 4 と第 5 の LC 並列共振器 LC 5 とが、キャパシタ C 4 5 によって、容量結合されている。

。第1のLC並列共振器LC1と第5のLC並列共振器LC5とが、キャパシタC15によって、容量結合されている。

[0062] 以上の等価回路からなる積層型LCフィルタ100は、入出力端子2aと入出力端子2bとの間に5つのLC並列共振器が形成され、所望の周波数特性を備えたバンドパスフィルタを構成している。

[0063] 次に、積層型LCフィルタ100の構造と等価回路との関係について説明する。

[0064] まず、線路状導体パターン17a、27a、37aの第2の辺E12側の端部に1本のビア導体5fが接続され、第4の辺E14側の端部に2本のビア導体5m、5nが接続されて、ループ状の第1のインダクタL1が構成されている。また、キャパシタ導体パターン6aとグランド導体パターン4との間に形成される容量により、第1のキャパシタC1が構成されている。なお、キャパシタ導体パターン6aは、上述したとおり、入出力端子2aに接続されている。そして、ビア導体5fがグランド導体パターン4に接続されることによって、第1のインダクタL1と第1のキャパシタC1とが並列に接続されて、第1のLC並列共振器LC1が構成されている。

[0065] なお、第1のインダクタL1の線路状導体パターンは、3層の線路状導体パターン17a、27b、37cによって構成されている。これは、層数を複数層で構成することによって、線路状導体パターンの内部抵抗を小さくしたものである。第1のインダクタL1の線路状導体パターンを3層の線路状導体パターン17a、17b、17cで構成し、内部抵抗を小さくしたことは、インダクタL1のQ値を大きくすることに寄与している。なお、後述する第2～第5のインダクタL2～L5の線路状導体パターンが、複数層の線路状導体パターンによって構成されているのも、同じ理由である。

[0066] 線路状導体パターン17b、27b、37bの第2の辺E12側の端部に2本のビア導体5g、5hが接続され、第4の辺E14側の端部に1本のビア導体5oが接続されて、ループ状の第2のインダクタL2が構成されている。また、キャパシタ導体パターン6bとグランド導体パターン4との間に

形成される容量により、第2のキャパシタC2が構成されている。そして、ビア導体5g、5hがグランド導体パターン4に接続されることによって、第2のインダクタL2と第2のキャパシタC2とが並列に接続されて、第2のLC並列共振器LC2が構成されている。

[0067] 線路状導体パターン17c、27c、37cの第2の辺E12側の端部に1本のビア導体5iが接続され、第4の辺E14側の端部に2本のビア導体5p、5qが接続されて、ループ状の第3のインダクタL3が構成されている。また、キャパシタ導体パターン6cとグランド導体パターン4との間に形成される容量により、第3のキャパシタC3が構成されている。そして、ビア導体5iがグランド導体パターン4に接続されることによって、第3のインダクタL3と第3のキャパシタC3とが並列に接続されて、第3のLC並列共振器LC3が構成されている。

[0068] 線路状導体パターン17d、27d、37dの第2の辺E12側の端部に2本のビア導体5j、5kが接続され、第4の辺E14側の端部に1本のビア導体5rが接続されて、ループ状の第4のインダクタL4が構成されている。また、キャパシタ導体パターン6dとグランド導体パターン4との間に形成される容量により、第4のキャパシタC4が構成されている。そして、ビア導体5j、5kがグランド導体パターン4に接続されることによって、第4のインダクタL4と第4のキャパシタC4とが並列に接続されて、第4のLC並列共振器LC4が構成されている。

[0069] 線路状導体パターン17e、27e、37eの第2の辺E12側の端部に1本のビア導体5lが接続され、第4の辺E14側の端部に2本のビア導体5s、5tが接続されて、ループ状の第5のインダクタL5が構成されている。また、キャパシタ導体パターン6dとグランド導体パターン4との間に形成される容量により、第5のキャパシタC5が構成されている。なお、キャパシタ導体パターン6dは、上述したとおり、入出力端子2bに接続されている。そして、ビア導体5lがグランド導体パターン4に接続されることによって、第5のインダクタL5と第5のキャパシタC5とが並列に接続さ

れて、第5のLC並列共振器LC5が構成されている。

[0070] また、キャパシタ導体パターン6fとキャパシタ導体パターン6bとの間に形成される容量により、キャパシタC12が構成されている。上述したとおり、キャパシタ導体パターン6fは、ビア導体5m、5nに接続されている。また、キャパシタ導体パターン6bは、第2のキャパシタC2の導体パターンでもある。

[0071] キャパシタ導体パターン6gとキャパシタ導体パターン6dとの間に形成される容量により、キャパシタC45が構成されている。上述したとおり、キャパシタ導体パターン6gは、ビア導体5s、5tに接続されている。また、キャパシタ導体パターン6dは、第4のキャパシタC4の導体パターンでもある。

[0072] キャパシタ導体パターン6fとキャパシタ導体パターン6hとの間に形成される容量、および、キャパシタ導体パターン6gとキャパシタ導体パターン6iとの間に形成される容量により、キャパシタC15が構成されている。上述したとおり、キャパシタ導体パターン6fがビア導体5m、5nに接続され、キャパシタ導体パターン6hとキャパシタ導体パターン6iとが相互に接続され、キャパシタ導体パターン6gがビア導体5s、5tに接続されている。

[0073] 以上の関係により、積層型LCフィルタ100は、積層体1の内部に、図4に示す等価回路を備えている。

[0074] 積層型LCフィルタ100は、図3に示したように、第1のインダクタL1の線路状導体パターン17a、27a、37aに対しては、第2の辺E12側に1本のビア導体5fを接続し、第4の辺E14側に2本のビア導体5m、5nを接続し、第2のインダクタL2の線路状導体パターン17b、27b、37bに対しては、逆に、第2の辺E12側に2本のビア導体5g、5fを接続し、第4の辺E14側に1本のビア導体5oを接続し、以下、第3～第5のインダクタL3～L5に対しても、同様の関係を繰り返すことにより、積層体1内の限られたスペースを有効に活かし、大型化を抑制しながら

ら、ビア導体の本数を増やして、インダクタ $L_1 \sim L_5$ の内部抵抗をそれぞれ小さくし、インダクタ $L_1 \sim L_5$ の Q 値をそれぞれ大きくして、入出力端子2 a、2 b間の挿入損失を効率的に小さくしている。

[0075] また、積層型 LC フィルタ100は、線路状導体パターン17 a～17 e、27 a～27 e、37 a～37 eを、それぞれ、対向する長辺が相互に非平行となるように形成し、限られたスペースにおいて、これらの線路状導体パターンの面積をそれぞれ可能な限り大きくしている。このように、線路状導体パターン17 a～17 e、27 a～27 e、37 a～37 eを、それぞれ、対向する長辺が相互に非平行となるように形成したことも、線路状導体パターンの内部抵抗を小さくし、インダクタ $L_1 \sim L_5$ の Q 値を大きくすることに寄与している。

[0076] また、積層型 LC フィルタ100は、積層体1の側面を、第1の辺 E_{11} 側から第3の辺 E_{13} 側に向かって透視した場合に、 LC 並列共振器 $LC_1 \sim LC_5$ のインダクタ $L_1 \sim L_5$ の巻回方向が、全て同一になっている。この結果、積層型 LC フィルタ100は、隣接する LC 並列共振器のインダクタどうしの電磁界結合が強められており、周波数特性が広帯域化されている。なお、積層型 LC フィルタ100の周波数特性よりも狭い帯域を形成したい場合には、インダクタ $L_1 \sim L_5$ のうちの、一部のものの巻回方向を、逆方向にすれば良い。

[0077] 以上、実施形態にかかる積層型 LC フィルタ100について説明した。しかしながら、本発明が上述した内容に限定されることはなく、発明の趣旨に沿って、種々の変更をなすことができる。

[0078] たとえば、積層型 LC フィルタ100は、5つの LC 並列共振器 $LC_1 \sim LC_5$ を備えた5段のバンドパスフィルタであったが、本発明の積層型 LC フィルタは、バンドパスフィルタには限られず、ハイパスフィルタ、ローパスフィルタなど、他の種類のフィルタであっても良い。また、本発明の積層型 LC フィルタの内部に形成される LC 共振器は、 LC 並列共振器には限られず、 LC 直列共振器などであっても良い。さらに、本発明の積層型 LC フ

フィルタの段数は5段には限られず、それよりも少なくても良く、それよりも多くても良い。

[0079] また、積層型LCフィルタ100では、線路状導体パターン17a～17e（27a～27e、37a～37e）に対し、第2の辺E12側の端部において、2本、2本、1本、2本、1本のビア導体5f～5lを接続し、第4の辺E14側の端部において、2本、1本、2本、1本、2本のビア導体5m～5tを接続しているが、これらの本数は、本件発明の規定に沿って変更することができる。たとえば、第2の辺E12側の端部において、2本、3本、2本、3本、2本のビア導体を接続し、第4の辺E14側の端部において、3本、2本、3本、2本、3本のビア導体を接続するようにしても良い。あるいは、第2の辺E12側の端部において、1本、3本、1本、3本、1本のビア導体を接続し、第4の辺E14側の端部において、3本、1本、3本、1本、3本のビア導体を接続するようにしても良い。

[0080] また、積層型LCフィルタ100は、積層体1内に形成された全てのLC共振器（LC並列共振器LC1～LC5）において、本発明の特徴的な線路状導体パターンに対するビア導体の接続方法を採用しているが、積層体1内に形成された一部の隣接するLC共振器において、本発明の特徴的な線路状導体パターンに対するビア導体の接続方法を採用しても良い。ただし、全てのLC共振器において、本発明の特徴的な線路状導体パターンに対するビア導体の接続方法を採用した方が、より効率的に、大型化を抑制しながら、積層型LCフィルタの挿入損失を小さくすることができる。

符号の説明

[0081] 1・・・積層体
1a～1h・・・誘電体層
E11・・・第1の辺
E12・・・第2の辺
E13・・・第3の辺
E14・・・第4の辺

2 a、2 b . . . 入出力端子

3 . . . グランド端子

4 . . . グランド導体パターン

5 a ~ 5 t . . . ビア導体

6 a ~ 6 i . . . キャパシタ導体パターン

17 a ~ 17 e、27 a ~ 27 e、37 a ~ 37 e . . . 線路状導体パターン

請求の範囲

[請求項1]

複数の誘電体層が積層された直方体状の積層体と、
前記誘電体層の層間に形成された複数の線路状導体パターンと、
前記誘電体層の層間に形成された複数のキャパシタ導体パターンと、
、
前記誘電体層の層間に形成された少なくとも1つのグラウンド導体パターンと、
前記誘電体層を貫通して形成された複数のビア導体と、を備え、
前記線路状導体パターンの両端に前記ビア導体が接続されることにより、複数のループ状のインダクタが形成され、
前記キャパシタ導体パターンと前記グラウンド導体パターンの間に形成される容量により、または、1対の前記キャパシタ導体パターンの間に形成される容量により、複数のキャパシタが形成され、
前記インダクタと前記キャパシタとが接続されることにより、少なくとも2つのLC共振器が形成された積層型LCフィルタであって、
前記積層体は、前記誘電体層の積層方向に見た場合に、順に繋がった、第1の辺、第2の辺、第3の辺、第4の辺を備え、
前記積層体を、前記誘電体層の積層方向に透視した場合に、
複数の前記LC共振器の前記線路状導体パターンには、それぞれ、前記積層体の前記第2の辺側および前記第4の辺側において、前記ビア導体が接続され、
少なくとも1つの前記線路状導体パターンは、前記第2の辺側と前記第4の辺側とにおいて、異なる本数の前記ビア導体が接続された積層型LCフィルタ。

[請求項2]

順に並んだ前記LC共振器の中から、第1から第Nまで連続して並んだ任意の2つ以上の前記LC共振器を見た場合に、
第1および第2の前記LC共振器のうち、一方の前記LC共振器の前記線路状導体パターンには、前記第4の辺側において、前記第2の

辺側よりも多くの本数の前記ビア導体が接続され、他方の前記ＬＣ共振器の前記線路状導体パターンには、前記第２の辺側において、前記第４の辺側よりも多くの本数の前記ビア導体が接続され、

第３以降の第Ｎの前記ＬＣ共振器は、奇数番の前記ＬＣ共振器の前記線路状導体パターンには、第１の前記ＬＣ共振器と同じ条件で前記ビア導体が接続され、偶数番の前記ＬＣ共振器の前記線路状導体パターンには、第２の前記ＬＣ共振器と同じ条件で前記ビア導体が接続された、請求項１に記載された積層型ＬＣフィルタ。（Ｎは２以上の整数。）

[請求項３]

前記積層体内にＮ個の前記ＬＣ共振器が形成され、

第１から第Ｎまで連続して並んだ全ての前記ＬＣ共振器を見た場合に、

第１および第２の前記ＬＣ共振器のうち、一方の前記ＬＣ共振器の前記線路状導体パターンには、前記第４の辺側において、前記第２の辺側よりも多くの本数の前記ビア導体が接続され、他方の前記ＬＣ共振器の前記線路状導体パターンには、前記第２の辺側において、前記第４の辺側よりも多くの本数の前記ビア導体が接続され、

第３以降の第Ｎの前記ＬＣ共振器は、奇数番の前記ＬＣ共振器の前記線路状導体パターンには、第１の前記ＬＣ共振器と同じ条件で前記ビア導体が接続され、偶数番の前記ＬＣ共振器の前記線路状導体パターンには、第２の前記ＬＣ共振器と同じ条件で前記ビア導体が接続された、請求項２に記載された積層型ＬＣフィルタ。

[請求項４]

前記第１および第２の前記ＬＣ共振器のうち、一方の前記ＬＣ共振器の前記線路状導体パターンには、前記第２の辺側において１本の前記ビア導体が接続され、前記第４の辺側において２本の前記ビア導体が接続され、他方の前記ＬＣ共振器の前記線路状導体パターンには、前記第２の辺側において２本の前記ビア導体が接続され、前記第４の辺側において１本の前記ビア導体が接続された、請求項２または３に

記載された積層型ＬＣフィルタ。

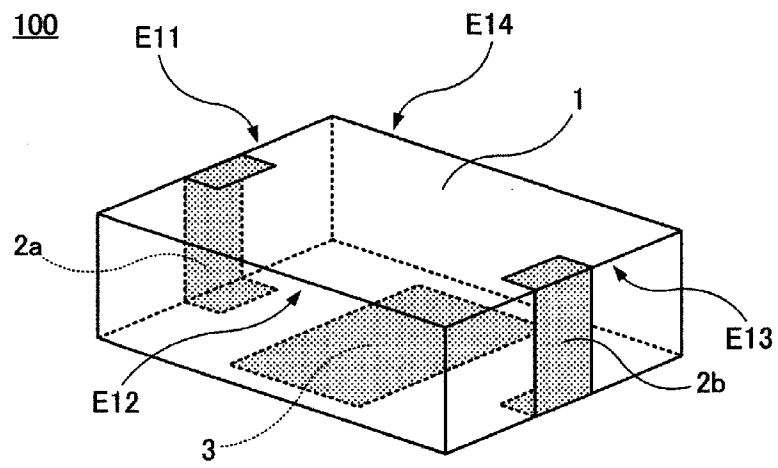
[請求項5] 前記第１および第２の前記ＬＣ共振器の前記線路状導体パターンは、いずれも前記積層体の前記第１の辺ないし前記第４の辺に非平行な辺を含む、請求項２ないし４のいずれか１項に記載された積層型ＬＣフィルタ。

[請求項6] 隣接する前記ＬＣ共振器の前記インダクタどうしが電磁界結合され、
前記積層体の側面を、前記第１の辺側から前記第３の辺側に向かって透視した場合に、全ての前記ＬＣ共振器の前記インダクタの巻回方向が同一である、請求項１ないし５のいずれか１項に記載された積層型ＬＣフィルタ。

[請求項7] 隣接する前記ＬＣ共振器の前記インダクタどうしが電磁界結合され、
前記積層体の側面を、前記第１の辺側から前記第３の辺側に向かって透視した場合に、一部の前記ＬＣ共振器の前記インダクタの巻回方向と、残りの前記ＬＣ共振器の前記インダクタの巻回方向とが異なる、請求項１ないし５のいずれか１項に記載された積層型ＬＣフィルタ。

[図1]

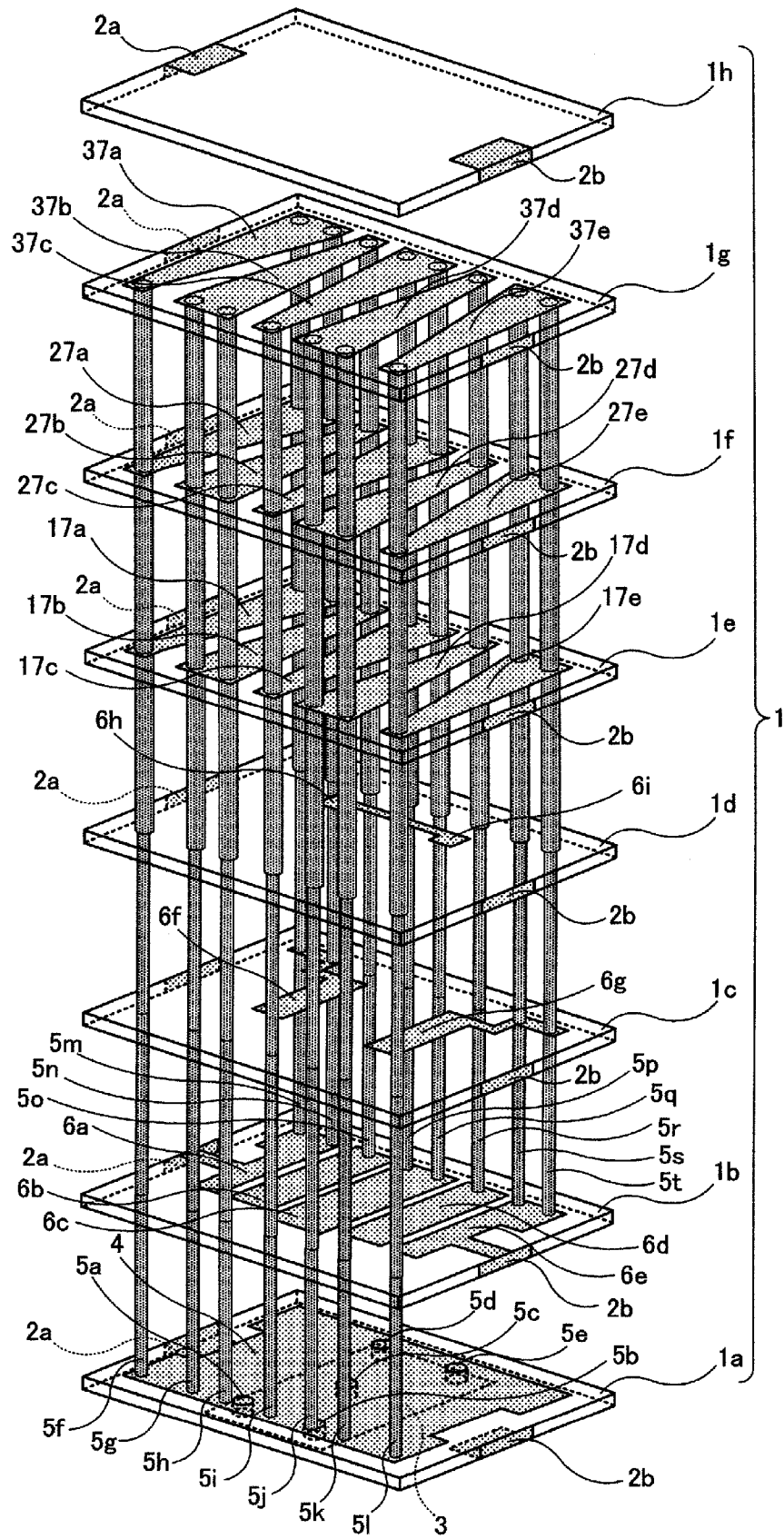
図1



[図2]

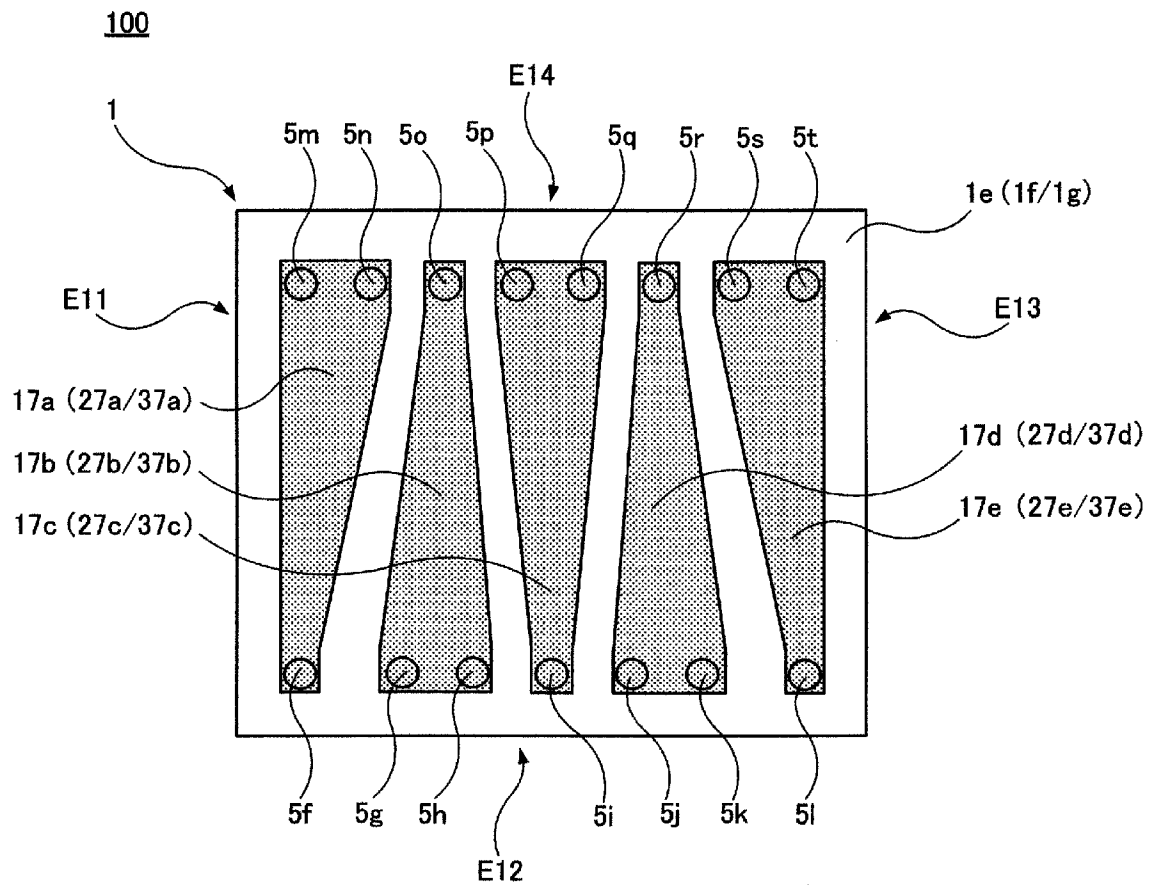
図2

100



[図3]

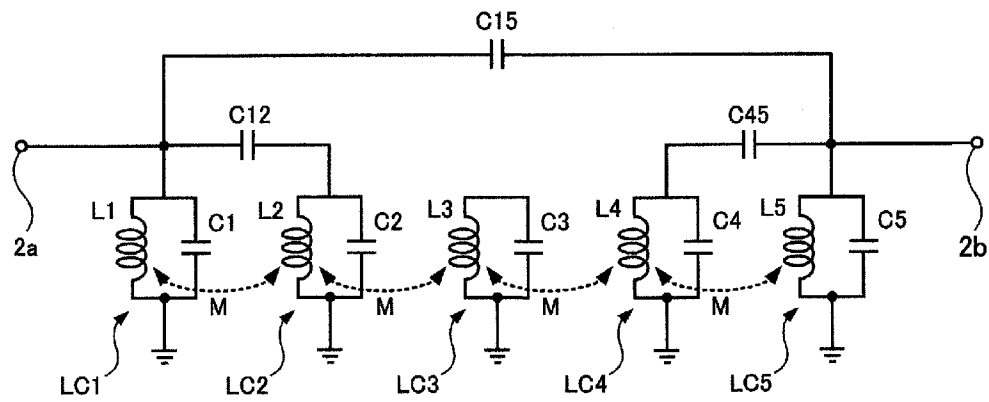
図3



[図4]

图4

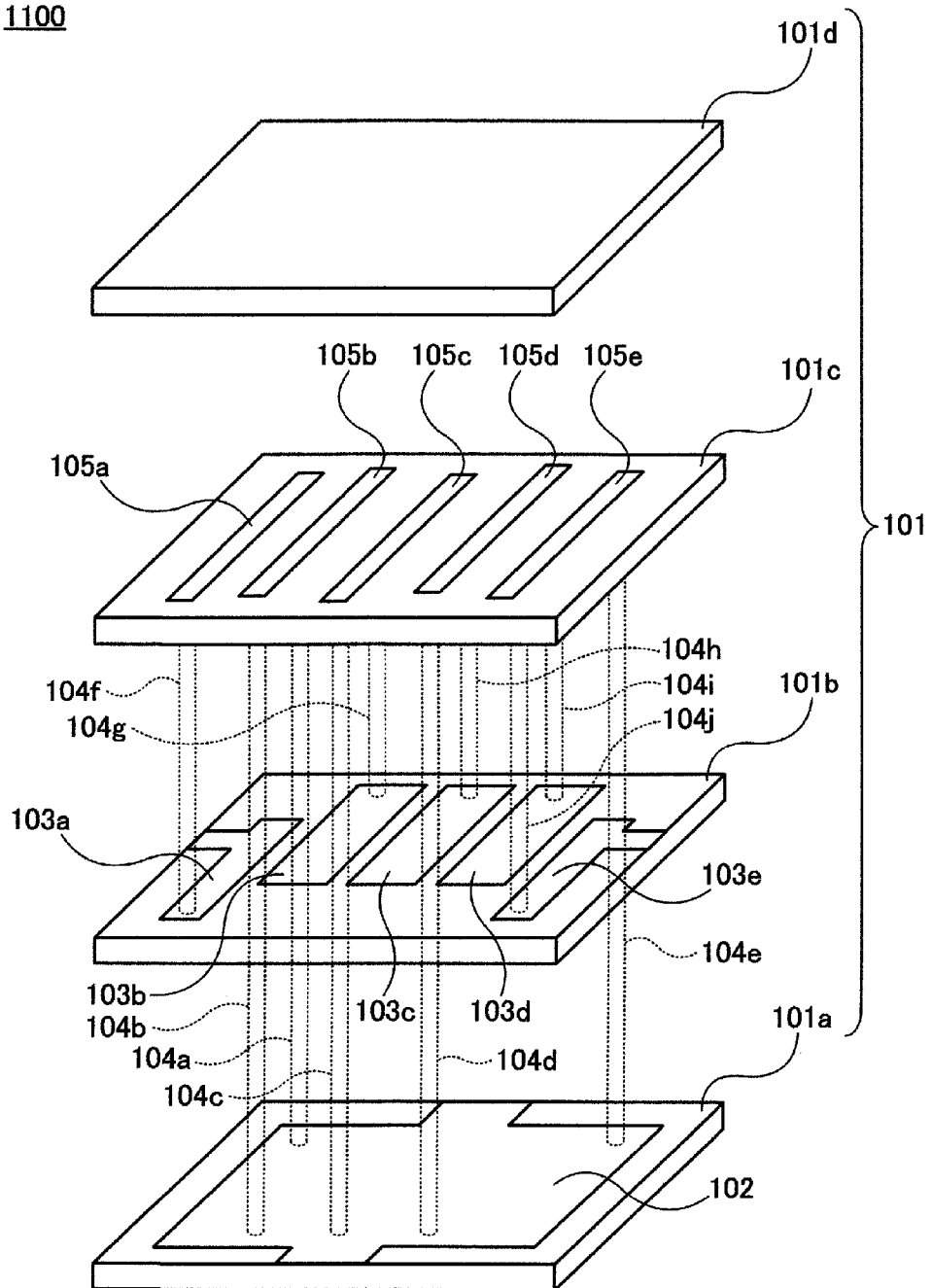
100



[図5]

図5

1100



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/026617

A. CLASSIFICATION OF SUBJECT MATTER

H03H7/01(2006.01)i, H01F27/00(2006.01)i, H01G4/40(2006.01)i, H03H7/09(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03H7/01, H01F27/00, H01G4/40, H03H7/09

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-128232 A (Murata Mfg. Co., Ltd.), 27 June 2013 (27.06.2013), fig. 1 to 3 & US 2013/0154769 A1 fig. 1 to 3 & CN 103166588 A	1-7
A	JP 2002-76809 A (Murata Mfg. Co., Ltd.), 15 March 2002 (15.03.2002), fig. 1 to 3 & US 2002/0048872 A1 fig. 1 to 3 & CN 1340876 A	1-7

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 September 2017 (21.09.17)

Date of mailing of the international search report
03 October 2017 (03.10.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/026617

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2016-139873 A (Murata Mfg. Co., Ltd.), 04 August 2016 (04.08.2016), fig. 1 to 3 & US 2016/0218690 A1 fig. 1 to 3 & CN 105827211 A	1-7

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H03H7/01(2006.01)i, H01F27/00(2006.01)i, H01G4/40(2006.01)i, H03H7/09(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H03H7/01, H01F27/00, H01G4/40, H03H7/09

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2013-128232 A（株式会社村田製作所）2013.06.27, 図1-3 & US 2013/0154769 A1, 図1-3 & CN 103166588 A	1-7
A	JP 2002-76809 A（株式会社村田製作所）2002.03.15, 図1-3 & US 2002/0048872 A1, 図1-3 & CN 1340876 A	1-7
A	JP 2016-139873 A（株式会社村田製作所）2016.08.04, 図1-3 & US 2016/0218690 A1, 図1-3 & CN 105827211 A	1-7

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

21.09.2017

国際調査報告の発送日

03.10.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

橋本 和志

5W

4183

電話番号 03-3581-1101 内線 3576