(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3880324号
(P3880324)
(45)発行日　平成19年2月14日(2007.2.14)　(24)登録日　平成18年11月17日(2006.11.17)

(51)Int.Cl.		F I	
H04N 1/028	(2006.01)	H04N	1/028
H01L 27/14	(2006.01)	H01L	27/14
H01L 31/00	(2006.01)	H01L	31/00
H04N 5/32	(2006.01)	H04N	5/32

請求項の数 16　(全 24 頁)

(21)出願番号	特願2001-62050(P2001-62050)
(22)出願日	平成13年3月6日(2001.3.6)
(62)分割の表示	特願平8-232872の分割
原出願日	平成8年9月3日(1996.9.3)
(65)公開番号	特開2001-326787(P2001-326787A)
(43)公開日	平成13年11月22日(2001.11.22)
審査請求日	平成14年10月3日(2002.10.3)
審判番号	不服2005-4826(P2005-4826/J1)
審判請求日	平成17年3月18日(2005.3.18)
(31)優先権主張番号	特願平7-227851
(32)優先日	平成7年9月5日(1995.9.5)
(33)優先権主張国	日本国(JP)
(31)優先権主張番号	特願平7-227852
(32)優先日	平成7年9月5日(1995.9.5)
(33)優先権主張国	日本国(JP)

(73)特許権者　000001007
キヤノン株式会社
東京都大田区下丸子３丁目３０番２号
(74)代理人　100065385
弁理士　山下　穣平
(72)発明者　小林　功
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内
(72)発明者　海部　紀之
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内
(72)発明者　田代　和昭
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内

最終頁に続く

(54)【発明の名称】光電変換装置、それを用いた撮像装置及び製造方法

(57)【特許請求の範囲】

【請求項１】

２次元状に配された複数の光電変換素子を有する基板を複数隣接して配置した光電変換素子アレイを有する光電変換装置において、

複数の走査回路が該光電変換素子アレイの対向する２辺に配され、

複数の検出用回路が該光電変換素子アレイの対向する２辺に配され、

該走査回路と該検出用回路に走査方向を定める為の信号が入力され、

該信号によって、対向する２辺に配された前記複数の走査回路の走査方向が同じ方向に設定され、対向する２辺に配された複数の検出用回路の走査方向が同じ方向に設定されることにより、前記基板はそれぞれ同一方向に走査されることを特徴とする光電変換装置。

【請求項２】

該走査方向は、シフトレジスタのシフト方向により定められることを特徴とする請求項１記載の光電変換装置。

【請求項３】

該走査方向は、マルチプレクサーの切換え順序により定められることを特徴とする請求項１又は２記載の光電変換装置。

【請求項４】

該走査回路は、デコーダを有し、入力されるアドレス情報により走査方向が定められることを特徴とする請求項１記載の光電変換装置。

【請求項５】

該検出用回路は、デコーダを有し、入力されるアドレス情報により走査方向が定められることを特徴とする請求項１又は４記載の光電変換装置。
【請求項６】
該検出用回路は、光電変換素子からの信号をパラレルに入力し、走査方向に応じてシリアルに出力することを特徴とする請求項１記載の光電変換装置。
【請求項７】
該検出用回路は、光電変換素子からの信号を走査方向に応じてシリアルに入力し、シリアルに出力することを特徴とする請求項１記載の光電変換装置。
【請求項８】
該走査回路と該検出用回路は、複数のＩＣチップでそれぞれ構成されていることを特徴とする請求項１記載の光電変換装置。
【請求項９】
前記基板は４つであり、前記光電変換装置の対向する２辺に該走査回路が、別の対向する２辺に検出用回路が設けられていることを特徴とする請求項１記載の光電変換装置。
【請求項１０】
該走査回路及び検出用回路は、フレキシブル配線基板に実装されたＩＣチップからなることを特徴とする請求項１又は９記載の光電変換装置。
【請求項１１】
該走査回路及び検出用回路は、該基板又は該基板を支持するマザーボード上に実装されたＩＣチップであることを特徴とする請求項１又は９記載の光電変換装置。
【請求項１２】
該光電変換素子上に光変換体である蛍光体が配されていることを特徴とする請求項１記載の光電変換装置。
【請求項１３】
４つの前記基板の中で、隣り合わない２つの基板はそれぞれ同一構成の基板を平面上で１８０°回転した位置関係で配置されていることを特徴とする請求項９に記載の光電変換装置。
【請求項１４】
前記基板は、複数の光電変換素子が平面的に配列された光電変換素子部が形成された辺と、該光電変換素子部に接続される回路部が形成された辺とを有し、該基板の、それぞれの前記光電変換素子部が平面的に近接して隣り合うように配列して貼り合わせて構成したことを特徴とする請求項１３記載の光電変換装置。
【請求項１５】
請求項１２に記載の光電変換装置と、高エネルギー線照射装置とを有することを特徴とする撮像装置。
【請求項１６】
前記高エネルギー線は、Ｘ線であることを特徴とする請求項１５記載の撮像装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、光電変換装置、それを用いた撮像装置及び製造方法に係わり、特に大面積の光電変換装置、例えばファクシミリ、デジタル複写機あるいはＸ線撮像装置等に用いられる二次元の光電変換装置、それを用いた撮像装置及び製造方法に関するものである。
【０００２】
【従来の技術】
従来、ファクシミリ、デジタル複写機等の読み取り系としては、縮小光学系とＣＣＤ型センサを用いた読み取り系が用いられていたが、近年、アモルファスシリコン（以下、ａ－Ｓｉと記す）に代表される光電変換半導体材料の開発により、光電変換素子及び信号処理部を大面積の基板に形成し、情報源と等倍の光学系で読み取るいわゆる密着型センサの開発がめざましい。特にａ－Ｓｉは光電変換材料としてだけでなく、薄膜電界効果型トラン

ジスタ（以下ＴＦＴと記す）としても用いることができるので光電変換半導体層とＴＦＴの半導体層とを同時に形成することができる利点を有している。

【０００３】

ａ－Ｓｉを用いた光電変換装置は、その基体構造が米国特許第４，３７６，８８８号明細書又は特公昭６２－２３９４４号或いは特公昭６３－６６１１７号公報に記載されている。

【０００４】

ａ－Ｓｉ光センサとａ－ＳｉＴＦＴを一体的に形成する為の具体例は米国特許第４，９３１，６６１号、第５，３３８，６９０号、第５，３０６，６４８号の各明細書に記載されている。

【０００５】

本発明者らは、これら明細書に開示の技術を基に、画素数を大巾に増大させた２次元エリア型の光電変換装置を試作した。その光電変換装置の概略を図２，図３を参照して説明する。

【０００６】

図２、図３に２０００×２０００個の画素を持つ光電変換装置を示す平面図を示す。２０００×２０００個の検出器を構成する場合、光電変換素子を縦・横方向にそれぞれ数を増やせばよいが、この場合、制御配線（走査線）もｇ１～ｇ２０００に示すように２０００本になり信号配線（データ線）もｓｉｇ１～ｓｉｇ２０００に示すように２０００本になる。また走査回路や検出用集積回路（検出用ＩＣ）も２０００本の制御・処理をしなければならず大規模となる。これをそれぞれ１チップのＩＣで行うことは１チップが非常に大きくなり製造時の歩留まりや価格等で不利である。そこで、図に示すように走査回路は例えば１００段のシフトレジスタを１個のチップに形成し、２０個の走査回路チップ（ＳＲ１－１～ＳＲ１－２０）を使用すれば良い。また検出用集積回路も１００個の処理回路を１個のチップに形成し、２０個の検出用集積回路チップ（ＩＣ１～ＩＣ２０）を使用する。

【０００７】

図３には左側（Ｌ）に２０チップ（ＳＲ１－１～ＳＲ１－２０）と下側（Ｄ）に２０チップ実装し、１チップあたり１００本の制御配線、信号配線をおのおのワイヤーボンディングでチップと接線している。図３中で破線で囲まれる部分は２次元エリア状に配列された光電変換素子アレイ部分に相当する。また検出用集積回路の外部への接続は省略している。

【０００８】

図２には別の例が示されており、ここでは、左側（Ｌ）に１０チップ（ＳＲ１－１～ＳＲ１－２０）と右側（Ｒ）に１０チップ（ＳＲ１－１１～ＳＲ１－２０）と上側（Ｕ）に１０チップ（ＩＣ１～１０）、下側（Ｄ）に１０チップ（ＩＣ１１～２０）を実装している。この構成は上・下・左・右側（Ｕ，Ｄ，Ｌ，Ｒ）にそれぞれ各配線を１０００本ずつに振り分けているため、各辺の配線の密度が小さくなり、また各辺のワイヤーボンディングの密度も小さく、製造歩留まりが向上する。配線の振り分けは左側（Ｌ）にｇ１，ｇ３，ｇ５，…，ｇ１９９９，右側（Ｒ）にｇ２，ｇ４，ｇ６，…，ｇ２０００とし、つまり奇数番目の制御配線を左側（Ｌ）、偶数番目の制御配線を右側（Ｒ）に振り分ける。こうすると各配線は等間隔に引き出され配線されるので密度の集中がなく歩留まりが向上する。また、上側（Ｕ）下側（Ｄ）への配線も同様に振り分ければよい。

【０００９】

また、図示していないが、別の例として、配線の振り分けは左側（Ｌ）にｇ１～ｇ１００，ｇ２０１～ｇ３００，…，ｇ１８０１～ｇ１９００、右側（Ｒ）にｇ１０１～ｇ２００，ｇ３０１～ｇ４００，…，ｇ１９０１～ｇ２０００を振り分け、つまり、１チップごとに連続な制御線を振り分け、これを左・右側（Ｌ・Ｒ）交互に振り分けることも考えられる。こうすると、１チップ内は連続に制御でき、駆動タイミングの調整や設定が容易で回路を複雑にしなくてよく、安価なＩＣが使用できる上・下側（Ｕ・Ｄ）についても同様で

、連続な処理が可能で安価なＩＣが使用できる。
【００１０】
【発明が解決しようとする課題】
しかしながら、大面積の光電変換装置では、製造時の微小なちり、特にアモルファスシリコンなどの半導体層を基板に堆積する時に薄膜堆積装置の壁から剥れ出るゴミ、及びメタル層を基板に堆積する時に基板上に残っているほこりを完全になくすことが困難であったため、配線の不具合、即ち配線のショートまたはオープンをゼロにすることは困難であった。
【００１１】
また、大面積の光電変換装置では、制御配線または信号配線がショートまたはオープンになると、その配線に接続されている光電変換素子の全ての出力信号が不正確なものとなり、光電変換装置としては使用不可能となるのである。
【００１２】
つまり、大面積の光電変換装置を作製する時の１枚の基板が大きくなればなるほど基板１枚あたりの歩留まりは低くなり、同時に基板１枚あたりの不具合による損失額も大きくなるのである。
【００１３】
しかも、制御配線の選択順序（走査順序）を図２の矢印ＡＬ１に示す方向に設計しようとすると、図２の左側Ｌに配される各走査回路ＳＲ１－１～ＳＲ１－１０の出力端子の配置順序と、図２の右側Ｒに配される各走査回路ＳＲ－１１～ＳＲ１－２０の出力端子の配列順序とが、互いに逆になる。従って、左右両側に配される走査回路を同じ構造のＩＣチップで作るとすると、左又は右側いずれか一方の接続線（制御配線と走査回路の出力端子とを接続する線）を多層配線等で構成しなければならない。こうなると、接続線の構造が複雑且つ高コストなものになり、又走査回路の高密度実装を妨げる。
【００１４】
又、出力端子の配置順序を変えた２種類のＩＣを用意して一方を左側に、他方を右側に配することもできるが、基本動作が同じであるにもかかわらず２種のＩＣを製造することは高コスト化の原因になる。
【００１５】
このような問題は走査回路だけの問題ではなく検出用ＩＣ（ＩＣ１～ＩＣ２０）においても同様に生じる。
【００１６】
［発明の目的］
よって、本発明の第１の目的は、大面積の光電変換装置を作製する時の基板１枚あたりの歩留まりを向上させ、かつ基板１枚あたりの不具合による損失額を小さくすることにより、結果的に大面積の光電変換装置のコストを低減することにある。
【００１７】
また、本発明の第２の目的は、大面積の光電変換装置を作製する時の検査工程の効率の向上およびそれに伴うスループット向上および部品点数の削減に伴う総合的なコストを低減することにある。
【００１８】
またさらに、本発明の第３の目的は、大面積の光電変換装置において、すべての光電変換素子を同一方向に走査し、信号処理を簡単にすることにより、光電変換装置の性能を向上させることである。
【００１９】
本発明の第４の目的は、一種のＩＣを光電変換素子アレイの上下又は左右のいずれの側にも簡単に実装できる光電変換装置を提供することにある。
【００２０】
【課題を解決するための手段】
本発明は、前述した課題を解決するため、以下の手段を有する。

【００２１】
２次元状に配された複数の光電変換素子を有する基板を複数隣接して配置した光電変換装置において、
走査回路又は検出用回路の少なくともいずれか一方が該光電変換装置の対向する２辺に配され、該２辺に配された回路の走査方向が同じ方向に設定可能であることを特徴とする光電変換装置。
【００２２】
また、該走査方向は、シフトレジスタのシフト方向により定められることを特徴とする光電変換装置。
【００２３】
また、該走査方向は、マルチプレクサーの切換え順序により定められることを特徴とする光電変換装置。
【００２４】
また、該走査回路は、デコーダを有し、入力されるアドレス情報により走査方向が定められることを特徴とする光電変換装置。
【００２５】
また、該検出用回路は、デコーダを有し、入力されるアドレス情報により走査方向が定められることを特徴とする光電変換装置。
【００２６】
また、該検出用回路は、光電変換素子からの信号をパラレルに入力し、走査方向に応じてシリアルに出力することを特徴とする光電変換装置。
【００２７】
また、該検出用回路は、光電変換素子からの信号を走査方向に応じてシリアルに入力し、シリアルに出力することを特徴とする光電変換装置。
【００２８】
また、該走査回路と該検出用回路は、複数のＩＣチップでそれぞれ構成されていることを特徴とする光電変換装置。
【００２９】
また、該走査回路又は該検出用回路の少なくともいずれか一方に走査方向を定める為の信号が入力されることを特徴とする光電変換装置。
【００３０】
また、前記基板は４つであり、前記光電変換装置の対向する２辺に該走査回路が、別の対向する２辺に検出用回路が設けられていることを特徴とする光電変換装置。
【００３１】
また、該走査回路及び検出用回路は、フレキシブル配線基板に実装されたＩＣチップからなることを特徴とする光電変換装置。
【００３２】
また、該走査回路及び検出用回路は、該基板又は該基板を支持するマザーボード上に実装されたＩＣチップであることを特徴とする光電変換装置。
【００３３】
また、該光電変換素子上に光変換体が配されていることを特徴とする光電変換装置。
【００３４】
また、該光変換体は、蛍光体であることを特徴とする光電変換装置。
【００３５】
また、２次元的に配列された複数の光電変換素子を搭載した基板を、２次元的に縦横２枚ずつ４枚、前記光電変換素子部が平面的に隣り合うように配列して貼り合わせて構成され、
かつ、前記貼り合わせた４枚の基板の中で、隣り合わない２枚の基板はそれぞれ同一構成の基板を平面上で１８０°回転した位置関係で配置されており、
かつ、前記基板は、それぞれ同一方向に走査されることを特徴とする光電変換装置。

【００３６】
また、前記基板は、複数の光電変換素子が平面的に配列された光電変換素子部が形成された辺と、該光電変換素子部に接続される回路部が形成された辺とを有し、該基板の、それぞれの前記光電変換素子部が平面的に近接して隣り合うように配列して貼り合わせて構成したことを特徴とする光電変換装置。
【００３７】
また、前記光電変換素子は、第一の電極層、絶縁層、半導体層、第１導電型のキャリアの注入を阻止する半導体層、及び第二の電極層を積層した素子であることを特徴とする光電変換装置。
【００３８】
また、２次元的に配列された光電変換素子を搭載した複数の基板を、それぞれの前記光電変換素子部が平面的に隣り合うように配置して貼り合わせて構成した光電変換装置であり、
前記貼り合わせる複数の基板の配置を、それぞれの基板の光電変換部となる半導体層を堆積させた時の基板配置と同じ配置として、前記複数の基板を貼り合わせて構成したことを特徴とする光電変換装置。
【００３９】
また、前記光電変換素子の半導体層は、非単結晶半導体層であることを特徴とする光電変換装置。
【００４０】
また、前記基板は、複数の光電変換素子が平面的に配列された光電変換素子部が形成された辺と、該光電変換素子部に接続される回路部が形成された辺とを有し、該基板の複数枚を、それぞれの前記光電変換素子部が平面的に近接して隣り合うように配置して貼り合わせて構成したことを特徴とする光電変換装置。
【００４１】
また、前記基板上には、
第１の電極層、絶縁層、半導体層、第１導電型のキャリアの注入を阻止する半導体層、及び第２の電極層を積層した光電変換素子と、
前記半導体層に入射した信号光により発生した第１導電型のキャリアを前記半導体層に蓄積し、前記第１導電型と異なる第２導電型のキャリアを前記第２の電極層に導く方向に前記光電変換素子に電界を与える手段と、
前記光電変換素子に電界を与えて、前記第１導電型のキャリアを前記半導体層から前記第２の電極層に導く方向に前記光電変換素子に電界を与えるリフレッシュ手段と、
前記手段による光電変換動作中に前記半導体層に蓄積された前記第１導電型のキャリアもしくは前記第２の電極層に導かれた前記第２導電型のキャリアを検出する為の信号検出部と、
を有することを特徴とする光電変換装置。
【００４２】
また、前記光電変換素子の上部に光変換体を配置し、Ｘ線レントゲン装置を構成したことを特徴とする光電変換装置。
【００４３】
また、該光変換体は、蛍光体であることを特徴とする光電変換装置。
【００４４】
また、上記光電変換装置と、高エネルギー線照射装置とを有することを特徴とする撮像装置。
【００４５】
また、前記高エネルギー線は、Ｘ線であることを特徴とする撮像装置。
【００４６】
さらに、２次元的に配列された光電変換素子を搭載した複数の基板を、それぞれの前記光電変換素子が平面的に隣り合うように配置して貼り合わせた光電変換装置の製造方法にお

いて、
共通のＣＶＤ装置内において、共通の治具の表面上に、前記複数の基板を所定の向きで平面的に配置して、前記光電変換素子となる半導体層を堆積させる堆積工程と、
該半導体層が堆積された複数の基板を前記堆積工程における前記基板の向きと同じ向きとなるように共通のマザーボード上に貼り合わせる工程とを含むことを特徴とする光電変換装置の製造方法。
【００４７】
特に、前記光電変換素子の半導体層は、非単結晶半導体層とするとよい。
【００４８】
また、前記各基板の隣接する２辺に偏って前記複数の光電変換素子が平面的に配列されており、
前記各基板の別の隣接する２辺に偏って前記各光電変換素子を走査する走査回路と、前記走査回路の走査により各光電変換素子から出力される信号を検出する検出用回路とが形成されており、
前記各基板を、それぞれ、前記光電変換素子部が偏って形成された隣接する２辺のうち少なくともいずれか１辺が隣り合うように貼り合わせている。
【００４９】
また更に、本発明は、上記課題を解決するため、以下の手段を提供する。
【００５０】
［１］２次元的に配列された複数の光電変換素子を搭載した基板を、２次元的に縦横２枚ずつ４枚、前記光電変換素子部が平面的に隙間無く隣り合うように配列して貼り合わせて構成され、
かつ、前記貼り合わせた４枚の基板の中で、隣合わない２枚の基板はそれぞれ同一構成の基板を平面上で１８０°回転した位置関係で配置されており、かつ、前記基板は、それぞれ同一方向に走査されることを特徴とする光電変換装置。
【００５１】
［２］前記基板は、複数の光電変換素子が平面的に配列された光電変換素子部が形成された辺と、該光電変換素子部に接続される回路部が形成された辺とを有し、該基板の、それぞれの前記光電変換素子部が平面的に隣り合うように配列して貼り合わせて構成した［１］記載の光電変換装置。
【００５２】
［３］前記基板上には、第１の電極層、絶縁層、光電変換半導体層、第１導電型のキャリアの注入を阻止する半導体層、及び第２の電極層を積層した光電変換素子と、
前記光電変換半導体層に入射した信号光により発生した第１導電型のキャリアを前記光電変換半導体層に留まらせ、前記第１導電型と異なる第２導電型のキャリアを前記第２の電極層に導く方向に前記光電変換素子に電界を与える光電変換手段と、
前記光電変換素子に電界を与えて、前記第１導電型のキャリアを前記光電変換半導体層から前記第２の電極層に導く方向に前記光電変換素子に電界を与えるリフレッシュ手段と、
前記光電変換手段による光電変換動作中に前記光電変換半導体層に蓄積された前記第１導電型のキャリアもしくは前記第２の電極層に導かれた前記第２導電型のキャリアを検出する為の信号検出部と、を有する［１］又は［２］に記載の光電変換装置。
【００５３】
［４］前記光電変換素子の上部に蛍光体を配置し、Ｘ線レントゲン装置を構成した［１］～［３］のいずれかに記載の光電変換装置。
【００５４】
［作用］
上記［１］、［２］の手段によれば、作製する時の基板１枚あたりの歩留まりを向上させ、かつ基板１枚あたりの不具合による損失額は小さくすることにより、結果的に大面積の光電変換装置のコストを低減できるという作用が得られる。
【００５５】

また、検査工程の効率の向上、及びそれに伴うスループットの向上、及び部品点数の削減が可能となり、結果的に大面積の光電変換装置のコストをさらに低減することができるという作用が得られる。

【００５６】

さらに、すべての光電変換素子を同一方向に走査し、信号処理を簡単な装置で高速に行うことが可能となり、その結果、光電変換装置のコスト低減と性能の向上をさせることができる。

【００５７】

また、上記［３］の手段によれば、上記［１］、［２］で説明した作用に加えて、光電変換素子の注入阻止層が一か所のみで光の入射量を検出することができ、プロセスの最適化が容易で歩留まりの向上が図れ、製造コストの低減が可能で、ＳＮ比の高い低コストの光電変換装置を供給することができるという作用が得られる。

【００５８】

また、上記［４］の手段によれば、上記［１］～［３］で説明した作用に加えて、従来のＸ線フィルムと異なり、出力を瞬時に映し出すことが可能となり、更に画像処理及びデータの保管も可能となる。又、感度もフィルムに比べて良く、人体に影響の少ない微弱なＸ線で鮮明な画像を得ることができるという作用が得られる。

【００５９】

成膜時の基板の配置に応じて、基板を貼り合わせれば、少なくとも、異なる基板上の隣り合う位置に存在する光電変換素子の特性を連続的に等しくすることができるという作用が得られる。

【００６０】

【発明の実施の形態】

（第１の実施形態）

図１は、本発明の第１の実施形態に係る光電変換装置の全体平面図である。なお図２及び図３と同一機能の部分には同一符号を付してあり、説明を省略する場合がある。

【００６１】

図１に示す光電変換装置において特徴的な点は、４枚の基板１００，１５０，１００，１５０を各々２枚ずつ１８０°回転した状態で４枚の光電変換素子部（図中点線で囲まれた斜線部）を実質的に隙間なく隣り合うように隣接して配列し、互いに貼り合わせることによって１つの大きな光電変換装置を構成している点である。

【００６２】

また、対角線上にある２つの基板はそれぞれ同一構成の基板である。

【００６３】

さらに、図１中に矢印で示した走査方向において４枚の基板上の光電変換素子アレイの走査回路の走査方向と、検出用集積回路の走査方向即ち、検出信号のパラ・シリ変換の方向を双方向可能とすることにより、４枚の光電変換素子部を装置全体でみた時にすべて同一方向に走査することが大きな特徴である。

【００６４】

基板１００の上には、光電変換素子が１０００×１０００個配置され、１０００本の制御配線ｇ１～ｇ１０００と１０００本の信号配線ｓｉｇ１～ｓｉｇ１０００の計２０００本の配線と接続されている。走査回路ＳＲ１は１００段ごとに１個のチップに形成してあり、基板１００の上には、ＳＲ１－１～ＳＲ１－１０の計１０個のＩＣチップが配置され制御配線ｇ１～ｇ１０００とＩＣチップの各端子とが接続されている。

【００６５】

また、検出用集積回路も１００個の処理回路ごとに１個のチップに形成し、ＩＣ１～ＩＣ１０の計１０個の検出用集積回路チップが配置され信号配線ｓｉｇ１～ｓｉｇ１０００と各ＩＣチップの各端子と接続されている。基板１５０においても基板１００と同様であり、光電変換素子は１０００×１０００個配置されており、１０００本の制御配線と１０００本の信号配線により接続されている。また走査回路及び検出用集積回路も同様に１０個

ずつ配置されている。これらの走査回路及び検出用集積回路は各基板毎に同じものを用いて異なるものを用いてもよいが、後述するようにそれぞれ一種のＩＣを用いたほうが好ましいものである。また、４枚の基板上の光電変換素子アレイにおいて４つ同時に走査することも可能であり、そのような場合は図２に示した例と比較すると１／４の走査時間に短縮することが可能となる。

【００６６】

図１に示すように４枚の基板上に光電変換素子アレイを作製し、その４枚の基板をすき間が出来るだけ小さくなるように貼り合わせて大面積の光電変換装置を構成することにより、基板１枚あたりの歩留まりは高くなり、同時に基板１枚あたりの不具合による損失額を小さくすることができる。

【００６７】

具体的には、図１の大面積光電変換装置における光電変換素子が配置してある面積と図３の光電変換装置における光電変換素子が配置してある面積が同じ場合には、図１に示す各基板内のすべての制御配線とすべての信号配線の合計の長さは図３に示す光電変換装置内のすべての制御配線とすべての信号配線の合計の長さの約１／４となる。

【００６８】

このような光電変換装置において、制御配線及び信号配線のショートまたはオープンはその配線に接続されている光電変換素子のすべての出力信号が不正確なものとなるため、光電変換装置としては使用不可能となってしまう。そのため、すべての制御配線及びすべての信号配線の合計の長さにほぼ比例して上記のような不具合が生じる確率が増大し、歩留まりを下げるのである。

【００６９】

よって図１に示す基板１枚あたりの配線の不具合による歩留まりは、図３に示す光電変換装置の約４倍となる。また、図１に示す基板１枚が不具合となり、使用不可能になった場合の損失額は、基板の面積にほぼ比例するため、図３に示す光電変換装置において不具合が発生し使用不可能になった場合の損失額の約１／４となるのである。

【００７０】

図１に示すように４枚の基板を用いて第１のパターンの光電変換素子アレイの基板１００を２枚と、第２のパターンの光電変換素子アレイの基板１５０とを形成し、同一の走査回路及び検出用集積回路を実装し、その２枚の基板を各々１８０°ずつ回転させ対角線上に配し貼り合わせて大面積の光電変換装置を構成する。こうすることにより、部品点数の削減が可能となる。また、検査工程も２種類の装置で行うことが可能となり、検査工程の効率の向上及びそれに伴うスループットの向上が可能となる。その結果大面積の光電変換装置のコストを低減することが可能となる。

【００７１】

また、４枚の基板上に実装する走査回路及び検出用集積回路を双方向で駆動可能なものとし、シフト方向を定める信号の入力によってシフト方向が決定される回路を用いることにより、図３の様に配置された４枚の光電変換装置すべて同一の方向で走査することが可能となる。その結果、読み取られた全光電変換素子の信号を処理する回路が簡単なものとなり、高速で信号を処理することが可能となる。

【００７２】

よって、低コストで高性能な大面積の光電変換装置が可能となる。

【００７３】

また、基板上の構成は、図４（ａ）、（ｂ）に示すように、前記基板上には、第１の電極層２、絶縁層７、光電変換を行いうる半導体層４、第１導電型のキャリアの注入を阻止する半導体層５、及び第２の電極層６を積層した光電変換素子が設けられている。そして、この光電変換装置は前記半導体層５に入射した信号光により発生した第１導電型のキャリアを前記半導体装置５に蓄積させ、前記第１導電型と異なる第２導電型のキャリアを前記第２の電極層６に導く方向に前記受光素子に電界を与える光電変換手段と、前記受光素子に電界を与えて、前記第１導電型のキャリアを前記半導体層から前記第２の電極層に導く

方向に前記光電変換素子に電界を与えるリフレッシュ手段と、前記光電変換手段による光電変換動作中に前記半導体層に蓄積された前記第１導電型のキャリアもしくは前記第２の電極層に導かれた前記第２導電型のキャリアを検出する為の信号検出部と、を有している。

【００７４】

図４（ａ）、（ｂ）において、Ｓ１１は受光素子、Ｔ１１はＴＦＴ、Ｃ１１はコンデンサ、およびＳＩＧは信号配線である。コンデンサＣ１１と受光素子Ｓ１１とを分離せず、受光素子Ｓ１１とコンデンサＣ１１とを一体的に形成している。これは受光素子とコンデンサとＴＦＴとがほぼ同じ層構成であるから可能なことである。また、画素上部にはパッシベーション膜として窒化シリコン膜ＳｉＮが形成されている。上方より光が光電変換素子に入射すると電気信号（蓄積電荷量）に変換される。

【００７５】

次に図１に示した走査回路の構成について図５を参照して説明する。

【００７６】

走査回路は、出力線の数に対応して設けられたアンドゲート及び選択スイッチＳＷ１と、２段の遅延型フリップフロップ（Ｄフリップフロップ）ＦＦ１，ＦＦ２と、選択スイッチＳＳＷ１，ＳＳＷ２と、を有している。

【００７７】

シフト方向を定める為の信号として、端子ＤＩＲにハイレベルの電圧が入力されると、選択スイッチＳＳＷ１，ＳＳＷ２，ＳＷ１がハイ（Ｈ）側に切換えられる。図中左側の入出力端子はＳＩＮ／ＳＯＵＴから入力されるシフトパルス及びクロック入力端子から入力されるクロックに応じて、ＤフリップフロップＦＦ１は順次選択スイッチＳＷ１を介してアンドゲートに、ゲート線を選択する意味をもつ“１”を出力する。この時、制御端子ＯＥにアウトプットイネーブルのパルス“１”が入力されるとアンドゲートの出力は“１”となり出力線が選択される。こうして、出力線はｇ１，ｇ２，ｇ３…ｇ９８，ｇ９９，ｇ１００の順に選択される。

【００７８】

次に逆方向のシフト動作について説明する。シフト方向制御端子ＤＩＲにローレベルの電圧が入力されると、各選択スイッチＳＳＷ２，ＳＷ１，ＳＳＷ１がロー（Ｌ）側に切換えられる。

【００７９】

図５中、右側の入出力端子ＳＯＵＴ／ＳＩＮからシフトパルスが入力されると、ＤフリップフロップＦＦ２が順次、選択スイッチＳＷ１を介してアンドゲートに“１”を出力する。この時制御端子ＯＥにアウトプットイネーブルパルス“１”が入力されるとアンドゲートの出力は“１”となり出力線が選択される。こうして出力線はｇ１００，ｇ９９，ｇ９８，…ｇ３，ｇ２，ｇ１の順で選択される。

【００８０】

図６は、１０個の走査回路チップＳＲ１－１～ＳＲ１－１０を直列に接続し１つの光電変換装置の走査回路を構成した例を示している。

【００８１】

図７は、１つの検出用集積回路チップの構成を示している。ＩＣチップはマルチプレクサを有しており、入力された信号の出力順（又は信号の入力順）を選択する電気的ロータリースイッチを制御端子ＣＯＮＴへの入力制御信号により制御する構成が採用されている。つまり、ＩＣチップは、入力端子からパラレルに入力した信号を、いったん不図示のサンプルホールド回路に保持した後、シリアルに出力してもよいし、シリアルに入力してシリアルに出力してもよい。

【００８２】

図８は、１０個の検出用集積回路チップＩＣ－１～ＩＣ－１０を直列に接続した例を示している。

【００８３】

図１の装置に図５～図８の走査回路及び検出用集積回路を採用した場合の動作について述べる。

【００８４】

各チップからみれば、光電変換素子部のゲート配線又は信号配線に接続される各チップの端子の物理的配置順序とシフト方向との関係は装置１００に搭載されるか、装置１５０に搭載されるかにより、互に逆になる。

【００８５】

しかし、図５～図８の各ＩＣチップはシフト方向が制御端子ＤＩＲ，ＣＯＮＴへの入力信号によって選択的に定められる為、１種類のＩＣチップが１００又は１５０のいずれにも搭載できる。

【００８６】

例えば、図１中、左上の装置１００と左下の装置１５０に搭載される走査回路は、端子ＤＩＲにハイレベルの電圧を入力し、シフト方向がｇ１，ｇ２，…ｇ１００となるように定められる。

【００８７】

一方、図１中右上の装置１５０と右下の装置１００とに搭載される走査回路は端子ＤＩＲにローレベルの電圧を入力し、シフト方向がｇ１００，ｇ９９，…ｇ１となるように定められる。

【００８８】

又、各チップからの走査選択信号は左上、左下の装置ではＳＲ１－１からＳＲ１－１０の順に出力され、逆に右上、右下の装置ではＳＲ１－１０からＳＲ１－１の順に出力される。

【００８９】

同様にして、図１の右上及び左上にある装置に搭載される検出用ＩＣチップには端子ＣＯＮＴにハイレベルのパルスが入力され、端子Ｓｉｇ１，Ｓｉｇ２，…Ｓｉｇ１００の順に検出信号を時系列に並べ変えて出力する。

【００９０】

一方、図１の右下及び左下にある装置に搭載される検出用ＩＣチップには端子ＣＯＮＴにローレベルのパルスが入力され端子Ｓｉｇ１００，Ｓｉｇ９９，…Ｓｉｇ１の順に検出信号を時系列に並べ変えて出力する。

【００９１】

各チップからの出力は右上、左上の装置ではＩＣ－１からＩＣ－１０の順まで時系列に出力され、右下、左下の装置では逆にＩＣ－１０からＩＣ－１の順で時系列に出力される。

【００９２】

本発明の光電変換装置に用いることができるＩＣチップの実装法は大別して４つある。各チップを４つの基板上にフリップチップ方式で直接搭載するチップオングラス法（ＣＯＧ法）、各チップをフレキシブルプリント配線基板に接続し搭載するテープキャリアパッケージＩＣを用いる方法（ＴＡＢ法）、４つの基板上にＩＣチップを配してワイヤーボンデングする方法、或いは走査回路と検出用回路を光電変換素子を構成する薄膜半導体を用いて同一基板上に作製するモノリシック集積化法である。ＩＣチップの大きさが無視できない場合であって光電変換素子アレイの外側の領域（枠部）の大きさを小さくしたい場合には、基板を折り曲げることが出来るＴＡＢ法が好ましい。ＴＡＢ法の場合、制御配線又は信号配線と、テープキャリアパッケージされたＩＣの端子との接続は、異方性導電性接着剤を用いて接続することが望ましい。

【００９３】

又、４つの基板は、ガラス、セラミックス、金属、樹脂などからなる大面積の基体（マーザーボード）に積層して貼り合わせるとよい。

【００９４】

（第２の実施形態）

図９は、本発明の第２の実施形態に係る光電変換装置の平面図である。なお図１、図２及

び図３と同一機能の部分には同一符号を付してあり、説明を適宜省略している。
【００９５】
図９に示す光電変換装置において特徴的な点は、４枚の基板の中の少なくとも１組が互いに異なる外形を有している点である。図９ではこうして４枚の基板を貼り合わせた時の大面積の光電変換装置における光電変換部の平面形状が長方形の装置を提供する。つまり、符号１５０で示す互いに対角線上にある１組の基板の装置は同一構成のものが使用でき、符号２５０で示す、対角線上にある１組の基板の装置は同一構成の装置である。もちろん、１組の基板の平面形状が互いに異なる場合においても、４枚の基板を貼り合わせた時の大面積の光電変換装置における光電変換部の平面形状が正方形になる場合もあるが、作製のしやすさ及びコストを考えると図９に示す装置がより好ましい。
【００９６】
本発明による大面積の光電変換装置を人体の胸部用Ｘ線撮像装置に用いる場合は、光電変換部の平面形状は本第２の実施例のような長方形になる場合がある。
【００９７】
このような場合においても、同一パターンの基板を２枚ずつ形成し、同一の走査回路及び検出用集積回路を実装し、その２枚の基板を各々１８０°ずつ回転させ、すき間を出来るだけなくすように貼り合わせて大面積の光電変換装置を構成することにより、部品点数の削減が可能となる。また、検査工程も２種類の装置で行うことが可能となり、検査工程の効率の向上及びそれに伴うスループットの向上が可能となる。その結果大面積の光電変換装置のコストを低減することが可能となる。
【００９８】
また、４枚の基板上に実装するシフトレジスタ及び検出用集積回路を双方向で駆動可能なものとすることにより、図３の様に配置された４枚の光電変換装置すべて同一の方向で走査することが可能となる。その結果、読み取られた全光電変換素子の信号を処理する回路が簡単なものとなり、高速で信号を処理することが可能となる。よって、低コストで高性能な大面積の光電変換装置が可能となる。
【００９９】
（第３の実施形態）
図１０は、本発明の第３の実施形態に係る光電変換装置の全体平面図である。なお従来例の項で説明した図２、３と同一機能の部分には同一符号を付してあり、説明を省略する場合がある。
【０１００】
図１０に示す光電変換装置においては、４枚の基板１００，２００，３００，４００上に構成されている光電変換素子アレイ（図中、点線で囲まれる斜線部）を互いに接近させて配列して貼り合わせることによって１つの大きな光電変換装置を構成している点。
【０１０１】
基板１００の上には、光電変換素子が１０００×１０００個配置され、制御配線ｇ１～ｇ１０００と１０００本の信号配線ｓｉｇ１～ｓｉｇ１０００の計２０００本の配線と接続されている。走査回路ＳＲ１のシフトレジスタは１００段ごとに１個のチップに形成してあり、基板１００の上には、ＳＲ１－１～ＳＲ１－１０の計１０個のＩＣチップが配置され制御配線ｇ１～ｇ１０００と接続されている。
【０１０２】
また、検出用集積回路は１００個の処理回路ごとに１個のチップに集積化され、ＩＣ１～ＩＣ１０の計１０個のチップが配置され信号配線ｓｉｇ１～ｓｉｇ１０００と接続されている。他の基板２００，３００，４００においても基板１００と同様であり、光電変換素子は１０００×１０００個配置されており、１０００本の制御配線と１０００本の信号配線により接続されている。またシフトレジスタ及び検出用集積回路も同様に１０個ずつ配置されている。これらのシフトレジスタ及び検出用集積回路は各基板毎に同じものを用いても異なるものを用いてもよいが、前述した双方向に駆動可能なＩＣを用いることが望ましいものである。また、４枚の光電変換装置において同時に走査することも可能であり、

そのような場合は図９に示す例と比較すると１／４の走査時間に短縮することが可能となる。

【０１０３】

図１１は、本発明の第３の実施形態に係る光電変換装置を作製するプラズマＣＶＤ装置内での基板配置図である。図１１に示す光電変換装置において更なる特徴的な点は、図２に示した光電変換装置１００，２００，３００，４００をそれぞれ構成する基板１０１，２０１，３０１，４０１のプラズマＣＶＤ内での配置される向きと、光電変換装置１００，２００，３００，４００の配置されている向きが同じことである。つまり、角部ＰＰが中心になるように配置される。

【０１０４】

図１１において符号５００は基板を押える治具であり、６００は薄膜堆積後切断される仮想の切断線である。

【０１０５】

通常、プラズマＣＶＤ装置として、平行平板型で、一方の電極の孔からガスを噴出させる装置が用いられる為、基板又は電極の中心と周辺とに堆積速度に差が生じ易い。

【０１０６】

これに対して、図１１のように配置された基板上に非晶質シリコン等の非単結晶半導体層を堆積し、そのままの向きで図１のように４枚を貼り合わせ大面積の光電変換装置を作製することにより、４枚の光電変換装置の継ぎ目の光電変換素子の特性が連続的に等しくなり、結果的に高性能な大面積の光電変換装置を提供することが可能となる。

【０１０７】

基板上には、前述した、図４及び図５に示されるように、前記基板上には、第１の電極層２、絶縁層７、半導体層４、第１導電型のキャリアの注入を阻止する半導体層５、及び第２の電極層６を積層した光電変換素子を配列した光電変換変換部が設けられている。

【０１０８】

（第４の実施形態）

図１２は、本発明の第４の実施形態に係る光電変換装置の全体平面図である。なお前述した各実施例と同一機能の部分には同一符号を付してあり、適宜説明を省略する。

【０１０９】

図１２に示す光電変換装置において特徴的な点は、光電変換装置１００，４００をすき間が小さくなるように貼り合わせることによって１つの大きな光電変換装置を構成している点である。光電変換装置１００，４００は実施例３と同様に図１１に示す配置でプラズマＣＶＤ内で非晶質シリコンが堆積される。よって、図１１のように配置された基板上に非晶質シリコンを堆積し、そのうち基板１０１と基板４０１を用いて角部ＰＰが一致するようにそのままの向きで図１２のように２枚を貼り合わせて大面積の光電変換装置を作製することにより、２枚の光電変換装置の継ぎ目の光電変換素子の特性が連続的に等しくなり、結果的に高性能な大面積の光電変換装置を提供することが可能となる。

【０１１０】

又、更に実施例１～３と同様に、２枚の基板上に実装するシフトレジスタ及び検出用集積回路を双方向で駆動可能なものとすることにより、図１２の様に配置された２枚の光電変換装置を図１２中、矢印に示す方向で走査することが可能となる。

【０１１１】

（第５の実施形態）

第５の実施形態としては、上記した第１乃至第４の各実施形態の光電変換素子の上部に蛍光体を配置し、Ｘ線レントゲン装置を構成したものである。

【０１１２】

基板上の構成は、前述した図５の光入射側にＸ線等の高エネルギー線を吸収し可視光を発生する発光体の層を設けたものである。それを図１３に示す。パッシベーション膜ＳｉＮ上に発光体としての蛍光体を配している。この蛍光体としてはヨウ化セシウム（ＣｓＩ）が挙げられ、Ｘ線を受光すると蛍光を発生する。この蛍光を受光素子Ｓ１１で光電変換す

る。例えば縦横１ｍｍあたり５×５個の画素を２０００×２０００個の画素として二次元的に配置すれば４０ｃｍ×４０ｃｍのＸ線検出器が得られる。

【０１１３】

これをＸ線フィルムの代わりにＸ線発生器と組み合わせてＸ線レントゲン装置を構成すれば胸部レントゲン検診や乳ガン検診に使用できる。するとフィルムと異なり瞬時にその出力をＣＲＴで映し出すことが可能で、さらに出力をディジタルに変換しコンピュータで画像処理して目的に合わせた出力に変換することも可能である。また光磁気ディスクに保管もでき、過去の画像を瞬時に検索することもできる。また感度もフィルムよりも良く人体に影響の少ない微弱なＸ線で鮮明な画像を得ることもできる。

【０１１４】

次に、図１４、図１５を参照して本発明に用いられる光電変換素子アレイの駆動法について説明する。ここでは１チップの走査回路による走査線数を３、１チップの検出用ＩＣによるデータ線数を３として、３×３マトリクスの光電変換素子アレイの駆動する場合を例に挙げるが、走査線を１０００本、データ線を１０００本、光電変換素子を１０００×１０００マトリクスとすれば、図３の１つの基板の走査・検出が行えることは明らかである。

【０１１５】

図１４は、本発明の光電変換装置の駆動方法を説明する為の回路図である。各光電変換素子（画素）の構成としては図４、５、１３に示したものと同じ構造を採用できる。

【０１１６】

図１４において、Ｓ１１～Ｓ３３は受光素子で下部電極側をＧ、上部電極側をＤで示している。Ｃ１１～Ｃ３３は蓄積用コンデンサ、Ｔ１１～Ｔ３３は転送ＴＦＴである。Ｖｓは読み出し用電源、Ｖｇはリフレッシュ用電源であり、それぞれスイッチＳＷｓ、ＳＷｇを介して全光電変換素子Ｓ１１～Ｓ３３のＧ電極に接続されている。スイッチＳＷｓはインバータを介して、スイッチＳＷｇは直接にリフレッシュ制御回路ＲＦに接続されており、リフレッシュ期間はスイッチＳＷｇがｏｎするよう制御されている。１画素は１個の受光素子とコンデンサ、およびＴＦＴで構成され、その出力信号は信号配線ＳＩＧを介して検出用集積回路ＩＣに出力される。

【０１１７】

図１４中の破線で囲んだ部分は大面積の同一絶縁基板上に形成されている。

【０１１８】

図１５は図１４の動作を示すタイミングチャートである。

【０１１９】

はじめに走査回路ＳＲ１およびＳＲ２により制御配線ｇ１～ｇ３、ｓ１～ｓ２にハイレベルのパルスが印加される。すると転送用ＴＦＴ・Ｔ１１～Ｔ３３とスイッチＭ１～Ｍ３がオンし導通し、受光素子Ｓ１１～Ｓ３３のＤ電極は基準電位としてのＧＮＤ電位になる（積分検出器Ａｍｐの入力端子はＧＮＤ電位に設計されているため）。同時にリフレッシュ制御回路ＲＦがハイレベルのパルスを出力しスイッチＳＷｇがオンし、全受光素子Ｓ１１～Ｓ３３のＧ電極はリフレッシュ用電源Ｖｇにより正電位になる。すると全受光素子Ｓ１１～Ｓ３３はリフレッシュモードになりリフレッシュされる。つぎにリフレッシュ制御回路ＲＦがローレベルのパルスを出力しスイッチＳＷｓがオンし全受光素子Ｓ１１～Ｓ３３のＧ電極は読み取り用電源Ｖｓにより負電位になる。すると全受光素子Ｓ１１～Ｓ３３は光電変換モードになり同時にコンデンサＣ１１～Ｃ３３は初期化される。この状態で走査回路ＳＲ１およびＳＲ２により制御配線ｇ１～ｇ３、ｓ１～ｓ２にローレベルのパルスが印加される。すると転送用ＴＦＴ・Ｔ１１～Ｔ３３のスイッチＭ１～Ｍ３がオフし、全受光素子Ｓ１１～Ｓ３３のＤ電極はＤＣ的にはオープンになるがコンデンサＣ１１～Ｃ３３によって電位は保持される。

【０１２０】

しかし、この時点では光線は入射されていないため、全受光素子Ｓ１１～Ｓ３３には光は入射されずに光電流は流れない。この状態で光線がパルス的に出射され被写体を介して受

光素子Ｓ１１～Ｓ３３に入射する。この光により流れた光電流は電荷としてそれぞれのコンデンサＣ１１～Ｃ３３に蓄積され光線の入射終了後も保持される。

【０１２１】

つぎに、走査回路ＳＲ１により制御配線ｇ１にハイレベルの制御パルスが印加され、走査回路ＳＲ２の制御配線ｓ１～ｓ３への制御パルス印加によって転送用ＴＦＴ・Ｔ１１～Ｔ３３のスイッチＭ１～Ｍ３を通してｖ１～ｖ３が順次出力される。同様に走査回路ＳＲ１，ＳＲ２の制御により他の光信号も順次出力される。二次元の光情報が電気信号に変換されてｖ１～ｖ９として得られる。静止画像を得る場合はここまでの動作であるが動画像を得る場合はここまでの動作を繰り返す。

【０１２２】

この光電変換装置では受光素子のＧ電極が共通に接続され、この共通の配線をスイッチＳＷｇとスイッチＳＷｓを介してリフレッシュ用電源Ｖｇと読み取り用電源Ｖｓに接続して、Ｇ電極の電位に制御している為、全光電変換素子を同時にリフレッシュモードと光電変換モードとに切り換えることができる。このため複雑な制御なくして１画素あたり１個のＴＦＴで光出力を得ることができる。

【０１２３】

以前我々が提案した光電変換装置では９個の画素を３×３に二次元配置し３画素ずつ同時に、３回に分割して転送・出力したが、これに限らず、例えば縦横１ｍｍあたり５×５個の画素を２０００×２０００個の画素として二次元的に配置すれば４０ｃｍ×４０ｃｍのＸ線検出器が得られる。

【０１２４】

従来のＸ線レントゲン装置におけるＸ線フィルムに代えて本発明の光電変換装置をＸ線発生器と組み合わせて用いれば新規なＸ線レントゲン装置となる。これは胸部レントゲン検診や乳ガン検診に使用できる。するとフィルムと異なり瞬時にその出力をＣＲＴで映し出すことが可能で、さらに出力をディジタルに変換しコンピュータで画像処理して目的に合わせた出力に変換することも可能である。また光磁気ディスクに保管もでき、過去の画像を瞬時に検索することもできる。また感度もフィルムより良く人体に影響の少ない微弱なＸ線で鮮明な画像を得ることもできる。

【０１２５】

又、本発明の光電変換装置に用いられる受光素子としては、光導電素子や光起電力素子が用いられるが、以下に述べる理由により、図４、５、１３に示したような光電変換素子が好ましく用いられる。

【０１２６】

図１６（ａ）～（ｃ）は受光素子としての光センサの構成を示す図であり、図１６（ａ），（ｂ）は二種類の光センサの層構成を示し、図１６（ｃ）は共通した代表的な駆動方法を示している。図１６（ａ），（ｂ）共にフォト・ダイオード型の光センサであり、図１６（ａ）はＰＩＮ型、図１６（ｂ）はショットキー型と称されている。

【０１２７】

図１６（ａ），（ｂ）中、１は絶縁基板、２は下部電極、３はｐ型半導体層（以下ｐ層と記す）、４は真性半導体層（以下、ｉ層と記す）、５はｎ型半導体層（以下ｎ層と記す）６は透明電極である。図１６（ｂ）のショットキー型では下部電極２の材料を適当に選び、下部電極２からｉ層４に電子が注入されないようショットキーバリア層が形成されている。図１６（ｃ）において、１０は上記光センサを記号化して表わした光センサを示し、１１は電源、１２は電流アンプ等の検出部を示している。光センサ１０中Ｃで示された方向は図１６（ａ），（ｂ）中の透明電極６側、Ａで示された方向が下部電極２側であり、電源１１はＡ側に対しＣ側に正の電圧が加わる様に設定されている。

【０１２８】

ここで動作を簡単に説明する。図１６（ａ），（ｂ）に示されるように、矢印で示された方向から光が入射され、ｉ層４に達すると、光は吸収され電子とホールが発生する。ｉ層４には電源１１により電界が印加されているため電子はＣ側、つまりｎ層５を通過して透

明電極６に移動し、ホールはＡ側つまり下部電圧２に移動する。よって、光センサ１０に光電流が流れたことになる。また、光が入射しない場合ｉ層４で電子もホールも発生せず、また、透明電極内６のホールはｎ層５がホールの注入阻止層として働き、下部電極２内の電子は図１６（ａ）のＰＩＮ型ではｐ層３が、図１６（ｂ）のショットキー型ではショットキーバリア層が、電子の注入阻止層として働き、電子、ホール共に移動できず、電流は流れない。したがって光の入射の有無で電流が変化し、これを図１６（ｃ）の検出部１２で検出すれば光センサとして動作する。

【０１２９】

しかしながら、上記光センサでＳＮ比が高く、低コストの光電変換装置を生産するのは困難であった。以下その理由について説明する。

【０１３０】

第１の理由は、図１６（ａ）のＰＩＮ型、図１６（ｂ）のショットキー型は共に２カ所に注入阻止層が必要なところにある。図１６（ａ）のＰＩＮ型において注入阻止層であるｎ層５は電子を透明電極６に導くと同時にホールがｉ層４に注入するのを阻止する特性が必要である。どちらかの特性を逸すれば光電流が低下したり、光が入射しない時の電流（以下暗電流と記す）が発生、増加することになりＳＮ比の低下の原因になる。この暗電流はそれ自信がノイズと考えられると同時にショットノイズと呼ばれるゆらぎ、いわゆる量子ノイズを含んでおり、たとえば検出部１２で暗電流を差し引く処理をしても、暗電流に伴う量子ノイズを小さくすることはできない。通常この特性を向上させるためｉ層４やｎ層５の成膜の条件や、作成後のアニールの条件の最適化を図る必要がある。しかし、もう一つの注入阻止層であるｐ層３についても電子、ホールが逆であるが同等の特性が必要であり、同様に各条件の最適化が必要である。通常、前者ｎ層の最適化と後者ｐ層の最適化の条件は同一でなく、両者の条件を同時に満足させるのは困難である。つまり、同一光センサ内に二カ所の注入阻止層が必要なことは高ＳＮ比の光センサの形成を困難にする。

【０１３１】

これは図１６（ｂ）のショットキー型においても同様である。また図１６（ｂ）のショットキー型においては片方の注入阻止層にショットキーバリア層を用いているが、これは下部電極２とｉ層４の仕事関数の差を利用するもので、下部電極２の材料が限定されたり、界面の局在準位の影響が特性に大きく影響し、条件を満足させるのはさらに困難である。また、さらにショットキーバリア層の特性を向上させるために、下部電極２とｉ層４の間に１００オングストローム前後の薄いシリコンや金属の酸化膜、窒化膜を形成することも報告されているが、これは、トンネル効果を利用し、ホールを下部電極２に導き、電子のｉ層４への注入を阻止する効果を向上させるもので、やはり仕事関数の差を利用しているため下部電極２の材料の限定は必要であるし、電子の注入の阻止とトンネル効果によるホールの移動という逆の性質を利用するため酸化膜や窒化膜は１００オングストローム前後と非常に薄いところに限定され、かつ、厚さや膜質の制御は難しく生産性を低下させられる。

【０１３２】

また、注入阻止層が２カ所必要なことは生産性を低下させコストもアップする。これは注入阻止層が特性上重要な為２カ所中１カ所でもゴミ等で欠陥が生じた場合、光センサとしての特性が得られないからである。

【０１３３】

第２の理由を図１７を用いて説明する。図１７は薄膜の半導体膜で形成した電界効果型トランジスタ（ＴＦＴ）の層構成を示している。ＴＦＴは光電変換装置を形成するうえで制御部の一部として利用することがある。図中、図１６と同一なものは同番号で示してある。図１７において、７はゲート絶縁膜であり、６０は上部電極である。形成法を順を追って説明する。絶縁基板１上にゲート電極（Ｇ）として働く下部電極２、ゲート絶縁膜７、ｉ層４、ｎ層５、ソース、ドレイン電極（Ｓ、Ｄ）として働く上部電極６０を順次成膜し、上部電極６０をエッチングしてソース、ドレイン電極を形成し、その後ｎ層５をエッチングしてチャネル部を構成している。ＴＦＴの特性はゲート絶縁膜７とｉ層４の界面の状

態に敏感で通常その汚染を防ぐために同一真空内で連続に堆積する。

【０１３４】

従来の光センサをこのＴＦＴと同一基板上に形成する場合、この層構成が問題となりコストアップや特性の低下を招く。この理由は図１６に示した光センサの構成が、図１６（ａ）のＰＩＮ型が電極／ｐ層／ｉ層／ｎ層／電極、図１６（ｂ）のショットキー型が電極／ｉ層／ｎ層／電極という構成であるのに対し、ＴＦＴは電極／絶縁膜／ｉ層／ｎ層／電極という構成で両者が異なるからである。これは同一プロセスで形成できないことを示し、プロセスの複雑化による歩留まりの低下、コストアップを招く。また、ｉ層／ｎ層を共通化するにはゲート絶縁膜７やｐ層３のエッチング工程が必要となり、先に述べた光センサの重要な層である注入阻止層のｐ層３とｉ層４が同一真空内で成膜できなかったり、ＴＦＴの重要なゲート絶縁膜７とｉ層４の界面がゲート絶縁膜のエッチングにより汚染され、特性の劣化やＳＮ比の低下の原因になる。

【０１３５】

また、前述した図１６（ｂ）のショットキー型の特性を改善するため下部電極２とｉ層４の間に酸化膜や窒化膜を形成したものは膜構成の順は同一であるが先に述べたように酸化膜や窒化膜は１００オングストローム前後である必要がありゲート絶縁膜と共用することは困難である。

【０１３６】

図１８に、ゲート絶縁膜とＴＦＴの歩留まりについて、我々が実験した結果を示す。ゲート絶縁膜厚が１０００オングストローム以下で歩留まりは急激に低下し、８００オングストロームで歩留まりは約３０％、５００オングストロームで歩留まりは０％、２５０オングストロームではＴＦＴの動作すら確認できなかった。トンネル効果を利用した光センサの酸化膜や窒化膜と、電子やホールを絶縁しなければならないＴＦＴのゲート絶縁膜を共用化することは明らかに困難であり、これをデータが示している。

【０１３７】

またさらに、図示していないが電荷や電流の積分値を得るのに必要となる素子である容量素子（以下コンデンサと記す）を光センサと同一の構成でリークが少ない良好な特性のものを作るのは難しい。コンデンサは２つの電極間に電荷を蓄積するのが目的なため電極間の中間層には必ず電子とホールの移動を阻止する層が必要であるのに対し、従来の光センサは電極間に半導体層のみ利用しているため熱的にリークの少ない良好な特性の中間層を得るのは難しいからである。

【０１３８】

このように光電変換装置を構成するうえで重要な素子であるＴＦＴやコンデンサとプロセス的にまたは特性的にマッチングが良くないことは複数の光センサを二次元に多数配置し、この光信号を順次検出するようなシステム全体を構成するうえで工程が多くかつ複雑になるため歩留まりが非常に悪く、低コストで高性能多機能な装置を作る上で問題になる。

【０１３９】

これに対して、図４、５、１３、１４、１５を参照して前述した光電変換素子を用いれば、上述した課題は解決できる。

【０１４０】

前出の図１に係る実施形態では、例えば右上の基板上の素子アレイのみを走査・検出し、他の３板の基板の素子アレイは走査検出を行わないように駆動することも出来る。

【０１４１】

しかしながら、右上の基板１５０の素子アレイのうち、例えば１００本の制御配線ｇ１，ｇ２，…ｇ１００および１００本の信号配線Ｓｉｇ１，Ｓｉｇ２，…Ｓｉｇ１００の交点にある素子のみから信号検出を行うことはできない。よって、その交点にある素子の信号のみを再生する場合には、右上の基板１５０の全素子から信号を読み出した後、必要な信号のみを再生処理する方法が採られる。

【０１４２】

次に述べる実施形態では、走査回路チップ及び検出用チップがデコーダを有しており、コ

ントローラーからのアドレス情報を基に選択すべき制御配線と信号配線とが定められ、それに接続された端子のみが選択される構成の装置である。

【０１４３】

図１９において、光電変換素子アレイは４つの基板７１０，７２０，７３０，７４０上に形成されており、制御配線は左右にそれぞれ１０個設けられた走査選択回路チップＣＰ１に接続され、信号配線は上下にそれぞれ１０個設けられた検出用ＩＣチップＣＰ２に接続されている。

【０１４４】

コントローラーＣＲＬは走査選択すべき光電変換素子のアドレス情報を配線回路ＤＢ１，ＤＢ２を介してそのアドレス情報に対応した端子をもつチップＣＰ１，ＣＰ２に選択的にアドレス情報を供給する。アドレス情報が供給されたチップＣＰ１，ＣＰ２はアドレス情報をデコードして選択すべき端子をイネーブルとする。こうして必要な領域の光電変換素子からの信号のみを処理再生するマスキング処理が容易に行われる。

【０１４５】

以上のように各チップがデコーダを有しているので、同じ構成の走査選択回路チップを左右いずれにも配することができる。これは検出用ＩＣチップについても同じである。

【０１４６】

又、デコーダを有することにより、必要に応じて複数本の制御配線を同時に選択したり、所定数本飛び越して走査選択することもできる。これは検出用ＩＣチップについても同じことがいえる。

【０１４７】

勿論、全制御配線と全信号配線を特定するアドレス情報を時系列に各回路に入力すれば図３と同様に走査方向を定めることができる。

【０１４８】

【発明の効果】

以上説明した様に、本発明によれば、大面積の光電変換装置を作製する時の基板１枚あたりの歩留まりを向上させ、かつ基板１枚あたりの不具合による損失額を小さくすることにより、結果的に大面積の光電変換装置のコストを低減することが可能となる。

【０１４９】

また、本発明によれば、大面積の光電変換装置を作製する時の検査工程の効率の向上及びそれに伴うスループットの向上及び部品点数の削減が可能となり、結果的に大面積の光電変換装置のコストをさらに低減することが可能となる。

【０１５０】

また、本発明によれば、大面積の光電変換装置において、すべての光電変換素子を同一方向に走査し、信号処理を簡単な装置で高速に行うことが可能となり、その結果、光電変換装置のコスト低減と性能の向上をさせることが可能となる。

【図面の簡単な説明】

【図１】本発明の第１の実施形態に係る光電変換装置の全体平面図である。

【図２】２０００×２０００個の画素を持つ光電変換装置の別の例を示す平面図である。

【図３】２０００×２０００個の画素を持つ光電変換装置を示す平面図である。

【図４】本発明の第１の実施形態の基板上の構成を示す平面図（ａ）及び断面図（ｂ）である。

【図５】本発明の第１の実施形態に係る走査回路の構成を示す図である。

【図６】１０個の走査回路チップＳＲ１－１～ＳＲ１－１０を直列に接続し１つの光電変換装置の走査回路を構成した例を示す図である。

【図７】１つの検出用集積回路チップの構成を示す図である。

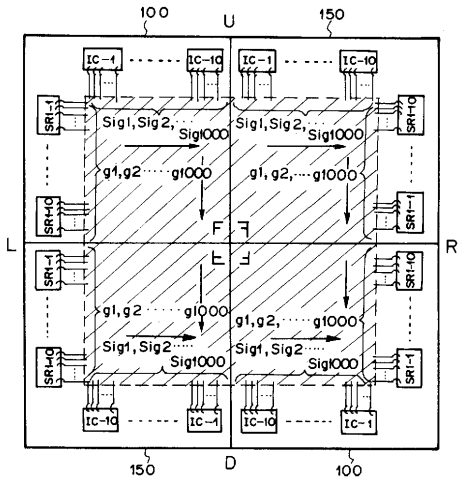
【図８】１０個の検出用集積回路チップＩＣ－１～ＩＣ－１０を直列に接続した例を示す図である。

【図９】本発明の第２の実施形態に係る光電変換装置の平面図である。

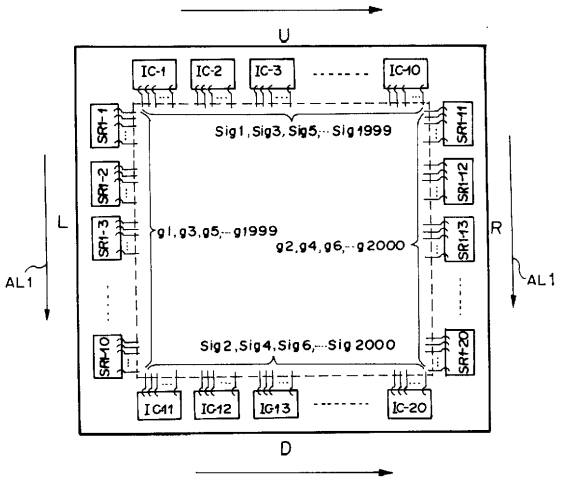
【図１０】本発明の第３の実施形態に係る光電変換装置の全体平面図である。

【図１１】本発明の第３の実施形態に係る光電変換装置を作製するプラズマＣＶＤ装置内での基板配置図である。
【図１２】本発明の第４の実施形態に係る光電変換装置の全体平面図である。
【図１３】本発明の第５の実施形態として、各実施形態の光電変換素子の上部に蛍光体層を配置し、Ｘ線レントゲン装置を構成したものである。
【図１４】本発明の光電変換装置の駆動方法を説明する為の回路図である。
【図１５】図１４の動作を示すタイミングチャートである。
【図１６】受光素子としての光センサの構成及び駆動方法を示す図である。
【図１７】薄膜の半導体膜で形成した電界効果型トランジスタ（ＴＦＴ）の層構成を示す図である。
【図１８】ゲート絶縁膜とＴＦＴの歩留まりについて、実験した結果を示す図である。
【図１９】４つの基板上に形成された光電変換素子アレイを示す図である。
【符号の説明】
１００，１５０　基板
ｇ１～ｇ１０００　制御配線
ｓｉｇ１～ｓｉｇ１０００　信号配線
ＳＲ１－１～ＳＲ１－１０　走査回路チップ
ＩＣ１～ＩＣ１０　検出用集積回路チップ

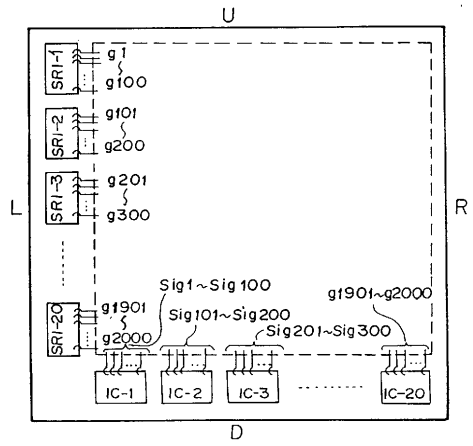
【図１】



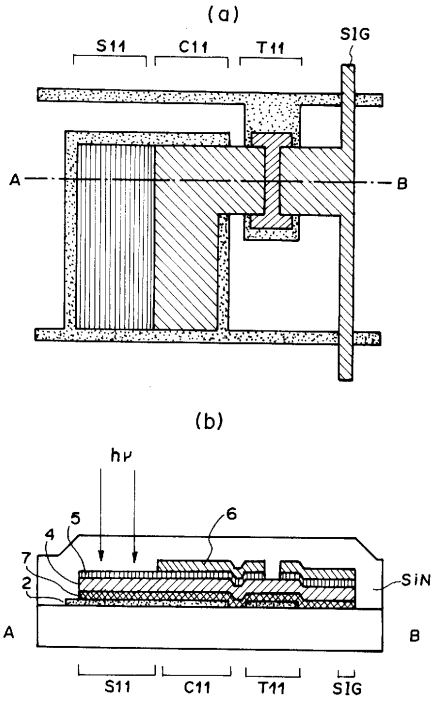
【図２】



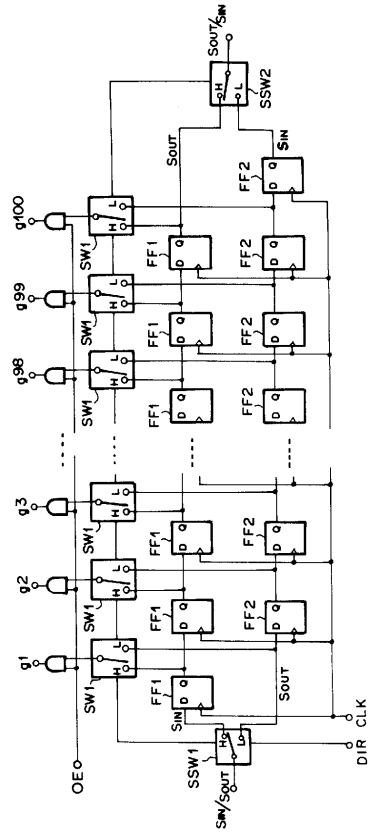
【図３】


U
L
R
D
SRI-1
SRI-2
SRI-3
SRI-20
g1
g100
g101
g200
g201
g300
g1901
g2000
Sig1~Sig100
Sig101~Sig200
Sig201~Sig300
g1901~g2000
IC-1
IC-2
IC-3
IC-20

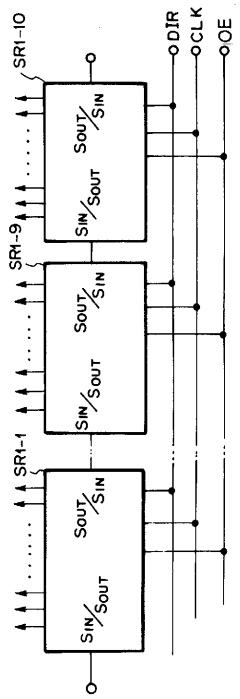
【図４】


(a)
S11
C11
T11
SIG
A
B
(b)
hν
4
5
6
7
2
SiN
A
B
S11
C11
T11
SIG

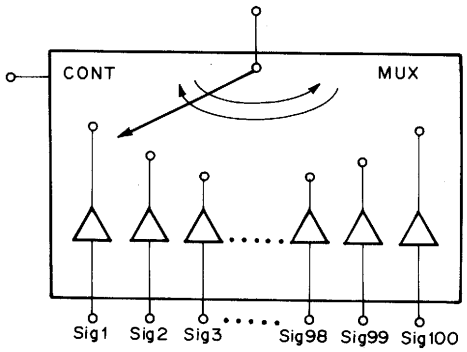
【図５】


SOUT/SIN
SSW2
SIN
SOUT
FF2
FF1
g100
g99
g98
g3
g2
g1
SW1
OE
SSW1
SIN/SOUT
DIR
CLK

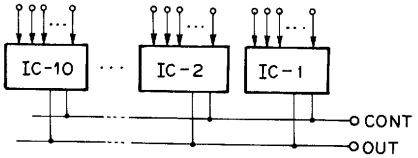
【図６】


SRI-10
SRI-9
SRI-1
SOUT/SIN
SIN/SOUT
DIR
CLK
OE

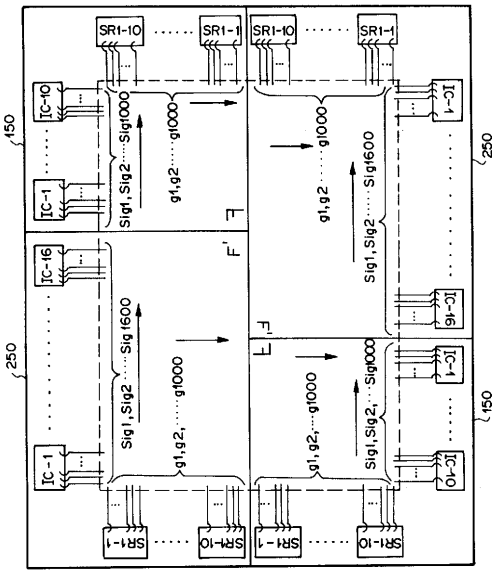
【図７】



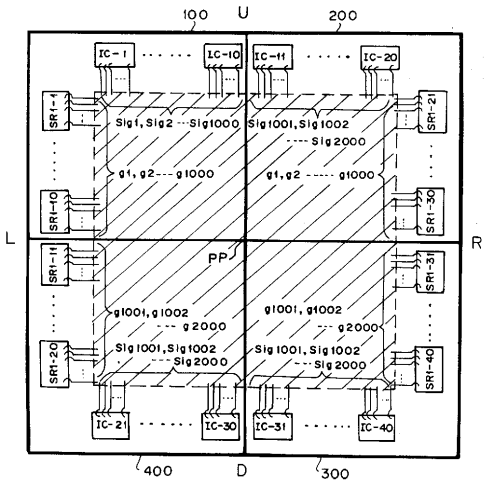
【図８】



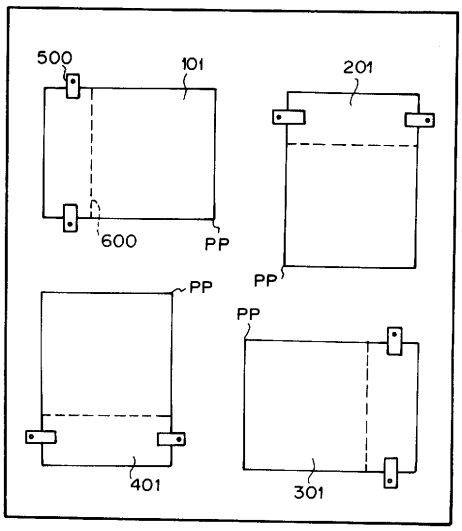
【図９】



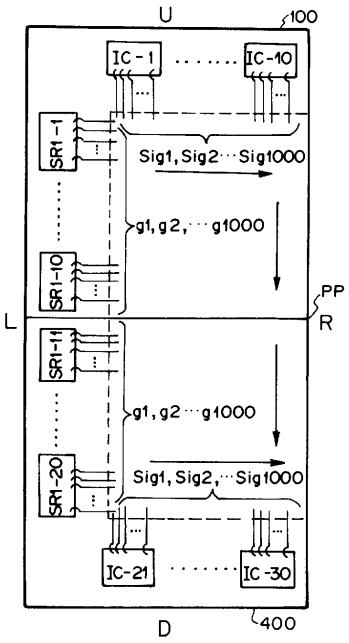
【図１０】



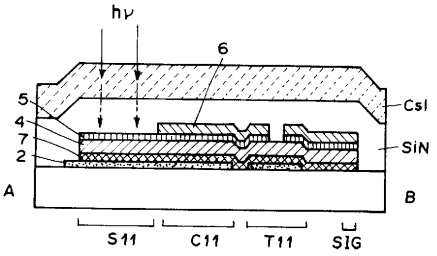
【図１１】



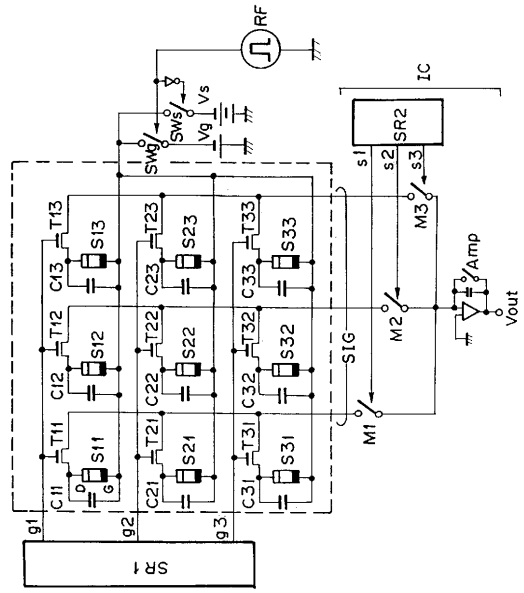
【図１２】



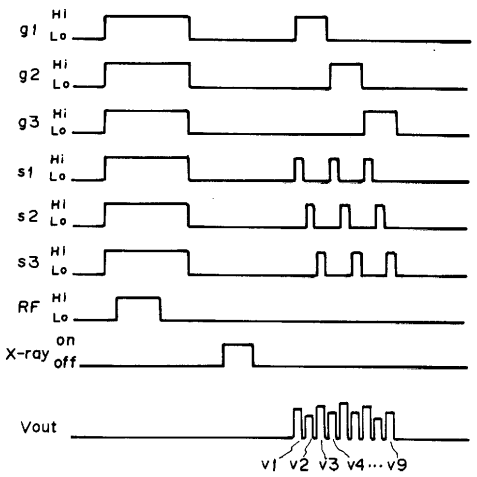
【図１３】



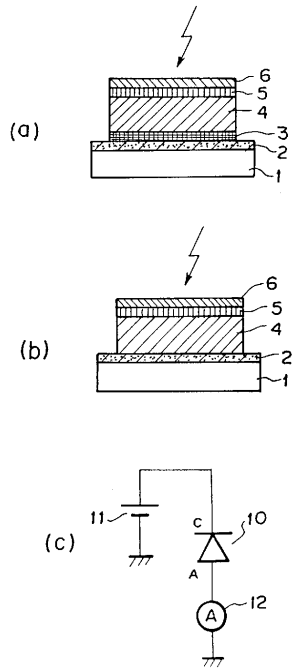
【図１４】



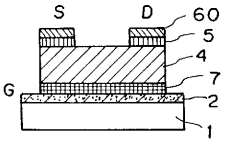
【図１５】



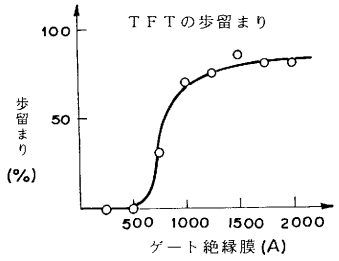
【図１６】



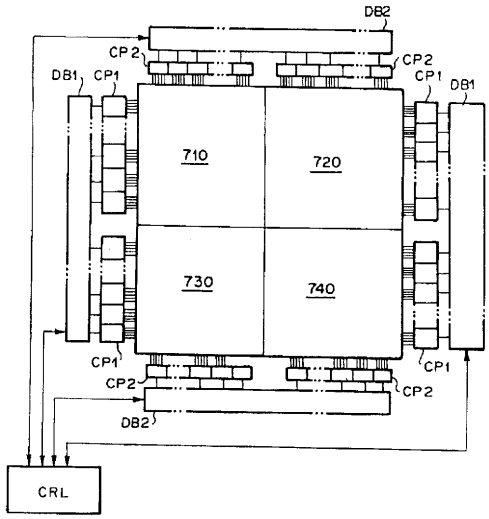
【図１７】



【図１８】



【図１９】



フロントページの続き

(72)発明者　亀島　登志男
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内
(72)発明者　遠藤　忠夫
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内
(72)発明者　竹田　慎市
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内

合議体
審判長　田口　英雄
審判官　鈴木　明
審判官　青柳　光代

(56)参考文献　米国特許第５３８１０１４（ＵＳ，Ａ）
特開平５－３００４３４（ＪＰ，Ａ）
特開平１－３０２９７２（ＪＰ，Ａ）
特開平６－１８８４００（ＪＰ，Ａ）
特開平５－３１５５８１（ＪＰ，Ａ）
特開平７－９４６９７（ＪＰ，Ａ）