

本 告

448545

申請日期	87. 2. 18
案 號	87102296
類 別	Heil 21/8242

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	於高密度動態隨機存取記憶體形成 粗糙化複晶矽的方法
	英 文	
二、發明 人	姓 名	吳 協 霖
	國 籍	中華民國
	住、居所	新竹縣湖口鄉成功路454巷53弄10號
三、申請人	姓 名 (名稱)	德基半導體股份有限公司 台灣積體電路製造股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學工業園區新竹縣研新二路6號 新竹科學工業園區新竹縣國區三路121號
	代 表 人 姓 名	施 振 謀 張 允 謀

裝

訂

線

五、發明說明()

5.1 發明領域：

本發明係有關於一種形成粗糙的複晶矽結構於動態隨機存取記憶體晶胞的方法，特別是一種形成粗糙的多晶矽之電容於高密度的動態隨機存取記憶體晶胞之方法。

5.2 發明背景：

每一半導體記憶體胞通常包含一儲存電容器及一存取電晶體。因為半導體之動態隨機存取記憶體(DRAM)元件的基本單元是記憶體胞，所以記憶體胞之製造是 DRAM 的基礎。事實上，在 DRAM 中，每個記憶體胞可儲存一個位元。將存取電晶體的源極或汲極連接到電容器的一個端點上。將電晶體的源極或汲極之另一個及電晶體的閘極分別連接到位元線及字元線上。電容器的另一個端點連接到一個參考電壓上。

隨著超大型積體電路(ULSI)之 DRAM 元件的到臨，記憶體胞的尺寸變得越來越小，以致於單一記憶體胞的有效面積變得很小。一個 DRAM 記憶體胞的製造包含一個電晶體、一個電容器及外圍電路聯繫結構的製造。對設計者而言，如何將 DRAM 記憶體胞的元件面積縮小是最重要的。因為平板型電容器的製造很簡單，所以平板型電容器廣泛使用於 DRAM 記憶體胞的製造。然而，對於大型積體電路(LSI)元件而言，平板型電容器的面積

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

終

五、發明說明()

過大。因此，當記憶胞尺寸縮小時，平板型電容器的面積也要跟著縮小。對於很小尺寸的記憶胞而言，平板型電容器便不適用。當平板型電容器的尺寸縮小時，平板型電容器的電容也要跟著縮小，使得平板型電容器所能儲存的電荷也減少。電容器的此種結果，很容易導致 α 粒子的干擾。

此外，當電容減少時電容器所儲存的電荷必須經常補充。一個簡單的堆積電容器不能提供足夠的電容，即使在電容器的兩平板間使用高介電係數的 Ta_2O_5 當絕緣體亦然。又當使用渠溝電容器時，「閘極二極體漏電流(gate diode leakage)」的現象，使得電容器中儲存電荷流失，導致了電容器無法保存電荷而喪失了邏輯層的作用。雖然減少介電層的厚度，可增加電容器的電容，但是，很薄的介電材料之選用及產量問題限制了其使用性。

如果一個較好的結構可以增加電容器之電容的使用性，即使電荷或許流失，電容器內足夠的電荷仍然可保持適當的邏輯層。因此，有人提出了一個使用半球形晶粒矽(Hemispherical Grained-Si, HSG-Si)的圓柱電容 (參閱 "A NEW CYLINDRICAL CAPACITOR USING HEMISPHERICAL GRAINED Si FOR 256 Mb DRAMs", H.Watanabe et al., Tech Dig, Dec.1992, pp.259-262。)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明()

習知技術中提出了一個使用 HSG-Si 的儲存電極之位元線上的電容器(參閱"CAPACITOR-OVER-BIT LINE CELL WITH HEMISPHERICAL-GRAIN STORAGE NODE FOR 64 Mb DRAMs", M.Sakao et al.,microelectronics research laboratories ,NEC Corporation. In IEDM Tech Dig.,Dec.1990,pp.655-658)。藉著增加單一儲存電極的有效面積，記憶胞可提供大的儲存電容，且記憶胞可使用光學構圖來製造。使用溫度為非晶矽變成複晶矽之轉變溫度的低壓化學氣相沈積法，來製造增加電容之電極面積的 HSG-Si。HSG-Si 儲存電極的製造步驟為沈積 HSG-Si 和回蝕刻 HSG-Si。有人提出了一個 HSG-Si 電極(參閱"A NEW CYLINDRICAL CAPACITOR USING HEMISPHERICAL GRAINED Si FOR 256 Mb DRAMs", H.Watanabe et al.,microelectronics research laboratories ,NEC Corporation.)。在電極結構形成後，使用稀氫氟酸溶除去電極表面之氧化物。在此，HSG-Si 是利用基本的方法形成於矽表面上。

5.3 發明目的及概述：

為了增加電容器之單一儲存電極的有效面積，在此提出一種在半導體元件上形成一電容器之方法。此半導體具有一位元線、而電容器位於此位元線上。上述方法

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 ()

包括下列步驟：

形成一第一介電層於半導體元件上，其中此半導體元件具有一基底。然後，形成一第二介電層於此第一介電層上。再蝕刻第一介電層、第二介電層及半導體元件，以形成一接觸洞於基底上。形成一第一導電層於接觸洞內及第二介電層上。再利用微影法及蝕刻法，除去第一導電層之部份，以形成電容器之底部電極。然後，形成第三介電層於第一導電層之部份上。氧化第三介電層及第一導電層以形成二氧化矽層。除去二氧化矽層並蝕刻第一導電層之部份及第三介電層直到位於第一導電層頂部表面上之第三介電層除去為止。其中除去二氧化矽層是使用一種液當一蝕刻劑，此蝕刻劑對氧及複晶矽之蝕刻選擇性約100:1。最後，利用微影法及蝕刻法，形成一第四介電層於第三介電層上，當作電容器之介電層。再利用微影法及蝕刻法，形成一第二導電層於第四介電層上，以形成電容器上之一頂部電極。

5.4 圖式簡單說明：

第一圖顯示具有一基底、一位元線、一 MOSFET 及一字元線之半導體元件的截面圖。

第二圖顯示形成兩個介電層於半導體元件上的半導體元件之截面圖。

第三圖顯示定義一儲存電極於半導體元件上，當

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明()

作電容器之底部電極。

第四圖顯示形成一半球形晶粒矽(Hemispherical Grained-Si, HSG-Si)層於儲存電極及半導體元件上。

第五圖顯示形成一二氧化矽層於 HSG-Si 層表面及儲存電極上。

第六圖顯示除去 HSG-Si 層表面及儲存電極上之二氧化矽層。

第七圖顯示除去儲存電極的頂部表面的 HSG-Si 層。

第八圖顯示形成一介電層於儲存電極上，當作電容器之介電層，及形成一導電體層於此介電層上，當作電容器之頂部電極。

5.5 發明詳細說明：

在不加大 DRAM 面積之條件下，可以使用粗糙的複晶矽結構以加大記憶胞中電容器的有效面積，以增加記憶胞中電荷的儲存。在此，提出一種形成粗糙的複晶矽結構於高密度 DRAM 胞的方法。此一包含粗糙的複晶矽結構之電容器的結構包含(1)一粗糙的複晶矽底部儲存電極(2)一介電層(3)一頂部儲存電極。上述使用粗糙的複晶矽結構所形成的電容器，與傳統堆積的電容器相比，其記憶胞的電容明顯增大。

依據本發明之一較佳實施例，以一結晶面為 $<100>$ 之矽晶片當基底，利用傳統方法，形成一場氧化

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明()

(Field Oxide, FOX)層於此矽基底上，當作元件間之絕緣體。

接著，形成二氧化矽層於基底上，作為閘極的氧化層，以待後續的金氧半場效電晶體(Metal Oxide Semiconductor Field Effect Transistors, MOSFETs)之形成。依據本發明之一實施例，二氧化矽層的形成，可利用乾式氧化法，於攝氏 700 至 1100 度形成。依據本發明之另一實施例，二氧化矽層可使用適當的氧化化學程序形成，FOX 層的厚度約為 3000 至 8000 埃，而二氧化矽層的厚度約為 15 至 200 埃。

然後，利用低壓化學氣相沈積 (Low Pressure Chemical Vapor Deposition, LPCVD) 法，形成一摻雜的複晶矽層於 FOX 層及二氧化矽層上。依據本發明之一實施例，此第一複晶矽層的厚度約 500 至 2000 埃。再來，形成一金屬矽化物 (例如：矽化鎢) 層於第一複晶矽層上。然後，利用微影法及蝕刻法以形成閘極結構及局部內連線。再來，使用已知的方法 (例如：摻加適當的雜質) 以形成一主動區域 (亦即 MOSFETs 之源極及汲極電極)。形成一金屬層於基底上，利用微影法及蝕刻法，蝕去金屬層以形成一位元線。此處描述的粗糙化複晶矽之電容器的製造，包含許多已習知的技術，並不是本發明之重點，故不予討論。經過上述之程序處

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

編

五、發明說明()

理後的晶圓之截面圖顯示於第一圖。第一圖顯示出位元線 90、字元線 92、MOSFET 94 及第一介電層 96。使用硼磷矽玻璃(BPSG)或 TEOS-Oxide，當作第一介電層 96 較好。第二圖顯示出另一截面圖，形成第二介電層 98 於第一介電層 96 上，及形成第三介電層 99 於第二介電層 98 上。在本實施例中，使用化學氣相沈積 (Chemical Vapor Deposition, CVD) 法，形成第二介電層 98。又，使用氮化矽當第三介電層 99，第三介電層 99 的厚度約 500 至 2000 埃。

然後，利用微影法及蝕刻法，定義出位元線上之電容器 (capacitor-over-bit-line, COB) 的儲存電極。參閱第三圖，利用微影法及蝕刻法，形成一接觸洞 100 於第一介電層 96、第二介電層 98 及第三介電層 99 內。再形成一第一導體層 105 於接觸洞 100 內及第三介電層 99 上。依據本發明之一較佳實施例，第一導體層 105 的形成方法為傳統的 LPCVD 法，而第一導體層 105 為摻雜的複晶矽，其厚度約 300 至 1000 埃。形成一光阻層於第一導體層 105 上，利用此光阻層當罩幕，使用蝕刻法除去第一導體層 105 之部份。然後，除去光阻層以形成一儲存電極。

參閱第四圖，形成一未摻雜 (Undoped) 的半球形晶粒矽 (Hemispherical Grained-Si, HSG-Si) 層 120 於第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

約

五、發明說明()

一導電層 105 及第三介電層 99 上。再蝕去第一導電層 105 及 HSG-Si 層 120 之部份。然後，利用低溫濕氧化法以形成熱氧化層於第一導電層 105 及 HSG-Si 層 120 上。依據本發明之一較佳實施例，濕氧化法的溫度約為攝氏 700 至 950 度，而濕氧化法的時間約為 5 至 120 分鐘。參閱第五圖，因為晶體結構不同，第一導電層 105 上之氧化層厚度較 HSG-Si 層 120 上之氧化層厚度大。然後使用稀氟酸溶液以去除氧化層 124。參閱第六圖，去除氧化層 124 後，形成許多凹溝 130 於第一導電層 105 上。上述除去該二氧化矽層，其中該除去步驟是使用稀氟酸溶液當一蝕刻劑，該蝕刻劑對氧及複晶矽之蝕刻選擇性約 100:1。此程序形成凹溝 130 於複晶矽內，凹溝 130 的深度約 100 至 1000 埃。經過上述程序後，留下 HSG-Si 層留在複晶矽層及氮化矽層上。因為稀氟酸溶液不能蝕刻氮化矽，所以在第三介電層 99 上沒有凹溝。然後，利用乾蝕刻法以回蝕 HSG-Si 層 120。參閱第七圖，除去第一導電層 105 及第三介電層 99 頂面之 HSG-Si 層 120，在此，利用乾蝕刻法，增加凹溝 130 之深度。因為第一導電層 105 的垂直表面上之部份 HSG-Si 層 120 可當作罩幕，故有部份位於第一導電層 105 的垂直表面上之 HSG-Si 層 120 可以留下。上述之乾蝕刻法所用的蝕刻劑，可為下列其中之一： $\text{SiCl}_2/\text{Cl}_2$ ， SF_6 ， HBr/O_2 或 BCl_3/Cl_2 。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明()

參閱第八圖，形成一第四介電層 140 於第一導電層 105 及第三介電層 99 上，然後除去第三介電層 99。依據本發明之一較佳實施例，而除去第三介電層 99 之方法為濕蝕刻法。在此，濕蝕刻法所用的蝕刻劑為熱磷酸，此乃因其可以蝕刻第三介電層 99，但不蝕刻第二介電層 98。依據本發明之一較佳實施例，第四介電層 140 可為氮/氧雙層薄膜、氧/氮/氧三層薄膜或其他高介電係數之薄膜(例如： Ta_2O_5 、BST、PZT)。若使用 Ta_2O_5 、BST、PZT 當第四介電層 140，則在形成第四介電層 140 之前，必須先形成一複合層(由阻障金屬層/金屬層組成)，此乃因為第四介電層需使用於金屬/絕緣體/金屬(Metal/Insulator/Metal, MIM)之結構。經過上述之步驟後，第四介電層覆蓋於第一導電層 105 的粗糙表面上，增加了電容器底部電極的有效面積。在沈積第四介電層 140 之後，使用傳統的 LPCVD 法沈積第二導電層 145 於第四介電層 140 上，第二導電層 145 可為下列其中之一：摻雜之複晶矽、Al、Cu、W、Ta。若使用 Ta_2O_5 、BST、PZT、PLZT 當第四介電層 140，則第二導電層 145 需是金屬，以形成一 MIM 結構。

經過上述步驟後，形成一包含粗糙的複晶矽結構之電容器。此電容器的結構包含(1)一第一導電層 105 當作底部儲存電極(2)一第四介電層 140 當作電容器之介電層(3)一第二導電層 145 當作頂部儲存電極。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

紉

五、發明說明 ()

本發明僅以較佳實施例說明如上，並非用以限定本發明之申請範圍；凡熟習該項技藝人士，在未脫離本發明之精神下，當可作些許改變或修飾，其專利保護範圍均應包含在下述之申請專利範圍內。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱:)

於高密度動態隨機存取記憶胞形成粗糙化複晶矽的方法

本發明提出一種在半導體元件上形成電容器之方法。首先依次形成第一介電層、第二介電層於具有一基底的半導體元件上。然後蝕刻第一介電層、第二介電層及半導體元件，以形成一接觸洞。再利用微影法及蝕刻法，形成第一導電層於接觸洞內及第二介電層上，當作電容器之底部電極。然後依次形成第三介電層及二氧化矽層於第一導電層上。除去二氧化矽層並蝕刻第三介電層及部份第一導電層直到位於第一導電層頂部表面上之第三介電層除去為止。最後，利用微影法及蝕刻法，依次形成第四介電層及第二導電層於第三介電層上，當作電容器之介電層及頂部電極。

英文發明摘要(發明之名稱:)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

申請專利範圍：

1. 一種製造電容器於半導體元件上之方法，該方法至少包含：

形成一第一介電層於該半導體元件上，其中該半導體元件在一基底上；

形成一第二介電層於該第一介電層上；

蝕刻該第一介電層、該第二介電層及該半導體元件，以形成一接觸洞於該基底上；

形成一第一導電層於該接觸洞內及該第二介電層上；

利用微影法及蝕刻法，除去該第一導電層之部份，以形成該電容器之底部電極；

形成一第三介電層於該第一導電層上，一部份之該第一導電層沒有被該第三介電層覆蓋；

氧化該第三介電層及該第一導電層以形成一二氧化矽層於該部份之第一導電層及該第三介電層上；

除去該二氧化矽層；

蝕刻該部份之第一導電層及該第三介電層直到位於該第一導電層頂部表面上之該第三介電層除去為止；

利用微影法及蝕刻法，形成一第四介電層於該第三介電層上，以形成該電容器之介電層；及

利用微影法及蝕刻法，形成一第二導電層於該第四介電層上，以形成該電容器上之一頂部電極。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

- 2.如申請專利範圍第 1 項之方法，其中上述之方法在形成該第二導電層前更包含除去該第一介電層。
- 3.如申請專利範圍第 1 項之方法，其中上述之第一介電層是一化學氣相沈積的二氧化矽層。
- 4.如申請專利範圍第 1 項之方法，其中上述之第二介電層為氮化矽層。
- 5.如申請專利範圍第 1 項之方法，其中上述之第一導電層至少包含摻雜的複晶矽層。
- 6.如申請專利範圍第 1 項之方法，其中上述之第三介電層至少包含未摻雜的複晶矽層。
- 7.如申請專利範圍第 1 項之方法，其中上述之之二氧化矽層是利用溫度約攝氏 700 至 950 度的低溫濕氧化法形成。
- 8.如申請專利範圍第 1 項之方法，其中上述之除去二氧化矽層是使用稀硝酸液當一蝕刻劑，該蝕刻劑對氧及複晶矽之蝕刻選擇性約 100:1。
- 9.如申請專利範圍第 1 項之方法，其中上述之第四介電層至少包含一第一氧化層及一氮化層。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

10. 如申請專利範圍第 1 項之方法，其中上述之第四介電層至少包含一第一氧化層、一氮化層及一第二氧化層。

11. 一種製造電容器於半導體元件上之方法，該方法至少包含：

形成一第一介電層於該半導體元件上，其中該半導體元件有一基底、一位元線，該電容器位於該位元線上；

形成一第二介電層於該第一介電層上，其中該第二介電層由氮化矽組成；

蝕刻該第一介電層、該第二介電層及該半導體元件，以形成一接觸洞於該基底上；

形成一第一導電層於該接觸洞內及該第二介電層上；

利用微影法及蝕刻法，除去該第一導電層之部份，以形成該電容器之底部電極；

形成一第三介電層於該第一導電層上，一部份之該第一導電層沒有被該第三介電層覆蓋；

氧化該第三介電層及該第一導電層以形成一二氧化矽層於該部份之第一導電層及該第三介電層上；

除去該二氧化矽層，其中該除去步驟是使用稀硝酸溶液當一蝕刻劑，該蝕刻劑對氧及複晶矽之蝕刻選擇性為 100 : 1；

蝕刻該部份之第一導電層及該第三介電層直到位於該第一導電層頂部表面上之該第三介電層除去為止；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

利用微影法及蝕刻法，形成一第四介電層於該第三介電層上，以形成該電容器之介電層；及

利用微影法及蝕刻法，形成一第二導電層於該第四介電層上，以形成該電容器上之一頂部電極。

12.如申請專利範圍第 11 項之方法，其中上述之方法在形成該第二導電層前更包含除去該第一介電層。

13.如申請專利範圍第 11 項之方法，其中上述之第一介電層是一化學氣相沈積的二氧化矽層。

14.如申請專利範圍第 11 項之方法，其中上述之第二介電層為氮化矽層。

15.如申請專利範圍第 11 項之方法，其中上述之第一導電層至少包含摻雜的複晶矽層。

16.如申請專利範圍第 11 項之方法，其中上述之之二氧化矽層是利用溫度約攝氏 700 至 950 度的低溫濕氧化法形成。

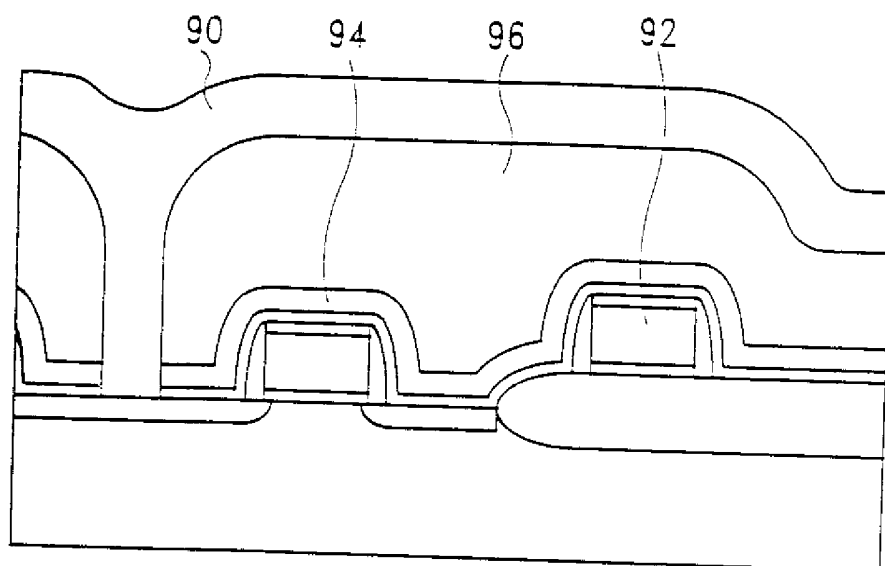
18.如申請專利範圍第 11 項之方法，其中上述之第四介電層至少包含一第一氧化層、一氮化層及一第二氧化層。

(請先閱讀背面之注意事項再填寫本頁)

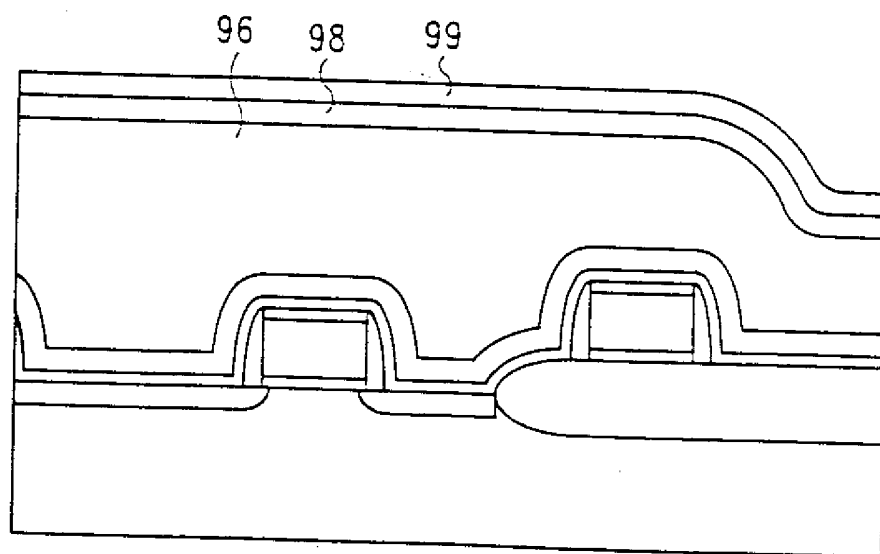
裝

訂

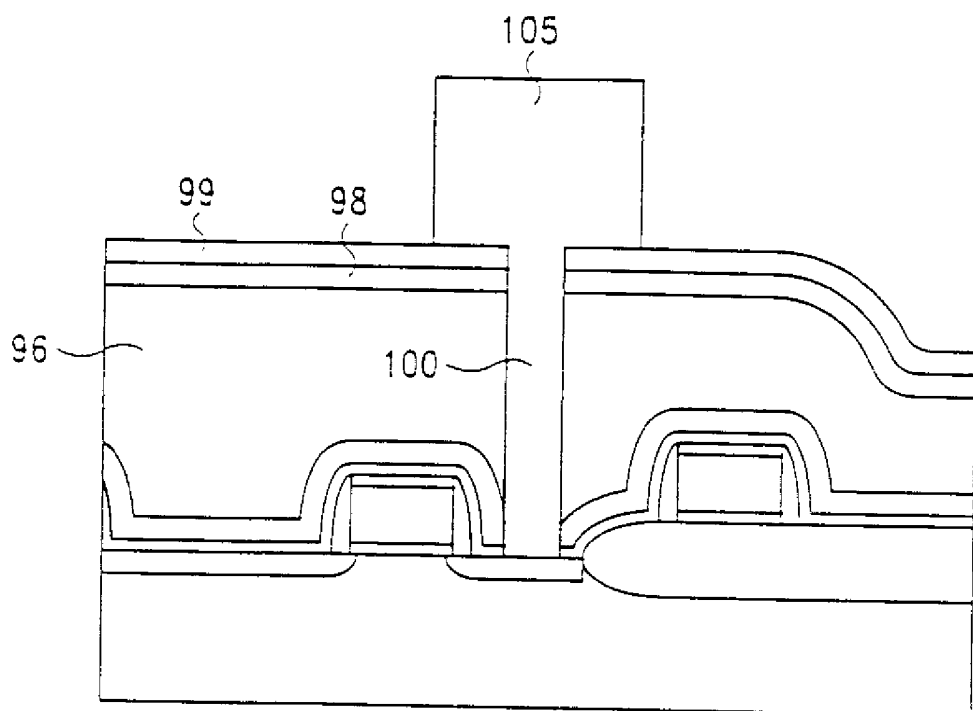
線



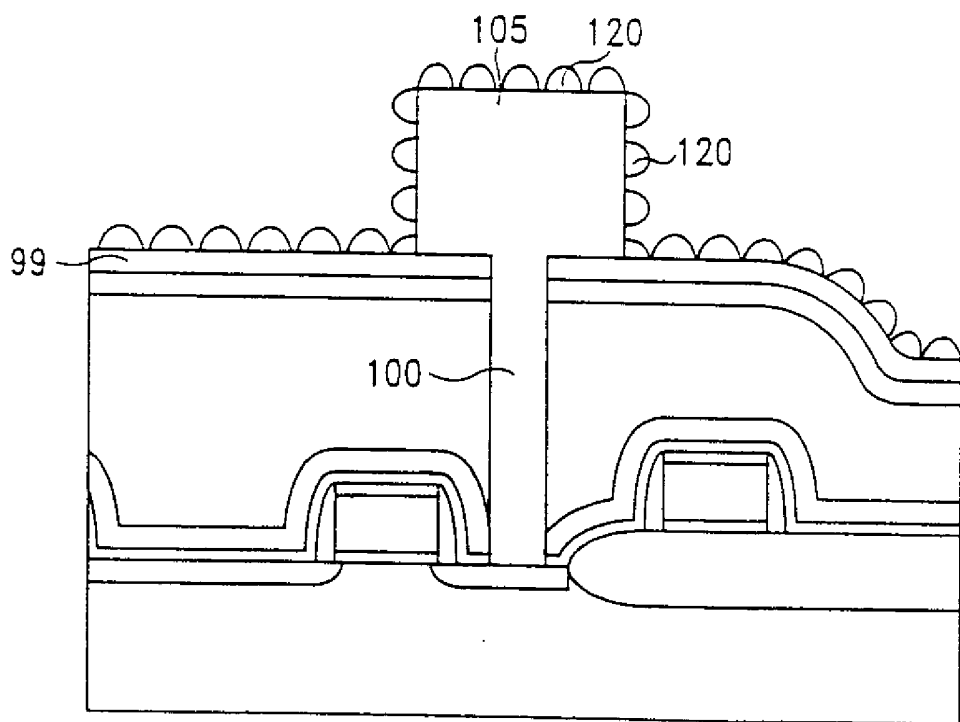
第一圖



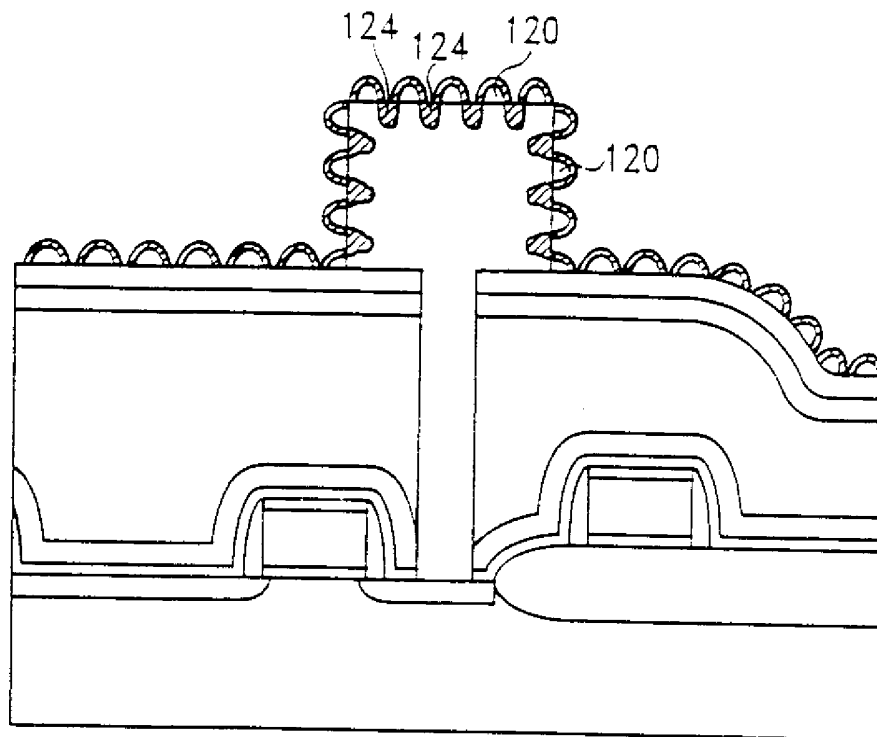
第二圖



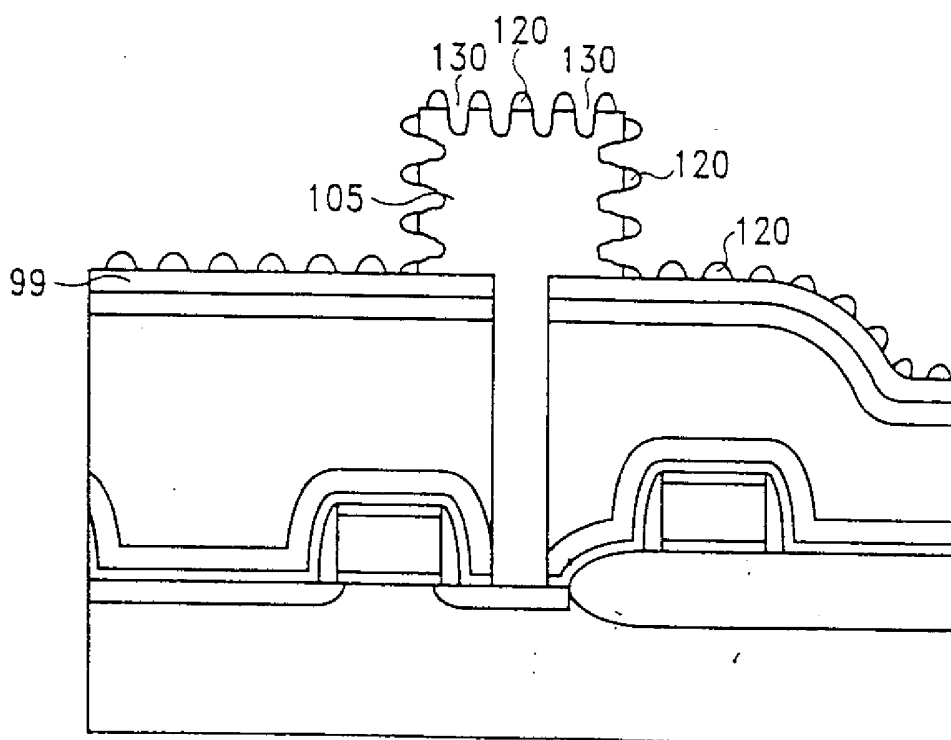
第三圖



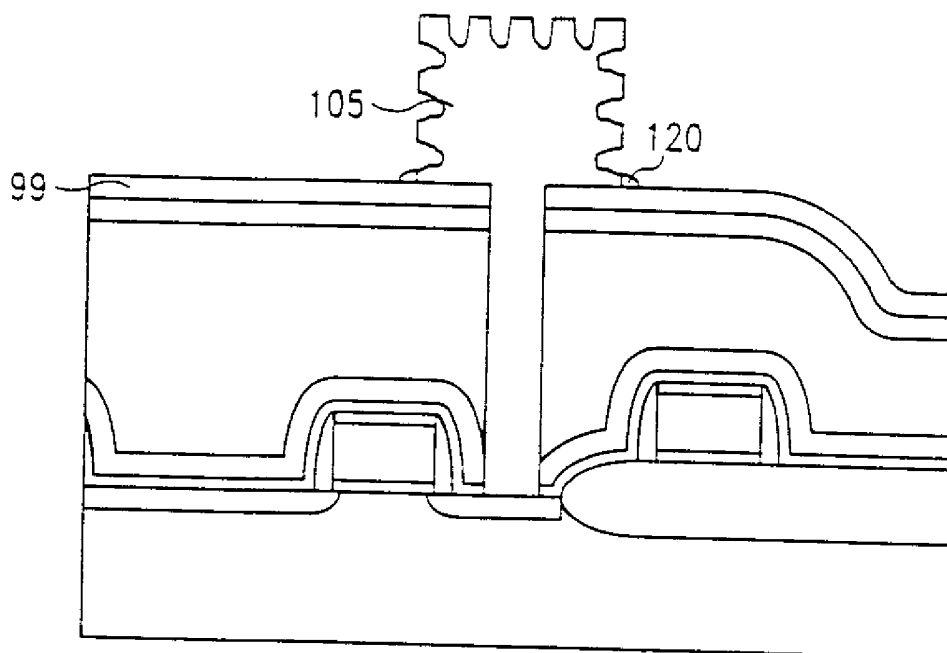
第四圖



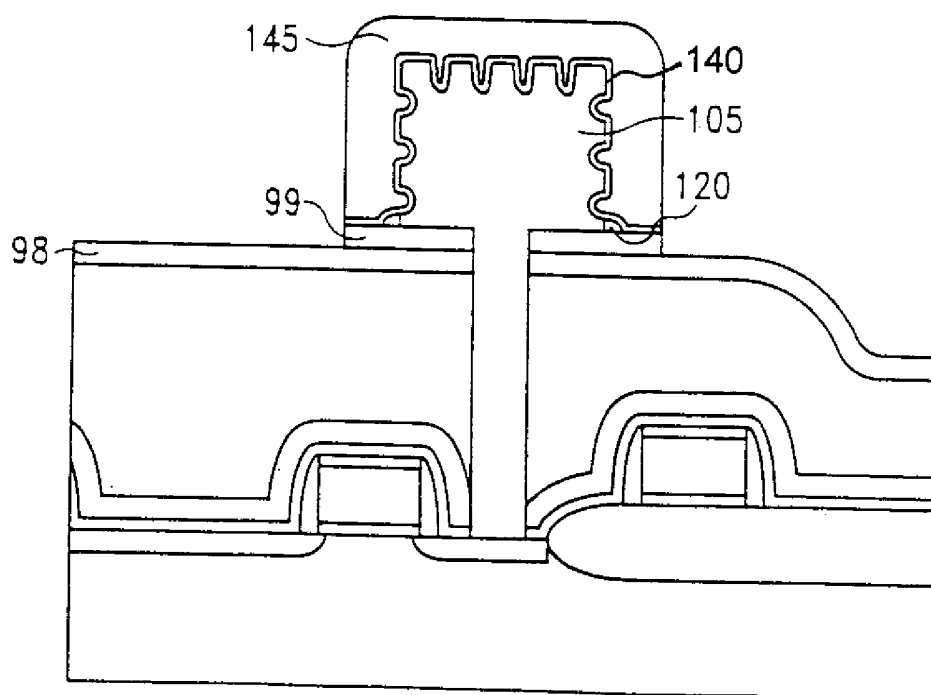
第五圖



第六圖



第七圖



第八圖