



# [12] 发明专利说明书

专利号 ZL 02825349.3

[45] 授权公告日 2010年2月17日

[11] 授权公告号 CN 100590730C

[22] 申请日 2002.10.16 [21] 申请号 02825349.3

[30] 优先权

[32] 2001.10.18 [33] US [31] 10/056,935

[86] 国际申请 PCT/US2002/033147 2002.10.16

[87] 国际公布 WO2003/034435 英 2003.4.24

[85] 进入国家阶段日期 2004.6.18

[73] 专利权人 米克伦技术公司

地址 美国爱达荷

[72] 发明人 蒂莫西·B·考尔斯

布赖恩·M·雪莉

格雷格·A·布洛杰特

[56] 参考文献

CN1234901A 1999.11.10

US5901101A 1999.5.4

US5627791A 1997.5.6

审查员 张 玥

[74] 专利代理机构 永新专利商标代理有限公司

代理人 王 英

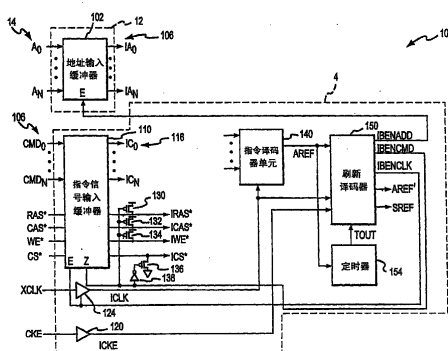
权利要求书 16 页 说明书 17 页 附图 6 页

[54] 发明名称

用于动态随机存取存储器的低功耗自动刷新电路和方法

[57] 摘要

在 DRAM 自动刷新期间禁止用于指令和地址信号(106)的输入缓冲器(102)的功率节省电路(100)。在自动刷新结束时以不引起产生伪指令的方式重新使能输入缓冲器(102)。功率节省电路通过在用于指令信号的输入缓冲器禁止时将内部指令信号(116)偏置到“无操作”指令来防止伪指令。DRAM 还可以处于一种其中在自动刷新结束时自动转换到低功率预充电模式的模式中来进一步降低 DRAM 的功耗。



1、一种在动态随机存取存储器 DRAM 刷新期间用于动态随机存取存储器中的功率节省电路，该功率节省电路包括：

第一组输入缓冲器，用于从加到第一组输入缓冲器的外部指令信号来产生各个内部指令信号，该第一组输入缓冲器将由第一刷新信号禁止；

一个偏置电路，用于响应第二刷新信号而偏置多个内部指令信号；  
以及

一个刷新译码器，译码多个指示 DRAM 刷新的内部指令信号，并响应到达的指令来刷新 DRAM，在 DRAM 刷新期间，刷新译码器产生第一和第二刷新信号。

2、如权利要求 1 所述的功率节省电路，其中第一和第二刷新信号包括一个自动刷新信号。

3、如权利要求 1 所述的功率节省电路，其中刷新译码器在自动刷新周期结束时还用来去掉内部指令信号的偏置并且使能第一组输入缓冲器。

4、如权利要求 1 所述的功率节省电路，还包括一个时钟输入缓冲器，通过该时钟输入缓冲器施加外部时钟信号，以产生内部时钟信号，该时钟输入缓冲器由第三刷新信号禁止，并且其中刷新译码器用来在 DRAM 刷新期间产生第三刷新信号。

5、如权利要求 1 所述的功率节省电路，还包括一个时钟输入缓冲器，通过该时钟输入缓冲器施加外部时钟信号，以产生内部时钟信号，并且其中刷新译码器响应于内部时钟信号预定跳变而来终止第一和第二刷新信号。

6、如权利要求 5 所述的功率节省电路，其中所述刷新译码器在检测到预定跳变之后内部时钟信号的半个周期时用来终止第一和第二刷新信号。

7、如权利要求 5 所述的功率节省电路，其中所述刷新译码器响应检测到的与预定跳变的极性不同的内部时钟信号的第二跳变而来终止第一和第二刷新信号。

8、如权利要求 1 所述的功率节省电路，其中所述偏置电路包括一个连接到第一组输入缓冲器中的一个的输出端的晶体管，通过该晶体管耦合各个内部指令信号。

9、如权利要求 1 所述的功率节省电路，其中所述偏置电路用于将多个内部指令信号偏置到发出无操作存储器指令的各自状态。

10、如权利要求 1 所述的功率节省电路，其中所述刷新译码器还用于检测该多个内部指令信号中预定一个的状态，并且在自动刷新周期结束时响应检测到的该预定的内部指令信号的第一状态而继续偏置该内部指令信号，并禁止第一组输入缓冲器。

11、如权利要求 10 所述的功率节省电路，其中所述刷新译码器还响应检测到的该预定的内部指令信号从第一状态到第二状态的跳变而去掉该内部指令信号的偏置，并且使能第一组输入缓冲器。

12、如权利要求 10 所述的功率节省电路，其中所述刷新译码器还响应检测到的该预定的内部命令信号的第一状态而在自动刷新周期结束时禁止动态随机存取存储器的预定元件。

13、如权利要求 12 所述的功率节省电路，其中所述刷新译码器还响应检测到的该预定的内部指令信号从第一状态到第二状态的跳变

而使能动态随机存取存储器的预定元件。

14、如权利要求 1 所述的功率节省电路，其中所述刷新译码器还包括：

第一译码器，用来译码多个指示 DRAM 刷新的内部指令信号，并响应到达的指令而产生预定的刷新信号；

一个连接到第一译码器的定时器，该定时器由预定刷新信号触发，并在预定刷新信号之后的预定时间产生刷新终止信号；以及

连接到第一译码器和定时器的第二译码器，第二译码器响应预定的刷新信号而产生刷新指令以及第一和第二刷新信号，第二译码器还响应刷新终止信号而终止刷新指令以及第一和第二刷新信号。

15、如权利要求 14 所述的功率节省电路，其中所述预定刷新信号包括自动刷新信号，所述刷新指令包括自动刷新指令。

16、一种在动态随机存取存储器 DRAM 刷新期间用于动态随机存取存储器中的功率节省电路，该功率节省电路包括：

第一组输入缓冲器，用于从加到第一组输入缓冲器的外部指令信号产生各个内部指令信号，该第一组输入缓冲器由第一刷新信号来禁止；

一个时钟输入缓冲器，通过时钟输入缓冲器耦合外部时钟信号，以产生内部时钟信号；

一个偏置电路，用于响应第二刷新信号而偏置多个内部指令信号；以及

一个刷新译码器，用于译码至少一个自动刷新指令，并响应到达的指令而发起自动刷新周期，刷新译码器还用于检测第一和第二预定指令信号的状态，刷新译码器还用于：

响应译码的自动刷新指令以及检测到的第一预定指令信号的第一状态和第二预定指令信号的第一状态而进行 DRAM 的自刷新；

响应译码的自动刷新指令以及检测到的第一预定指令信号的第

二状态和第二预定指令信号的第一状态而进行 DRAM 的自动刷新；

响应译码的自动刷新指令以及检测到的第一预定指令信号的第一状态和第二预定指令信号的第二状态而进行 DRAM 的自动刷新，并产生第一和第二刷新信号；以及

响应译码的自动刷新指令以及检测到的第一预定指令信号的第二状态和第二预定指令信号的第二状态而进行 DRAM 的自动刷新，产生第一和第二刷新信号，并且在自动刷新周期结束时禁止除第一组输入缓冲器之外的 DRAM 的元件。

17、如权利要求 16 所述的功率节省电路，其中所述时钟输入缓冲器由第三刷新信号禁止，并且其中刷新译码器还与第一和第二刷新信号一起产生第三刷新信号。

18、如权利要求 16 所述的功率节省电路，其中第一预定指令信号包括一个时钟使能信号。

19、如权利要求 16 所述的功率节省电路，其中第二预定指令信号包括一个数据屏蔽信号。

20、如权利要求 16 所述的功率节省电路，其中如果刷新译码器检测到第一预定指令信号的第一状态和第二预定指令信号的第二状态，则在自动刷新周期结束时用来终止第一和第二刷新信号，如果刷新译码器检测到第一预定指令信号的第二状态和第二预定指令信号的第二状态，则在自动刷新周期结束时还用来继续产生第一和第二刷新信号。

21、如权利要求 20 所述的功率节省电路，其中只要检测到第一预定指令信号的第二状态和第二预定指令信号的第二状态且第二预定指令信号保持在第二状态，则刷新译码器在自动刷新周期结束时用来继续产生第一和第二刷新信号。

22、如权利要求 20 所述的功率节省电路，其中如果检测到第一预定指令信号的第一状态和第二预定指令信号的第二状态，所述刷新译码器通过检测到内部时钟信号的预定跳变在自动刷新周期结束时用来终止第一和第二刷新信号。

23、如权利要求 22 所述的功率节省电路，其中所述刷新译码器在终止第一和第二刷新信号之前，在检测到预定跳变之后等待预定时间，才终止第一和第二刷新信号。

24、如权利要求 16 所述的功率节省电路，其中所述偏置电路偏置多个内部指令信号，以产生无操作存储器指令。

25、如权利要求 16 所述的功率节省电路，其中所述刷新译码器包括：

第一译码器，用于译码至少一个指示 DRAM 刷新的内部指令，并响应到达的指令而产生预定的刷新信号；

连接到第一译码器的定时器，该定时器由预定的刷新信号触发，并在预定刷新信号之后的预定时间产生刷新终止信号；以及

连接到第一译码器和定时器的第二译码器，第二译码器响应预定的刷新信号而产生刷新指令以及第一和第二刷新信号，第二译码器还响应刷新终止信号而终止刷新指令以及第一和第二刷新信号。

26、如权利要求 25 所述的功率节省电路，其中所述预定刷新信号包括一个自动刷新信号，所述刷新指令包括一个自动刷新指令。

27、如权利要求 16 所述的功率节省电路，其中偏置电路包括一个连接到在第一组中的这些输入缓冲器中的一个的输出端的晶体管，通过该晶体管耦合这些内部指令信号中的一个。

28、一种动态随机存取存储器 DRAM，包括：

一个行地址电路，用来接收并译码加到外部端子的行地址信号；

一个列地址电路，用来接收并译码加到外部端子的列地址信号；

一个动态随机存取存储单元阵列，用来存储从位于通过译码行地址信号和译码列地址信号而确定的位置上的阵列中写入的或从中读出的数据；

一个数据通道电路，用来在该阵列和外部数据端之间耦合与数据对应的数据信号；

一个指令信号发生器，产生一系列对应于加到各个外部端子并通过第一组输入缓冲器耦合的指令信号的控制信号，以产生各个内部指令信号，第一组输入缓冲器由第一刷新信号禁止，该指令信号发生器还包括一个响应第二刷新信号而偏置多个内部指令信号的偏置电路；以及

一个刷新译码器，用来译码多个指示 DRAM 刷新的内部指令，并响应到达的指令而刷新 DRAM，在 DRAM 刷新期间，该刷新译码器产生第一和第二刷新信号。

29、如权利要求 28 所述的动态随机存取存储器，其中第一和第二刷新信号包括一个自动刷新信号。

30、如权利要求 28 所述的动态随机存取存储器，其中所述刷新译码器在自动刷新周期结束时还去掉该多个内部指令信号的偏置并且使能第一组输入缓冲器。

31、如权利要求 28 所述的动态随机存取存储器，还包括一个时钟输入缓冲器，通过该时钟输入缓冲器施加外部时钟信号，以产生内部时钟信号，该时钟输入缓冲器由第三刷新信号禁止，并且其中刷新译码器在 DRAM 刷新期间产生第三刷新信号。

32、如权利要求 28 所述的动态随机存取存储器，还包括一个时

钟输入缓冲器，通过该时钟输入缓冲器施加外部时钟信号，以产生内部时钟信号，并且其中刷新译码器响应内部时钟信号的预定跳变而终止第一和第二刷新信号。

33、如权利要求 32 所述的动态随机存取存储器，其中所述刷新译码器用于在检测到预定的跳变之后内部时钟信号的半个周期时终止第一和第二刷新信号。

34、如权利要求 32 所述的动态随机存取存储器，其中刷新译码器响应检测到的与预定跳变的极性不同的内部时钟信号的第二跳变而终止第一和第二刷新信号。

35、如权利要求 28 所述的动态随机存取存储器，其中所述偏置电路包括一个连接到第一组输入缓冲器中的一个的输出端的晶体管，通过该晶体管耦合该多个内部指令信号中的每一个。

36、如权利要求 28 所述的动态随机存取存储器，其中所述偏置电路将多个内部指令信号偏置到发出无操作存储器指令的各自状态。

37、如权利要求 28 所述的动态随机存取存储器，其中刷新译码器还用于检测预定指令信号的状态，并且在自动刷新周期结束时响应检测到的预定指令信号的第一状态而继续偏置该多个内部指令信号，并禁止第一组输入缓冲器。

38、如权利要求 37 所述的动态随机存取存储器，其中所述刷新译码器还响应检测到的预定指令信号从第一状态到第二状态的跳变而去掉该多个内部指令信号的偏置，并且使能第一组输入缓冲器。

39、如权利要求 37 所述的动态随机存取存储器，其中所述刷新译码器还响应检测到的预定指令信号的第一状态而在自动刷新周期

结束时禁止动态随机存取存储器的预定元件。

40、如权利要求 39 所述的动态随机存取存储器，其中刷新译码器还响应检测到的预定指令信号从第一状态到第二状态的跳变而使能动态随机存取存储器的预定元件。

41、如权利要求 28 所述的动态随机存取存储器，其中所述刷新译码器包括：

第一译码器，用于译码多个指示 DRAM 刷新的内部指令信号，并响应到达的指令而产生预定的刷新信号；

一个连接到第一译码器的定时器，该定时器由预定刷新信号触发，并在预定刷新信号之后的预定时间产生刷新终止信号；以及

连接到第一译码器和定时器的第二译码器，第二译码器响应预定的刷新信号而产生刷新指令以及第一和第二刷新信号，第二译码器还响应刷新终止信号而终止刷新指令以及第一和第二刷新信号。

42、如权利要求 41 所述的动态随机存取存储器，其中所述预定刷新信号包括一个自动刷新信号，刷新指令包括一个自动刷新指令。

43、一种动态随机存取存储器 DRAM，包括：

一个行地址电路，用来接收并译码加到外部端子的行地址信号；

一个列地址电路，用来接收并译码加到外部端子的列地址信号；

一个动态随机存取存储单元阵列，用来存储从位于通过译码行地址信号和列地址信号而确定的位置上的阵列中写入的或从中读出的数据；

一个数据通道电路，在该阵列和外部数据端之间耦合与数据对应的数据信号；

一个时钟输入缓冲器，通过该时钟输入缓冲器耦合外部时钟信号，以产生内部时钟信号；

一个指令信号发生器，产生一系列对应于加到各个外部端子并通

过第一组输入缓冲器耦合的指令信号的控制信号,以产生各个内部指令信号,第一组输入缓冲器由第一刷新信号禁止,该指令信号发生器还包括响应第二刷新信号而偏置多个内部指令信号的偏置电路;

一个刷新译码器,用于译码至少一个自动刷新指令,并响应到达的指令而发起自动刷新周期,刷新译码器还用于检测第一和第二预定指令信号的状态,刷新译码器还用于:

响应译码的自动刷新指令以及检测到的第一预定指令信号的第一状态和第二预定指令信号的第一状态而进行 **DRAM** 的自刷新;

响应译码的自动刷新指令以及检测到的第一预定指令信号的第二状态和第二预定指令信号的第一状态而进行 **DRAM** 的自动刷新;

响应译码的自动刷新指令以及检测到的第一预定指令信号的第一状态和第二预定指令信号的第二状态而进行 **DRAM** 的自动刷新,并产生第一和第二刷新信号; 以及

响应译码的自动刷新指令以及检测到的第一预定指令信号的第二状态和第二预定指令信号的第二状态而进行 **DRAM** 的自动刷新,产生第一和第二刷新信号,并且在自动刷新周期结束时禁止除第一组输入缓冲器之外的 **DRAM** 的元件。

44、如权利要求 43 所述的动态随机存取存储器,其中所述时钟输入缓冲器由第三刷新信号禁止,并且其中所述刷新译码器还与第一和第二刷新信号一起产生第三刷新信号。

45、如权利要求 43 所述的动态随机存取存储器,其中第一预定指令信号包括一个时钟使能信号。

46、如权利要求 43 所述的动态随机存取存储器,其中第二预定指令信号包括一个数据屏蔽信号。

47、如权利要求 43 所述的动态随机存取存储器,其中如果刷新译码器检测到第一预定指令信号的第一状态和第二预定指令信号的

第二状态,则在自动刷新周期结束时终止第一和第二刷新信号,如果刷新译码器检测到第一预定指令信号的第二状态和第二预定指令信号的第二状态,则在自动刷新周期结束时还继续产生第一和第二刷新信号。

48、如权利要求 47 所述的动态随机存取存储器,其中只要检测到第一预定指令信号的第二状态和第二预定指令信号的第二状态且第二预定指令信号保持在第二状态,则刷新译码器在自动刷新周期结束时继续产生第一和第二刷新信号。

49、如权利要求 47 所述的动态随机存取存储器,其中如果检测到第一预定指令信号的第一状态和第二预定指令信号的第二状态,所述刷新译码器通过检测到内部时钟信号的预定跳变而在自动刷新周期结束时终止第一和第二刷新信号。

50、如权利要求 43 所述的动态随机存取存储器,其中所述偏置电路偏置多个内部指令信号,以产生无操作存储器指令。

51、如权利要求 43 所述的动态随机存取存储器,其中所述刷新译码器包括:

第一译码器,用于译码多个指示 DRAM 刷新的内部指令信号,并响应到达的指令而产生预定的刷新信号;

一个连接到第一译码器的定时器,该定时器由预定的刷新信号触发,并在预定刷新信号之后的预定时间产生刷新终止信号;以及

连接到第一译码器和定时器的第二译码器,第二译码器响应预定的刷新信号而产生刷新指令以及第一和第二刷新信号,第二译码器还响应刷新终止信号而终止刷新指令以及第一和第二刷新信号。

52、如权利要求 43 所述的功率节省电路,其中所述偏置电路包括一个连接到第一组输入缓冲器中的一个的输出端的晶体管,通过该

晶体管耦合多个内部指令信号。

53、一个计算机系统，包括：

一个具有处理器总线的处理器；

一个通过处理器总线连接到处理器上的输入装置，适于将数据输入到计算机系统中；

一个通过处理器总线连接到处理器上的输出装置，适于将数据从计算机系统中输出；

一个存储器控制器，产生具有多个列地址位的列地址，随后产生具有多个行地址位的行地址，该存储器控制器在产生多个列地址位之前产生阵列选择信号，阵列选择信号对应于列地址位，并具有第一状态或第二状态；以及

一个连接到存储器控制器的存储器件，存储器件包括：

一个行地址电路，用来接收并译码加到外部端子的行地址信号；

一个列地址电路，用来接收并译码加到外部端子的列地址信号；

一个动态随机存取存储单元阵列，用来存储从位于通过译码行地址信号和列地址信号而确定的位置上的阵列中写入的或从中读出的数据；

一个数据通道电路，在该阵列和外部数据端之间耦合与数据对应的数据信号；

一个指令信号发生器，产生一系列对应于加到各个外部端子并通过第一组输入缓冲器耦合的指令信号的控制信号，以产生各个内部指令信号，第一组输入缓冲器由第一刷新信号禁止，该指令信号发生器还包括响应第二刷新信号而偏置一个内部指令信号的偏置电路；以及

一个刷新译码器，用于译码多个指示动态随机存取存储单元刷新的内部指令信号，并响应到达的指令而刷新动态随机存取存储单元，在动态随机存取存储单元刷新期间，该刷新译码器产生第一和第二刷新信号。

54、如权利要求 53 所述的计算机系统，其中第一和第二刷新信

号包括一个自动刷新信号。

55、如权利要求 53 所述的计算机系统，其中所述刷新译码器在自动刷新周期结束时还用来去掉这些内部指令信号的偏置并且使能第一组输入缓冲器。

56、如权利要求 53 所述的计算机系统，还包括一个时钟输入缓冲器，通过该时钟输入缓冲器施加外部时钟信号，以产生内部时钟信号，该时钟输入缓冲器由第三刷新信号禁止，并且其中刷新译码器在动态随机存取存储单元刷新期间产生第三刷新信号。

57、如权利要求 53 所述的计算机系统，还包括一个时钟输入缓冲器，通过该时钟输入缓冲器施加外部时钟信号，以产生内部时钟信号，并且其中刷新译码器响应内部时钟信号预定的跳变而终止第一和第二刷新信号。

58、如权利要求 53 所述的计算机系统，其中所述偏置电路包括一个连接到该输入缓冲器的输出端的晶体管，通过该晶体管耦合这些内部指令信号中的一个。

59、如权利要求 53 所述的计算机系统，其中刷新译码器还用来检测预定指令信号的状态，并且在自动刷新周期结束时响应检测到的预定指令信号的第一状态而继续偏置这些内部指令信号，并禁止第一组输入缓冲器。

60、如权利要求 53 所述的计算机系统，其中所述刷新译码器包括：

第一译码器，用于译码多个指示动态随机存取存储单元刷新的内部指令信号，并响应到达的指令而产生预定的刷新信号；

一个连接到第一译码器的定时器，该定时器由预定刷新信号触

发，并在预定刷新信号之后的预定时间产生刷新终止信号；以及  
连接到第一译码器和定时器的第二译码器，第二译码器响应预定的刷新信号而产生刷新指令以及第一和第二刷新信号，第二译码器还响应刷新终止信号而终止刷新指令以及第一和第二刷新信号。

61、如权利要求 60 所述的计算机系统，其中所述预定刷新信号包括一个自动刷新信号，所述刷新指令包括一个自动刷新指令。

62、一种计算机系统，包括：

一个具有处理器总线的处理器；

一个通过处理器总线连接到处理器上的输入装置，适于将数据输入到计算机系统中；

一个通过处理器总线连接到处理器上的输出装置，适于将数据从计算机系统中输出；

一个存储器控制器，产生具有多个列地址位的列地址，随后产生具有多个行地址位的行地址，存储器控制器在产生多个列地址位之前产生阵列选择信号，阵列选择信号对应于列地址位，并具有第一状态或第二状态；以及

一个连接到存储器控制器的存储器件，存储器件包括：

一个行地址电路，用来接收并译码加到外部端子的行地址信号；

一个列地址电路，用来接收并译码加到外部端子的列地址信号；

一个动态随机存取存储单元的阵列，用来存储从位于通过译码行地址信号和列地址信号而确定的位置上的阵列中写入的或从中读出的数据；

一个数据通道电路，在该阵列和外部数据端之间耦合与数据对应的数据信号；

一个时钟输入缓冲器，通过该时钟输入缓冲器耦合外部时钟信号，以产生内部时钟信号；

一个指令信号发生器，产生一系列对应于加到各个外部端子并通过第一组输入缓冲器耦合的指令信号的控制信号，以产生各个内部指

令信号，第一组输入缓冲器由第一刷新信号禁止，该指令信号发生器还包括响应第二刷新信号而偏置多个内部指令信号的偏置电路；以及一个刷新译码器，用于译码至少一个自动刷新指令，并响应到达的指令发起自动刷新周期，刷新译码器还用于检测第一和第二预定指令信号的状态，刷新译码器还用于：

响应译码的自动刷新指令以及检测到的第一预定指令信号的第一状态和第二预定指令信号的第一状态而进行动态随机存取存储单元的自刷新；

响应译码的自动刷新指令以及检测到的第一预定指令信号的第二状态和第二预定指令信号的第一状态而进行动态随机存取存储单元的自动刷新；

响应译码的自动刷新指令以及检测到的第一预定指令信号的第一状态和第二预定指令信号的第二状态而进行动态随机存取存储单元的自动刷新，并产生第一和第二刷新信号；以及

响应译码的自动刷新指令以及检测到的第一预定指令信号的第二状态和第二预定指令信号的第二状态而进行动态随机存取存储单元的自动刷新，产生第一和第二刷新信号，并且在自动刷新周期结束时禁止除第一组输入缓冲器之外的动态随机存取存储单元的元件。

63、如权利要求 62 所述的计算机系统，其中所述时钟输入缓冲器由第三刷新信号禁止，并且其中所述刷新译码器还与第一和第二刷新信号一起产生第三刷新信号。

64、如权利要求 62 所述的计算机系统，其中所述第一预定指令信号包括一个时钟使能信号。

65、如权利要求 62 所述的计算机系统，其中所述第二预定指令信号包括一个数据屏蔽信号。

66、如权利要求 62 所述的计算机系统，其中如果所述刷新译码

器检测到第一预定指令信号的第一状态和第二预定指令信号的第二状态，则用来在自动刷新周期结束时终止第一和第二刷新信号，如果所述刷新译码器检测到第一预定指令信号的第二状态和第二预定指令信号的第二状态，则在自动刷新周期结束时继续产生第一和第二刷新信号。

67、如权利要求 62 所述的计算机系统，其中只要检测到第一预定指令信号的第二状态和第二预定指令信号的第二状态且第二预定指令信号保持在第二状态，则所述刷新译码器在自动刷新周期结束时继续产生第一和第二刷新信号。

68、如权利要求 66 所述的计算机系统，其中如果检测到第一预定指令信号的第一状态和第二预定指令信号的第二状态，所述刷新译码器通过检测到内部时钟信号的预定跳变而在自动刷新周期结束时终止第一和第二刷新信号。

69、如权利要求 62 所述的计算机系统，其中所述偏置电路偏置多个内部指令信号，以产生无操作存储器指令。

70、如权利要求 62 所述的计算机系统，其中所述刷新译码器还包括：

第一译码器，用于译码多个指示动态随机存取存储单元刷新的内部指令信号，并响应到达的指令而产生预定的刷新信号；

连接到第一译码器的定时器，该定时器由预定的刷新信号触发，并在预定刷新信号之后的预定时间产生刷新终止信号；以及

连接到第一译码器和定时器的第二译码器，第二译码器响应预定的刷新信号而产生刷新指令以及第一和第二刷新信号，第二译码器还响应刷新终止信号而终止刷新指令以及第一和第二刷新信号。

71、如权利要求 62 所述的计算机系统，其中所述偏置电路包括

---

一个连接到第一组输入缓冲器中的一个的输出端的晶体管,通过该晶体管耦合该多个内部指令信号中的每一个。

## 用于动态随机存取存储器的低功耗自动刷新电路和方法

### 技术领域

本发明涉及动态随机存取存储器，更具体地，涉及在自动刷新模式中工作时用于降低这种存储器消耗的功率的电路和方法。

### 背景技术

集成电路的功耗可以是在一些应用中其为有用的重要因素。例如，在便携个人计算机中使用的存储器件消耗的功率极大地影响这种计算机在不需要由充电电池供电情况下所能使用的时间长度。因为必须限制存储器件产生的热量，所以即使其中不用电池供电的存储器件，功耗也是很重要的指标。

通常，存储器件的功耗随着存储器件的存储容量和工作速度的增加而增加。存储器件的功耗也受其工作模式的影响。例如，当动态随机存取存储器（“DRAM”）的存储单元正在进行刷新时，由于在存储单元阵列中的存储单元的行将以快速序列（rapid sequence）被启动，要消耗较大的功率。每次启动存储单元行，每个存储单元的一对数字线切换为互补的电压，然后平衡（equilibrate），从而消耗相当数量的功率。由于阵列中列数随着存储器容量的增加而增加，因此启动每一行时所消耗的功率也相应增加。随着启动存储单元行速度的增加，功耗也随之增加。因此，随着 DRAM 的工作速度和容量继续增加，在这种 DRAM 中刷新存储单元期间的功耗也增加。

在 DRAM 刷新期间，存储单元阵列之外的其它元件也消耗功率。例如，DRAM 器件通常包括大量输入缓冲器，以将大量控制和地址线连接到内部电路。当 DRAM 正在进行刷新时，这些输入缓冲器响应加到其各个输入端的控制和地址信号而不断开关。但是，在有些刷新模式中，DRAM 不使用控制和地址信号。例如，在自动刷新模式

中，将自动刷新指令加到 DRAM。随后 DRAM 内部执行一个预定时间周期的刷新操作。在该时间周期内，DRAM 不响应加到其输入缓冲器上的控制和地址信号。但是，在此期间，输入缓冲器不断开关。如上所述，因为在自动刷新周期期间没有使用通过输入缓冲器耦合的信号，在自动刷新周期期间开关如此大量的输入缓冲器将浪费电能。

在过去，已经尝试通过去掉除了用于时钟（“CLK”）和时钟使能（“CKE”）信号的输入缓冲器之外的所有输入缓冲器的电源来最小化自动刷新期间 DRAM 的功耗。但是，在自动刷新时，由于输入缓冲器随着每个时钟信号的跳变都翻转，让用于时钟的输入缓冲器工作导致输入缓冲器消耗大量功率。通过在自动刷新时去掉用于时钟信号的输入缓冲器的电源可以显著降低功耗。但是，这样做可能在自动刷新周期结束时记录伪指令。如在本领域中所知的，通常通过响应时钟信号的一个或两个沿而将指令信号锁存到各自的锁存器中来记录存储器指令。如果在自动刷新周期之后用于指令信号的输入缓冲器重新加电时出现时钟沿，可能记录对应于输入缓冲器的跳变状态的伪指令。虽然注意在输入缓冲器完成重新加电之前避免将时钟信号跳变加到存储器件，但是可能产生伪时钟信号跳变。如果当用于时钟信号的缓冲器重新加电时，时钟信号为逻辑高电平，则可能产生伪时钟信号跳变。伪时钟信号将记录任何对应于在用于指令信号的输入缓冲器的输出处的逻辑电平的伪指令。

在过去，已经尝试通过在自刷新周期期间去掉输入缓冲器的电源来降低在自刷新周期期间的功耗。对于自刷新指令，通过首先检测表示自刷新结束的 CKE 信号的低到高的跳变来避免伪指令。但是，在此时用于指令和地址信号的输入缓冲器没有重新加电。取而代之，通过检查连接到 CLK 的小输入缓冲器的输出来检测 CLK 信号的高到低的跳变。当检测到 CLK 信号的高到低的跳变时，用于指令和地址信号的输入缓冲器重新加电，使得在用来记录指令和地址的下一个 CLK 信号的低到高的跳变出现时，输入缓冲器已经不处于跳变状态。

虽然上述方法可以在没有记录伪指令和地址的风险的情况下降低自刷新期间的功耗，但是该方法不适用于自动刷新周期。与控制规

范允许有两个 CLK 周期的延迟来退出自刷新周期的自刷新命令不同，自动刷新指令的控制规范要求 DRAM 能够记录在紧接着的下一个 CLK 信号的上升沿出现的指令。但是，此时用于指令和地址信号的输入缓冲器仍处于跳变状态，从而导致记录伪指令或地址。

在自动刷新周期期间最小化功耗的一个方法是在自动刷新周期开始之后的预定时间段内去掉一些指令和地址输入缓冲器的电源，但是不去掉用于时钟和时钟使能信号的输入缓冲器的电源。例如，如果自动刷新周期预计持续 60 纳秒，则输入缓冲器在前 40 纳秒可以断开电源。虽然该方法在自动刷新周期期间确实降低了功耗，但是在输入缓冲器加电的时间段内仍然允许消耗相当数量的功率。由于在自动刷新周期结束之前必须完成重新加电，并且不能非常准确地预测刷新周期的结束，所以通常不能在整个自动刷新周期期间完全断开输入缓冲器的电源。因此，在每个自动刷新周期的开始断开输入缓冲器的电源一段时间仍然允许 DRAM 消耗相当数量的功率。

因此，需要在自动刷新周期期间允许更显著地降低 DRAM 的功耗，而不存在记录伪指令和地址的风险的电路和方法。

## 发明内容

一种在自动刷新期间降低动态随机存取存储器 (“DRAM”) 的功耗的电路和方法。DRAM 包括耦合指令信号的第一组输入缓冲器。在自动刷新期间禁止 (disable) 输入缓冲器，从而不会响应加在其输入端的信号而消耗功率，并且偏置多个指令信号以发出预定的存储器指令，例如“无操作”指令。当内部自动刷新定时器时间到时，去掉指令信号上的偏置，并且使能输入缓冲器。在 DRAM 接收时钟信号的情况下，在自动刷新期间也可以禁止耦合时钟信号的输入缓冲器。如果这样，在用于指令信号的输入缓冲器重新使能之前重新使能用于时钟信号的输入缓冲器，从而可以控制相对于时钟信号的重新使能用于指令信号的输入缓冲器的时序。DRAM 也可以检查预定指令信号的状态，以在自动刷新结束时将 DRAM 转换到低功率预充电模式。

根据本发明的第一方面，提供了一种在动态随机存取存储器 DRAM 刷新期间用于动态随机存取存储器中的功率节省电路，该功率节省电路包括：第一组输入缓冲器，用于从加到第一组输入缓冲器的外部信号来产生各个内部指令信号，该第一组输入缓冲器将由第一刷新信号禁止；一个偏置电路，用于响应第二刷新信号而偏置多个内部指令信号；以及一个刷新译码器，译码多个指示 DRAM 刷新的内部指令信号，并响应到达的指令来刷新 DRAM，在 DRAM 刷新期间，刷新译码器产生第一和第二刷新信号。

根据本发明的第二方面，提供了一种在动态随机存取存储器 DRAM 刷新期间用于动态随机存取存储器中的功率节省电路，该功率节省电路包括：第一组输入缓冲器，用于从加到第一组输入缓冲器的外部指令信号产生各个内部指令信号，该第一组输入缓冲器由第一刷新信号来禁止；一个时钟输入缓冲器，通过时钟输入缓冲器耦合外部时钟信号，以产生内部时钟信号；一个偏置电路，用于响应第二刷新信号而偏置多个内部指令信号；以及一个刷新译码器，用于译码至少一个自动刷新指令，并响应到达的指令而发起自动刷新周期，刷新译码器还用于检测第一和第二预定指令信号的状态，刷新译码器还用于：响应译码的自动刷新指令以及检测到的第一预定指令信号的第一状态和第二预定指令信号的第一状态而进行 DRAM 的自刷新；响应译码的自动刷新指令以及检测到的第一预定指令信号的第二状态和第二预定指令信号的第一状态而进行 DRAM 的自动刷新；响应译码的自动刷新指令以及检测到的第一预定指令信号的第一状态和第二预定指令信号的第二状态而进行 DRAM 的自动刷新，并产生第一和第二刷新信号；以及响应译码的自动刷新指令以及检测到的第一预定指令信号的第二状态和第二预定指令信号的第二状态而进行 DRAM 的自动刷新，产生第一和第二刷新信号，并且在自动刷新周期结束时禁止除第一组输入缓冲器之外的 DRAM 的元件。

根据本发明的第三方面，提供了一种动态随机存取存储器 DRAM，包括：一个行地址电路，用来接收并译码加到外部端子的行地址信号；一个列地址电路，用来接收并译码加到外部端子的列地址

信号；一个动态随机存取存储单元阵列，用来存储从位于通过译码行地址信号和译码列地址信号而确定的位置上的阵列中写入的或从中读出的数据；一个数据通道电路，用来在阵列和外部数据段之间耦合与数据对应的数据信号；一个指令信号发生器，产生一系列对应于加到各个外部端子的指令信号的控制信号，并通过第一组输入缓冲器耦合，以产生各个内部指令信号，第一组输入缓冲器由第一刷新信号禁止，该指令信号发生器还包括一个响应第二刷新信号而偏置多个内部指令信号的偏置电路；以及一个刷新译码器，用来译码多个指示 DRAM 刷新的内部指令，并响应到达的指令而刷新 DRAM，在 DRAM 刷新期间，该刷新译码器产生第一和第二刷新信号。

根据本发明的第四方面，提供了一种动态随机存取存储器 DRAM，包括：一个行地址电路，用来接收并译码加到外部端子的行地址信号；一个列地址电路，用来接收并译码加到外部端子的列地址信号；一个动态随机存取存储单元阵列，用来存储从位于通过译码行地址信号和列地址信号而确定的位置上的阵列中写入的或从中读出的数据；一个数据通道电路，在阵列和外部数据段之间耦合与数据对应的数据信号；一个时钟输入缓冲器，通过该时钟输入缓冲器耦合外部时钟信号，以产生内部时钟信号；一个指令信号发生器，产生一系列对应于加到各个外部端子的指令信号的控制信号，并通过第一组输入缓冲器耦合，以产生各个内部指令信号，第一组输入缓冲器由第一刷新信号禁止，该指令信号发生器还包括响应第二刷新信号而偏置多个内部指令信号的偏置电路；一个刷新译码器，用于译码至少一个自动刷新指令，并响应到达的指令而发起自动刷新周期，刷新译码器还用于检测第一和第二预定指令信号的状态，刷新译码器还用于：响应译码的自动刷新指令以及检测到的第一预定指令信号的第一状态和第二预定指令信号的第一状态而进行 DRAM 的自刷新；响应译码的自动刷新指令以及检测到的第一预定指令信号的第二状态和第二预定指令信号的第一状态而进行 DRAM 的自动刷新；响应译码的自动刷新指令以及检测到的第一预定指令信号的第一状态和第二预定指令信号的第二状态而进行 DRAM 的自动刷新，并产生第一和第二刷

新信号；以及响应译码的自动刷新指令以及检测到的第一预定指令信号的第二状态和第二预定指令信号的第二状态而进行 DRAM 的自动刷新，产生第一和第二刷新信号，并且在自动刷新周期结束时禁止除第一组输入缓冲器之外的 DRAM 的元件。

根据本发明的第五方面，提供了一个计算机系统，包括：一个具有处理器总线的处理器；一个通过处理器总线连接到处理器上的输入装置，适于将数据输入到计算机系统中；一个通过处理器总线连接到处理器上的输出装置，适于将数据从计算机系统中输出；一个存储器控制器，产生具有多个列地址位的列地址，随后产生具有多个行地址位的行地址，该存储器控制器在产生多个列地址位之前产生阵列选择信号，阵列选择信号对应于列地址位，并具有第一状态或第二状态；以及一个连接到存储器控制器的存储器件，存储器件包括：一个行地址电路，用来接收并译码加到外部端子的行地址信号；一个列地址电路，用来接收并译码加到外部端子的列地址信号；一个动态随机存取存储单元阵列，用来存储从位于通过译码行地址信号和列地址信号而确定的位置上的阵列中写入的或从中读出的数据；一个数据通道电路，在阵列和外部数据段之间耦合与数据对应的数据信号；一个指令信号发生器，产生一系列对应于加到各个外部端子的指令信号的控制信号，并通过第一组输入缓冲器耦合，以产生各个内部指令信号，第一组输入缓冲器由第一刷新信号禁止，该指令信号发生器还包括响应第二刷新信号而偏置至少一个内部指令信号的偏置电路；以及一个刷新译码器，用于译码多个指示动态随机存取存储单元刷新的内部指令信号，并响应到达的指令而刷新动态随机存取存储单元，在动态随机存取存储单元刷新期间，该刷新译码器产生第一和第二刷新信号。

根据本发明的第六方面，提供了一种计算机系统，包括：一个具有处理器总线的处理器；一个通过处理器总线连接到处理器上的输入装置，适于将数据输入到计算机系统中；一个通过处理器总线连接到处理器上的输出装置，适于将数据从计算机系统中输出；一个存储器控制器，产生具有多个列地址位的列地址，随后产生具有多个行地址位的行地址，存储器控制器在产生多个列地址位之前产生阵列选择信

号，阵列选择信号对应于列地址位，并具有第一状态或第二状态；以及一个连接到存储器控制器的存储器件，存储器件包括：一个行地址电路，用来接收并译码加到外部端子的行地址信号；一个列地址电路，用来接收并译码加到外部端子的列地址信号；一个动态随机存取存储单元的阵列，用来存储从位于通过译码行地址信号和列地址信号而确定的位置上的阵列中写入的或从中读出的数据；一个数据通道电路，在阵列和外部数据段之间耦合与数据对应的数据信号；一个时钟输入缓冲器，通过该时钟输入缓冲器耦合外部时钟信号，以产生内部时钟信号；一个指令信号发生器，产生一系列对应于加到各个外部端子的指令信号的控制信号，并通过第一组输入缓冲器耦合，以产生各个内部指令信号，第一组输入缓冲器由第一刷新信号禁止，该指令信号发生器还包括响应第二刷新信号而偏置多个内部指令信号的偏置电路；以及一个刷新译码器，用于译码至少一个自动刷新指令，并响应到达的指令发起自动刷新周期，刷新译码器还用于检测第一和第二预定指令信号的状态，刷新译码器还用于：响应译码的自动刷新指令以及检测到的第一预定指令信号的第一状态和第二预定指令信号的第一状态而进行动态随机存取存储单元的自刷新；响应译码的自动刷新指令以及检测到的第一预定指令信号的第二状态和第二预定指令信号的第一状态而进行动态随机存取存储单元的自动刷新；响应译码的自动刷新指令以及检测到的第一预定指令信号的第一状态和第二预定指令信号的第二状态而进行动态随机存取存储单元的自动刷新，并产生第一和第二刷新信号；以及响应译码的自动刷新指令以及检测到的第一预定指令信号的第二状态和第二预定指令信号的第二状态而进行动态随机存取存储单元的自动刷新，产生第一和第二刷新信号，并且在自动刷新周期结束时禁止除第一组输入缓冲器之外的动态随机存取存储单元的元件。

根据本发明的第七方面，提供了一种具有耦合指令信号的第一组输入缓冲器的动态随机存取存储器进行自动刷新的方法，该方法包括：在进行自动刷新周期期间禁止第一组输入缓冲器；在自动刷新周期期间偏置多个内部指令信号，以发出预定的存储器指令；在自动刷

新周期结束时，去掉该些内部指令信号的偏置，并使能第一组输入缓冲器。

根据本发明的第八方面，提供了一种在具有耦合内部指令信号的第一组输入缓冲器的动态随机存取存储器 DRAM 中降低功耗的方法，该方法包括：检测多个存储器指令中的每一个，包括自动刷新指令；检测第一预定指令信号的状态；响应检测到的自动刷新指令和第一预定指令信号的第一状态，进行 DRAM 的自动刷新，并且在自动刷新周期结束时自动将 DRAM 转换到工作模式；以及响应检测到的自动刷新指令和第一预定指令信号的第二状态，进行 DRAM 的自动刷新，并且在自动刷新周期结束时自动将 DRAM 转换到低功率预充电模式。

## 附图说明

图 1 是其中可以使用本发明的功率节省电路的常规存储器件的方框图；

图 2 是根据本发明的功率节省电路的一个实施例的方框图；

图 3 是在图 2 的功率节省电路中出现的各种信号的时序图；

图 4 是根据本发明的功率节省电路的另一个实施例的方框图；

图 5 是根据本发明的功率节省电路的另一个实施例的方框图；

图 6 是使用包含根据本发明的一个实施例的功率节省电路的存储器件的计算机系统的方框图。

## 具体实施方式

图 1 是可以利用本发明的常规同步动态随机存取存储器 (“SDRAM”) 2 的方框图，包括在这里描述的一个或多个实施例。但是，应当理解，在其它类型的 DRAM 中也可以使用本发明的各种实施例。通过指令译码器 4 响应控制总线 6 上接收到的高级指令信号来控制 SDRAM 2 工作。这些通常由存储器控制器（未在图 1 中示出）产生的高级指令信号是时钟使能信号 CKE\*、时钟信号 CLK、片选信

号 CS\*、写使能信号 WE\*、行地址选通信号 RAS\*、列地址选通信号 CAS\*以及数据屏蔽信号 DM，其中“\*”表示信号低电平有效。指令译码器 4 响应高级指令信号而产生一系列指令信号，以执行由每个高级指令信号指定的功能（例如，读或写）。这些指令信号以及其实现各自功能的方式是通用的。因此，为简便起见，省略这些控制信号的进一步说明。

SDRAM 2 包括接收地址总线 14 上的行地址或列地址的地址寄存器 12。地址总线 14 通常连接到存储器控制器（未在图 1 中示出）上。通常，首先行地址由地址寄存器 12 接收，并加到行地址多路器 18。行地址多路器 18 根据行地址的库地址位形成部分的状态将行地址耦合到与两个存储器库 20、22 相关联的元件上。分别与每个存储器库 20、22 相关联的是存储行地址的行地址锁存器 26，以及译码行地址并将相应的信号加到阵列 20 和 22 中的一个上的行译码器 28。

为了刷新阵列 20、22 中的存储单元的目的，行地址多路器 18 还将行地址耦合到行地址锁存器 26。由刷新控制器 32 控制的刷新计数器 30 产生用于刷新目的的行地址。接着，刷新控制器 32 由指令译码器 4 控制。更具体地，指令译码器 4 将自动刷新指令 AREF 或自刷新指令 SREF 加到刷新控制器 32。如上所述，这些指令导致刷新控制器以两种相应模式（即自动刷新模式或自刷新模式）中的一种来刷新阵列 20、22 中的存储单元的行。在自动刷新模式中，刷新控制器 32 使用刷新计数器 30 寻址阵列中的存储单元的每一行来产生行地址。由此，如上所述，在自动刷新模式中，不需要外部器件将地址加在 SDRAM 2 的地址总线 14 上。但是，必须将自动刷新指令周期性地施加上到 SDRAM 2，并且频繁程度足以防止存储在阵列 20、22 的存储单元中的数据丢失。自刷新模式基本与自动刷新模式相同，除了不需要以足够防止数据丢失的速率从外部器件将指令周期性地加到 SDRAM 2。一旦刷新控制器 32 处于自刷新模式，它将以足够的频率自动发起自动刷新，以防止阵列 20、22 的存储单元中存储的数据丢失。

加到刷新控制器 32 的指令对应于加到指令译码器 4 的指令信号

的各种组合。这些加到指令译码器 4 的指令信号为 CS\*、RAS\*、CAS\* 和 WE\*以及 CKE。为了发出 AREF 或 SREF 指令，CS\*、RAS\*、CAS\* 必须都为有效的低电平，WE\*为无效的高电平。CKE 信号确定 SDRAM 2 是否将导致指令译码器产生自动刷新指令或自刷新指令。如果 CKE 为高电平，指令译码器 4 将 AREF 指令加给刷新控制器 32。如果 CKE 为低电平，指令译码器 4 将 SREF 指令加给刷新控制器 32。响应于 AREF 指令，SDRAM 2 将进行自动刷新周期，然后等待可能是另一个 AREF 指令的另一个指令。响应于 SREF 指令，SDRAM 2 将进行自刷新周期，并将继续这样做，直到 CKE 信号变为高电平。

在行地址已经加到地址寄存器 12 并且存储在行地址锁存器 26 的一个之后，列地址加到地址寄存器 12。地址寄存器 12 将列地址耦合到列地址锁存器 40。根据 SDRAM 2 的工作模式，列地址或者通过突发计数器 42 耦合到列地址缓冲器 44，或者耦合到突发计数器 42，突发计数器 42 从地址寄存器 12 输出列地址就开始将一系列列地址加到列地址缓冲器 44。在另一种情况下，列地址缓冲器 44 将列地址加到列地址译码器 48，列地址译码器 48 将各种列地址信号加到相应的读出放大器(sense amplifier)和阵列 20、22 的各自相关列电路 50、52 中的一个。

从阵列 20、22 中的一个读出的数据分别耦合到阵列 20、22 的列电路 50、52 中的一个。然后将数据耦合到数据输出寄存器 56，数据输出寄存器 56 将数据加到数据总线 58。要写入阵列 20、22 中的一个的数据从数据总线 58 通过数据输入寄存器 60 耦合到列电路 50、52，在那里分别传输到阵列 20、22 中的一个。屏蔽寄存器 64 响应数据屏蔽 DM 信号来有选择地改变列电路 50、52 的输入和输出数据流，例如，有选择地屏蔽从阵列 20、22 读出的数据。

在图 2 中示出了在自动刷新期间降低 SDRAM 2 或其它 DRAM 的功耗的功率节省电路 100 的一个实施例。图 2 的功率节省电路 100 的大部分结合图 1 的 SDRAM 2 的指令译码器 4，而功率节省电路 100 的一部分结合地址寄存器 12。但是，应当理解，在图 2 中所示的功率节省电路 100 可以放在图 1 的 SDRAM 2 的其它部分或者其它类型

的存储器件中。

功率节省电路 100 包括将外部地址总线 14 耦合到内部地址总线 106 的第一组输入缓冲器 102，由相应的外部地址位  $A_0-A_N$  提供多个内部地址位  $IA_0-IA_N$ 。输入缓冲器 102 位于地址寄存器 12 中，但是，如上所述，它们也可以在其它位置。输入缓冲器 102 由高电平有效的 IBENADD 信号使能。同样，第二组输入缓冲器 110 将外部控制总线 6 耦合到内部控制总线 116，由相应的外部指令信号提供多个内部指令信号  $IC_0-IC_N$ 。这些外部指令信号包括低电平有效的行地址选通 (“RAS\*”) 信号、低电平有效的列地址选通 (“CAS\*”) 信号、低电平有效的写使能 (“WE\*”) 信号以及低电平有效的片选 (“CS\*”) 信号。通过输入缓冲器 120 耦合高电平有效的时钟使能 CKE 信号，以产生内部时钟使能 (“ICKE”) 信号，通过输入缓冲器 124 耦合外部时钟信号，以产生内部时钟 (“ICLK”) 信号。第二组中的输入缓冲器 110 和用于 ICLK 信号的输入缓冲器 124 由高电平有效的 IBENCLK 信号使能。可以通过加到缓冲器 110 的 “Z” 输入端的低电平的指令输入缓冲器使能 IBENCMD 来将指令信号输入缓冲器 110 切换到“三态” (即，高阻)，以及通过高电平的 IBENCMD 信号切换到有效的低阻态。

将 IBENCMD 信号耦合到连接在电源电压和各个内部指令信号线之间的 PMOS 晶体管 130-134 的栅极以及反相器 136 的输入端。接着，反相器 136 连接到 NMOS 晶体管 138 的栅极上，NMOS 晶体管 138 连接在地和 ICS\* 信号线之间。在输入缓冲器 110 由高电平的 IBENCLK 信号使能之后，IBENCMD 信号跳变到高电平，将输入缓冲器 110 切换为低阻态，并关断晶体管 130-136，从而使其不影响功率节省电路 100 的工作。当输入缓冲器 110 通过低电平的 IBENCMD 信号而切换为高阻态时，晶体管 130-136 导通，以将与其连接的各个内部指令信号线偏置到高电平。

将来自输入缓冲器 110 的内部指令信号 IRAS\*、ICAS\*、IWE\*、ICS\* 加到指令译码单元 140，将来自输入缓冲器 110 的其他指令信号也加到指令译码单元 140 上。指令译码单元 140 从加到其输入端的指

令信号的各种组合中产生包括自动刷新指令 AREF 的多个存储器指令。如上所述，响应于用于译码的 IRAS\*、ICAS\*和 ICS\*处于有效的低电平以及 IWE\*处于无效的高电平发出 AREF 指令。

自动刷新指令 AREF 与内部时钟 ICLK 信号和内部时钟使能 ICKE 信号一起加到刷新译码器 150。根据 ICKE 信号的状态，刷新译码器 150 确定 AREF 指令是自动刷新还是自刷新。如果 ICKE 是高电平，则 AREF 指令解释为自动刷新指令，在这种情况下刷新译码器 150 将 AREF 指令传送到输出端作为 AREF' 指令。如果 ICKE 为低电平，则 AREF 指令解释为自刷新指令，在这种情况下刷新译码器 150 产生 SREF 指令。刷新译码器 150 将继续产生 SREF 指令，直到 ICKE 信号变高。

AREF 指令还加到定时器 154，定时器 154 在一个预定时间之后产生 T<sub>OUT</sub> 脉冲。T<sub>OUT</sub> 脉冲使刷新译码器 150 终止 AREF' 指令，从而终止自动刷新周期。

所有输入缓冲器 110、120、124 以及晶体管 130-136、反相器 138、指令译码单元 140、刷新译码器 150 和定时器 154 如图 2 所示位于指令译码器 4 中。但是，如上所述，这些元件也可以位于 SDRAM 2 的其它位置或者其它存储器件中。

现在参考图 3 的时序图介绍功率节省电路 100 的工作。在时间 T<sub>0</sub>，将构成自动刷新 AREF 指令的控制信号的组合（“CMD”）加到 SDRAM 2，并且在时间 T<sub>1</sub>，在外部时钟 CLK 信号的上升沿记录该控制信号组合。在时间 T<sub>1</sub>，外部时钟使能 CKE 信号为高电平，从而将 AREF 指令记录为自动刷新指令而不是自刷新指令。结果，指令译码单元 140（图 2）产生高电平 AREF 信号，刷新译码器 150（图 2）在 T<sub>1</sub> 之后的短时间内产生高电平 AREF' 信号，而不是 SREF 信号，从而发起自动刷新周期。指令译码单元 140 产生的 AREF 指令还触发控制自动刷新周期持续时间的定时器 154。响应于 AREF 信号的发起，刷新译码器 150 还驱动 IBENADD、IBENCMD 和 IBENCLK 信号为低电平，从而禁止输入缓冲器 110、120、124。随后，输入缓冲器 110、120、124 将不响应加到其各个输入端的信号的变化，从而即使出现

信号的快速变化它们也不消耗功率。结果，在自动刷新模式期间 SDRAM 2 消耗相当低的功率。低电平的 IBENCMD 信号使晶体管 130-136 导通，从而在自动刷新周期期间保持 IRAS\*、ICAS\*、IWE\* 信号为高电平，ICS\* 信号为低电平。以这种方式驱动这些信号发出无操作（“NOP”）指令。但是，由于时钟输入缓冲器 124 被在时间  $T_1$  变为低的 IBENCLK 禁止，所以指令译码单元 140 不会记录和将这些信号译码为无操作（“NOP”）指令。

定时器 154 在时间  $T_2$  产生  $T_{OUT}$  脉冲，由此使刷新译码器 150 将 AREF' 信号变为低电平，以终止自动刷新周期。刷新译码器 150 还在时间  $T_2$  将 IBENCLK 信号驱动为高电平，通过输入缓冲器 124 耦合 CLK 信号。如果在时间  $T_2$  外部时钟 CLK 信号为低电平，使能输入缓冲器 124 在 CLK 信号的下一个上升沿到达之前没有影响。但是，如果在时间  $T_2$  外部时钟 CLK 信号为高电平，在时间  $T_2$  使能输入缓冲器 124 将导致在输入缓冲器 124 的输出端的 ICLK 信号在时间  $T_2$  跳变，这将在输入缓冲器 110 的输出端处的指令信号作为有效的存储器指令记录。但是，因为 IBENCMD 在时间  $T_2$  仍处于低电平，所以记录的存储器指令为 NOP 指令，将不会引起 SDRAM 2 执行任何存储器操作。值得注意的是，伪的 ICLK 的上升沿不会引起 SDRAM 2 记录在 IRAS\*、ICAS\*、IWE\*、ICS\* 信号没有偏置为 NOP 指令时可能出现的伪指令。刷新译码器 150 在 IBENCLK 信号变高之后的一定时间之后将 IBENCMD 信号变为高电平。高电平的 IBENCMD 信号将指令信号的输入缓冲器 110 的输出端切换为低阻态，并且关断晶体管 130-136，使得 IRAS\*、ICAS\*、IWE\* 信号不再偏置为高电平，ICS\* 信号不再偏置为低电平。如图 3 所示，刷新译码器 150 还在时间  $T_3$  将 IBENADD 信号变为高电平，但是也可以在时间  $T_2$  或其它时间将 IBENADD 信号变为高电平。

由此，在自动刷新周期期间功率节省电路 100 可以降低 SDRAM 2 的功耗，并且它以避免在自动刷新周期结束时由于指令信号的输入缓冲器 110 使能而记录伪存储器指令的可能性的方式实现上述目的。

在图 4 中示出了功率节省电路 200 的另一个实施例。功率节省电

路 200 与图 2 中所示的功率节省电路 100 基本相同, 并且以基本相同的方式工作。因此, 为了简便起见, 在功率节省电路 200 中所用的与在功率节省电路 100 中所用的电路元件相同的电路元件具有相同的参考数字, 并且不再重复其操作的说明。功率节省电路 200 与功率节省电路 100 的不同之处在于通过使用永久使能输入缓冲器 220 来从外部时钟 CLK 信号产生内部时钟 ICLK 信号。功率节省电路还包括由 IBENCLK 信号使能的内部时钟缓冲器 230。

功率节省电路 200 与功率节省电路 100 的操作基本相同。具体地, 响应于记录的 AREF 指令, IBENCMD、IBENADD 和 IBENCLK 信号跳变为低电平, 禁止输入缓冲器 102、110 和内部时钟缓冲器 230。结果, 在响应 AREF 指令而发起的自动刷新周期期间, 输入缓冲器 102、110 和在内部时钟缓冲器 230 下游的电路(未示出)都不消耗功率。但是时钟信号的输入缓冲器 220 和刷新译码器 150 中响应于 ICLK 信号的电路在自动刷新周期期间仍将消耗功率。当定时器 154 由于时间到而产生  $T_{OUT}$  脉冲时, 刷新译码器 150 可以在 ICLK 信号的上升沿之后只等待半个 ICLK 信号的周期, 将 IBENCMD、IBENADD 和 IBENCLK 信号变为高电平。因此, 功率节省电路 200 具有比图 2 的功率节省电路 100 消耗更多功率的缺点, 但是它具有能够使能输入缓冲器 102、110 而不产生伪指令的优点。

在图 5 中示出了功率节省电路 300 的另一个实施例。功率节省电路 300 也与图 2 中所示的功率节省电路 100 非常类似, 并且以基本相同的方式工作。因此, 为简便起见, 在功率节省电路 300 中所用的与在功率节省电路 100 中所用的电路元件相同的电路元件具有相同的参考数字, 并且不再重复其操作的说明。功率节省电路 300 与功率节省电路 100 的不同之处在于允许 SDRAM 2 以在一个降低功率的自动刷新周期结束时自动将 SDRAM 2 转换到功率节省的预充电模式的模式中工作。除了在图 2 的功率节省电路 100 中所用的元件之外, 图 5 的功率节省电路包括译码 CKE 信号和加到 DM 输入端的数据屏蔽 (“DM”) 信号的方式译码器 310。如上所述, DM 信号用来屏蔽从 SDRAM 2 读出或向 SDRAM 2 写入的数据。因此, 因为不从 SDRAM

2 读出或向 SDRAM 2 写入的数据，在 SDRAM 2 的刷新期间不需要 DM 端。虽然在图 5 所示的实施例中使用了 DM 输入端，但是应当理解，在刷新期间没有使用的其它一些输入端也可以用来发出自动刷新指令。

模式译码器如下译码这些信号：

方式	DM	CKE
具有低功率预充电的低功率 AREF 模式	“0”	“0”（对于整个 AREF 周期）
没有低功率预充电的低功率 AREF 模式	“0”	“1”
正常 AREF 模式	“1”	“0”
正常 SREF 模式	“1”	“1”

因此，当发出 AREF 或 SREF 指令时如果 DM 信号为高电平，则 SDRAM 2 工作在传统方式。但是，当发出 AREF 或 SREF 指令时如果 DM 信号为低电平，则不管 CKE 信号的状态如何，SDRAM 2 工作在上面参考图 2 和 3 介绍的低功率 AREF 模式。如果当发出 AREF 指令时或者在自动刷新期间的任何时刻 CKE 信号为高电平，则当  $T_{OUT}$  脉冲产生来结束 AREF 周期时，SDRAM 2 回到正常工作模式，等待另一个存储器指令。但是，如果当发出 AREF 指令时 CKE 信号为低电平，并且在整个自动刷新周期期间保持低电平，则当产生  $T_{OUT}$  脉冲结束 AREF 周期时，刷新译码器 150' 产生高电平有效的低功率预充电（“LPP”）信号。而且，在低功率预充电模式中，SDRAM 2 保持低功率 AREF 模式，使得在 AREF 周期结束时，刷新译码器 150' 不将 IBENCMD、IBENADD 和 IBENCLK 信号变为高电平。在 SDRAM 2 中的电路（未示出）响应高电平 LPP 信号而去掉 SDRAM 2 中不需要供电来保持存储在存储阵列 20、22（图 1）中的数据的数据的电路元件的电源。例如，去掉指令译码器 4（图 1）、列译码器 48 和一些行译码器 28 上的电源。

如上所述 SDRAM 2 保持在低功率 AREF 模式和低功率预充电模式中，直到 CKE 信号变为高电平。而且，如上所述，如果在 AREF

周期期间的任何时刻 CKE 信号变为高电平，则在 AREF 周期结束时将不产生高电平有效的 LPP 信号。当 CKE 信号变为高电平时，如上所述刷新译码器 150' 将 IBENCMD、IBENADD 和 IBENCLK 信号变为高电平。刷新译码器 150' 还将 LPP 信号变为无效的低电平，对 SDRAM 2 中的电路重新加电。因此，具有 LPP 模式的低功率 AREF 模式在自动刷新周期期间不仅最小化由 SDRAM 2 消耗的功率，并且在其中消耗功率甚至更少的自动刷新周期结束时自动将 SDRAM 2 切换到工作模式。

虽然在图 5 所示的功率节省电路 300 使用 DM 信号区分具有和不具有低功率预充电模式的低功率自动刷新模式，但是也可以使用区别于这些模式的其它方法。例如，在 SDRAM 2 初始化期间，可以编程传统模式寄存器（未示出）的一位或多位来发起所选工作模式。

图 6 示出了使用包含这里介绍的功率节省电路的实施例或者根据本发明的功率节省电路的其它实施例的 SDRAM 2 或其它存储器件的计算机系统 400 的实施例。计算机系统 400 包括执行各种计算功能的处理器 402，例如运行特定软件来执行特定计算或任务。处理器 402 包括一个通常包括地址总线、控制总线 and 数据总线的处理器总线 404。另外，计算机系统 400 包括一个或多个连接到处理器 402 的输入装置 414，例如，键盘或鼠标，以允许操作人员与计算机系统 400 接口。通常，计算机系统 400 还包括一个连接到处理器 402 的输出装置 416，这种输出装置一般为打印机或视频终端。一个或多个数据存储装置 418 通常也连接到处理器 402，以存储数据或从外部存储介质（未示出）恢复数据。典型的存储装置 418 的例子包括硬盘和软盘、盒式磁带以及光盘只读存储器（CD-ROM）。处理器 402 一般还连接到通常为静态随机存取存储器（“SRAM”）的高速缓冲存储器 426，并且通过存储器控制器 430 连接到 SDRAM 2。如上所述，存储器控制器 430 包括一根耦合到地址总线 14（图 1）的地址总线，将行地址和列地址耦合到 DRAM 2。存储器控制器 430 还包括一根控制总线，将控制信号耦合到 SDRAM 2 的控制总线 6。SDRAM 2 的外部数据总线 58 直接或通过存储器控制器 430 耦合到处理器 402 的数据总线。存储器控

---

制器 430 将适当的指令信号加到 SDRAM 2，使 SDRAM 2 以上述一种或多个功率节省模式工作。

由上述可以显而易见，虽然为了说明的目的介绍了本发明的具体实施例，但是不脱离本发明的精神和范围可以进行各种修改。因此，本发明仅由附带的权利要求书限定。

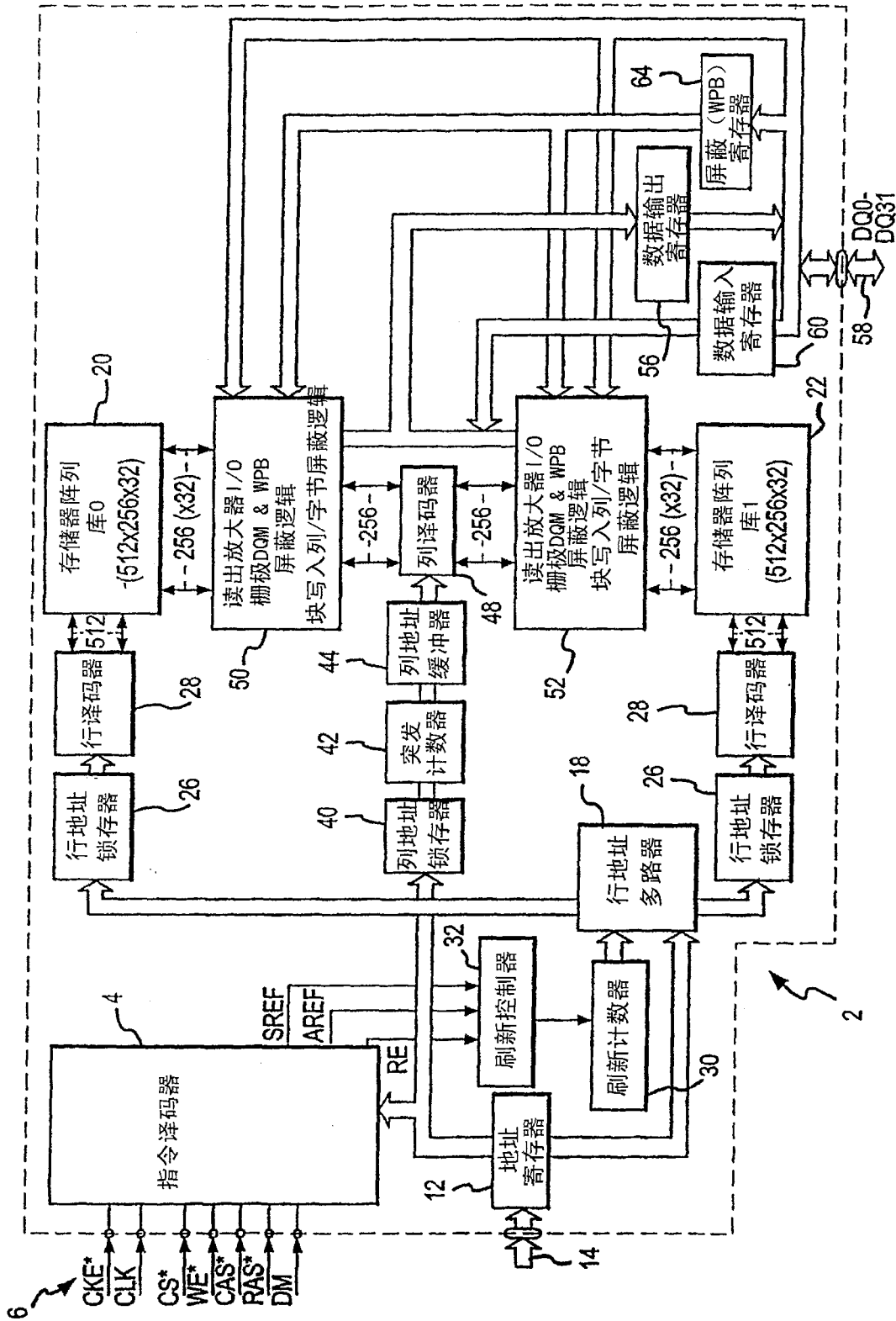


图1

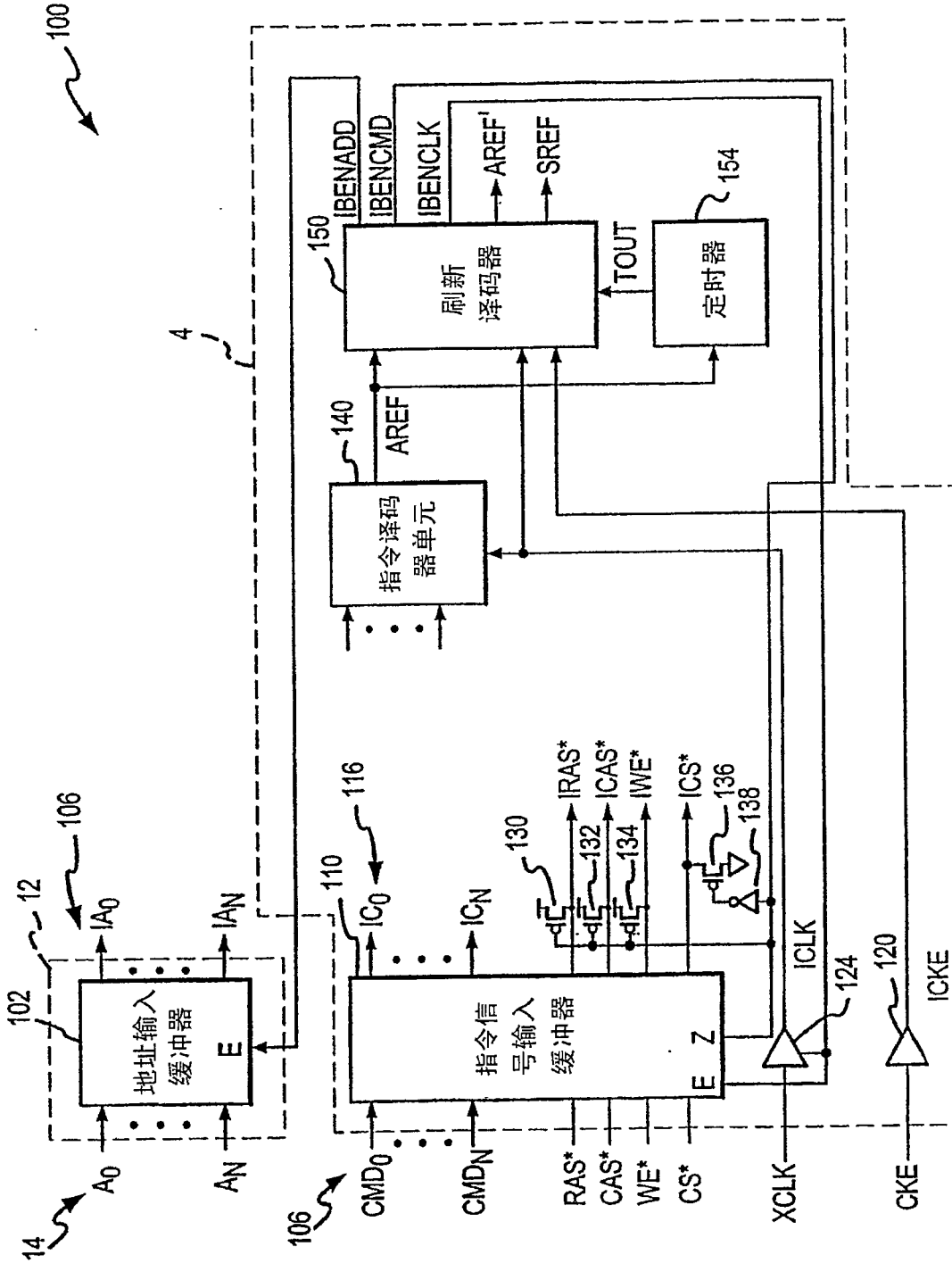


图2

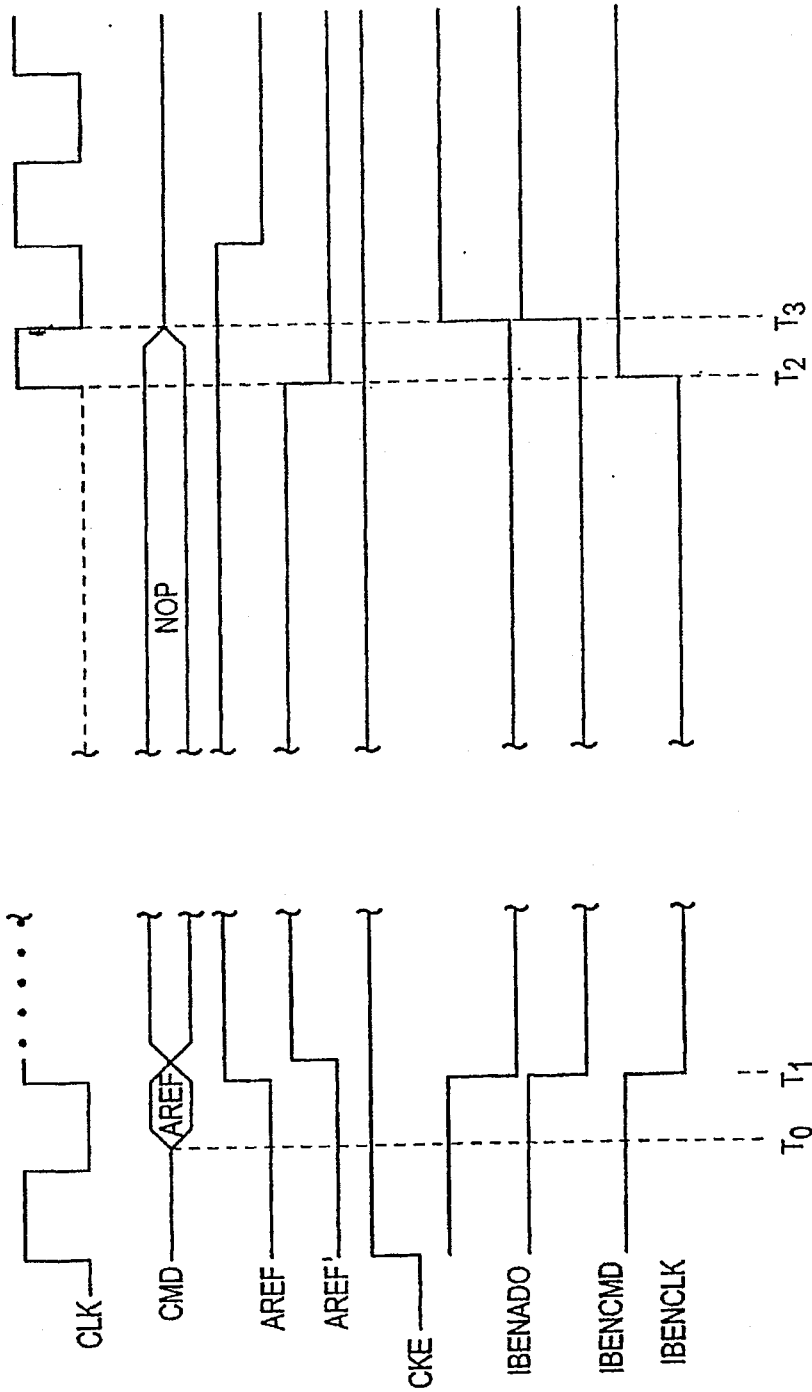


图3

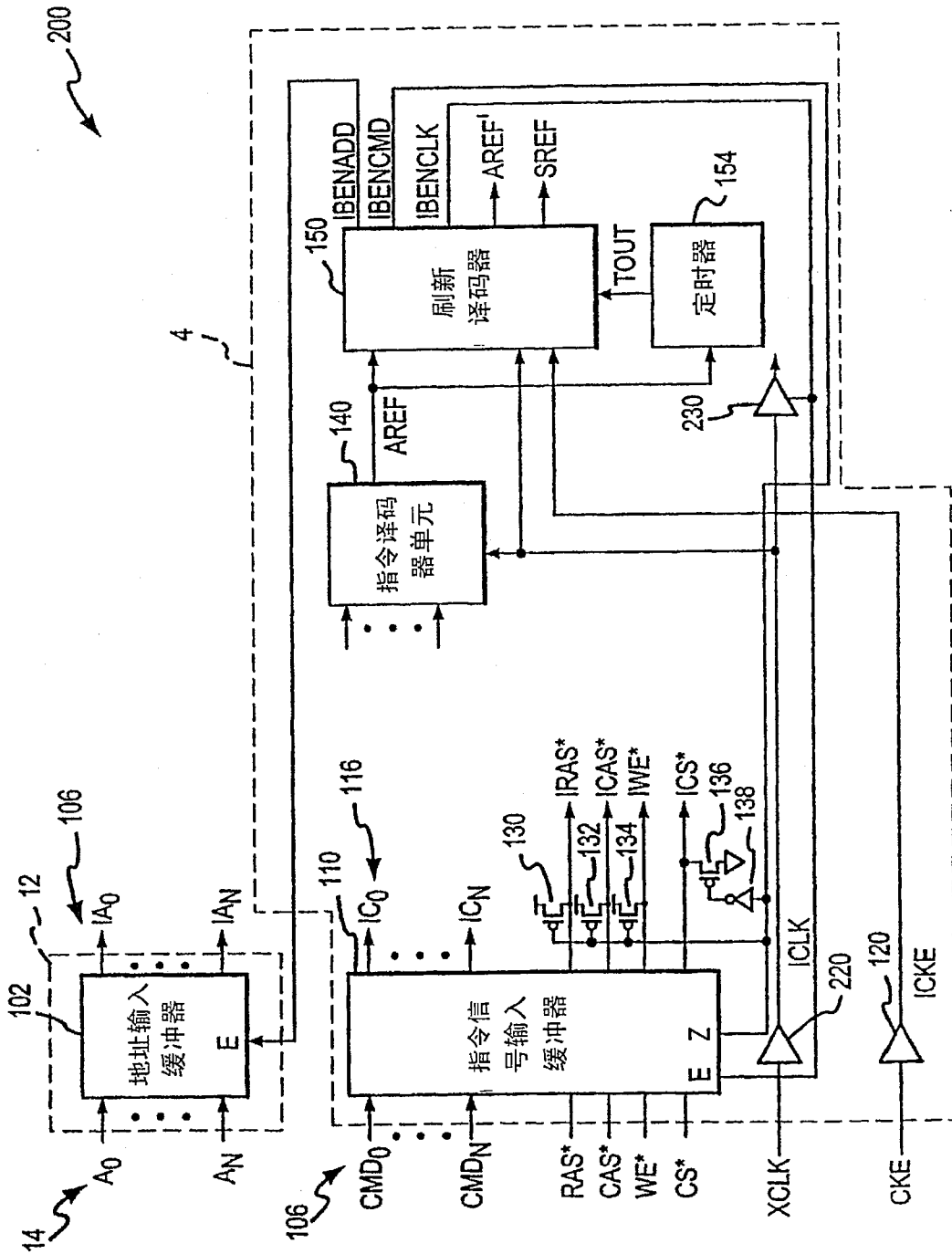


图4

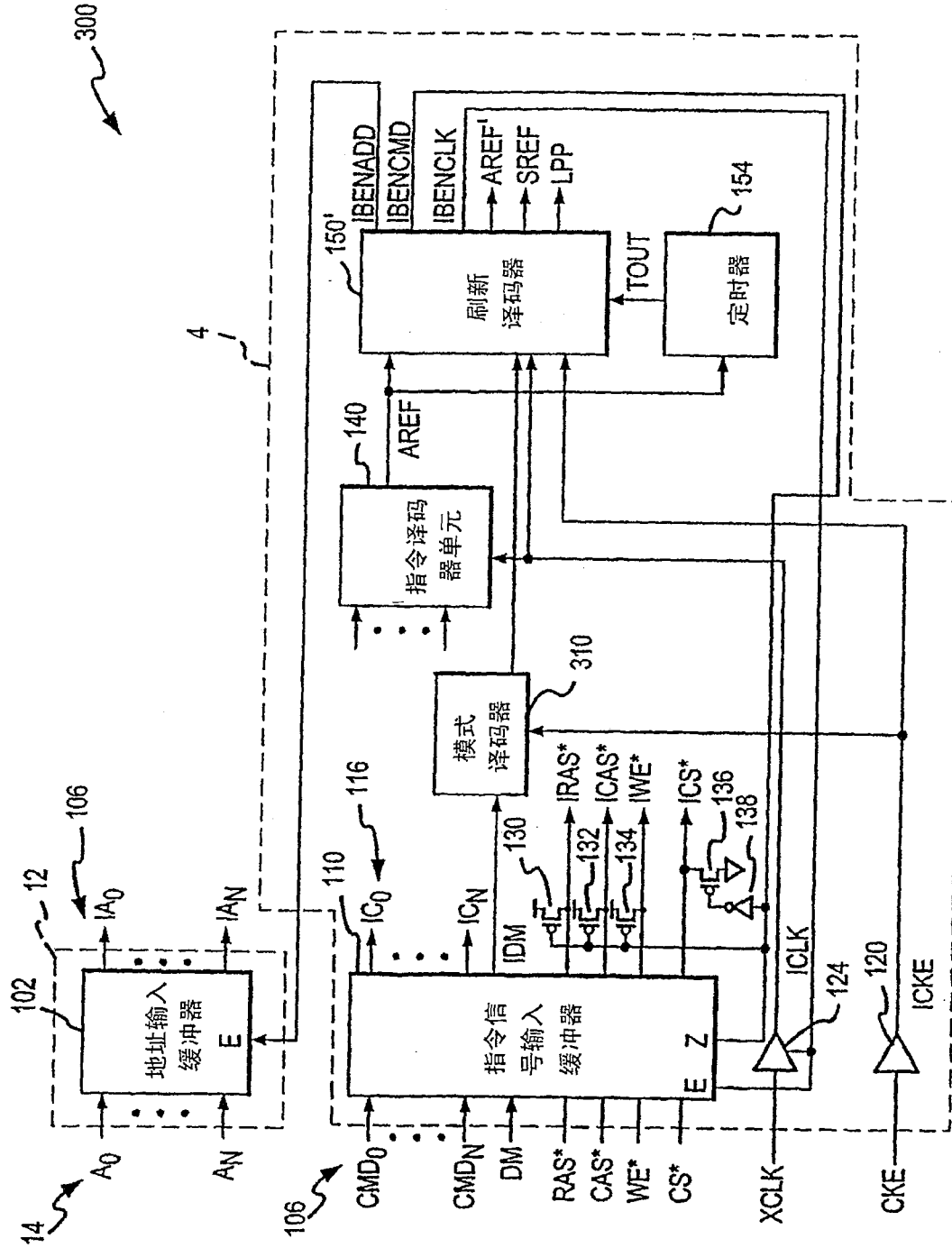


图5

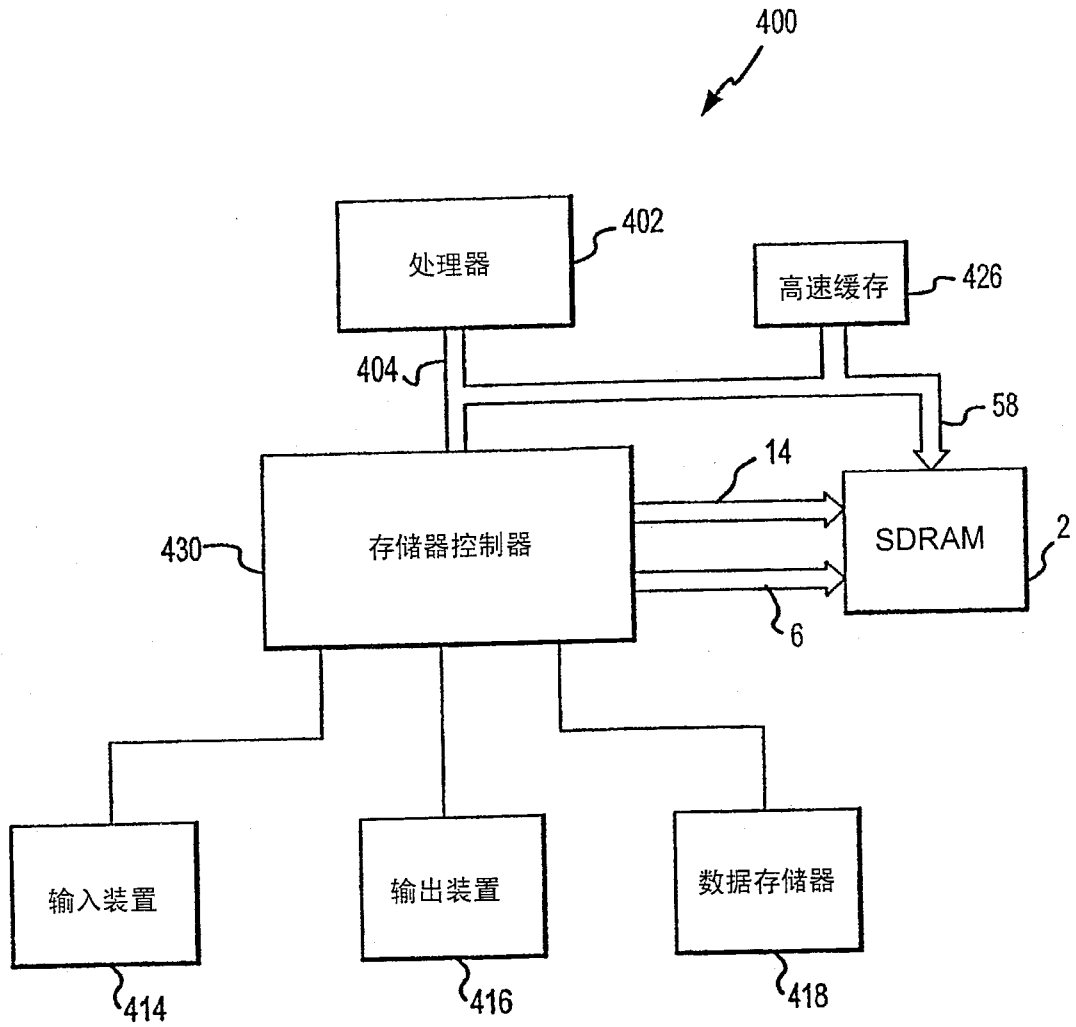


图6