

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成26年2月13日(2014.2.13)

【公開番号】特開2011-229120(P2011-229120A)

【公開日】平成23年11月10日(2011.11.10)

【年通号数】公開・登録公報2011-045

【出願番号】特願2011-15994(P2011-15994)

【国際特許分類】

H 04 N 5/378 (2011.01)

H 04 N 5/363 (2011.01)

H 04 N 5/374 (2011.01)

H 01 L 27/146 (2006.01)

【F I】

H 04 N 5/335 7 8 0

H 04 N 5/335 6 3 0

H 04 N 5/335 7 4 0

H 01 L 27/14 A

【手続補正書】

【提出日】平成25年12月20日(2013.12.20)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0036

【補正方法】変更

【補正の内容】

【0036】

参照信号生成部15は、タイミング制御部18から与えられる制御信号CS₁による制御の下に、当該タイミング制御部18から与えられるクロックCKに基づいてランプ波の参照信号V_{ref}を生成する。そして、参照信号生成部15は、生成した参照信号V_{ref}をカラム処理部14AのA/D変換回路23.1～23.mに対して供給する。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0038

【補正方法】変更

【補正の内容】

【0038】

比較器31は、画素アレイ部12のn列目の各単位画素11から出力される画素信号に応じた列信号線22.mの信号電圧V_{out}を比較入力とし、参照信号生成部15から供給されるランプ波の参照信号V_{ref}を基準入力とし、両者を比較する。そして、比較器31は、例えば、参照信号V_{ref}が信号電圧V_{out}よりも大なるときに出力V_{c0}が第1の状態(例えば、高レベル)になり、参照信号V_{ref}が信号電圧V_{out}以下のときに出力V_{c0}が第2の状態(例えば、低レベル)になる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0051

【補正方法】変更

【補正の内容】

【0051】

転送トランジスタ43は、フォトダイオード41のカソード電極とFD部42との間に

接続されている。転送トランジスタ43のゲート電極には、高レベル（例えば、 V_{dd} レベル）がアクティブ（以下、「High アクティブ」と記述する）となる転送信号TRGが行走査部13から与えられる。転送トランジスタ43は、転送信号TRGに応答して導通状態となることで、フォトダイオード41で光電変換され、蓄積された光電荷をFD部42に転送する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0057

【補正方法】変更

【補正の内容】

【0057】

リセットレベル V_{rst} 及び信号レベル V_{sig} には、熱雑音、寄生容量のカップリングによる雑音といった、リセット毎にランダムに発生するノイズ(Random Noise)が、FD部42をリセット電位 V_r にリセットした際に加わっている。これらのノイズとしては、FD部42をリセットする度に異なるノイズが加わる。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0078

【補正方法】変更

【補正の内容】

【0078】

NMOSトランジスタ51のドレイン電極と画素電源 V_{dd} との間にはダイオード接続構成、即ち、ゲート電極とドレイン電極とが共通に接続されたPチャネル型のMOSトランジスタ（以下、「PMOSトランジスタ」と記述する）56が接続されている。NMOSトランジスタ52のドレイン電極と画素電源 V_{dd} との間には、PMOSトランジスタ57が接続されている。PMOSトランジスタ56, 57は、ゲート電極が互いに共通に接続されている。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0097

【補正方法】変更

【補正の内容】

【0097】

上記構成の比較器31Aにおいて、CDS駆動時は、AD変換回路23の内部の基準電圧 V_{outi} , V_{refi} として、制御信号 $_R$ の反転信号 x_R に応答してPMOSトランジスタ58, 59が導通状態になることによって設定される初期電圧がNMOSトランジスタ51, 52のゲート側に保持される。このCDS駆動時の初期電圧、即ち、AD変換回路23の基準電圧は、MOSトランジスタの閾値電圧を V_{th} 、単位画素11のリセットレベル V_{rst} と信号レベル V_{sig} との電位差を V とすると、略($V_{dd} - |V_{th} + V|$)となる。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0101

【補正方法】変更

【補正の内容】

【0101】

ここで、DDS駆動とCDS駆動とを1行の読み出し期間中に交互に行う場合の動作について説明する。図12及び図13に、DDS駆動とCDS駆動とを交互に行う場合の、DDS駆動の際の低照度時、高照度時の場合の駆動波形をそれぞれ示す。図12及び図13には、制御信号 $_R$ の反転信号 x_R 、制御信号 ext 、傾斜状波形の参照信号 V_{ref} 、及

び、単位画素 1 1 から列信号線 2 2 を介して与えられる信号電圧 V_{out} の波形がそれぞれ示されている。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0 1 1 1

【補正方法】変更

【補正の内容】

【0 1 1 1】

(1回目の比較期間) - (2回目の比較期間) = (信号レベル V_{sig_i} + リセットレベル V_{rst}) - (リセットレベル V_{rst}) = (正味の信号レベル V_{sig})である。以上の2回の読み出し動作とアップ/ダウンカウンタ 3 2 での減算処理により、単位画素 1 1 毎のばらつきを含んだリセットレベル V_{rst} が除去されるため、単位画素 1 1 毎の入射光量に応じた信号レベル V_{sig} を取り出すことができる。なお、この信号レベル V_{sig} は、限られた照度でより高いダイナミックレンジがとれるよう、参照信号 V_{ref} のスロープ状の傾きや、信号レベルとリセットレベル間の V_{ref} 電圧のシフト量とで調整される。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0 1 2 5

【補正方法】変更

【補正の内容】

【0 1 2 5】

これに対し、実施例 2 に係る比較器 3 1_Bは、MOSトランジスタ 5 8 に代えて直列に接続された2つのMOSトランジスタ 5 8_A, 5 8_Bを用い、MOSトランジスタ 5 9 に代えて直列に接続された2つのMOSトランジスタ 5 9_A, 5 9_Bを用いた構成を探っている。同様に、MOSトランジスタ 7 1 に代えて直列に接続された2つのMOSトランジスタ 7 1_A, 7 1_Bを用い、MOSトランジスタ 7 2 に代えて直列に接続された2つのMOSトランジスタ 7 2_A, 7 2_Bを用いている。

【手続補正 10】

【補正対象書類名】明細書

【補正対象項目名】0 1 4 0

【補正方法】変更

【補正の内容】

【0 1 4 0】

PMOSトランジスタ 8 2 1 は、前段の比較回路部 8 1 の出力端、即ち、MOSトランジスタ 5 2 , 5 7 のドレイン共通接続ノードにゲート電極が接続され、画素電源 V_{dd} にソース電極が接続されている。NMOSトランジスタ 8 2 2 は、PMOSトランジスタ 8 2 1 のドレイン電極にドレイン電極が接続され、ソース電極が接地されている。

【手続補正 11】

【補正対象書類名】明細書

【補正対象項目名】0 1 4 2

【補正方法】変更

【補正の内容】

【0 1 4 2】

NMOSトランジスタ 8 2 3 のゲート電極には、制御信号 x_{R2} が印加される。この制御信号 x_{R2} は、例えば、図 1 に示すタイミング制御部 1 8 から与えられる。すなわち、タイミング制御部 1 8 は、実施例 3 に係る比較器 3 1_C の後段の回路部、即ち、記憶回路部 8 2 を制御する制御部としての機能を持っている。

【手続補正 12】

【補正対象書類名】明細書

【補正対象項目名】0 1 4 4

【補正方法】変更

【補正の内容】

【0144】

先ず、CDS駆動時は、前段の比較回路部81において、制御信号 x_{R} による制御の下に、PMOSトランジスタ58, 59が導通することによって設定される初期電圧が、内部の基準電圧 V_{outi}, V_{refi} としてNMOSトランジスタ51, 52のゲート側に保持される。この初期設定状態において、制御信号 x_{R_2} による制御の下に、後段の記憶回路部82のNMOSトランジスタ823が導通状態となる。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0145

【補正方法】変更

【補正の内容】

【0145】

後段の記憶回路部82において、NMOSトランジスタ823が導通状態となることで、前段の比較回路部81の初期設定値によって決まる出力電圧に応じた電流がMOSトランジスタ821, 823を通して容量824に流れる。そして、初期設定期間内において、制御信号 x_{R_2} による制御の下に、NMOSトランジスタ823が非導通状態になるタイミングで、比較回路部81の出力電圧の初期値によって決まる電流値に基づく電圧値が容量824に記憶（保持）される。

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0164

【補正方法】変更

【補正の内容】

【0164】

先述した実施形態の説明では、カラムAD変換回路のカウント部としてアップ／ダウンカウンタ32を用いるとしたが、例えば、カウント部が正負12ビットカウント可能な場合、CDS駆動ではダウンカウントのカウンタを搭載するものとする。図24に、CDS駆動時のカウンタ部の動作説明に供するタイミング波形を示す。CDS駆動では、リセットレベル V_{rst} までの反転時刻 t をダウンカウントし、カウント終了後1の補数を取ることで0を中心に正負を逆-1とした値にする。

【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】0201

【補正方法】変更

【補正の内容】

【0201】

また、カラムアンプ回路25Bの帰還容量63の部位には、実施例1に係るカラムアンプ回路25Aの場合と同様に、カラムアンプ回路25Bの基準電圧を設定（調整）するための初期電圧設定回路70Bが設けられている。初期電圧設定回路70Bは、実施例1の同様の構成、即ち、帰還容量63に対して直列に接続されたNMOSトランジスタ75と、帰還容量63とNMOSトランジスタ75との接続ノードに外部設定初期電圧 V_{ext} を選択的に与えるPMOSトランジスタ76とを有する構成となっている。

【手続補正16】

【補正対象書類名】明細書

【補正対象項目名】0211

【補正方法】変更

【補正の内容】

【0211】

他の画素例 1 に係る単位画素 11_A において、有機光電変換膜 28_1 は上部電極 28_2 と下部電極 28_3 で挟まれている。少なくとも下部電極 28_3 は画素毎に分割され、透明性の高い電極が使われることが多い。そして、上部電極 28_2 に対してバイアス電源 84 によりバイアス電圧 V_b が印加されている。

【手続補正 17】

【補正対象書類名】明細書

【補正対象項目名】0212

【補正方法】変更

【補正の内容】

【0212】

有機光電変換膜 28_1 での光電変換によって発生した電荷は FD 部 42 に蓄積される。FD 部 42 の電荷は、増幅トランジスタ 45 を含む読み出し回路を介して列信号線 22 から電圧として読み出される。FD 部 26 は、リセットトランジスタ 44 によりドレイン電位 V_r に設定される。そして、リセットトランジスタ 44 のドレイン電位 V_r は、FD 部 42 の空乏化されたりセットトランジスタ 44 側のポテンシャルよりも低い電圧 V_{r1} から高い電圧 V_{r2} へ遷移させることができとなっている。

【手続補正 18】

【補正対象書類名】明細書

【補正対象項目名】0224

【補正方法】変更

【補正の内容】

【0224】

他の画素例 3 に係る単位画素 11_D は、転送トランジスタ 43 の後段に信号蓄積用アナログメモリである画素内蓄積容量 (MEM) 91 を有するとともに、当該蓄積容量 91 と FD 部 42 との間に転送ゲート部 92 が配された構成となっている。単位画素 11_D は更に、フォトダイオード 41 と電荷排出部 (例えば、画素電源 V_{dd}) との間に接続された電荷排出ゲート部 40 を有している。電荷排出ゲート部 40 は、ゲート電極に印加される制御信号 OFG がアクティブ状態になるとこれに応答して導通状態となり、フォトダイオード 41 から予め定められた所定量もしくはフォトダイオード 41 に蓄積された全ての光電荷を電荷排出部に選択的に排出する。

【手続補正 19】

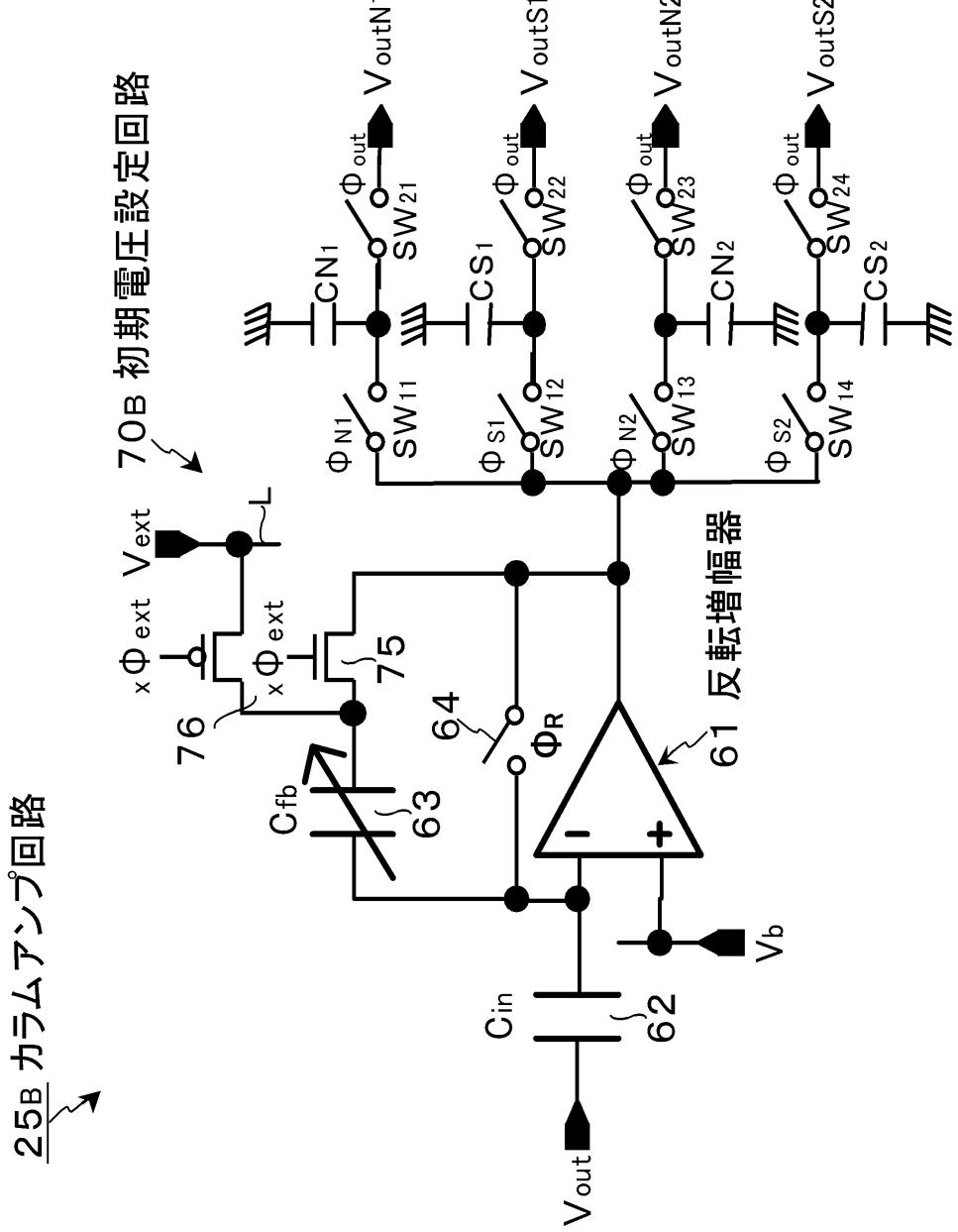
【補正対象書類名】図面

【補正対象項目名】図 36

【補正方法】変更

【補正の内容】

【図36】



【手続補正20】

【補正対象書類名】図面

【補正対象項目名】図38

【補正方法】変更

【補正の内容】

【図 3 8】

