

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4105245号
(P4105245)

(45) 発行日 平成20年6月25日 (2008. 6. 25)

(24) 登録日 平成20年4月4日 (2008. 4. 4)

| | | | |
|---------------|--------------|-------------------|----------------|
| (51) Int. Cl. | | F I | |
| HO 4 N | 5/46 | (2006. 01) | HO 4 N 5/46 |
| HO 3 M | 13/27 | (2006. 01) | HO 3 M 13/27 |
| HO 4 B | 14/04 | (2006. 01) | HO 4 B 14/04 F |
| HO 4 L | 1/00 | (2006. 01) | HO 4 L 1/00 E |

請求項の数 8 (全 9 頁)

(21) 出願番号 特願平7-313086
 (22) 出願日 平成7年11月30日 (1995. 11. 30)
 (65) 公開番号 特開平8-223505
 (43) 公開日 平成8年8月30日 (1996. 8. 30)
 審査請求日 平成14年11月28日 (2002. 11. 28)
 (31) 優先権主張番号 346950
 (32) 優先日 平成6年11月30日 (1994. 11. 30)
 (33) 優先権主張国 米国 (US)

前置審査

(73) 特許権者 391000818
 トムソン コンシューマ エレクトロニク
 ス インコーポレイテッド
 THOMSON CONSUMER EL
 ELECTRONICS, INCORPOR
 ATE D
 アメリカ合衆国 インディアナ州 462
 90-1024 インディアナポリス ノ
 ース・メリディアン・ストリート 103
 30
 (74) 復代理人 100120581
 弁理士 市原 政喜
 (74) 代理人 100077481
 弁理士 谷 義一

最終頁に続く

(54) 【発明の名称】 データ・デインタリーバ

(57) 【特許請求の範囲】

【請求項 1】

インタリーブされたデジタル・ビデオ・データを表す信号を受信するシステムにおいて、

インタリーブされたデジタル・ビデオ・データを表す前記信号を受信する入力端をもち、インタリーブされたデータ出力を出力する入力プロセッサと、

前記インタリーブされたデータ出力にตอบสนองして複数のデインタリーピング機能の1つを実行して、デインタリーブされた出力信号を出力するデインタリーピング・ネットワークであって、第1デインタリーピング機能のソースと、前記第1デインタリーピング機能のためのものとは異なるアルゴリズムを有する第2デインタリーピング機能のソースと、制御信号にตอบสนองして前記デインタリーピング機能の一方または他方を選択する手段とを備えているデインタリーピング・ネットワークと、

前記デインタリーブされた出力信号を処理する出力信号プロセッサと

を備え、

前記デインタリーピング・ネットワークは、前記インタリーブされたデータ出力を受信し、前記デインタリーブされた出力信号を出力として出力する単一のメモリと、

前記第1デインタリーピング機能の前記ソースに対応して、該第1デインタリーピング機能を実行するように前記メモリの読み／書きアドレッシングを制御する第1メモリ制御エレメントと、

前記第2デインタリーピング機能の前記ソースに対応して、該第2デインタリーピング

10

20

機能を実行するように前記メモリの読み／書きアドレッシングを制御する第２メモリ制御エレメントと

を含むことを特徴とするデータ・デインタリーバ。

【請求項２】

請求項１に記載のデータ・デインタリーバにおいて、前記選択手段は、前記制御信号に応答して前記第１または前記第２メモリ制御エレメントのどちらか一方の出力を選択的に前記単一のメモリに結合することを特徴とするデータ・デインタリーバ。

【請求項３】

請求項１に記載のデータ・デインタリーバにおいて、選択されたデインタリーピング機能は前記読取りアドレッシング期間に実行されることを特徴とするデータ・デインタリーバ。

10

【請求項４】

請求項１に記載のデータ・デインタリーバにおいて、選択されたデインタリーピング機能は前記書込みアドレッシング期間に実行されることを特徴とするデータ・デインタリーバ。

【請求項５】

請求項１に記載のデータ・デインタリーバにおいて、前記入力プロセッサは等化器ネットワークとデモジュレータ・ネットワークを含むことを特徴とするデータ・デインタリーバ。

【請求項６】

20

請求項１に記載のデータ・デインタリーバにおいて、前記出力信号プロセッサは、デコーダ・ネットワークと、前記デコーダ・ネットワークからの出力信号に応答するビデオ信号プロセッサとを含むことを特徴とするデータ・デインタリーバ。

【請求項７】

インタリーブされたデジタル・ビデオ・データを表す信号を受信するシステムにおいて、

インタリーブされたデジタル・ビデオ・データを表す前記信号を受信する入力端とインタリーブされたデータ出力端をもつ入力プロセッサと、

前記インタリーブされたデータ出力を受信する入力端と出力端をもつ単一のメモリと、第１デインタリーピング機能を実行するように前記メモリの読み／書きアドレッシングを制御する第１メモリ制御エレメントであって、出力端と同期信号入力端をもつ第１メモリ制御エレメントと、

30

前記第１デインタリーピング機能のためのものとは異なるアルゴリズムを有する第２デインタリーピング機能を実行するように前記メモリの読み／書きアドレッシングを制御する第２メモリ制御エレメントであって、出力端と同期信号入力端をもつ第２メモリ制御エレメントと、

前記インタリーブされたデータを受信し、前記第１および第２メモリ制御エレメントの前記同期入力端に同期信号を出力して、前記読み／書きアドレッシングを前記インタリーブされたデータと同期させるシンクロナイザと、

制御信号に応答して前記第１および前記第２メモリ制御エレメントの前記出力の一方または他方を選択的に前記メモリに結合する手段と、

40

前記メモリの前記出力を処理する出力信号プロセッサと
を備えていることを特徴とするデータ・デインタリーバ。

【請求項８】

請求項７に記載のデータ・デインタリーバにおいて、前記入力プロセッサは等化器ネットワークとデモジュレータ・ネットワークを含み、前記出力プロセッサはデコーダと、該デコーダからのデコードされた信号に応答するビデオ・プロセッサとを含むことを特徴とするデータ・デインタリーバ。

【発明の詳細な説明】

【０００１】

50

【発明の属する技術分野】

本発明はデジタル信号処理の分野に関し、さらに具体的には、高精細テレビジョン信号などのテレビジョン信号をデコード化するシステムに含まれるビデオ信号デインタリーバ(deinterleaver)に関する。

【0002】

なお、本明細書の記述は本件出願の優先権の基礎たる米国特許出願第08/346,950号(1994年11月30日出願)の明細書の記載に基づくものであって、当該米国特許出願の番号を参照することによって当該米国特許出願の明細書の記載内容が本明細書の一部を構成するものとする。

【0003】**【従来の技術】**

高精細テレビジョン (high definition television - HDTV) システムのような高度ビデオ信号処理システム (advanced video signal processing system) は、デジタル信号処理を使用しているのが代表的である。このようなデジタル信号処理の一部として、データはあらかじめ決めたシーケンスに再配列されてから送信され、受信時に元のシーケンスに復元されているのが代表的である。このオペレーションは、あらかじめ決めたシーケンスで時間的にデータを拡散または分散するのに役立ち、伝送中にデータ損失が起こっても、連続するデータの損失が起こらないようになっている。その代わりに損失データは分散されているので、そのデータを隠したり、訂正したりすることが容易化されている。オリジナル・データ・シーケンスを再配列してから送信するために使用される装置は、一般にインタリーバ(interleaver)と呼ばれ、受信時にオリジナル・データ・シーケンスを復元するために使用される装置はデインタリーバ (deinterleaver) と呼ばれている。インタリーブ/デインタリーブを行うプロセスは公知である。スクランプリング(scrambling)は、インタリーピングとは対照的に、データをランダム化し、送信信号エネルギーを分散することを主目標としている。これは、同一チャネル妨害 (co-channel interference) を最小限にして、受信装置におけるタイミング回復を向上するのに役立っている。また、スクランプリングは、受信装置内の等化器(equalizer - イコライザ) によるチャネルひずみ補正 (channel distorsion compensation) も容易化している。

【0004】

インタリーピング/デインタリーピング・アルゴリズムは種々のものが知られている。例えば、ヨーロッパ衛星システムでは、Forney提案のアルゴリズムが現在採用されている。このアルゴリズムは、「標準バースト・チャネルのバースト訂正コード (Burst-Correcting Codes for the Classic Bursty Channel)」(IEEE Transactions on Communications Technology, vol. COM-19, Oct. 1971) に説明されている。Ramsey提案の別のアルゴリズムは米国で広く使用されているが、これは、「最適インタリーバの実現 (Realization of Optimum Interleavers)」(IEEE Transactions on Information Theory, vol. IT-15, May 1970) に説明されている。

【0005】**【発明が解決しようとする課題】**

本出願の発明者は、例えば、高度テレビジョン信号処理システム(advanced television signal processing system)を例にして説明すると、複数のデインタリーピング機能 (deinterleaving functions) を集積回路 (IC) などの単一の信号処理デバイスに実装することができ、そうすると利点があることを認識した。本発明の原理によれば、デジタル信号処理ネットワーク(回路網)は、異なるタイプのデインタリーピング機能が組み込まれている適応デインタリーピング・ネットワーク(adaptive deinterleaving network)を含んでいる。

【0006】**【課題を解決するための手段】**

開示されている実施例では、選択されたデインタリーピング機能は単一メモリの読み/書きアドレッシング(read/write addressing) を制御する。これにより、ネットワークのコス

10

20

30

40

50

トと複雑さが低減され、異種のデインタリーピング機能を収めているデインタリーピング・ネットワークをＩＣ内に実装することが容易化されている。ある特定のアプリケーションで使用されるデインタリーピング機能は、例えば、デインタリーピング・ネットワークを収めているデバイスの外部に置かれた手段によって選択することも、プログラムされたコントローラによって選択することもできる。さらに、特定のデインタリーピング機能のどれが選択されるかは、デインタリーバが使用されているシステムのタイプによって判断される。システムのタイプが異なるのは、使用されるテレビジョン信号伝送方式には様々なタイプのものがあるためである。例えば、米国では、高度テレビジョン信号を伝達するために、ヨーロッパで使用されているものとは異なるタイプの放送衛星システムが使用されている。

10

【 0 0 0 7 】

【発明の実施の形態】

図１は、ＨＤＴＶ受信装置のうち、本発明の原理によるデインタリーピング・ネットワーク（回路網）１８を含んでいる部分を示すブロック図である。送信されてきたＨＤＴＶ信号はアンテナ１０によって受信され、入力プロセッサ１２に入力される。入力プロセッサ１２は、受信した信号を低周波数帯域にダウン・コンバート(down-convert)するためのチューナとＩＦステージを含んでいるのが代表的である。また、自動利得制御、フィルタリング、タイミング/クロック回復ネットワークおよびその他の回路を含んでいる場合もあるが、これらは公知のものである。入力プロセッサ１２からの出力信号は等化器/デモジュレータ１４によって等化され(equalized)、復調される。等化プロセスでは、公知のよう

20

に、データ・チャンネル内のひずみが補正される。デモジュレータ（復調）機能は、ベースバンド・インタリーブ・データを変調入力信号から回復する。この種の等化器（イコライザ）とデモジュレータ（復調器）の機能は公知であり、例えば、Lee およびMesserschmidt 著の参考文献「デジタル通信」(Kluwer Academic Press, Boston, MA, USA, 1988)に説明されている。

【 0 0 0 8 】

【実施例】

等化器/デモジュレータ１４からのインタリーブされたデータ（インタリーブ・データ）はデインタリーピング・ネットワーク１８内のシンクロナイザ（同期化）回路２７に入力されると共に、メモリ３５の信号入力端に入力される。シンクロナイザ回路２７は、インタリーブ・データ信号に含まれるsync（同期）ワードを検出し、データと同期がとられた出力信号を出力する。この出力信号はデータがいつ始まるかを示している。syncワード自体はインタリーブされないが、周期的時間間隔で現れる。１つの例として、インタリーブ・データは、syncワードとそのあとに続く１５データ・ワードを収めている反復データ・ブロックから構成されている。同期化機能は、例えば、バイト認識ロジック(byte recognition logic)とフェーズ・ロック・ループ(phase locked loop)を内蔵しているsync検出回路によって実行される。バイト認識ロジックはsyncバイト・パターンを認識し、フェーズ・ロック・ループはsyncバイトを追跡し、syncバイトがいつ現れるかを示す。従って、シンクロナイザ回路２７は第１および第２アドレス・メモリ・コントローラ２０および２５へ出力信号を送って、マルチプレクサ３０を通してメモリ３５に入力されたアドレス信号を、メモリ３５の信号入力端に入力された入力インタリーブ・データと同期をとる機能を備えている。

30

40

【 0 0 0 9 】

デインタリーピング・ネットワーク１８は、コントローラ２０があるデインタリーピング機能をアルゴリズムの形で実装し、コントローラ２５が別のデインタリーピング機能を同じくアルゴリズムの形で実装するように構成されている。例えば、コントローラ２０にRamseyデインタリーピング機能を実装させ、コントローラ２５にForneyデインタリーピング機能を実装させることができる。これらのデインタリーピング機能はロジック・ステート・マシン(logic state machine)として、つまり、ロジック・オペレーションの巡回シーケンスとして実現することができる。この場合、各オペレーションにステート（状態）を

50

割り当てて、シーケンスが入力に応答する能力をもたせることができる。ステート・マシンのオペレーションによって生成される出力は、ステート、以前または現在の入力信号または以前または現在の出力信号を任意に組み合わせたものの関数である。ステート・マシン・オペレーションを実現するために必要とされる論理式はメモリとして働くロジック構造の中に、公知の手法を用いてプログラムされている。

【 0 0 1 0 】

本システムでは、2つのデインタリーピング機能はDeinterleaver Select (デインタリーバ選択) 信号のステート(状態)に応じて、一度に一つだけが動作する。Deinterleaver Select信号は、種々のソースから得ることができる。好ましくは、この制御信号はプログラムされたコントローラから与えられる。この種のマイクロプロセッサが図1に示されていないのは、図面を簡単にするためである。この制御信号は、例えば、HDTV受信装置に置かれ、デインタリーピング・ネットワーク18の外部に置かれた手操作スイッチ源から得ることもできる。この場合には、スイッチ源からは、選択されたバイナリ・ロジック・レベルがデインタリーピング・ネットワーク18の指定された入力端に直接に入力される。別の方法として、受信したインタリーブ・データ・ストリームから制御信号をデコードすることもできる。

【 0 0 1 1 】

コントローラ20、25は読み/書きアドレスと関連づけられたメモリ制御信号(読取り許可、書込み許可、出力許可など)のシーケンスを出力し、これらはマルチプレクサ30を通してメモリ35に渡される。メモリ35は基本的には、共有メモリ(shared memory)であり、2つ(または3以上)のデインタリーピング機能のうち選択された1つによって利用される。コントローラ20、25からのアドレスと関連メモリ制御信号は、シンクロナイザ27からの同期信号によって、メモリ35へ入力されたインタリーブ・データと同期がとられる。マルチプレクサ30へ入力されたDeinterleaver Select制御信号のステートから、メモリ・コントローラ・ユニット20、25のどちらがメモリ・アドレス制御信号をメモリ35に送ったかが判断される。コントローラ20、25はそれぞれのメモリ書込みアドレス制御信号を出力し、入力されたインタリーブ・データは、その入力インタリーブ・データの受信順にメモリ35のメモリ・ロケーションに書き込まれる。さらに、コントローラ20、25はそれぞれのメモリ読取りアドレス信号を出力し、データは所望のデインタリーピング順にメモリ35から読み出される。これは、例えば、選択されたデインタリーバ制御ユニットのステート・マシンが、データをメモリ35から読み出すために必要なアドレス・シーケンスを出力することによって行うことができる。従って、この例では、オリジナル(デインタリーブされる)データに対応する、メモリからの出力データは、メモリ読取りプロセスの関数として得られる。デインタリーピング機能はメモリ書込みプロセスの関数として実行することも、読み書きプロセスの関数として実行することも可能である。

【 0 0 1 2 】

開示しているデインタリーピング・ネットワーク18から得られる利点は、複数のアドレスおよびメモリ・コントローラが関連の(共有)メモリと共に使用されることである。つまり、デインタリーバ機能がいくつ実装され、選択できるかに関係なく、必要になる共有メモリは1つだけである。

【 0 0 1 3 】

メモリ35からのデインタリーブされたデータ出力はユニット(デスクランブラ)38によってデスクランブル(descramble)される。デスクランプリングは、デインタリーピングとは異なり、データを非ランダム化(de-randomizing)することを主目標としている。データのランダム化は、送信装置の信号エネルギーを分散するために送信前に行われる。これは、同一チャネル妨害を最小限にし、受信装置におけるタイミング回復を向上するのに役立つ。これは、また、受信装置内の等化器によるチャネルひずみ補正を容易化する。ユニット38のデスクランブルされたデータはデコーダ40によってデコードされる。なお、デコーダ40は、例えば、リードソロモン(Reed-Solomon)デコーダにすることができる。デ

10

20

30

40

50

コード 40 からの補正されたデータ・パケットはトランスポート・プロセッサ(transport processor) 44 に入力され、そこで各データ・パケットのヘッダが検査され、オーディオ・データとビデオ・データが識別される。トランスポート・プロセッサ 44 はオーディオおよびビデオ出力データを、オーディオ/ビデオ・デコード 46 内の該当するデコードへ送る。オーディオ/ビデオ・デコード 46 からのデコードされたオーディオ信号とビデオ信号は、それぞれオーディオ・プロセッサ 52 とテレビジョン・ビデオ・プロセッサ 50 に入力される。プロセッサ 50 と 52 は、オーディオ信号とビデオ信号をビデオ/オーディオ再生ユニット 55 による再生に合ったフォーマットにする。

【0014】

本発明の別実施例は図 2 に開示されている。この実施例では、所望のデインタリーピング機能が得られるようにメモリ・コントローラを構成するために必要なデータは、メモリ 70 に収められている。メモリ 70 には、2 つ以上のデインタリーピング機能を置いておくことが可能である。このデータ、例えば、アルゴリズムは、データ・ローダ(data loader) 75 によってメモリ・コントローラ 80 にロードされる。これは、例えば、データ・ローダ 75 がデータをメモリ 70 から読み取り、そのデータをコントローラ 80 内のメモリ・ロケーションに書き込むことによって行うことができる。データ・ローダ 75 は、デインタリーバ選択(Deinterleaver Select)制御信号に応答してどのデインタリーピング機能をロードするかを選択する。この制御信号は、図 1 の実施例で説明したように種々のソースから得ることが可能である。データ・ローダ 75 は、システムの電源投入時に、あるいは Deinterleaver Select 制御信号のロジック・レベルが変更されたときロード・オペレーションを開始する。

【0015】

インタリーブされた入力データはシンクロナイザ(同期化回路) 73 に入力される。シンクロナイザ 73 は sync 信号をコントローラ 80 へ送り、コントローラ 80 が入力インタリーブ・データと同期をとってメモリ・アドレスを生成することを可能にする。同期化機能は図 1 を参照して説明したとおりである。コントローラ 80 は書込みアドレスを出力し、入力インタリーブ・データがインタリーブされた形でメモリ 85 に書き込まれるようにする。さらに、コントローラ 80 は読取りアドレスを出力し、ストアされたデータがオリジナルのデインタリーブ順にメモリ 85 から読み出されるようにする。つまり、メモリ 85 の読取りアドレッシングは、メモリ 70 から得られたデインタリーピング・データの関数である。コントローラ 80 のアドレス生成機能は、図 1 を参照して説明したコントローラ 20 と 25 の場合と同じように動作する。

【0016】

【発明の効果】

HDTV ビデオ信号処理システムの場合について本発明を説明してきたが、本発明は、衛星放送システムや地上放送システムのように、異種のデインタリーピング機能が使用されているような他のシステムにも応用可能であることはもちろんである。また、図 1 と図 2 を参照して説明してきたエレメントは、種々の方法で配置することが可能であることももちろんである。例えば、コントローラ 20, 25 および 80 は、マイクロコントローラで実現することも、ディスクリート・ロジック・ネットワーク(discrete logic network)で実現することも可能である。さらに、図 1 のコントローラ 20 と 25 は、回路を共有することが可能である。また、図 1 と図 2 のコントローラ 20, 25 および 80 はデインタリーピング・アドレス・シーケンシング機能を種々の方法で実現することが可能である。デインタリーピング機能は、図 1 の実施例の場合に説明した読取りサイクル期間にではなく、書込みサイクル期間に実行することが可能である。この書込みサイクル期間のデインタリーピングは、データをデインタリーブ順にメモリ 35 または 85 のロケーションに書き込み、続いてデータを連続するロケーションから読み取って出力することによって行われる。別の方法として、コントローラは書込みオペレーション期間にデータを部分的にデインタリーブし、デインタリーピング機能の残りを読取りオペレーション期間に実行することも可能である。

10

20

30

40

50

【 0 0 1 7 】

Deinterleaver Select制御信号は、図 1 における未使用のコントローラを禁止(disable)するために使用することができる。このようにすると、ノイズや電力消費が低減されるので望ましい。また、この制御信号を使用すると、例えば、使用されていないコントローラの出力信号の 3 ステート・バッファ(tri-state buffer)を禁止することにより、使用されていないコントローラの出力を禁止することもできる。この場合には、使用中のコントローラの出力信号の 3 ステート・バッファは許可され、使用されていないコントローラのバッファは禁止される。この場合には、マルチプレクサ 3 0 は不要になる。

【 0 0 1 8 】

Deinterleaver Select制御信号は 2 つ以上使用することが可能である。これが行われるのは、例えば、別々にバッファに置かれた同じ制御信号がコントローラ 2 0 と 2 5 によって使用される場合である。また、このことは、選択できるアドレスおよびメモリ・コントローラが 2 つ以上（各々は異なるデインタリーピング機能を実装している）デインタリーピング・ネットワーク 1 8 内に存在するときも可能である。

【図面の簡単な説明】

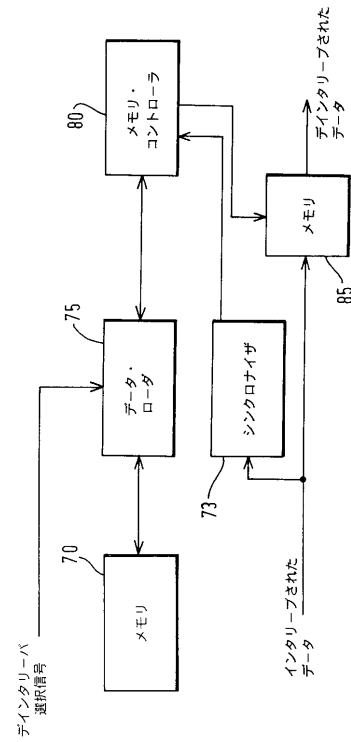
【図 1】H D T V 受信システムのうち、本発明の原理によるデインタリーピング装置を含んでいる部分を示すブロック図である。

【図 2】本発明によるデインタリーピング装置の別実施例を示す図である。

【符号の説明】

| | | |
|-----|-----------------------|----|
| 1 0 | アンテナ | 20 |
| 1 2 | 入力プロセッサ | |
| 1 4 | 等化器 / デモジュレータ | |
| 1 8 | デインタリーピング・ネットワーク（回路網） | |
| 2 0 | 第 1 メモリ・コントローラ | |
| 2 5 | 第 2 メモリ・コントローラ | |
| 2 7 | シンクロナイザ（同期化）回路 | |
| 3 0 | マルチプレクサ | |
| 3 5 | メモリ | |
| 3 8 | デスクランブラ | |
| 4 0 | デコーダ | 30 |
| 4 4 | トランスポート・プロセッサ | |
| 4 6 | オーディオ / ビデオ・デコーダ | |
| 5 0 | テレビジョン・ビデオ・プロセッサ | |
| 5 2 | オーディオ・プロセッサ | |
| 5 5 | ビデオ / オーディオ再生ユニット | |
| 7 0 | メモリ | |
| 7 3 | シンクロナイザ | |
| 7 5 | データ・ローダ | |
| 8 0 | メモリ・コントローラ | |
| 8 5 | メモリ | 40 |

【 図 2 】



フロントページの続き

(74)代理人 100088915

弁理士 阿部 和夫

(72)発明者 ジョン シドニー スチュワート

アメリカ合衆国 4 6 2 6 8 インディアナ州 インディアナポリス ウェスト 7 1 エスティー
ストリート 3 6 5 5

審査官 古川 哲也

(56)参考文献 特開平 0 4 - 1 4 2 8 1 6 (J P , A)

特開平 0 6 - 2 7 6 1 7 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H04N 5/44 - 5/46

H03M 13/27

H04B 14/04

H04L 1/00

IEEE