

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4105245号  
(P4105245)

(45) 発行日 平成20年6月25日(2008.6.25)

(24) 登録日 平成20年4月4日(2008.4.4)

(51) Int.Cl.

F 1

|             |              |                  |        |       |
|-------------|--------------|------------------|--------|-------|
| <b>HO4N</b> | <b>5/46</b>  | <b>(2006.01)</b> | HO 4 N | 5/46  |
| <b>HO3M</b> | <b>13/27</b> | <b>(2006.01)</b> | HO 3 M | 13/27 |
| <b>HO4B</b> | <b>14/04</b> | <b>(2006.01)</b> | HO 4 B | 14/04 |
| <b>HO4L</b> | <b>1/00</b>  | <b>(2006.01)</b> | HO 4 L | 1/00  |

F  
E

請求項の数 8 (全 9 頁)

|              |                         |
|--------------|-------------------------|
| (21) 出願番号    | 特願平7-313086             |
| (22) 出願日     | 平成7年11月30日(1995.11.30)  |
| (65) 公開番号    | 特開平8-223505             |
| (43) 公開日     | 平成8年8月30日(1996.8.30)    |
| 審査請求日        | 平成14年11月28日(2002.11.28) |
| (31) 優先権主張番号 | 346950                  |
| (32) 優先日     | 平成6年11月30日(1994.11.30)  |
| (33) 優先権主張国  | 米国(US)                  |

前置審査

|           |  |
|-----------|--|
| (73) 特許権者 | 391000818<br>トムソン コンシューマ エレクトロニクス インコーポレイテッド<br>THOMSON CONSUMER ELECTRONICS, INCORPORATED |
| (74) 復代理人 | 100120581<br>弁理士 市原 政喜   |
| (74) 代理人  | 100077481<br>弁理士 谷 義一  |

最終頁に続く

(54) 【発明の名称】データ・デインタリーバ

## (57) 【特許請求の範囲】

## 【請求項 1】

インタリープされたディジタル・ビデオ・データを表す信号を受信するシステムにおいて、

インタリープされたディジタル・ビデオ・データを表す前記信号を受信する入力端をもち、インタリープされたデータ出力を出力する入力プロセッサと、

前記インタリープされたデータ出力に応答して複数のデインタリービング機能の1つを実行して、デインタリープされた出力信号を出力するデインタリービング・ネットワークであって、第1デインタリービング機能のソースと、前記第1デインタリービング機能のためのものとは異なるアルゴリズムを有する第2デインタリービング機能のソースと、制御信号に応答して前記デインタリービング機能の一方または他方を選択する手段とを備えているデインタリービング・ネットワークと、

前記デインタリープされた出力信号を処理する出力信号プロセッサと  
を備え、

前記デインタリービング・ネットワークは、前記インタリープされたデータ出力を受信し、前記デインタリープされた出力信号を出力として出力する単一のメモリと、

前記第1デインタリービング機能の前記ソースに対応して、該第1デインタリービング機能を実行するように前記メモリの読み／書きアドレッシングを制御する第1メモリ制御エレメントと、

前記第2デインタリービング機能の前記ソースに対応して、該第2デインタリービング

10

20

機能を実行するように前記メモリの読み／書きアドレシングを制御する第2メモリ制御エレメントと

を含むことを特徴とするデータ・ディンタリーバ。

**【請求項2】**

請求項1に記載のデータ・ディンタリーバにおいて、前記選択手段は、前記制御信号に応答して前記第1または前記第2メモリ制御エレメントのどちらか一方の出力を選択的に前記单一のメモリに結合することを特徴とするデータ・ディンタリーバ。

**【請求項3】**

請求項1に記載のデータ・ディンタリーバにおいて、選択されたディンタリービング機能は前記読み取りアドレシング期間に実行されることを特徴とするデータ・ディンタリーバ  
10。

**【請求項4】**

請求項1に記載のデータ・ディンタリーバにおいて、選択されたディンタリービング機能は前記書込みアドレシング期間に実行されることを特徴とするデータ・ディンタリーバ  
。

**【請求項5】**

請求項1に記載のデータ・ディンタリーバにおいて、前記入力プロセッサは等化器ネットワークとデモジュレータ・ネットワークを含むことを特徴とするデータ・ディンタリーバ。

**【請求項6】**

請求項1に記載のデータ・ディンタリーバにおいて、前記出力信号プロセッサは、デコーダ・ネットワークと、前記デコーダ・ネットワークからの出力信号に応答するビデオ信号プロセッサとを含むことを特徴とするデータ・ディンタリーバ。  
20

**【請求項7】**

インタリープされたディジタル・ビデオ・データを表す信号を受信するシステムにおいて、

インタリープされたディジタル・ビデオ・データを表す前記信号を受信する入力端とインタリープされたデータ出力端をもつ入力プロセッサと、

前記インタリープされたデータ出力を受信する入力端と出力端をもつ单一のメモリと、  
第1ディンタリービング機能を実行するように前記メモリの読み／書きアドレシングを制御する第1メモリ制御エレメントであって、出力端と同期信号入力端をもつ第1メモリ制御エレメントと、  
30

前記第1ディンタリービング機能のためのものとは異なるアルゴリズムを有する第2ディンタリービング機能を実行するように前記メモリの読み／書きアドレシングを制御する第2メモリ制御エレメントであって、出力端と同期信号入力端をもつ第2メモリ制御エレメントと、

前記インタリープされたデータを受信し、前記第1および第2メモリ制御エレメントの前記同期入力端に同期信号を出力して、前記読み／書きアドレシングを前記インタリープされたデータと同期させるシンクロナイザと、

制御信号に応答して前記第1および前記第2メモリ制御エレメントの前記出力の一方または他方を選択的に前記メモリに結合する手段と、  
40

前記メモリの前記出力を処理する出力信号プロセッサと  
を備えていることを特徴とするデータ・ディンタリーバ。

**【請求項8】**

請求項7に記載のデータ・ディンタリーバにおいて、前記入力プロセッサは等化器ネットワークとデモジュレータ・ネットワークを含み、前記出力プロセッサはデコーダと、該デコーダからのデコードされた信号に応答するビデオ・プロセッサとを含むことを特徴とするデータ・ディンタリーバ。

**【発明の詳細な説明】**

**【0001】**

**【発明の属する技術分野】**

本発明はディジタル信号処理の分野に関し、さらに具体的には、高精細テレビジョン信号などのテレビジョン信号をデコード化するシステムに含まれるビデオ信号デインタリーバ(deinterleaver)に関する。

**【0002】**

なお、本明細書の記述は本件出願の優先権の基礎たる米国特許出願第08/346,950号(1994年11月30日出願)の明細書の記載に基づくものであって、当該米国特許出願の番号を参照することによって当該米国特許出願の明細書の記載内容が本明細書の一部分を構成するものとする。

**【0003】**

10

**【従来の技術】**

高精細テレビジョン(high definition television - HDTV)システムのような高度ビデオ信号処理システム(advanced video signal processing system)は、ディジタル信号処理を使用しているのが代表的である。このようなディジタル信号処理の一部として、データはあらかじめ決めたシーケンスに再配列されてから送信され、受信時に元のシーケンスに復元されているのが代表的である。このオペレーションは、あらかじめ決めたシーケンスで時間的にデータを拡散または分散するのに役立ち、伝送中にデータ損失が起こっても、連続するデータの損失が起らないようになっている。その代わりに損失データは分散されているので、そのデータを隠したり、訂正したりすることが容易化されている。オリジナル・データ・シーケンスを再配列してから送信するために使用される装置は、一般にインタリーバ(interleaver)と呼ばれ、受信時にオリジナル・データ・シーケンスを復元するために使用される装置はデインタリーバ(deinterleaver)と呼ばれている。インタリーブ/デインタリーブを行うプロセスは公知である。スクランブリング(scrambling)は、インタリーピングとは対照的に、データをランダム化し、送信信号エネルギーを分散することを主目標としている。これは、同一チャネル妨害(co-channel interference)を最小限にして、受信装置におけるタイミング回復を向上するのに役立っている。また、スクランブリングは、受信装置内の等化器(equalizer - イコライザ)によるチャネルひずみ補正(channel distortion compensation)も容易化している。

20

**【0004】**

30

インタリーピング/デインタリーピング・アルゴリズムは種々のものが知られている。例えば、ヨーロッパ衛星システムでは、Forney提案のアルゴリズムが現在採用されている。このアルゴリズムは、「標準バースト・チャネルのバースト訂正コード(Burst-Correcting Codes for the Classic Bursty Channel)」(IEEE Transactions on Communications Technology, vol. COM-19, Oct. 1971)に説明されている。Ramsey提案の別のアルゴリズムは米国で広く使用されているが、これは、「最適インタリーバの実現(Realization of Optimum Interleavers)」(IEEE Transactions on Information Theory, vol. IT-15, May 1970)に説明されている。

**【0005】**

40

**【発明が解決しようとする課題】**

本出願の発明者は、例えば、高度テレビジョン信号処理システム(advanced television signal processing system)を例にして説明すると、複数のデインタリーピング機能(deinterleaving functions)を集積回路(I C)などの単一の信号処理デバイスに実装することができ、そうすると利点があることを認識した。本発明の原理によれば、ディジタル信号処理ネットワーク(回路網)は、異なるタイプのデインタリーピング機能が組み込まれている適応デインタリーピング・ネットワーク(adaptive deinterleaving network)を含んでいる。

**【0006】**

50

**【課題を解決するための手段】**

開示されている実施例では、選択されたデインタリーピング機能は單一メモリの読み/書きアドレッシング(read/write addressing)を制御する。これにより、ネットワークのコス

トと複雑さが低減され、異種のデインタリービング機能を収めているデインタリービング・ネットワークを I C 内に実装することが容易化されている。ある特定のアプリケーションで使用されるデインタリービング機能は、例えば、デインタリービング・ネットワークを収めているデバイスの外部に置かれた手段によって選択することも、プログラムされたコントローラによって選択することもできる。さらに、特定のデインタリービング機能のどれが選択されるかは、デインタリーバが使用されているシステムのタイプによって判断される。システムのタイプが異なるのは、使用されるテレビジョン信号伝送方式には様々なタイプのものがあるためである。例えば、米国では、高度テレビジョン信号を伝達するために、ヨーロッパで使用されているものとは異なるタイプの放送衛星システムが使用されている。

10

#### 【 0 0 0 7 】

##### 【発明の実施の形態】

図 1 は、H D T V 受信装置のうち、本発明の原理によるデインタリービング・ネットワーク（回路網）1 8 を含んでいる部分を示すブロック図である。送信されてきた H D T V 信号はアンテナ 1 0 によって受信され、入力プロセッサ 1 2 に入力される。入力プロセッサ 1 2 は、受信した信号を低周波数帯域にダウン・コンバート(down-convert)するためのチューナと I F ステージを含んでいるのが代表的である。また、自動利得制御、フィルタリング、タイミング／クロック回復ネットワークおよびその他の回路を含んでいる場合もあるが、これらは公知のものである。入力プロセッサ 1 2 からの出力信号は等化器／デモジュレータ 1 4 によって等化され(equalized)、復調される。等化プロセスでは、公知のように、データ・チャネル内のひずみが補正される。デモジュレータ（復調）機能は、ベースバンド・インターブ・データを変調入力信号から回復する。この種の等化器（イコライザ）とデモジュレータ（復調器）の機能は公知であり、例えば、Lee および Messerschmidt 著の参考文献「ディジタル通信」(Kluwer Academic Press, Boston, MA, USA, 1988) に説明されている。

20

#### 【 0 0 0 8 】

##### 【実施例】

等化器／デモジュレータ 1 4 からのインターブされたデータ（インターブ・データ）はデインタリービング・ネットワーク 1 8 内のシンクロナイザ（同期化）回路 2 7 に入力されると共に、メモリ 3 5 の信号入力端に入力される。シンクロナイザ回路 2 7 は、インターブ・データ信号に含まれる s y n c (同期) ワードを検出し、データと同期がとられた出力信号を出力する。この出力信号はデータがいつ始まるかを示している。s y n c ワード自体はインターブされないが、周期的時間間隔で現れる。1 つの例として、インターブ・データは、s y n c ワードとその後に続く 1 5 データ・ワードを収めている反復データ・ブロックから構成されている。同期化機能は、例えば、バイト認識ロジック(byte recognition logic)とフェーズ・ロック・ループ(phase locked loop)を内蔵している s y n c 検出回路によって実行される。バイト認識ロジックは s y n c バイト・パターンを認識し、フェーズ・ロック・ループは s y n c バイトを追跡し、s y n c バイトがいつ現れるかを示す。従って、シンクロナイザ回路 2 7 は第 1 および第 2 アドレス・メモリ・コントローラ 2 0 および 2 5 へ出力信号を送って、マルチプレクサ 3 0 を通してメモリ 3 5 に入力されたアドレス信号を、メモリ 3 5 の信号入力端に入力された入力インターブ・データと同期をとる機能を備えている。

30

#### 【 0 0 0 9 】

デインタリービング・ネットワーク 1 8 は、コントローラ 2 0 があるデインタリービング機能をアルゴリズムの形で実装し、コントローラ 2 5 が別のデインタリービング機能を同じくアルゴリズムの形で実装するように構成されている。例えば、コントローラ 2 0 に Ramsey デインタリービング機能を実装させ、コントローラ 2 5 に Forney デインタリービング機能を実装させることができる。これらのデインタリービング機能はロジック・ステート・マシン(logic state machine)として、つまり、ロジック・オペレーションの巡回シーケンスとして実現することができる。この場合、各オペレーションにステート（状態）を

40

50

割り当てて、シーケンスが入力に応答する能力をもたせることができる。ステート・マシンのオペレーションによって生成される出力は、ステート、以前または現在の入力信号または以前または現在の出力信号を任意に組み合わせたものの関数である。ステート・マシン・オペレーションを実現するために必要とされる論理式はメモリとして働くロジック構造の中に、公知の手法を用いてプログラムされている。

#### 【0010】

本システムでは、2つのデインタリービング機能はDeinterleaver Select（デインタリーバ選択）信号のステート（状態）に応じて、一度に一つだけが動作する。Deinterleaver Select信号は、種々のソースから得ることができる。好ましくは、この制御信号はプログラムされたコントローラから与えられる。この種のマイクロプロセッサが図1に示されていないのは、図面を簡単にするためである。この制御信号は、例えば、HDTV受信装置に置かれ、デインタリービング・ネットワーク18の外部に置かれた手操作スイッチ源から得ることもできる。この場合には、スイッチ源からは、選択されたバイナリ・ロジック・レベルがデインタリービング・ネットワーク18の指定された入力端に直接に入力される。別 の方法として、受信したインタリーブ・データ・ストリームから制御信号をデコードすることもできる。

10

#### 【0011】

コントローラ20、25は読み／書きアドレスと関連づけられたメモリ制御信号（読み取り許可、書き込み許可、出力許可など）のシーケンスを出力し、これらはマルチプレクサ30を通してメモリ35に渡される。メモリ35は基本的には、共有メモリ(shared memory)であり、2つ（または3以上）のデインタリービング機能のうち選択された1つによって利用される。コントローラ20、25からのアドレスと関連メモリ制御信号は、シンクロナイザ27からの同期信号によって、メモリ35へ入力されたインタリーブ・データと同期がとられる。マルチプレクサ30へ入力されたDeinterleaver Select制御信号のステートから、メモリ・コントローラ・ユニット20、25のどちらがメモリ・アドレス制御信号をメモリ35に送ったかが判断される。コントローラ20、25はそれぞれのメモリ書き込みアドレス制御信号を出力し、入力されたインタリーブ・データは、その入力インタリーブ・データの受信順にメモリ35のメモリ・ロケーションに書き込まれる。さらに、コントローラ20、25はそれぞれのメモリ読み取りアドレス信号を出力し、データは所望のデインタリービング順にメモリ35から読み出される。これは、例えば、選択されたデインタリーバ制御ユニットのステート・マシンが、データをメモリ35から読み出すために必要なアドレス・シーケンスを出力することによって行うことができる。従って、この例では、オリジナル（デインタリーブされる）データに対応する、メモリからの出力データは、メモリ読み取りプロセスの関数として得られる。デインタリービング機能はメモリ書き込みプロセスの関数として実行することも、読み書きプロセスの関数として実行することも可能である。

20

#### 【0012】

開示しているデインタリービング・ネットワーク18から得られる利点は、複数のアドレスおよびメモリ・コントローラが関連の（共有）メモリと共に使用されることである。つまり、デインタリーバ機能がいくつ実装され、選択できるかに關係なく、必要になる共有メモリは1つだけである。

30

#### 【0013】

メモリ35からのデインタリーブされたデータ出力はユニット（デスクランブル）38によってデスクランブル(descramble)される。デスクランブルングは、デインタリービングとは異なり、データを非ランダム化(de-randomizing)することを主目標としている。データのランダム化は、送信装置の信号エネルギーを分散するために送信前に行われる。これは、同一チャネル妨害を最小限にし、受信装置におけるタイミング回復を向上するのに役立つ。これは、また、受信装置内の等化器によるチャネルひずみ補正を容易化する。ユニット38のデスクランブルされたデータはデコーダ40によってデコードされる。なお、デコーダ40は、例えば、リードソロモン(Reed-Solomon)デコーダにすることができる。デ

40

50

コーダ40からの補正されたデータ・パケットはトランスポート・プロセッサ(transport processor)44に入力され、そこで各データ・パケットのヘッダが検査され、オーディオ・データとビデオ・データが識別される。トランスポート・プロセッサ44はオーディオおよびビデオ出力データを、オーディオ/ビデオ・デコーダ46内の該当するデコーダへ送る。オーディオ/ビデオ・デコーダ46からのデコードされたオーディオ信号とビデオ信号は、それぞれオーディオ・プロセッサ52とテレビジョン・ビデオ・プロセッサ50に入力される。プロセッサ50と52は、オーディオ信号とビデオ信号をビデオ/オーディオ再生ユニット55による再生に合ったフォーマットにする。

#### 【0014】

本発明の別実施例は図2に開示されている。この実施例では、所望のデインタリービング機能が得られるようにメモリ・コントローラを構成するために必要なデータは、メモリ70に収められている。メモリ70には、2つ以上のデインタリービング機能を置いておくことが可能である。このデータ、例えば、アルゴリズムは、データ・ローダ(data loader)75によってメモリ・コントローラ80にロードされる。これは、例えば、データ・ローダ75がデータをメモリ70から読み取り、そのデータをコントローラ80内のメモリ・ロケーションに書き込むことによって行うことができる。データ・ローダ75は、デインタリーバ選択(Deinterleaver Select)制御信号に応答してどのデインタリービング機能をロードするかを選択する。この制御信号は、図1の実施例で説明したように種々のソースから得ることが可能である。データ・ローダ75は、システムの電源投入時に、あるいはDeinterleaver Select制御信号のロジック・レベルが変更されたときロード・オペレーションを開始する。

#### 【0015】

インタリープされた入力データはシンクロナイザ(同期化回路)73に入力される。シンクロナイザ73はsync信号をコントローラ80へ送り、コントローラ80が入力インタリープ・データと同期をとってメモリ・アドレスを生成することを可能にする。同期化機能は図1を参照して説明したとおりである。コントローラ80は書き込みアドレスを出し、入力インタリープ・データがインタリープされた形でメモリ85に書き込まれるようにする。さらに、コントローラ80は読み取りアドレスを出し、ストアされたデータがオリジナルのデインタリープ順にメモリ85から読み出されるようとする。つまり、メモリ85の読み取りアドレッシングは、メモリ70から得られたデインタリービング・データの関数である。コントローラ80のアドレス生成機能は、図1を参照して説明したコントローラ20と25の場合と同じように動作する。

#### 【0016】

##### 【発明の効果】

HDTVビデオ信号処理システムの場合について本発明を説明してきたが、本発明は、衛星放送システムや地上放送システムのように、異種のデインタリービング機能が使用されているような他のシステムにも応用可能であることはもちろんである。また、図1と図2を参照して説明してきたエレメントは、種々の方法で配置することが可能であることももちろんである。例えば、コントローラ20, 25および80は、マイクロコントローラで実現することも、ディスクリート・ロジック・ネットワーク(discrete logic network)で実現することも可能である。さらに、図1のコントローラ20と25は、回路を共有することが可能である。また、図1と図2のコントローラ20, 25および80はデインタリービング・アドレス・シーケンシング機能を種々の方法で実現することが可能である。デインタリービング機能は、図1の実施例の場合に説明した読み取りサイクル期間にではなく、書き込みサイクル期間に実行することが可能である。この書き込みサイクル期間のデインタリービングは、データをデインタリープ順にメモリ35または85のロケーションに書き込み、続いてデータを連続するロケーションから読み取って出力することによって行われる。別の方法として、コントローラは書き込みオペレーション期間にデータを部分的にデインタリープし、デインタリービング機能の残りを読み取りオペレーション期間に実行することも可能である。

10

20

30

40

50

## 【0017】

Deinterleaver Select制御信号は、図1における未使用のコントローラを禁止(disable)するために使用することができる。このようにすると、ノイズや電力消費が低減されるので望ましい。また、この制御信号を使用すると、例えば、使用されていないコントローラの出力信号の3ステート・バッファ(tri-state buffer)を禁止することにより、使用されていないコントローラの出力を禁止することもできる。この場合には、使用中のコントローラの出力信号の3ステート・バッファは許可され、使用されていないコントローラのバッファは禁止される。この場合には、マルチプレクサ30は不要になる。

## 【0018】

Deinterleaver Select制御信号は2つ以上使用することが可能である。これが行われるのは、例えば、別々にバッファに置かれた同じ制御信号がコントローラ20と25によって使用される場合である。また、このことは、選択できるアドレスおよびメモリ・コントローラが2つ以上（各々は異なるデインタリービング機能を実装している）デインタリービング・ネットワーク18内に存在するときも可能である。

10

## 【図面の簡単な説明】

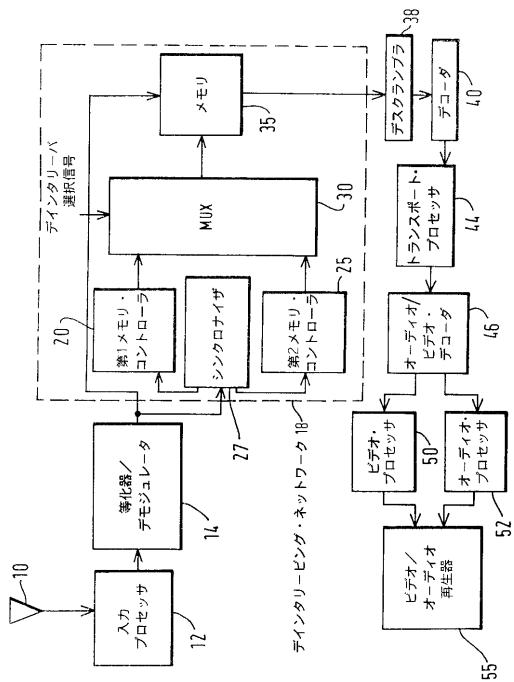
【図1】HDTV受信システムのうち、本発明の原理によるデインタリービング装置を含んでいる部分を示すブロック図である。

【図2】本発明によるデインタリービング装置の別実施例を示す図である。

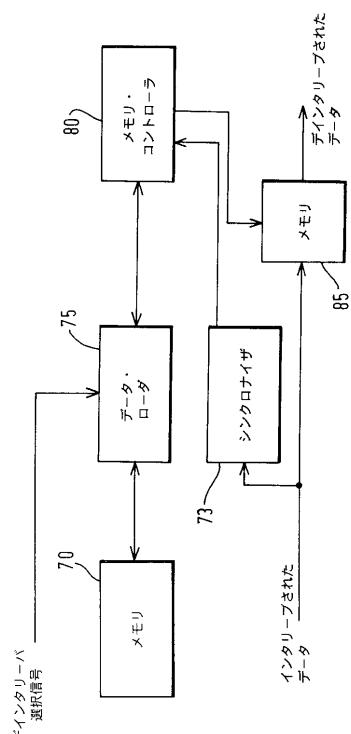
## 【符号の説明】

|    |                       |    |
|----|-----------------------|----|
| 10 | アンテナ                  | 20 |
| 12 | 入力プロセッサ               |    |
| 14 | 等化器／デモジュレータ           |    |
| 18 | デインタリービング・ネットワーク（回路網） |    |
| 20 | 第1メモリ・コントローラ          |    |
| 25 | 第2メモリ・コントローラ          |    |
| 27 | シンクロナイザ（同期化）回路        |    |
| 30 | マルチプレクサ               |    |
| 35 | メモリ                   |    |
| 38 | デスクランプ                |    |
| 40 | デコーダ                  | 30 |
| 44 | トランスポート・プロセッサ         |    |
| 46 | オーディオ／ビデオ・デコーダ        |    |
| 50 | テレビジョン・ビデオ・プロセッサ      |    |
| 52 | オーディオ・プロセッサ           |    |
| 55 | ビデオ／オーディオ再生ユニット       |    |
| 70 | メモリ                   |    |
| 73 | シンクロナイザ               |    |
| 75 | データ・ローダ               |    |
| 80 | メモリ・コントローラ            |    |
| 85 | メモリ                   | 40 |

【図1】



【図2】



---

フロントページの続き

(74)代理人 100088915

弁理士 阿部 和夫

(72)発明者 ジョン シドニー スチュワート

アメリカ合衆国 46268 インディアナ州 インディアナポリス ウエスト 71エスティー  
ストリート 3655

審査官 古川 哲也

(56)参考文献 特開平04-142816(JP,A)

特開平06-276178(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/44 - 5/46

H03M 13/27

H04B 14/04

H04L 1/00

IEEE