

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2017-103643
(P2017-103643A)

(43) 公開日 平成29年6月8日(2017.6.8)

(51) Int.Cl.			F I		テーマコード (参考)	
H03F	3/24	(2006.01)	H03F	3/24	5J500	
H03F	1/02	(2006.01)	H03F	1/02	5K060	
H03F	3/68	(2006.01)	H03F	3/68	Z	
H04B	1/04	(2006.01)	H04B	1/04	E	

審査請求 未請求 請求項の数 5 O L (全 17 頁)

(21) 出願番号	特願2015-235983 (P2015-235983)	(71) 出願人	000006231
(22) 出願日	平成27年12月2日 (2015. 12. 2)		株式会社村田製作所
			京都府長岡京市東神足1丁目10番1号
		(74) 代理人	100079108
			弁理士 稲葉 良幸
		(74) 代理人	100109346
			弁理士 大貫 敏史
		(74) 代理人	100117189
			弁理士 江口 昭彦
		(74) 代理人	100134120
			弁理士 内藤 和彦
		(74) 代理人	100126480
			弁理士 佐藤 睦

最終頁に続く

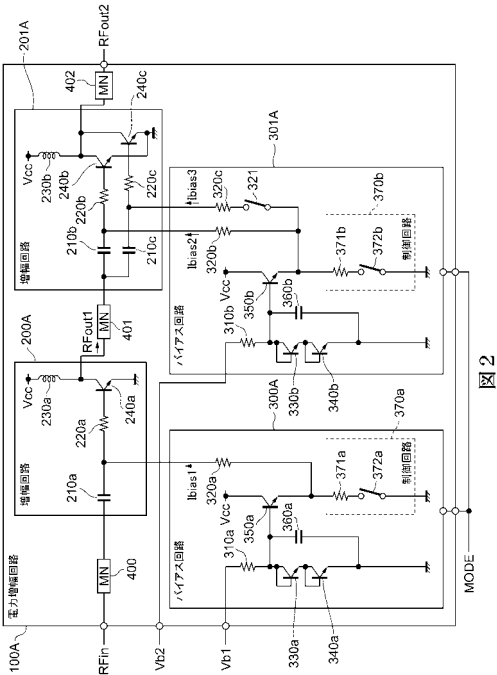
(54) 【発明の名称】 電力増幅回路

(57) 【要約】

【課題】 ゲイン特性の劣化を抑制しつつ、消費電流を低減する。

【解決手段】 電力増幅回路は、第1の信号がベース又はゲートに入力され第1の信号を増幅した第2の信号をコレクタ又はドレインから出力する第1の増幅トランジスタと、第1の増幅トランジスタのベース又はゲートに第1のバイアス電流を供給する第1のバイアス回路と、を備え、第1のバイアス回路は、エミッタ又はソースから第1のバイアス電流を出力する第1のトランジスタと、第1のトランジスタのエミッタ又はソースと接地との間の電気的接続を制御する第1の制御回路と、を備え、第1の制御回路は、直列に接続された第1の抵抗素子及び第1のスイッチ素子を備え、第1のスイッチ素子は、第1の電力モードの場合はオンとなり、第1の電力モードにおける出力電力より低い出力電力において動作する第2の電力モードの場合はオフとなる。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

第 1 の信号がベース又はゲートに入力され、前記第 1 の信号を増幅した第 2 の信号をコレクタ又はドレインから出力する第 1 の増幅トランジスタと、

前記第 1 の増幅トランジスタのベース又はゲートに第 1 のバイアス電流を供給する第 1 のバイアス回路と、

を備え、

前記第 1 のバイアス回路は、

コレクタ又はドレインに電源電圧が供給され、ベース又はゲートに所定の電圧が供給され、エミッタ又はソースから前記第 1 のバイアス電流を出力する第 1 のトランジスタと、

前記第 1 のトランジスタのエミッタ又はソースと接地との間の電氣的接続を制御する第 1 の制御回路と、

を備え、

前記第 1 の制御回路は、直列に接続された第 1 の抵抗素子及び第 1 のスイッチ素子を備え、

前記第 1 のスイッチ素子は、電力モードを示す制御信号に応じて、第 1 の電力モードの場合はオンとなり、前記第 1 の電力モードにおける出力電力より低い出力電力において動作する第 2 の電力モードの場合はオフとなる、

電力増幅回路。

【請求項 2】

請求項 1 に記載の電力増幅回路であって、

前記第 1 のバイアス回路は、

コレクタ又はドレインに前記電源電圧が供給され、エミッタ又はソースから前記第 1 の増幅トランジスタのベース又はゲートに第 2 のバイアス電流を出力する第 2 のトランジスタと、

前記制御信号に応じて、前記第 1 の電力モードの場合は、前記第 2 のトランジスタをオンに制御し、前記第 2 の電力モードの場合は、前記第 2 のトランジスタをオフに制御する第 2 の制御回路と、

をさらに備える電力増幅回路。

【請求項 3】

請求項 1 又は 2 に記載の電力増幅回路であって、

前記第 1 のバイアス回路は、

前記第 1 のバイアス回路の外部から供給されるバイアス制御信号に応じて、前記第 1 の増幅トランジスタのベース又はゲートと、前記第 1 のトランジスタのエミッタ又はソースとの間の抵抗値を制御する第 3 の制御回路をさらに備える、

電力増幅回路。

【請求項 4】

請求項 3 に記載の電力増幅回路であって、

前記第 3 の制御回路は、前記第 1 の増幅トランジスタのベース又はゲートと、前記第 1 のトランジスタのエミッタ又はソースとの間に設けられた第 2 の抵抗素子及び第 2 のスイッチ素子を備え、

前記第 2 の抵抗素子及び前記第 2 のスイッチ素子は直列接続され、

前記第 2 のスイッチ素子は、前記バイアス制御信号に応じてオン又はオフとなる、電力増幅回路。

【請求項 5】

請求項 1 ～ 4 のいずれか一項に記載の電力増幅回路であって、

前記電力増幅回路は、

第 3 の信号がエミッタ又はソースに入力され、前記第 3 の信号を増幅した前記第 1 の信号をコレクタ又はドレインから出力する第 2 の増幅トランジスタと、

前記第 2 の増幅トランジスタのベース又はゲートに第 3 のバイアス電流を供給する第 2

10

20

30

40

50

のバイアス回路と、
をさらに備え、

前記第 2 のバイアス回路は、

コレクタ又はドレインに電源電圧が供給され、ベース又はゲートに所定の電圧が供給され、エミッタ又はソースから前記第 3 のバイアス電流を出力する第 3 のトランジスタと、

前記第 3 のトランジスタのエミッタ又はソースと接地との間の電氣的接続を制御する第 4 の制御回路と、

を備え、

前記第 4 の制御回路は、直列に接続された第 3 の抵抗素子及び第 3 のスイッチ素子を備え、

前記第 3 のスイッチ素子は、前記制御信号に応じて、前記第 1 の電力モードの場合はオンとなり、前記第 2 の電力モードの場合はオフとなる、

電力増幅回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電力増幅回路に関する。

【背景技術】

【0002】

携帯電話等の移動体通信機においては、基地局へ送信する無線周波数（RF：Radio Frequency）信号の電力を増幅するために電力増幅回路が用いられる。電力増幅回路では、電力増幅用のトランジスタにバイアス電流を供給するためのバイアス回路が用いられる。例えば、特許文献 1 には、カスコードカレントミラー回路により構成されたバイアス回路を用いた電力増幅回路が開示されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特表 2005-501458 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献 1 に開示されるバイアス回路は、エミッタからバイアス電流を出力するトランジスタ（Q3）と、トランジスタ（Q3）の接地側に接続されたトランジスタ（Q2）とを備えている。増幅トランジスタ（Q1）は、トランジスタ（Q3）によって充電され、トランジスタ（Q2）によって放電される。トランジスタ（Q2）の放電速度は、出力電力（入力電力）が低いとき、トランジスタ（Q3）の充電速度よりかなり速いか等しくなる。一方、出力電力（入力電力）が増大するほど、トランジスタ（Q2）の放電速度がトランジスタ（Q3）の充電速度よりも遅くなる。これにより、高出力電力時に増幅トランジスタ（Q1）のベース電圧が高くなり、線形性が向上する。しかし、このバイアス回路では、低出力電力時にトランジスタ（Q2）を流れる電流により、消費電流が増大することとなる。

【0005】

本発明はかかる事情に鑑みてなされたものであり、電力増幅回路におけるゲイン特性の劣化を抑制しつつ、消費電流を低減する電力増幅回路を提供することを目的とする。

【課題を解決するための手段】

【0006】

かかる目的を達成するため、本発明の一側面に係る電力増幅回路は、第 1 の信号がベース又はゲートに入力され、第 1 の信号を増幅した第 2 の信号をコレクタ又はドレインから出力する第 1 の増幅トランジスタと、第 1 の増幅トランジスタのベース又はゲートに第 1 のバイアス電流を供給する第 1 のバイアス回路と、を備え、第 1 のバイアス回路は、コレ

10

20

30

40

50

クタ又はドレインに電源電圧が供給され、ベース又はゲートに所定の電圧が供給され、エミッタ又はソースから第1のバイアス電流を出力する第1のトランジスタと、第1のトランジスタのエミッタ又はソースと接地との間の電氣的接続を制御する第1の制御回路と、を備え、第1の制御回路は、直列に接続された第1の抵抗素子及び第1のスイッチ素子を備え、第1のスイッチ素子は、電力モードを示す制御信号に応じて、第1の電力モードの場合はオンとなり、第1の電力モードにおける出力電力より低い出力電力において動作する第2の電力モードの場合はオフとなる。

【発明の効果】

【0007】

本発明によれば、電力増幅回路におけるゲイン特性の劣化を抑制しつつ、消費電流を低減する電力増幅回路を提供することができる。

10

【図面の簡単な説明】

【0008】

【図1】本発明の一実施形態である電力増幅回路100の構成を示す図である。

【図2】電力増幅回路100の構成例を示す図である。

【図3】電力増幅回路100の他の構成例を示す図である。

【図4】電力増幅回路100の他の構成例を示す図である。

【図5】電力増幅回路100Aにおける消費電流のシミュレーション結果を示すグラフである。

【図6】電力増幅回路100Aにおけるゲイン特性のシミュレーション結果を示すグラフである。

20

【図7】電力増幅回路100AにおけるACLR特性のシミュレーション結果を示すグラフである。

【発明を実施するための形態】

【0009】

以下、本発明の実施の形態について、図面を参照しつつ詳細に説明する。なお、同一の要素には同一の符号を付し、重複する説明を省略する。

【0010】

図1は、本発明の一実施形態である電力増幅回路100の構成を示す図である。電力増幅回路100は、無線周波数(RF: Radio Frequency)信号RF_{in}を増幅し、増幅信号RF_{out2}を出力する。

30

【0011】

図1に示すように、電力増幅回路100は、増幅回路200、201、バイアス回路300、301、及び整合回路400、401、402を備える。

【0012】

増幅回路200、201は、二段の増幅回路を構成している。増幅回路200は、RF信号RF_{in}(第3の信号)を増幅して、RF信号RF_{out1}(第1の信号)を出力する。増幅回路200から出力されるRF信号RF_{out1}は、整合回路401を介して増幅回路201に入力される。増幅回路201は、RF信号RF_{out1}を増幅して、増幅信号RF_{out2}(第2の信号)を出力する。なお、増幅回路の段数は二段に限られず、一段であってもよく、三段以上であってもよい。

40

【0013】

バイアス回路300、301は、それぞれ、電力増幅回路100の外部から供給される制御信号MODEに応じてバイアス電流を生成し、増幅回路200、201にバイアス電流を供給する。電力増幅回路100では、バイアス電流が制御されることにより、ゲインが制御される。増幅回路200、201及びバイアス回路300、301の構成の詳細は後述する。

【0014】

整合回路400、401、402は、回路間のインピーダンスをマッチングさせるために設けられている。整合回路400、401、402はそれぞれ、例えばインダクタやキ

50

ャパシタを用いて構成される。

【0015】

図2は、本発明の一実施形態である電力増幅回路100の構成例（電力増幅モジュール100A）を示す図である。

【0016】

図2に示すように、電力増幅回路100Aは、増幅回路200A、201A、バイアス回路300A、301A、及び整合回路400、401、402を備える。電力増幅回路100Aを構成するトランジスタは、例えば、ヘテロ接合バイポーラトランジスタ（HBT: Heterojunction Bipolar Transistor）である。

【0017】

増幅回路200Aは、キャパシタ210a、抵抗素子220a、インダクタ230a、及びバイポーラトランジスタ240aを備える。

【0018】

キャパシタ210aは、第1の端子に増幅回路200Aの外部からRF信号RFinが整合回路400を介して供給され、第2の端子が抵抗素子220aの第1の端子に接続される。キャパシタ210aは、RF信号RFinの直流成分の電圧を除去する。

【0019】

抵抗素子220aは、第1の端子がキャパシタ210aの第2の端子と接続され、第2の端子がバイポーラトランジスタ240aのベースと接続される。

【0020】

インダクタ230aは、第1の端子に電源電圧Vccが供給され、第2の端子がバイポーラトランジスタ240aのコレクタに接続される。

【0021】

バイポーラトランジスタ240a（第2の増幅トランジスタ）は、コレクタにインダクタ230aを介して電源電圧Vccが供給され、ベースが抵抗素子220aの第2の端子に接続され、エミッタが接地される。バイポーラトランジスタ240aのベースには、増幅回路200Aの外部から供給されるRF信号RFin、及び、バイアス回路300Aから出力されるバイアス電流Ibias1（第3のバイアス電流）が供給される。これにより、バイポーラトランジスタ240aのコレクタから、RF信号RFinを増幅したRF信号RFout1が出力される。なお、バイポーラトランジスタ240aは、バイアス回路300Aから供給されるバイアス電流Ibias1に従って、ゲイン特性が制御される。

【0022】

なお、バイポーラトランジスタ240aは、バイポーラトランジスタの代わりにNチャネルMOSFETを用いてもよい。また、以下に示す他のバイポーラトランジスタについても同様である。バイポーラトランジスタの代わりにNチャネルMOSFETを用いる場合、コレクタ、ベース、エミッタを、それぞれ、ドレイン、ゲート、ソースに読み替えればよい。

【0023】

増幅回路201Aは、キャパシタ210b、210c、抵抗素子220b、220c、インダクタ230b、及びバイポーラトランジスタ240b（第1の増幅トランジスタ）、240cを備える。

【0024】

増幅回路201Aでは、2つの増幅経路が並列に接続されている。具体的には、キャパシタ210b、抵抗素子220b、インダクタ230b、及びバイポーラトランジスタ240bが一方の増幅経路を構成し、キャパシタ210c、抵抗素子220c、インダクタ230b、及びバイポーラトランジスタ240cが他方の増幅経路を構成する。また、キャパシタ210bの第1の端子がキャパシタ210cの第1の端子に接続されている。バイポーラトランジスタ240b、240cのベースには、各々バイアス回路301Aから出力されるバイアス電流Ibias2（第1のバイアス電流）、Ibias3が供給され

10

20

30

40

50

る。各々の増幅経路の構成は、増幅回路200Aと同様であるため、詳細な説明は省略する。

【0025】

増幅回路201Aは、増幅信号RFout2の出力電力の大きさに応じて、並列に接続された2つの増幅経路を併用する構成とすることができる。具体的には、電力増幅回路100Aが、増幅信号RFout2の電力が所定の値より高いハイパワーモード（第1の電力モード）で動作する場合は、バイポーラトランジスタ240b及びバイポーラトランジスタ240cを各々含む両増幅経路を用いる。増幅信号RFout2の電力が所定の値より低いローパワーモード（第2の電力モード）で動作する場合は、バイポーラトランジスタ240b、240cのいずれか一方を含む増幅経路のみを用いる構成とすることができる。電力増幅回路100Aにおいては、例として、ローパワーモード時にバイポーラトランジスタ240bを含む増幅経路のみを用いる構成を示している。

10

【0026】

電力モードに応じた増幅経路の切り替えは、例えば、バイアス回路301Aが備えるスイッチ素子321の動作により行うことができる。スイッチ素子321の動作の詳細は後述する。

【0027】

上述の構成により、増幅回路201Aにおいては、バイポーラトランジスタ240b、240cの各々のコレクタからRF信号RFout1（第1の信号）を増幅した増幅信号RFout2（第2の信号）が出力される。なお、バイポーラトランジスタ240b、240cは、バイアス回路301Aから供給されるバイアス電流Ibias2、Ibias3に従って、ゲイン特性が制御される。

20

【0028】

なお、電力増幅回路100Aにおいては、増幅回路200Aが一つの増幅経路から成り、増幅回路201Aが二つの増幅経路から成る構成を示しているが、増幅回路200A、201Aともに、一つ又は複数のいずれの増幅経路により構成されてもよい。

【0029】

次に、バイアス回路300Aについて述べる。バイアス回路300A（第2のバイアス回路）は、抵抗素子310a、320a、バイポーラトランジスタ330a、340a、350a、キャパシタ360a、及び制御回路370aを備える。

30

【0030】

抵抗素子310a、バイポーラトランジスタ330a、340a、及びキャパシタ360aは、所定レベルの電圧を生成するように構成される。具体的には、抵抗素子310aは、第1の端子にバイアス制御電圧Vb1が供給され、第2の端子がバイポーラトランジスタ330aのコレクタに接続される。バイポーラトランジスタ330aは、コレクタとベースが接続され（以下、ダイオード接続と呼ぶ）、コレクタが抵抗素子310aの第2の端子に接続され、エミッタがバイポーラトランジスタ340aのコレクタに接続される。バイポーラトランジスタ340aは、ダイオード接続され、コレクタがバイポーラトランジスタ330aのエミッタに接続され、エミッタが接地される。キャパシタ360aは、第1の端子が抵抗素子310aの第2の端子及びバイポーラトランジスタ330aのコレクタに接続され、第2の端子が接地される。

40

【0031】

上述の構成により、バイポーラトランジスタ330aのコレクタに、所定レベルの電圧（例えば、2.6V程度）が生成される。

【0032】

抵抗素子320aは、第1の端子がバイポーラトランジスタ350aのエミッタに接続され、第2の端子がキャパシタ210aの第2の端子及び抵抗素子220aの第1の端子に接続される。

【0033】

バイポーラトランジスタ350a（第3のトランジスタ）は、コレクタに電源電圧Vc

50

cが供給され、ベースがバイポーラトランジスタ330aのコレクタに接続され、エミッタが制御回路370aの入力端子（抵抗素子371aの第1の端子）に接続される。また、バイポーラトランジスタ350aのエミッタは、抵抗素子320a、及び増幅回路200Aが備える抵抗素子220aを介して、バイポーラトランジスタ240aのベースに接続され、バイアス電流Ibias1を供給する。

【0034】

次に、制御回路370aについて説明する。制御回路370a（第4の制御回路）は、抵抗素子371a及びスイッチ素子372aを備える。

【0035】

抵抗素子371a（第3の抵抗素子）は、第1の端子がバイポーラトランジスタ350aのエミッタに接続され、第2の端子がスイッチ素子372aの第1の端子に接続される。

【0036】

スイッチ素子372a（第3のスイッチ素子）は、第1の端子が抵抗素子371aの第2の端子に接続され、第2の端子が接地される。

【0037】

スイッチ素子372aは、電力増幅回路100Aの電力モードを示す制御信号MODEに応じて、オン又はオフを切り替える。具体的には、電力増幅回路100Aの電力モードがハイパワーモードの場合は、スイッチ素子372aはオンとなり、バイポーラトランジスタ350aのエミッタと接地を電氣的に接続するように動作する。一方、電力増幅回路100Aの電力モードがローパワーモードの場合は、スイッチ素子372aはオフとなり、バイポーラトランジスタ350aのエミッタと接地を電氣的に切断するように動作する。

【0038】

上述の構成により、電力増幅回路100Aがハイパワーモードで動作する場合は、バイポーラトランジスタ350aのエミッタから抵抗素子371aを介して、接地に電流が流れている。従って、ハイパワーモード時に、RF信号RFout1の振幅に応じてバイポーラトランジスタ240aのベース電流が増加し、より多くのバイアス電流を必要とする場合において、あらかじめ抵抗素子371aに流れていた電流をバイポーラトランジスタ240aのベースに配分することができる。これにより、ハイパワーモード時に、バイアス電流の不足に起因するゲイン特性の劣化を低減させることができる。

【0039】

一方、電力増幅回路100Aがローパワーモードで動作する場合は、バイポーラトランジスタ350aのエミッタから接地には電流が流れない。ここで、ローパワーモード時はハイパワーモード時に比べ、必要なバイアス電流の電流量が少ないため、抵抗素子371aに予め電流を流さないことによるゲイン特性への影響が少ない。従って、ローパワーモード時にスイッチ素子372aをオフとすることにより、電流の消費を軽減することができる。

【0040】

次に、バイアス回路301Aについて述べる。バイアス回路301A（第1のバイアス回路）は、バイアス回路300Aの構成（抵抗素子310b、320b、バイポーラトランジスタ330b、340b、350b（第1のトランジスタ）、キャパシタ360b及び制御回路370b）に加えて、抵抗素子320c及びスイッチ素子321をさらに備える。

【0041】

制御回路370b（第1の制御回路）は、抵抗素子371b（第1の抵抗素子）及びスイッチ素子372b（第1のスイッチ素子）を備える。制御回路370bの構成は、制御回路370aと同様であるため、詳細な説明は省略する。

【0042】

抵抗素子320cは、第1の端子がスイッチ素子321の第1の端子に接続され、第2

10

20

30

40

50

の端子がキャパシタ 210 c の第 2 の端子及び抵抗素子 220 c の第 1 の端子に接続される。

【0043】

スイッチ素子 321 は、第 1 の端子が抵抗素子 320 c の第 1 の端子に接続され、第 2 の端子が抵抗素子 320 b の第 1 の端子に接続される。

【0044】

スイッチ素子 321 は、制御信号 MODE に応じてオンオフを切り替え、バイアス電流 I b i a s 3 のオンオフを制御する。具体的には、電力増幅回路 100 A がハイパワーモードで動作する場合は、スイッチ素子 321 がオンとなり、バイアス電流 I b i a s 3 がバイポーラトランジスタ 240 c のベースに供給され、バイポーラトランジスタ 240 c がオンとなる。一方、電力増幅回路 100 A がローパワーモードで動作する場合は、スイッチ素子 321 がオフとなり、バイアス電流 I b i a s 3 がバイポーラトランジスタ 240 c のベースに供給されず、バイポーラトランジスタ 240 c がオフとなる。このようなバイアス電流の供給制御により、増幅回路 201 A では、電力モードに応じた 2 つの増幅経路の切り替えが可能となる。

【0045】

バイアス回路 301 A のその他の構成は、バイアス回路 300 A と同様であるため、詳細な説明は省略する。

【0046】

上述の構成により、バイアス回路 301 A は、バイアス制御電圧 V b 2 に応じたバイアス電流 I b i a s 2, I b i a s 3 を生成し、バイポーラトランジスタ 240 b, 240 c のベースに供給する。また、バイアス回路 300 A における制御回路 370 a と同様に、制御回路 370 b を備えることにより、ゲイン特性の劣化を防止しつつ、消費電流を低減することができる。

【0047】

以上のとおり、電力増幅回路 100 A は、バイアス回路 300 A, 301 A を備えることにより、ゲイン特性の劣化を防止しつつ、電力増幅回路 100 A 全体として消費電流を低減することができる。

【0048】

なお、電力増幅回路 100 A においては、増幅回路 200 A, 201 A の各々のバイアス回路 300 A, 301 A が制御回路 370 a, 370 b を備える構成としたが、いずれか一方のバイアス回路のみが制御回路を備える構成としてもよい。

【0049】

図 3 は、電力増幅回路 100 の構成例（電力増幅モジュール 100 B）を示す図である。なお、電力増幅回路 100 A と同一の要素には同一の符号を付して説明を省略する。電力増幅回路 100 B は、電力増幅回路 100 A におけるバイアス回路 301 A の代わりに、バイアス回路 301 B を備える。

【0050】

バイアス回路 301 B は、バイアス回路 301 A の構成に加えて、バイポーラトランジスタ 350 c 及び制御回路 380 をさらに備える。

【0051】

バイポーラトランジスタ 350 c（第 2 のトランジスタ）は、コレクタに電源電圧 V c c が供給され、ベースがスイッチ素子 381 の第 1 の端子に接続され、エミッタが制御回路 370 b の入力端子（抵抗素子 371 b の第 1 の端子）に接続される。また、バイポーラトランジスタ 350 c のエミッタは、抵抗素子 320 b, 320 c 及び増幅回路 201 A が備える抵抗素子 220 b, 220 c を介して、バイポーラトランジスタ 240 b, 240 c のベースにバイアス電流（第 2 のバイアス電流）を供給する。

【0052】

制御回路 380（第 2 の制御回路）は、スイッチ素子 381 を備える。

【0053】

10

20

30

40

50

スイッチ素子 381 は、第 1 の端子がバイポーラトランジスタ 350 c のベースに接続され、第 2 の端子がバイポーラトランジスタ 350 b のベースに接続される。

【0054】

制御回路 380 では、制御信号 MODE に応じてスイッチ素子 381 のオンオフを切り替えることにより、バイアス回路 301 B が供給するバイアス電流の電流量の制御を可能とする。具体的には、電力増幅回路 100 B の電力モードがハイパワーモードの場合は、スイッチ素子 381 がオンとなることにより、バイポーラトランジスタ 350 c がオンとなる。これにより、バイポーラトランジスタ 350 b に加えてバイポーラトランジスタ 350 c のエミッタからも電流が供給されることとなり、バイアス回路 301 B が供給するバイアス電流の合計量が増加する。また、上述の通りスイッチ素子 321 がオンとなることにより、バイアス電流 I b i a s 3 が流れ、バイポーラトランジスタ 240 c が駆動される。一方、電力増幅回路 100 B の電力モードがローパワーモードの場合は、スイッチ素子 381 がオフとなることにより、バイポーラトランジスタ 350 c がオフとなる。また、上述の通りスイッチ素子 321 がオフとなることにより、バイアス電流 I b i a s 3 は流れず、バイポーラトランジスタ 240 c は駆動されない。このように、ハイパワーモード時にバイアス電流を多く必要とする場合に適切な電流量を確保することができる。

10

【0055】

従って、電力増幅回路 100 B は、電力増幅回路 100 A と比較して、パワーアンプの振幅特性 (A M - A M 特性)、位相特性 (A M - P M 特性)、歪み特性 (隣接チャネル漏洩電力比 (A C L R) 特性) の調整が可能となる。

20

【0056】

なお、制御回路 380 においては、バイポーラトランジスタ 350 c のオンオフの切り替えのためにバイポーラトランジスタ 350 c のゲートの接続を制御する構成を示しているが、バイポーラトランジスタ 350 c のコレクタ又はエミッタの接続を制御する構成としてもよい。

【0057】

また、電力増幅回路 100 B においては、バイアス回路 301 B がバイポーラトランジスタ 350 c 及び制御回路 380 を備える構成としたが、バイアス回路 300 A のみがバイポーラトランジスタ 350 c 及び制御回路 380 をさらに備える構成としてもよく、バイアス回路 300 A, 301 A のいずれもがバイポーラトランジスタ 350 c 及び制御回路 380 をさらに備える構成としてもよい。

30

【0058】

図 4 は、電力増幅回路 100 の構成例 (電力増幅モジュール 100 C) を示す図である。なお、電力増幅回路 100 B と同一の要素には同一の符号を付して説明を省略する。電力増幅回路 100 C は、電力増幅回路 100 B におけるバイアス回路 301 B の代わりに、バイアス回路 301 C を備える。

【0059】

バイアス回路 301 C は、バイアス回路 301 B の構成に加えて、制御回路 390 をさらに備える。

【0060】

制御回路 390 (第 3 の制御回路) は、抵抗素子 391 及びスイッチ素子 392 を備える。

40

【0061】

抵抗素子 391 (第 2 の抵抗素子) は、第 1 の端子がスイッチ素子 392 の第 1 の端子に接続され、第 2 の端子が抵抗素子 320 b の第 2 の端子に接続される。

【0062】

スイッチ素子 392 (第 2 のスイッチ素子) は、第 1 の端子が抵抗素子 391 の第 1 の端子に接続され、第 2 の端子が抵抗素子 320 b の第 1 の端子に接続される。

【0063】

制御回路 390 では、バイアス回路 301 C の外部から供給されるバイアス制御信号に

50

応じてスイッチ素子 392 のオンオフを切り替えることにより、バイアス電流 I_{bias2} の電流量の制御を可能とする。具体的には、スイッチ素子 392 をオンとすることにより、抵抗素子 320b 及び抵抗素子 391 を合成した抵抗値を低くする。これにより、バイアス電流 I_{bias2} の電流量が増加するため、出力電力を向上させることができる。一方、スイッチ素子 392 をオフとすることにより、抵抗素子 320b 及び抵抗素子 391 を合成した抵抗値を高くする。これにより、バイアス電流 I_{bias2} の電流量が減少するため、余分な電力の消費が抑制され、電力効率を向上させることができる。このように、バイアス回路 301C では、制御回路 390 を備えることにより、バイポーラトランジスタ 240b のベースとバイポーラトランジスタ 350b, 350c のエミッタとの間の抵抗値が可変となり、増幅回路 201A の特性の調整が可能となる。なお、このような特性の調整は、特にハイパワーモード時に有効であるが、ローパワーモード時に行ってもよい。

10

【0064】

上述の通り、電力増幅回路 100C は、電力増幅回路 100B と比較して、パワーアンプの特性の調整が可能となる。

【0065】

なお、電力増幅回路 100C においては、バイアス回路 301C が制御回路 390 を備える構成としたが、バイアス回路 301A が制御回路 390 をさらに備える構成としてもよい。また、バイアス回路 300A が制御回路 390 をさらに備える構成としてもよい。

【0066】

20

次に、電力増幅回路 100A における、消費電流、ゲイン特性、及び隣接チャネル漏洩電力比 (Adjacent Channel Leakage Ratio: ACLR) 特性のシミュレーション結果について、図 5～図 7 を参照しつつ説明する。

【0067】

図 5～図 7 に示すグラフは、本発明の実施形態にかかる電力増幅回路 100A において、制御回路 370a, 370b が備えるスイッチ素子 372a, 372b をともにオン又はオフとしたときの比較結果である。図 5～図 7 は、電源電圧 $V_{cc} = 0.52V$ 、RF 信号 RF_{in} の周波数 = 814MHz、温度を室温とし、電力増幅回路 100A の電力モードをローパワーモードとしたときのシミュレーション結果である。

【0068】

30

図 5 は、電力増幅回路 100A におけるローパワーモード時の消費電流のシミュレーション結果を示すグラフである。図 5 に示すグラフにおいて、縦軸は消費電流 (A) を表し、横軸は出力電力 (dBm) を表している。

【0069】

図 5 に示されるように、スイッチ素子 372a, 372b がオンである場合に比べて、スイッチ素子 372a, 372b がオフである場合に、消費電流が低減していることが分かる。例えば、出力電力が 0dBm であるときに、消費電流が約 2.6mA 低減している。

【0070】

40

図 6 は、電力増幅回路 100A におけるローパワーモード時のゲイン特性のシミュレーション結果を示すグラフである。図 6 に示すグラフにおいて、縦軸はゲイン (dB) を表し、横軸は出力電力 (dBm) を表している。

【0071】

図 6 に示されるように、スイッチ素子 372a, 372b がオンである場合に比べて、スイッチ素子 372a, 372b をオフとした場合でも、ゲインが 1dB 程度上がるものの、出力レベルの変化と共にゲインの値が変動するような劣化は見られない。すなわち、制御回路 370a, 370b を備えることによるゲイン特性 (線形性) への影響は少ないことが分かる。

【0072】

図 7 は、電力増幅回路 100A におけるローパワーモード時の ACLR 特性のシミュレ

50

ーション結果を示すグラフである。図 7 に示すグラフにおいて、縦軸は A C L R (d B c) を表し、横軸は出力電力 (d B m) を表している。

【 0 0 7 3 】

図 7 に示されるように、スイッチ素子 3 7 2 a , 3 7 2 b がオンである場合に比べて、スイッチ素子 3 7 2 a , 3 7 2 b をオフとした場合でも、A C L R 特性に大きな変化は見られない。すなわち、制御回路 3 7 0 a , 3 7 0 b を備えることによる A C L R 特性への影響は少ないことが分かる。

【 0 0 7 4 】

以上のシミュレーション結果から、電力モードがローパワーモードの場合は、スイッチ素子 3 7 2 a , 3 7 2 b をオフとすることにより、ゲイン特性及び A C L R 特性への影響を低く抑えつつ、消費電流の低減が可能であることが分かる。すなわち、電力増幅回路 1 0 0 A は、回路全体として、ゲインの特性劣化を抑制しつつ消費電流を低減することができる。

【 0 0 7 5 】

以上、本発明の例示的な実施形態について説明した。電力増幅回路 1 0 0 A ~ 1 0 0 C は、バイアス回路に制御回路 3 7 0 a , 3 7 0 b を備えることにより、電力モードがハイパワーモード時は、バイポーラトランジスタ 3 5 0 a , 3 5 0 b のエミッタから接地に電流を流し、電力モードがローパワーモード時は、バイポーラトランジスタ 3 5 0 a , 3 5 0 b のエミッタと接地を電氣的に切断する。これにより、ハイパワーモード時は、バイアス電流を必要量確保してゲイン特性の劣化を抑制する一方、ローパワーモード時は、ゲイン特性への影響を抑制しつつ余分な電流消費を回避することができる。従って、電力増幅回路全体として、ゲイン特性劣化を抑制しつつ、消費電流を低減することができる。

【 0 0 7 6 】

また、電力増幅回路 1 0 0 B は、バイアス回路にバイポーラトランジスタ 3 5 0 c 及び制御回路 3 8 0 をさらに備えることにより、制御信号 M O D E に応じたバイアス電流の電流量の制御が可能となる。これにより、ハイパワーモード時にバイアス電流を多く必要とする場合に、適切な電流量を確保することができる。従って、電力増幅回路 1 0 0 B は、電力増幅回路 1 0 0 A と比較して、パワーアンプの特性の調整が可能となる。

【 0 0 7 7 】

また、電力増幅回路 1 0 0 C は、バイアス回路に制御回路 3 9 0 をさらに備えることにより、バイポーラトランジスタ 2 4 0 b のベースとバイポーラトランジスタ 3 5 0 b , 3 5 0 c のエミッタとの間の抵抗値を可変とすることができる。これにより、バイアス制御信号に応じたバイアス電流 I b i a s 2 の電流量の制御が可能となる。従って、電力増幅回路 1 0 0 C は、電力増幅回路 1 0 0 B と比較して、パワーアンプの特性の調整が可能となる。

【 0 0 7 8 】

また、電力増幅回路 1 0 0 A ~ 1 0 0 C は、二段の増幅回路を含む電力増幅回路である。バイアス回路 3 0 0 , 3 0 1 の各々に対し、制御回路 3 7 0 a , 3 7 0 b を適用することにより、いずれか一方のみを適用する場合よりも、消費電流の低減効果を高めることが可能となる。三段以上の構成においても同様である。

【 0 0 7 9 】

なお、図 2 ~ 図 4 に示した電力増幅回路では、バイポーラトランジスタの代わりに N チャンネル M O S F E T を用いてもよい。

【 0 0 8 0 】

以上説明した各実施形態は、本発明の理解を容易にするためのものであり、本発明を限定して解釈するためのものではない。本発明は、その趣旨を逸脱することなく、変更／改良され得るととともに、本発明にはその等価物も含まれる。即ち、各実施形態に当業者が適宜設計変更を加えたものも、本発明の特徴を備えている限り、本発明の範囲に包含される。例えば、各実施形態が備える各要素およびその配置、材料、条件、形状、サイズなどは、例示したものに限定されるわけではなく適宜変更することができる。また、各実施形

10

20

30

40

50

態が備える各要素は、技術的に可能な限りにおいて組み合わせることができ、これらを組み合わせたものも本発明の特徴を含む限り本発明の範囲に包含される。

【符号の説明】

【0081】

100, 100A, 100B, 100C 電力増幅回路
 200, 200A, 201, 201A 増幅回路
 210a, 210b, 210c, 360a, 360b キャパシタ
 220a, 220b, 220c, 310a, 310b, 320a, 320b, 320c,
 371a, 371b, 391 抵抗素子
 230a, 230b インダクタ
 240a, 240b, 240c, 330a, 330b, 340a, 340b, 350a,
 350b, 350c バイポーラトランジスタ
 300, 300A, 301, 301A, 301B, 301C バイアス回路
 321, 372a, 372b, 381, 392 スイッチ素子
 370a, 370b, 380, 390 制御回路
 400, 401, 402 整合回路
 MODE 制御信号
 Vb1, Vb2 バイアス制御電圧
 Vcc 電源電圧

10

【図1】

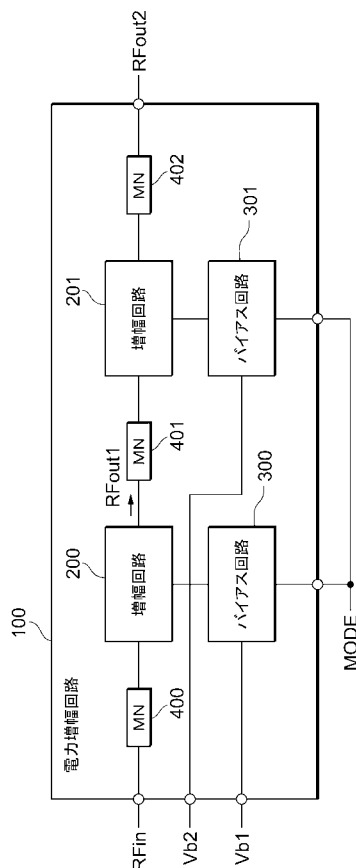


図1

【図2】

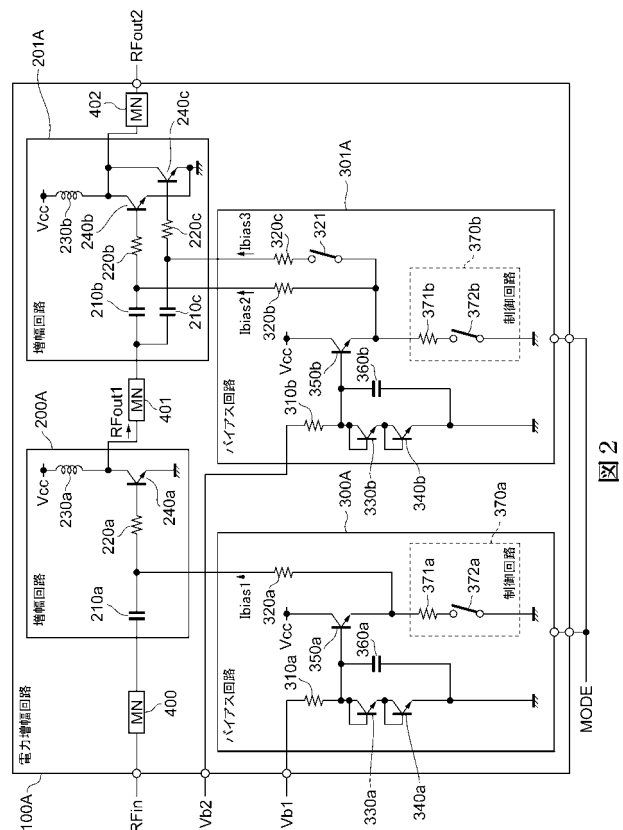


図2

【図 3】

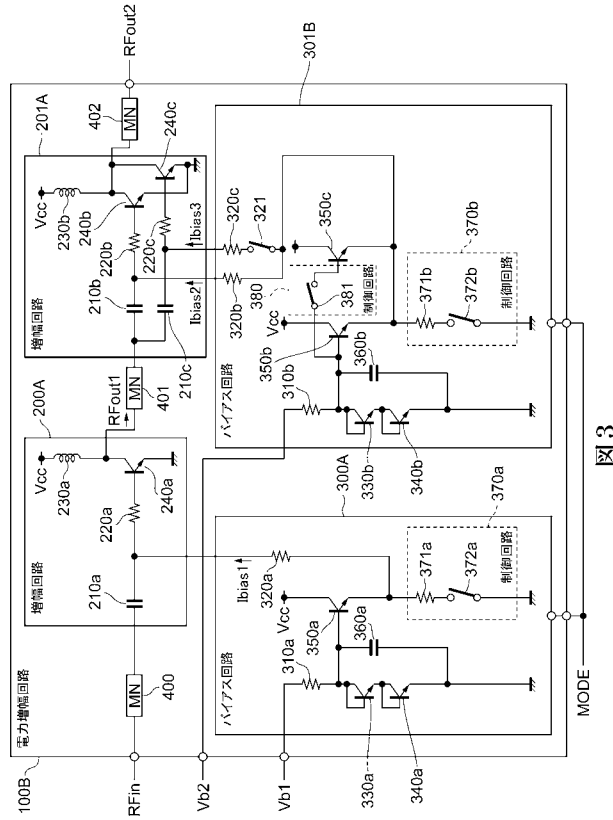


図 3

【図 4】

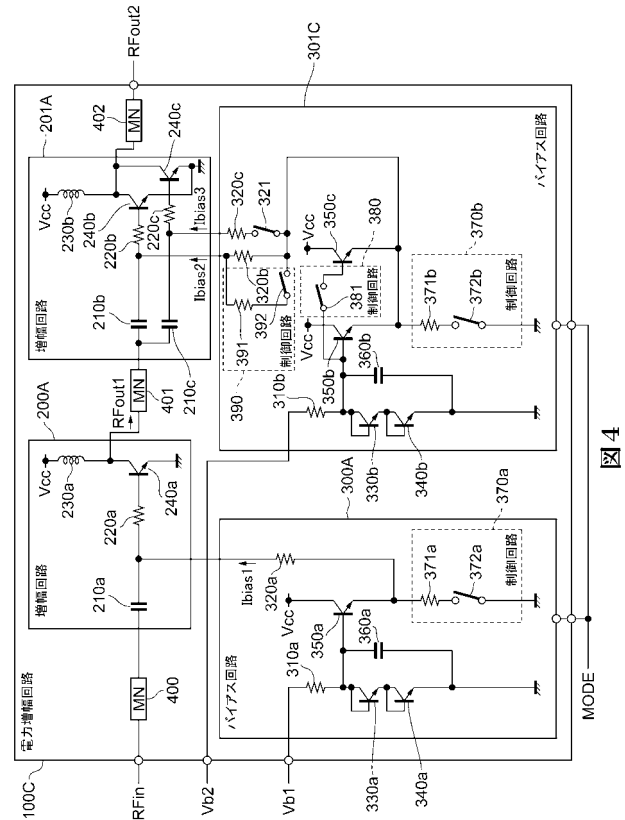


図 4

【図 5】

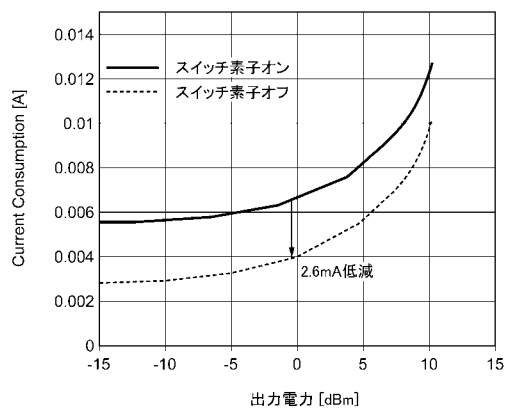


図 5

【図 6】

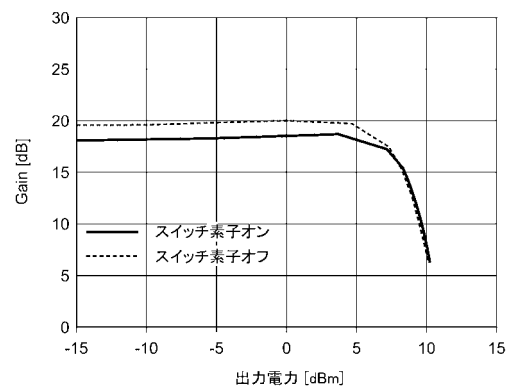


図 6

【図 7】

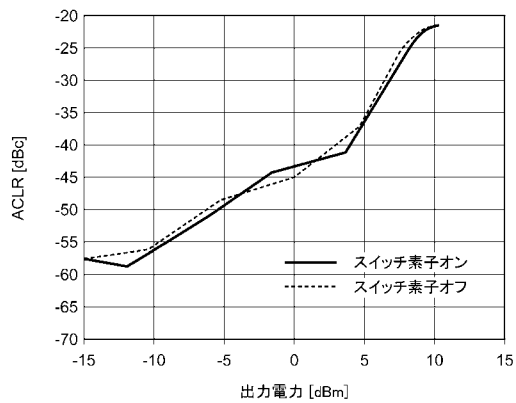


図 7

【手続補正書】

【提出日】平成28年10月7日(2016.10.7)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 の信号がベース又はゲートに入力され、前記第 1 の信号を増幅した第 2 の信号をコレクタ又はドレインから出力する第 1 の増幅トランジスタと、

前記第 1 の増幅トランジスタのベース又はゲートに第 1 のバイアス電流を供給する第 1 のバイアス回路と、

を備え、

前記第 1 のバイアス回路は、

コレクタ又はドレインに電源電圧が供給され、ベース又はゲートに所定の電圧が供給され、エミッタ又はソースから前記第 1 のバイアス電流を出力する第 1 のトランジスタと、

前記第 1 のトランジスタのエミッタ又はソースと接地との間の電氣的接続を制御する第 1 の制御回路と、

を備え、

前記第 1 の制御回路は、直列に接続された第 1 の抵抗素子及び第 1 のスイッチ素子を備え、

前記第 1 のスイッチ素子は、電力モードを示す制御信号に応じて、第 1 の電力モードの場合はオンとなり、前記第 1 の電力モードにおける出力電力より低い出力電力において動作する第 2 の電力モードの場合はオフとなる、

電力増幅回路。

【請求項 2】

請求項 1 に記載の電力増幅回路であって、

前記第 1 のバイアス回路は、

コレクタ又はドレインに前記電源電圧が供給され、エミッタ又はソースから前記第 1 の増幅トランジスタのベース又はゲートに第 2 のバイアス電流を出力する第 2 のトランジスタと、

前記制御信号に応じて、前記第 1 の電力モードの場合は、前記第 2 のトランジスタをオンに制御し、前記第 2 の電力モードの場合は、前記第 2 のトランジスタをオフに制御する第 2 の制御回路と、

をさらに備える電力増幅回路。

【請求項 3】

請求項 1 又は 2 に記載の電力増幅回路であって、

前記第 1 のバイアス回路は、

前記第 1 のバイアス回路の外部から供給されるバイアス制御信号に応じて、前記第 1 の増幅トランジスタのベース又はゲートと、前記第 1 のトランジスタのエミッタ又はソースとの間の抵抗値を制御する第 3 の制御回路をさらに備える、

電力増幅回路。

【請求項 4】

請求項 3 に記載の電力増幅回路であって、

前記第 3 の制御回路は、前記第 1 の増幅トランジスタのベース又はゲートと、前記第 1 のトランジスタのエミッタ又はソースとの間に設けられた第 2 の抵抗素子及び第 2 のスイッチ素子を備え、

前記第 2 の抵抗素子及び前記第 2 のスイッチ素子は直列接続され、

前記第 2 のスイッチ素子は、前記バイアス制御信号に応じてオン又はオフとなる、電力増幅回路。

【請求項 5】

請求項 1 ～ 4 のいずれか一項に記載の電力増幅回路であって、

前記電力増幅回路は、

第 3 の信号が ベース又はゲート に入力され、前記第 3 の信号を増幅した前記第 1 の信号をコレクタ又はドレインから出力する第 2 の増幅トランジスタと、

前記第 2 の増幅トランジスタのベース又はゲートに第 3 のバイアス電流を供給する第 2 のバイアス回路と、

をさらに備え、

前記第 2 のバイアス回路は、

コレクタ又はドレインに電源電圧が供給され、ベース又はゲートに所定の電圧が供給され、エミッタ又はソースから前記第 3 のバイアス電流を出力する第 3 のトランジスタと、

前記第 3 のトランジスタのエミッタ又はソースと接地との間の電氣的接続を制御する第 4 の制御回路と、

を備え、

前記第 4 の制御回路は、直列に接続された第 3 の抵抗素子及び第 3 のスイッチ素子を備え、

前記第 3 のスイッチ素子は、前記制御信号に応じて、前記第 1 の電力モードの場合はオンとなり、前記第 2 の電力モードの場合はオフとなる、

電力増幅回路。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正の内容】

【0015】

図2は、本発明の一実施形態である電力増幅回路100の構成例（電力増幅回路100A）を示す図である。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0049

【補正方法】変更

【補正の内容】

【0049】

図3は、電力増幅回路100の構成例（電力増幅回路100B）を示す図である。なお、電力増幅回路100Aと同一の要素には同一の符号を付して説明を省略する。電力増幅回路100Bは、電力増幅回路100Aにおけるバイアス回路301Aの代わりに、バイアス回路301Bを備える。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0056

【補正方法】変更

【補正の内容】

【0056】

なお、制御回路380においては、バイポーラトランジスタ350cのオンオフの切り替えのためにバイポーラトランジスタ350cのベースの接続を制御する構成を示しているが、バイポーラトランジスタ350cのコレクタ又はエミッタの接続を制御する構成としてもよい。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0058

【補正方法】変更

【補正の内容】

【0058】

図4は、電力増幅回路100の構成例（電力増幅回路100C）を示す図である。なお、電力増幅回路100Bと同一の要素には同一の符号を付して説明を省略する。電力増幅回路100Cは、電力増幅回路100Bにおけるバイアス回路301Bの代わりに、バイアス回路301Cを備える。

フロントページの続き

(72)発明者 嶋本 健一

京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内

Fターム(参考) 5J500 AA01 AA41 AC36 AF10 AF18 AH02 AH25 AH29 AH33 AH38
AK00 AK12 AK29 AK47 AM08 AM19 AM21 AS14 AT01 AT02
WU08
5K060 BB07 CC04 CC11 DD04 HH06 HH39 JJ01 JJ08 JJ23 LL01
LL11 LL13