



(19)  
Bundesrepublik Deutschland  
Deutsches Patent- und Markenamt

(10) DE 102 97 349 T5 2005.01.27

(12)

## Veröffentlichung

der internationalen Anmeldung mit der

- (87) Veröffentlichungs-Nr.: **WO 03/034470**  
in deutscher Übersetzung (Art. III § 8 Abs. 2 IntPatÜG)  
(21) Deutsches Aktenzeichen: **102 97 349.0**  
(86) PCT-Aktenzeichen: **PCT/US02/33515**  
(86) PCT-Anmeldetag: **16.10.2002**  
(87) PCT-Veröffentlichungstag: **24.04.2003**  
(43) Veröffentlichungstag der PCT Anmeldung  
in deutscher Übersetzung: **27.01.2005**

(51) Int Cl.<sup>7</sup>: **H01L 29/423**

**H01L 29/06, H01L 29/861, H01L 29/78,  
H01L 29/73**

(30) Unionspriorität:  
**09/981583 17.10.2001 US**

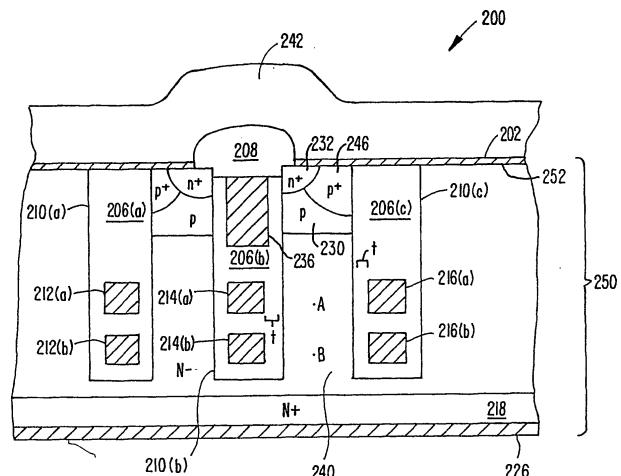
(74) Vertreter:  
**Eisenführ, Speiser & Partner, 28195 Bremen**

(71) Anmelder:  
**Fairchild Semiconductor Corp., South Portland,  
Me., US**

(72) Erfinder:  
**Kocon, Christopher Boguslaw, Plains, Pa., US**

(54) Bezeichnung: **Halbleiterstruktur mit verbesserten geringeren Durchlassspannungsverlusten und höherer Sperrfähigkeit**

- (57) Hauptanspruch: Halbleiteranordnung mit  
a) einem Halbleitersubstrat;  
b) einer ersten Zone einer ersten Leitfähigkeitsart im Halbleitersubstrat;  
c) einer zweiten Zone einer zweiten Leitfähigkeitsart im Halbleitersubstrat;  
d) mehreren Ladungssteuerungselektroden, wobei jede Ladungssteuerungselektrode in der Vielzahl der Ladungssteuerungselektroden ausgebildet ist, anders als die anderen Ladungssteuerungselektroden in der Vielzahl der Ladungselektroden vorgespannt zu werden; und  
e) einem dielektrischen Material, das um jede der gestapelten Ladungssteuerungselektroden herum angeordnet ist.



**Beschreibung****GEBIET DER ERFINDUNG**

**[0001]** Diese Erfindung betrifft im Allgemeinen eine Halbleitertechnologie und insbesondere Halbleiteranordnungen und ihre Herstellung.

**Stand der Technik****HINTERGRUND DER ERFINDUNG**

**[0002]** In einer herkömmlichen vertikalen MOSFET (Metal Oxide Semiconductor Field Effect Transistor)-Anordnung ist es wünschenswert, den Drain-Source-Widerstand oder  $R_{DS(on)}$  der Anordnung zu minimieren.  $R_{DS(on)}$  ist proportional zur Höhe der verbrauchten Leistung bei eingeschalteter MOSFET-Anordnung, so dass eine Reduktion von  $R_{DS(on)}$  die Höhe der von der MOSFET-Anordnung verbrauchten Leistung herabsetzt. Der  $R_{DS(on)}$  könnte durch Erhöhung der Dotierungssubstanz- (oder Träger-) Konzentration in der Driftzone der Anordnung reduziert werden. Jedoch kann es nicht wünschenswert sein, die Dotierungssubstanzkonzentration zu erhöhen, weil eine Erhöhung der Dotierungssubstanzkonzentration die Durchbruchspannung der Anordnung herabsetzt. Demgegenüber kann die Trägerkonzentration in der Driftzone der MOSFET-Anordnung nicht reduziert werden, um die Durchbruchspannung zu erhöhen, ohne auch in unerwünschter Weise den  $R_{DS(on)}$  zu erhöhen.

**[0003]** Die US 5 216 275 A beschreibt Halbleiteranordnungen mit erhöhten Durchbruchspannungen und verbesserten Durchlasswiderstandseigenschaften. Die Anordnungen der in dieser Patentschrift beschriebenen Art werden als "Superjunction"-Anordnungen bezeichnet. Jeder der beschriebenen Superjunction-Anordnungen weist eine Komposit-Pufferschicht auf. Die Komposit-Pufferschicht hat alternierende dotierte P- und N-Zonen, die sich im Ladungsgleichgewicht befinden. Ausweislich der wissenschaftlichen Literatur zeigen Superjunction-Transistoranordnungen einen 5- bis 100-fach geringeren spezifischen Durchlasswiderstand ( $R_{on,sp}$ ) als herkömmliche Hochspannungs-MOSFET-Anordnungen.

**[0004]** Während derartige Superjunction-Transistoranordnungen hohe Durchbruchspannungen und einen niedrigen Durchlasswiderstand besitzen, sind sie schwierig herzustellen. Für eine ordnungsgemäße Funktion einer Superjunction-Anordnung müssen die alternierenden dotierten P- und N-Zonen in der Komposit-Pufferschicht mit derselben Menge von Ladungsmaterial dotiert sein, um ein perfektes Ladungsgleichgewicht zu erzielen. Dies ist in der Praxis schwierig zu erreichen. Vergleiche beispielsweise "Analysis of the Effect of Charge Imbalance on the

Static and Dynamic Characteristics of the Super Junction MOSFET", Proc. Of the ISPSD '99, S. 95–98, 1999. Da es extrem schwierig ist, in der Dotierung in der Komposit-Pufferschicht einer Superjunction-Transistoranordnung ein präzises Gleichgewicht herzustellen, ist zusätzlich das in der Komposit-Pufferschicht erzielbare praktische maximale elektrische Feld auf etwa  $2 \times 10^5$  V/cm begrenzt. Das durch eine Superjunction-Transistoranordnung erzielte praktische maximale elektrische Feld schränkt ihre Durchbruchspannung ein.

**Aufgabenstellung**

**[0005]** Es würde wünschenswert sein, eine verbesserte Halbleiteranordnung zur Verfügung zu stellen, die weniger schwierig herzustellen ist und eine höhere Durchbruchspannung und einen geringeren Durchlasswiderstand als die zuvor beschriebenen Superjunction-Anordnungen besitzt.

**ABRISS DER ERFINDUNG**

**[0006]** Ausführungen der Erfindung sind auf Halbleiteranordnungen und Verfahren zur Herstellung von Halbleiteranordnungen gerichtet.

**[0007]** Ein Ausführungsbeispiel der Erfindung ist gerichtet auf eine Halbleiteranordnung mit: a) einem Halbleitersubstrat; b) einer ersten Zone einer ersten Leitfähigkeitsart im Halbleitersubstrat; c) einer zweiten Zone einer zweiten Leitfähigkeitsart im Halbleitersubstrat; d) mehreren Ladungssteuerungselektroden, wobei an jeder Ladungssteuerungselektrode der mehreren Ladungssteuerungselektroden eine andere Vorspannung anliegt als an den anderen Ladungssteuerungselektroden der mehreren Ladungssteuerungselektroden; und e) einem dielektrischen Material, das um jede der gestapelten Ladungssteuerungselektroden herum angeordnet ist.

**[0008]** Ein anderes Ausführungsbeispiel der Erfindung ist gerichtet auf einen Feldeffekttransistor mit: a) einem Halbleitersubstrat einer ersten Leitfähigkeitsart mit einer größeren Fläche, einer Driftzone und einer Drainzone; b) einer im Halbleitersubstrat ausgebildeten Senkenzone einer zweiten Leitfähigkeitsart; c) einer in der Senkenzone ausgebildeten Sourcezone der ersten Leitfähigkeitsart; d) einer benachbart zur Sourcezone gebildeten Gateelektrode; e) mehreren gestapelten Ladungssteuerungselektroden, die innerhalb der Driftzone eingebettet sind, wobei an jeder Ladungssteuerungselektrode der mehreren gestapelten Ladungssteuerungselektroden eine andere Vorspannung anliegt als an den anderen Ladungssteuerungselektroden der mehreren Ladungssteuerungselektroden, wobei die mehreren gestapelten Ladungssteuerungselektroden dazu ausgebildet sind, ein elektrisches Feldprofil innerhalb der Driftzone des Halbleitersubstrates einzustellen; und f) ei-

nem dielektrischen Material, das um jede der gestapelten Ladungssteuerungselektroden herum angeordnet ist.

**[0009]** Ein anderes Ausführungsbeispiel der Erfindung ist gerichtet auf ein Verfahren zur Bildung einer Halbleiteranordnung mit den Schritten: a) ein Halbleitersubstrat mit einer ersten Zone einer ersten Leitfähigkeitsart herzustellen; b) eine Zone einer zweiten Leitfähigkeitsart im Halbleitersubstrat zu bilden; c) eine erste Ladungssteuerungselektrode zu bilden; und d) eine zweite Ladungssteuerungselektrode zu bilden, während die erste Ladungssteuerungselektrode so ausgeführt, dass an sie eine andere Vorspannung anliegt als an der ersten Ladungssteuerungselektrode.

**[0010]** Ein anderes Ausführungsbeispiel der Erfindung ist gerichtet auf einen Feldeffekttransistor mit: a) einem Halbleitersubstrat einer ersten Leitfähigkeitsart mit einer Hauptfläche, einer Driftzone und einer Drainzone; b) einer im Halbleitersubstrat ausgebildeten Senkenzone einer zweiten Leitfähigkeitsart; c) einer in der Senkenzone ausgebildeten Sourcezone der ersten Leitfähigkeitsart; d) einer mit der Sourcezone gekoppelten Sourcekontakte; e) einer benachbart zur Sourcezone ausgebildeten Gateelektrode; f) einer in der Driftzone eingebetteten Ladungssteuerungselektrode, wobei die Ladungssteuerungselektrode so ausgeführt ist, dass an sie ein anderes Vorspannungspotential als an der Gateelektrode oder der Sourcekontakte anliegt, und ausgeführt ist, um das elektrische Feld in der Driftzone zu steuern; und g) einem dielektrischen Material, das um die Ladungssteuerungselektrode herum angeordnet ist.

**[0011]** Ein anderes Ausführungsbeispiel der Erfindung ist gerichtet auf ein Verfahren zur Bildung eines Feldeffekttransistors mit den Schritten: a) ein Halbleitersubstrat einer ersten Leitfähigkeitsart mit einer Hauptfläche, einer Driftzone und einer Drainzone herzustellen; b) eine Senkenzone einer zweiten Leitfähigkeitsart im Halbleitersubstrat zu bilden; c) eine Sourcezone der ersten Leitfähigkeitsart in der Senkenzone zu bilden; d) eine Sourcekontakte auf der Sourcezone zu bilden; e) eine Gateelektrode benachbart zur Sourcezone zu bilden; f) eine Ladungssteuerungselektrode innerhalb der Driftzone zu bilden, wobei die Ladungssteuerungselektrode ausgeführt ist, dass an ihr ein anderes Vorspannungspotential als an der Gateelektrode oder der Sourcekontakte anliegt, und ausgebildet ist, um das elektrische Feld in der Driftzone zu steuern; und g) dielektrisches Material um die Ladungssteuerungselektrode herum auszubilden.

**[0012]** Diese und andere Ausführungsbeispiele der Erfindung werden anhand der nachfolgend aufgeführten Figuren und der detaillierten Beschreibung

beschrieben.

#### Ausführungsbeispiel

#### KURZBESCHREIBUNG DER ZEICHNUNGEN

**[0013]** **Fig. 1** zeigt eine Querschnittsansicht einer vertikalen Trench-MOSFET-Anordnung gemäß einem Ausführungsbeispiel der Erfindung.

**[0014]** **Fig. 2(a)** zeigt ein Diagramm des elektrischen Feldes und des Durchbruchpotentials über die Distanz (in  $\mu$ ) in einer Trench-MOSFET-Anordnung gemäß einem Ausführungsbeispiel der Erfindung.

**[0015]** **Fig. 2(b)** zeigt ein Diagramm des elektrischen Feldes und des Durchbruchpotentials über die Distanz (in  $\mu$ ) in einer vertikalen Trench-MOSFET-Anordnung gemäß einer herkömmlichen vertikalen Trench-MOSFET-Anordnung ohne Ladungssteuerungselektroden.

**[0016]** **Fig. 3** zeigt eine Querschnittsansicht einer vertikalen planaren MOSFET-Anordnung gemäß einem Ausführungsbeispiel der Erfindung.

**[0017]** **Fig. 4** zeigt eine Querschnittsansicht einer Leistungsdiodenanordnung gemäß einem Ausführungsbeispiel der Erfindung.

**[0018]** **Fig. 5** zeigt eine Querschnittsansicht eines bipolaren Transistors gemäß einem Ausführungsbeispiel der Erfindung.

**[0019]** **Fig. 6** zeigt eine Querschnittsansicht eines lateralen MOSFET gemäß einem Ausführungsbeispiel der Erfindung.

**[0020]** Die **Fig. 7(a)** bis **7(i)** zeigen Querschnittsansichten von Halbleitersubstraten mit darin ausgebildeten gestapelten Elektroden.

**[0021]** Diese und andere Ausführungsbeispiele der Erfindung werden nachfolgend des weiteren im Detail beschrieben.

#### DETAILLIERTE BESCHREIBUNG

**[0022]** Die Ausführungsbeispiele der Erfindung sind auf Halbleiteranordnungen gerichtet. Bei den Halbleiteranordnungen handelt es sich vorzugsweise um Leistungshalbleiteranordnungen. Beispiele solcher Halbleiteranordnungen umfassen vertikale MOSFETs (z. B. planare oder vertikale Trench-MOSFETs), laterale MOSFETs, bipolare Transistoren, Leistungsdioden etc.

**[0023]** Die Halbleiteranordnungen weisen ein Halbleitersubstrat wie beispielsweise ein Silizium- oder Galliumarsenidsubstrat auf. Das Halbleitersubstrat

weist eine Zone einer ersten Leitfähigkeitsart (z. B. eine N-Zone) auf und kann eine Hauptfläche besitzen. Eine Zone einer zweiten Leitfähigkeitsart (z. B. eine P-Zone) ist ebenfalls im Halbleitersubstrat ausgebildet.

**[0024]** In den Ausführungsbeispielen der Erfindung weist die Halbleiteranordnung eine oder mehrere Ladungssteuerungselektroden auf. Die Ladungssteuerungselektroden können mit einem anderem Potential als das Gate, die Source und der Drain vorgespannt sein, um das elektrische Feld innerhalb des Halbleitermaterials zu steuern. Bei einigen Ausführungsbeispielen können diese Ladungssteuerungselektroden auch als "Feldplatten" bezeichnet werden. Die Beabstandung und Anordnung der Ladungssteuerungselektroden können in verschiedenen Streifen- oder Zellen-Ausbildungen vorgenommen werden. Bei einigen Ausführungsbeispielen können die Seitenwände jeder Ladungssteuerungselektrode im Wesentlichen parallel ausgerichtet sein.

**[0025]** In bevorzugten vertikalen Halbleiteranordnungsausführungen sind die Ladungssteuerungselektroden gestapelt und innerhalb des Halbleitersubstrates eingebettet. Der Stapel der Ladungssteuerungselektroden ist im Wesentlichen vertikal gegenüber der Hauptfläche des Halbleitersubstrates orientiert. Ein dielektrisches Material ist um jede der gestapelten Ladungssteuerungselektroden herum angeordnet, um jede der Ladungssteuerungselektroden vom Halbleitermaterial im Halbleitersubstrat zu trennen. In horizontalen Halbleiteranordnungsausführungen können die Ladungssteuerungselektroden quer auf oder in dem Halbleitersubstrat angeordnet und brauchen nicht gestapelt zu sein. In beiden vertikalen und horizontalen Ausführungen kann die Orientierung der mehreren Ladungssteuerungselektroden im Wesentlichen parallel zur Richtung des Stromflusses in der Driftzone sein.

**[0026]** Bei einigen Ausführungsbeispielen der Erfindung können erste, zweite, dritte etc. Gruppen von mehreren Ladungssteuerungselektroden vorgesehen sein. Jede Gruppe von mehreren Ladungssteuerungselektroden kann in einer separaten dielektrischen Materialstruktur eingebettet sein. Diese unterschiedlichen Gruppen von mehreren Ladungssteuerungselektroden können an jeder geeigneten Stelle in der Halbleiteranordnung angeordnet sein. Beispielsweise können in einer vertikalen MOSFET-Anordnung die unterschiedlichen Gruppen von mehreren gestapelten Ladungssteuerungselektroden unter einem Gate der Anordnung und/oder an der Seite des Gate angeordnet sein. Die verschiedenen Gruppen von mehreren Ladungssteuerungselektroden können unabhängig voneinander oder zusammen arbeiten, um das elektrische Feld innerhalb des Halbleitersubstrats zu ändern.

**[0027]** Jede Ladungssteuerungselektrode in einer Gruppe von Ladungssteuerungselektroden ist ausgebildet, um anders als die anderen Ladungssteuerungselektroden in derselben Gruppe der Ladungssteuerungselektroden vorgespannt zu sein. Die unterschiedlich vorgespannten Ladungssteuerungselektroden können verwendet werden, um das elektrische Feld innerhalb des Halbleitersubstrates einzustellen. Wenn sich eine vertikale MOSFET-Anordnung in einem Sperrzustand befindet, können beispielsweise die Ladungssteuerungselektroden innerhalb einer Gruppe von Ladungssteuerungselektroden unterschiedlich vorgespannt sein, um ein im Wesentlichen gleichförmiges und hohes elektrisches Feld innerhalb der Driftzone des Halbleitersubstrates aufrecht zu erhalten. Durch Bildung eines im Wesentlichen gleichförmigen elektrischen Feldes innerhalb der Driftzone wird die Durchbruchspannung der vertikalen MOSFET-Anordnung erhöht. Die Driftzone kann hoch dotiert sein, um den Durchlasswiderstand der Halbleiteranordnung ohne Kompromisse in Bezug auf die Durchbruchspannungseigenschaften der Anordnung zu reduzieren. Dementsprechend können in Ausführungen der Erfindung Halbleiteranordnungen mit hohen Durchbruchspannungen und/oder niedrigen Eigenwiderstandseigenschaften produziert werden.

**[0028]** Die Ausführungsbeispiele der Erfindung besitzen eine Anzahl von Vorteilen gegenüber herkömmlichen Halbleiteranordnung (z. B. vertikalen MOSFET-Anordnungen). Beispielsweise werden bei Ausführungen der Erfindung die Ladungssteuerungselektroden zur Ladungsverbreitung im Halbleitersubstrat verwendet. Die Ladungsverbreitung in der Driftzone einer Anordnung wird von der Vorspannung der Ladungssteuerungselektroden gesteuert, die präzise eingestellt werden kann. Folglich kann das maximale elektrische Feld im Halbleitersubstrat viel größer als etwa  $2 \times 10^5$  V/cm sein, bei welchem es sich um das maximale praktische elektrische Feld handelt, das durch Superjunction-Anordnungen erzielbar ist. In den Ausführungsbeispielen der Erfindung ist das maximale elektrische Feld, das im Halbleitersubstrat erzeugt werden kann, nur durch die Fähigkeit des die Ladungssteuerungselektroden umgebenden dielektrischen Materials, die Spannungen der Ladungssteuerungselektroden zu schützen, begrenzt. Das in den Ausführungen der Erfindung erzielbare maximale elektrische Feld kann leicht  $3,5 \times 10^5$  V/cm übersteigen, bei dem es sich um einen Wert größer als das elektrische Feld handelt, das in einer Superjunction-Anordnung erzielbar ist. Ein anderer Vorteil der vorgeschlagenen Struktur besteht in der relativen Einfachheit, schmale Ladungsverteilungszonen im Halbleitersubstrat zu erzeugen. Dies verbessert die Verwendung und Wirksamkeit des Halbleitersubstrats. Ebenfalls benötigen die Halbleiteranordnungen gemäß den Ausführungsbeispielen der Erfindung keine Verwendung einer Komposit-Pufferschicht mit

präzise dotierten Zonen unterschiedlicher Leitfähigkeitsarten. Dementsprechend werden die mit der Herstellung von präzise dotierten Zonen unterschiedlicher Leitfähigkeitsarten verbundenen Probleme verringert oder beseitigt. Außerdem können in den Ausführungen der Erfindung die Halbleiteranordnungen Durchbruchwerte in niedrigen bis mittleren Spannungsbereichen und dabei gleichzeitig einen niedrigen Durchlasswiderstand besitzen. Beispielsweise für einen 150 V-N-Kanal-Leistungs-MOSFET ist der Durchlasswiderstand pro Flächeneinheit bei Ausführungen der Erfindung auf 50% weniger als der Durchlasswiderstand pro Flächeneinheit bei herkömmlichen 150 V-N-Kanal-Leistungs-MOSFETs simuliert worden. Während Superjunction-Anordnungen geringe Eigenwiderstandseigenschaften haben, haben es die Anforderungen an eine präzise Dotierung bei Superjunction-Anordnungen verhindert, dass die Durchbruchspannungswerte in niedrigen bis mittleren Spannungsbereichen (z. B. < 200 V) liegen. Je niedriger die Spannung ist, wo diffundierte P/N-Säulen verwendet werden, desto geringer ist die erforderliche Teilung. Eine thermische Verarbeitung macht die Bildung von Strukturen mit kleiner Teilung schwierig wegen unvermeidlicher Diffusionsprobleme zwischen den Dotierungen. Die Ausführungen der Erfindung besitzen solche Beschränkungen nicht.

**[0029]** Fig. 1 zeigt eine Querschnittsansicht einer Trench-MOSFET-Anordnung 200 gemäß einem Ausführungsbeispiel der Erfindung. Die MOSFET-Anordnung 200 weist ein Halbleitersubstrat 250 auf, das eine Hauptfläche 252 besitzt. Das Halbleitersubstrat 250 ist von einer ersten Leitfähigkeitsart. In diesem Beispiel handelt es sich bei der ersten Leitfähigkeitsart um die N-Art, und das Halbleitersubstrat 250 weist eine N<sup>-</sup>-Driftzone 240 und eine N<sup>+</sup>-Drainzone 218 auf. Die Driftzone 240 kann der "epitaktischen" oder "epi"-Schicht in einer vertikalen MOSFET-Anordnung entsprechen. Eine Drainelektrode 226 liegt benachbart zur Drainzone 218 und kann als Drainanschluss für die Trench-MOSFET-Anordnung 200 dienen.

**[0030]** Die Trench-MOSFET-Anordnung 200 weist eine Senkenzone 230 einer zweiten Leitfähigkeitsart und eine in der Senkenzone 230 ausgebildete Sourcezone 232 auf. In diesem Beispiel handelt es sich bei der zweiten Leitfähigkeitsart um die P-Art, und die Sourcezone 232 besitzt eine N<sup>+</sup>-Dotierung. Eine P<sup>+</sup>-Schwerkörperzone 246 kann ebenfalls im Halbleitersubstrat 250 ausgebildet sein.

**[0031]** Eine Gatestruktur 236 ist in einem Kanal (Trench) 210(b) ausgebildet und kann deshalb als mit einem Kanal versehene Gatestruktur bezeichnet werden. Die Gatestruktur 236 kann jedes geeignete leitfähige Material aufweisen, dass dotiertes oder undotiertes Polysilizium oder Metall (z. B. feuерfestes Metall) enthält. In diesem Beispiel füllt die Gatestruktur 236 eine U-förmige Nut in einem dielektrischen

Material 206(b) im Kanal 210(b). In anderen Ausführungen könnte die Gatestruktur eine V-förmige Nut in einem dielektrischen Material füllen. Das dielektrische Material 206(b), das die Gatestruktur 236 umgibt, kann einen oder mehrere der Stoffe wie z. B. Siliziumdioxid, Siliziumnitrit, Glas etc. aufweisen.

**[0032]** Eine dielektrische Kappenstruktur 208 bedeckt die Gatestruktur 236, um die Gatestruktur 236 von der Sourcezone 232 zu isolieren. Die dielektrische Kappenstruktur 208 kann beispielsweise Borsilikat-Glas aufweisen. Eine Sourcekontaktechicht 202 kann sich in Kontakt mit der N<sup>+</sup>-Sourcezone 232 befinden. Die Sourcekontaktechicht 202 kann ein Material wie Wolfram oder Polyzid aufweisen. Eine Sourcemetallschicht 242 kann ein Metall wie Aluminium aufweisen und die Sourcekontaktechicht 202 sowie dielektrische Kappenstruktur 208 bedecken.

**[0033]** Eine Mehrzahl von Kanälen 210(a) bis 210(c) ist im Halbleitersubstrat 250 ausgebildet. Jedes der Trenches 210(a) bis 210(c) erstreckt sich von der Hauptfläche 252 in die Driftzone 240. Die Böden der Kanäle 210(a) bis 210(c) liegen oberhalb der Drainzone 218, könnten sich jedoch in die Drainzonen 218 hinein erstrecken.

**[0034]** Unterschiedliche Gruppen von Ladungssteuerungselektroden sind in der MOSFET-Anordnung vorgesehen. Jede Ladungssteuerungselektrode kann aus geeignetem Material gebildet sein. Beispielsweise können die Ladungssteuerungselektroden aus dotiertem oder undotiertem Polysilizium oder Metall gebildet sein.

**[0035]** In dem in Fig. 1 gezeigten Beispiel sind eine erste Gruppe von Ladungssteuerungselektroden 212(a) bis 212(b), eine zweite Gruppe von Ladungssteuerungselektroden 214(a) bis 214(b) bzw. eine dritte Gruppe von Ladungssteuerungselektroden 216(a) bis 216(b) entsprechend in ersten, zweiten bzw. dritten Kanälen 210(a) bis 210(c) angeordnet. Ladungssteuerungselektroden innerhalb eines gemeinsamen Kanals sind in einer gestapelten Anordnung gezeigt. Die Ladungssteuerungselektroden sind voneinander und von der N<sup>-</sup>-Driftzone 240 durch das dielektrische Material 206(a) bis 206(c) innerhalb jeder der Kanäle 210(a) bis 210(c) getrennt. Die Ladungssteuerungselektroden innerhalb unterschiedlicher Gruppen der Ladungssteuerungselektroden können in etwa demselben vertikalen Abstand von der Hauptfläche 252 angeordnet sein. Beispielsweise können die Ladeelektroden 212(a), 214(a) und 216(a) in derselben vertikalen Position innerhalb des Halbleitersubstrats 252 liegen.

**[0036]** In diesem Beispiel besteht jede Gruppe von mehreren Ladungssteuerungselektroden in jedem Kanal aus zwei Ladungssteuerungselektroden. Obwohl zwei Ladungssteuerungselektroden in jedem

der Kanäle **210(a)** bis **210(c)** in dem in **Fig. 1** dargestellten Ausführungsbeispiel gezeigt sind, versteht es sich, dass jede geeignete Anzahl von Ladungssteuerungselektroden in jedem Kanal in den Ausführungen der Erfindung vorgesehen sein kann. Beispielsweise können in einigen Ausführungen der Erfindung drei, vier, fünf etc. vertikal gestapelte Ladungssteuerungselektroden in jedem Kanal vorgesehen sein. Im Allgemeinen kann ein gleichförmigeres elektrisches Feld in der Driftzone **240** erzeugt werden, wenn mehrere Ladungssteuerungselektroden pro Stapel der Ladungssteuerungselektroden vorhanden sind.

**[0037]** In anderen Ausführungsbeispielen (z. B. den Feldeffekttransistor-Ausführungen) kann eine Ladungssteuerungselektrode (z. B. pro Kanal) in der Driftzone einer Anordnung eingebettet sein. Die eine Ladungssteuerungselektrode kann direkt unter einer Gateelektrode angeordnet sein oder könnte auch an einer Seite einer Gateelektrode angeordnet sein. In einem Feldeffekttransistor sind die eine oder mehreren Ladungssteuerungselektroden vorzugsweise unter einem unterschiedlichen Potential gegenüber dem Sourcekontaktmetall, der Gateelektrode und/oder der Drainelektrode vorgespannt.

**[0038]** Bei den Ausführungen der MOSFET-Anordnungen mit einer Gateelektrode können eine oder mehrere Ladungssteuerungselektroden in einer geeigneten Zone angeordnet sein. Beispielsweise können die Ladungssteuerungselektroden z. B. (i) an einer oder beiden Seiten der Gateelektrode und nicht direkt unterhalb der Gateelektrode, (ii) nur direkt unterhalb der Gateelektrode, jedoch nicht an beiden Seiten der Gateelektrode oder (iii) direkt unterhalb der Gateelektrode und an den Seiten der Gateelektrode angeordnet sein. Wie bereits zuvor erwähnt, kann die Gateelektrode mit einem Kanal versehen oder planar sein.

**[0039]** An jeder der Ladungssteuerungselektroden **212(a)** bis **212(b)**, **214(a)** bis **214(b)**, **216(a)** bis **216(b)** kann eine individuelle Vorspannung mit Hilfe von (nicht dargestellten) Vorspannungselementen anliegen, welche in oder auf dem Halbleitersubstrat **250** ausgebildet sein können. Die Vorspannungselemente können die Ladungssteuerungselektroden **212(a)** bis **212(b)**, **214(a)** bis **214(b)**, **216(a)** bis **216(b)** auf einem Potential vorspannen, das sich von dem des Sourcekontaktmetalls **202**, der Gateelektrode **236** und/oder der Drainelektrode **226** unterscheidet. Jedes geeignete Vorspannungselement kann verwendet werden, um die Ladungssteuerungselektroden vorzuspannen. Beispielsweise können die Vorspannungselemente Widerstände mit unterschiedlichen Widerstandswerten in einem Spannungsteiler sein. Alternativ könnten die Vorspannungselemente eine Reihe von Dioden mit unterschiedlichen Spannungsgrenzwerten aufweisen. Beispiele von geeigneten Dioden sind in der US 5 079 608 A angegeben.

Bei einigen Ausführungen können die Vorspannungselemente an die Ladungssteuerungselektroden angeschlossen sein. Beispielsweise könnte die Sourceelektrode **242** von den Ladungssteuerungselektroden durchsetzt sein, damit an den Ladungssteuerungselektroden **212(a)** bis **212(b)**, **214(a)** bis **214(b)**, **216(a)** bis **216(b)** geeignete Vorspannungen angelegt werden können. Die Vorspannungselemente könnten ebenfalls an die Gateelektrode **216** oder die Drainelektrode **226** angeschlossen sein.

**[0040]** Die vorgespannten Ladungssteuerungselektroden **212(a)** bis **212(b)**, **214(a)** bis **214(b)**, **216(a)** bis **216(b)** in jedem Kanal **210(a)** bis **210(c)** können verwendet werden, um das elektrische Feld innerhalb der Driftzone **240** des Halbleitersubstrates **250** zu verändern. Wenn sich die Anordnung **200** im Sperrzustand befindet, verändern die vorgespannten Ladungssteuerungselektroden **212(a)** bis **212(b)**, **214(a)** bis **214(b)**, **216(a)** bis **216(b)** das elektrische Feld innerhalb der Driftzone **240**, so dass das resultierende elektrische Feldprofil in der Driftzone **240** höher und gleichmäßiger ist, wenn keine Ladesteuerungsmittel in der Driftzone **218** vorgesehen sind. Vorzugsweise verändern die vorgespannten Ladungssteuerungselektroden **212(a)** bis **212(b)**, **214(a)** bis **214(b)**, **216(a)** bis **216(b)** das elektrische Feld innerhalb der Driftzone **240**, so dass das elektrische Feld hoch bzw. stark und im Wesentlichen gleichförmig ist, und zwar über einen wesentlichen Abschnitt der Driftzone **218** oder zumindest in den Zonen, wo Strom durch die Driftzone **240** von den Sourcezonen **232** zur Drainzone **218** fließt.

**[0041]** Das elektrische Feld in der Driftzone kann durch die folgende Gleichung angegeben werden, wobei E für das elektrische Feld,  $V_s$  für die Spannung an einem Punkt im Halbleitersubstrat,  $V_{CCE}$  für die Spannung in der Ladungssteuerungselektrode und d für die Dicke des dielektrischen Materials zwischen dem Punkt im Halbleitersubstrat und der Ladungssteuerungselektrode steht:

$$E = \frac{V_s - V_{CCE}}{d}$$

**[0042]** Bei dem in **Fig. 1** dargestellten Beispiel kann ein im Wesentlichen konstantes elektrisches Feld von etwa  $3,0 \times 10^5$  V/cm in der Driftzone **240** unter Verwendung der Ladungssteuerungselektroden **214(a)** bis **214(b)**, **216(a)** bis **216(b)** erzeugt werden. Die Dicke d des dielektrischen Materials **206(b)**, **206(c)** im Kanal **210(b)**, **210(c)** kann etwa  $1 \mu$  betragen. An einem Punkt A in der Driftzone **240** kann der Halbleiter ein Potential von etwa 40 V haben, während das Potential an einem Punkt B in der Driftzone **240** etwa 60 V betragen kann. Zur Aufrechterhaltung eines konstanten, horizontal gerichteten elektrischen Feldes von etwa  $3,0 \times 10^5$  V/cm in der Driftzone **240** können die ersten Ladungssteuerungselektroden **214(a)**, **216(a)** in den jeweils zugehörigen Kanälen

**210(b), 210(c)** auf 10 V vorgespannt sein, während die zweiten Ladungssteuerungselektroden **214(b), 216(b)** auf 30 V vorgespannt sein können. Wie in diesem Beispiel dargestellt, kann die an den unterschiedlichen einzelnen Ladungssteuerungselektroden anliegende Vorspannung vom Übergang zwischen dem P-Körper und der N-Driftzone auf die Drainzone hin ansteigen. Wie in diesem Beispiel gezeigt, können in einigen Ausführungen die Ladungssteuerungselektroden auf derselben vertikalen Position in einem Halbleitersubstrat, aber innerhalb unterschiedlicher Gruppen der mehreren Ladungssteuerungselektroden auf dieselbe Spannung vorgespannt sein. Beispielsweise können in der MOSFET-Anordnung **200** von **Fig. 1** die unteren Ladungssteuerungselektroden **212(b), 214(b), 216(b)** in ähnlicher Weise vorgespannt sein. Jedoch würde sich in einigen Ausführungen die an den unteren Ladungssteuerungselektroden **212(b), 214(b), 216(b)** angelegte Vorspannung von der an den oberen Ladungssteuerungselektroden **212(a), 214(a), 216(a)** angelegten Vorspannung unterscheiden.

**[0043]** Die Verwendung von unterschiedlich vorgespannten Ladungssteuerungselektroden in der Driftzone einer Halbleiteranordnung "glättet" das elektrische Feldprofil über die Driftzone (im Vergleich zum elektrischen Feldprofil, dass in einer Driftzone ohne die Ladungssteuerungselektroden anwesend sein würde). Wenn die Ladungssteuerungselektroden nicht vorhanden sind, würde das elektrische Feldprofil über die Driftzone "dreiecksförmig" sein. In einer herkömmlichen Anordnung hat das elektrische Feld sein Maximum am Körper/Driftzonen- oder Senken/Driftzonen-PN-Übergang und sein Minimum in der Drainzone. Das elektrische Feldprofil fällt anschließend linear vom PN-Übergang zur Drainzone ab. Der Erfinder der vorliegenden Erfindung hat ermittelt, dass ein flacheres und höheres elektrisches Feldprofil über die Driftzone einer Halbleiteranordnung zu erhöhten Durchbruchspannungen führt. Das flachere und höhere elektrische Feld in der Driftzone kann unter Verwendung von Ladungssteuerungselektroden erzeugt werden. Im Allgemeinen kann die Verwendung von Ladungssteuerungselektroden mit stärker differierenden Vorspannungen in der Driftzone zu einem gleichförmigeren elektrischen Feld in der Driftzone führen.

**[0044]** **Fig. 2(a)** zeigt einen Graph, in dem der Verlauf des elektrischen Feldes und des Durchbruchpotentials über die vertikale Distanz durch die vertikale Trench-Leistungs-MOSFET-Anordnung mit zwei gestapelten Ladungssteuerungselektroden dargestellt ist. Der Graph ist das Ergebnis einer Computersimulation. Die niedrigeren Werte auf der X-Achse (d. h. Y( $\mu$ )) repräsentieren Punkte im Halbleitersubstrat, die in der Nähe der Sourcezone der MOSFET-Anordnung liegen, während die höheren Werte Punkte repräsentieren, die in der Nähe der Drainzone liegen.

Die Werte auf der X-Achse des Graphen repräsentieren eine besondere vertikale Position im Halbleitersubstrat.

**[0045]** Der in **Fig. 2(a)** gezeigte Graph enthält zwei Linien, nämlich eine erste Linie **12** für das elektrische Feld ( $E_m$ ) als Funktion der Distanz und eine zweite Linie **14**, die das Durchbruchpotential als Funktion der Distanz zeigt. Die erste Linie **12** weist einen Spitzenwert **16(a)** entsprechend dem elektrischen Feld an einem PN-Übergang im Halbleitersubstrat (z. B. bei P-Senke/N-Driftdiode) auf. Der Spitzenwert **16(b)** kann dem lokalen maximalen elektrischen Feld aufgrund einer ersten Ladungssteuerungselektrode (z. B. der Ladungssteuerungselektrode **216(a)** in **Fig. 1**) entsprechen. Die erste Ladungssteuerungselektrode kann auf z. B. 25 V vorgespannt sein. Der Spitzenwert **16(b)** kann dem lokalen maximalen elektrischen Feld aufgrund einer zweiten Ladungssteuerungselektrode (z. B. der Ladungssteuerungselektrode **216(b)** in **Fig. 1**) entsprechen. Die zweite Ladungssteuerungselektrode kann auf z. B. 64 V vorgespannt sein. Wie in **Fig. 2(a)** gezeigt ist, besitzt die erste Linie **12** im Allgemeinen eine Trapezform. Sie besitzt lokale Maximalwerte, wo die Ladungssteuerungselektroden und ein PN-Übergang vorhanden sind, und fällt auch zwischen den lokalen Maximalwerten ab. Falls mehr Ladungssteuerungselektroden verwendet werden, würde der obere Abschnitt der Trapezform flacher sein und weniger abfallen. Die zweite Linie **14** zeigt, dass das Durchbruchpotential in der Nähe des PN-Überganges kleiner und dichter an der Driftzone der Halbleiteranordnung größer ist. Wie durch die zweite Linie **14** gezeigt ist, steigt das Durchbruchpotential durch die Driftzone langsam an.

**[0046]** Im Vergleich hierzu zeigt **Fig. 2(b)** einen Graph, der den Verlauf des elektrischen Feldes und des Durchbruchpotentials über die vertikale Distanz für eine herkömmliche vertikale MOSFET-Anordnung (ohne Ladesteuerungselektroden) angibt, und zwar aufgrund einer Computersimulation. Der Graph enthält eine erste Linie **22** und eine zweite Linie **24**. Die erste Linie **22** stellt eine Funktion des elektrischen Feldes über die Distanz dar, während die zweite Linie **24** eine Funktion der Durchbruchspannung über die Distanz darstellt. Wie durch die erste Linie **22** dargestellt ist, hat das elektrische Feld sein Maximum am PN-Übergang in der MOSFET-Anordnung und fällt zur Drainzone hin ab. Die erste Linie **22** zeigt, dass das elektrische Feldprofil über die Dicke der Halbleiteranordnung "dreieckig" verläuft, und zwar im Gegensatz zu dem Feldprofil in **Fig. 2(a)**, das im Wesentlichen flach verläuft. Die zweite Linie **24** zeigt, dass die Durchbruchspannung über die Driftzone schnell ansteigt.

**[0047]** Ein Vergleich der Graph-Funktionen für das Durchbruchpotential über die Distanz zeigt, dass das Durchbruchpotential in der herkömmlichen MOS-

FET-Anordnung zur Drainzone schneller ansteigt als in der MOSFET-Anordnung gemäß einem Ausführungsbeispiel der Erfindung. Beispielsweise ist die Linie **14** in **Fig. 2(a)** mit der Linie **26** in **Fig. 2(b)** zu vergleichen. Die Computersimulationen zeigen, dass die Ausführungen der Erfindung eine höhere Durchbruchspannung als MOSFET-Anordnungen haben, die keine Ladungssteuerungselektroden besitzen. Beispielsweise haben die Computersimulationen gezeigt, dass für dieselbe Driftzonenträgerkonzentration die Durchbruchspannung einer herkömmlichen MOSFET-Anordnung etwa 80 V betrug, während die Durchbruchspannung einer MOSFET-Anordnung mit Ladungssteuerungselektroden geschätzt bei etwa 138 V lag.

**[0048]** Verschiedene andere Ausführungsbeispiele der Anordnung mit Ladungssteuerungselektroden können anhand der **Fig. 3 bis 6** beschrieben werden.

**[0049]** **Fig. 3** zeigt einen vertikalen MOSFET **100** gemäß einem anderen Ausführungsbeispiel der Erfindung. Der vertikale MOSFET **100** enthält ebenfalls ein Halbleitersubstrat **150** mit einer P<sup>+</sup>-Senkenzone **130** und einer darin ausgebildeten N<sup>+</sup>-Sourcezone **132**. Eine P<sup>+</sup>-Körperzone **146** befindet sich ebenfalls in der Nähe der N<sup>+</sup>-Sourcezone **132**. Eine Drainzone **118** und eine Driftzone **140** sind ebenfalls im Halbleitersubstrat **150** vorgesehen. Eine Drainelektrode **126** kontaktiert die N<sup>+</sup>-Drainzone **118**, während ein Sourcingmetall **102** die N<sup>+</sup>-Sourcezone **132** kontaktiert. In dieser Figur besitzt der vertikale MOSFET **100** eine planare Gatestruktur **120**, die von einem Gateoxid **122** umgeben ist. Ebenfalls gibt es in diesem Beispiel keine Ladungssteuerungselektroden unterhalb der planaren Gatestruktur **120**.

**[0050]** Die beiden Kanäle **110(a)** bis **110(b)** sind an gegenüberliegenden Seiten der Gatestruktur **120** angeordnet. Jeder Kanal **110(a)** bis **110(b)** enthält gestapelte Ladungssteuerungselektroden **112(a)** bis **112(b)**, **114(a)** bis **114(b)**, die voneinander und vom Halbleitermaterial in der Driftzone **140** durch ein dielektrisches Material **106(a)**, **106(b)** isoliert sind. Obwohl, wie zuvor erwähnt, zwei Ladungssteuerungselektroden **112(a)** bis **112(b)**, **114(a)** bis **114(b)** pro Kanal oder pro Gruppe der mehreren Ladungssteuerungselektroden in diesem Beispiel vorhanden sind, können drei, vier, fünf etc. oder mehr Ladungssteuerungselektroden pro Kanal oder pro Gruppe von mehreren Ladungssteuerungselektroden in anderen Ausführungsbeispielen vorgesehen sein.

**[0051]** Die Ladungssteuerungselektroden **112(a)** bis **112(b)**, **114(a)** bis **114(b)** können in geeigneter Weise vorgespannt sein, um ein im Wesentlichen gleichförmiges elektrisches Feld innerhalb der Driftzone **140** der vertikalen MOSFET-Anordnung **100** zu bilden. (Nicht dargestellte) Vorspannungselemente wie beispielsweise Dioden oder ein Spannungsteiler

können dazu verwendet werden, um die Ladungssteuerungselektroden **112(a)** bis **112(b)**, **114(a)** bis **114(b)** in geeigneter Weise vorzuspannen. Die Vorspannungselemente können an die Source, das Gate oder den Drain der vertikalen MOSFET-Anordnung **100** angeschlossen sein.

**[0052]** **Fig. 4** zeigt eine Leistungsdiode **80** gemäß einem Ausführungsbeispiel der Erfindung. Die Leistungsdiode **80** weist ein Halbleitersubstrat **85** mit einer ersten Zone **86** einer ersten Leitfähigkeitsart und einer zweiten Zone **82** einer zweiten Leitfähigkeitsart auf. In diesem Beispiel hat die erste Zone **86** eine N-Dotierung und die zweite Zone **82** eine P<sup>+</sup>-Dotierung. Das Halbleitersubstrat **85** weist ebenfalls eine Kontaktzone **84** der ersten Leitfähigkeitsart (d. h. eine N<sup>+</sup>-Zone) auf.

**[0053]** Mehrere Kanäle **98(a)** bis **98(d)** sind im Halbleitersubstrat **85** ausgebildet.

**[0054]** Jeder Kanal **98(a)** bis **98(d)** enthält eine Vielzahl von gestapelten Ladungssteuerungselektroden **90(a)** bis **90(b)**, **92(a)** bis **92(b)**, **94(a)** bis **94(b)**, **96(a)** bis **96(b)**. Ähnlich wie bei den zuvor beschriebenen Ausführungsbeispielen können die Ladungssteuerungselektroden unter Verwendung von (nicht dargestellten) Vorspannungselementen unterschiedlich vorgespannt sein. Ein dielektrisches Material **88(a)** bis **88(d)** (z. B. Siliziumdioxid) kann in jedem der Kanäle **98(a)** bis **98(d)** vorgesehen sein, um die Ladungssteuerungselektroden **90(a)** bis **90(b)**, **92(a)** bis **92(b)**, **94(a)** bis **94(b)**, **96(a)** bis **96(b)** vom Halbleitermaterial in der ersten Zone **86** der ersten Leitfähigkeit zu isolieren.

**[0055]** Die unterschiedlich vorgespannten Ladungssteuerungselektroden **90(a)** bis **90(b)**, **92(a)** bis **92(b)**, **94(a)** bis **94(b)**, **96(a)** bis **96(b)** können ein gleichförmiges elektrisches Feld über die erste Zone **86** der ersten Leitfähigkeitsart bilden, um die Durchbruchspannung der Leistungsdiode **80** zu erhöhen. Wie bei früheren Ausführungen kann die erste Zone **86** der ersten Leitfähigkeitsart stärker dotiert sein, um den Widerstand im Durchlassvorspannungszustand der Leistungsdiode zu senken, während die Sperrspannung im gesperrten Vorspannungszustand der Leistungsdiode erhöht wird.

**[0056]** **Fig. 5** zeigt eine Querschnittsansicht eines bipolaren Transistors **300** gemäß einem Ausführungsbeispiel der Erfindung. Der bipolare Transistor **300** weist ein Halbleitersubstrat **350** mit einer N<sup>-</sup>-Driftzone (oder N<sup>-</sup>-epi-Zone) **340** und einer N<sup>+</sup>-Zone **318** auf.

**[0057]** Das Halbleitersubstrat **350** weist ebenfalls eine N-Emitterzone **332** auf, die innerhalb einer P-Basiszone **330** ausgebildet ist. Ein Basismetall **342** ist an die P-Basiszone **330** und ein Emittelmetall **302**

an die Emitterzone **332** angeschlossen. Eine N-Kollektorzone **316** und ein Kollektormetall **326** sind von dem Emittelmetall **302** und der N-Emitterzone **332** beabstandet.

**[0058]** Eine dielektrische Zwischenschicht **306** isoliert das Basismetall **342** und das Emittelmetall **302**. Die dielektrische Zwischenschicht **306** schließt ebenfalls vorgespannte Ladungssteuerungselektroden **314(a), 314(b)** ein. (Nicht dargestellte) Vorspannungselemente können ausgebildet sein, um die Ladungssteuerungselektroden **314(a), 314(b)** mit unterschiedlichem Potential vorzuspannen. Die Vorspannungselemente können an das Basismetall **342**, das Source-Emitter-Metall **302** und das Kollektormetall **326** angeschlossen sein. Wenn die Ladungssteuerungselektroden **314(a), 314(b)** in geeigneter Weise vorgespannt sind, können sie das elektrische Feld innerhalb des Gebietes der Driftzone **340** zwischen der P-Basiszone **330** und der N-Kollektorzone **314** steuern.

**[0059]** In alternativen Ausführungen könnten die Ladungssteuerungselektroden **314(a), 314(b)** in der Driftzone **340** des bipolaren Transistors **300** eingebettet sein. Ein dielektrisches Material kann die eingebetteten Ladungssteuerungselektroden überdecken.

**[0060]** Fig. 6 zeigt eine laterale MOSFET-Anordnung **400** gemäß einem Ausführungsbeispiel der Erfindung. Der laterale MOSFET **400** weist ein Halbleitersubstrat **450** mit einer N<sup>-</sup>-Driftzone **440** und einer N<sup>+</sup>-Zone **418** auf. Eine P<sup>-</sup>-Senkenzone **430** ist im Halbleitersubstrat **450** ausgebildet. Eine P<sup>+</sup>-Körperzone **430** und N<sup>+</sup>-Sourcezone **432** sind innerhalb der P<sup>-</sup>-Senkenzone **430** ausgebildet. Eine N<sup>+</sup>-Drainzone **428** ist von der P<sup>-</sup>-Senkenzone **430** durch die Driftzone **440** getrennt. Ein Sourcingmetall **442** bzw. ein Drainmetall **426** sind an die N<sup>+</sup>-Sourcezone **432** bzw. die N<sup>+</sup>-Drainzone **428** angeschlossen.

**[0061]** Ein planare Gatestruktur **416** liegt zwischen der N<sup>+</sup>-Sourcezone **432** und der N<sup>+</sup>-Drainzone **428**. Vorgespannte Elektroden **414(a), 414(b)** sind von der Hauptfläche des Halbleitersubstrates **450** beabstandet. Die vorgespannten Elektroden **414(a), 414(b)** und die planare Gatestruktur sind von einer dielektrischen Zwischenschicht **406** bedeckt. (Nicht dargestellte) Vorspannungselemente können verwendet werden, um die Elektroden **414(a), 414(b)** vorzuspannen.

**[0062]** Bei alternativen Ausführungen könnten die Ladungssteuerungselektroden **414(a), 414(b)** in der Driftzone **440** der MOSFET-Anordnung **400** eingebettet sein. Ein dielektrisches Material kann die eingebetteten Ladesteuerungs-elektroden überdecken.

**[0063]** Andere Ausführungsbeispiele der Erfindung

sind auf Verfahren zur Herstellung von Halbleiteranordnungen mit Ladungssteuerungselektroden gerichtet. Beispielsweise erhält man in einigen Ausführungen ein Halbleitersubstrat mit einer ersten Zone einer ersten Leitfähigkeitsart. Eine zweite Zone einer zweiten Leitfähigkeitsart wird im Halbleitersubstrat ausgebildet. Vor oder nach Ausbildung der zweiten Zone der zweiten Leitfähigkeitsart werden eine erste Ladungssteuerungselektrode und eine zweite Ladungssteuerungselektrode ausgebildet. Die ersten und zweiten Ladungssteuerungselektroden können benachbart zueinander und im Halbleitersubstrat oder auf dem Halbleitersubstrat ausgebildet werden. Die erste Ladungssteuerungselektrode wird ausgebildet, damit an ihr eine andere Vorspannung als an der ersten Ladungssteuerungselektrode angelegt werden kann.

**[0064]** Ausführungsbeispiele von Verfahren zur Bildung von gestapelten Ladungssteuerungselektroden innerhalb eines Kanal in einem Halbleitersubstrat können anhand der Fig. 7(a) bis 7(i) beschrieben werden.

**[0065]** Wie Fig. 7(a) erkennen lässt, kann ein Halbleitersubstrat **500** zunächst hergestellt und ein Kanal **502** in das Halbleitersubstrat **500** geätzt werden. Ein anisotropischer Ätzprozess kann angewendet werden, um den Kanal **502** zu bilden. Nach Bildung des Kanals **502** wird eine erste Oxidschicht **504** auf den Wänden des Kanals **502** und auf der Hauptfläche des Halbleitersubstrats **500** ausgebildet. Die erste Oxidschicht **502** kann beispielsweise durch chemischen Dampfauftrag (CVD) gebildet werden.

**[0066]** Wie Fig. 7(b) erkennen lässt, kann nach Bildung der Oxidschicht **504** eine Polysiliziumschicht **510** auf dem Halbleitersubstrat **500** ausgebildet werden, so dass der Kanal **502** mit Polysilizium gefüllt wird. Das Polysilizium, das den Kanal **502** füllt, kann verwendet werden, um eine erste Ladungssteuerungselektrode zu bilden (nicht dargestellt).

**[0067]** Wie Fig. 7(c) erkennen lässt, kann nach Bildung der Polysiliziumschicht **510** im Polysilizium eine Aussparung herausgeätzt werden, um eine erste Ladungssteuerungselektrode **508** zu bilden. Typischerweise wird die Polysiliziumschicht **510** mittels eines Trocken-RIE(reactive ion etch)-Ätzverfahrens geätzt. Wie in Fig. 7(c) gezeigt ist, wird die hergestellte Ladungssteuerungselektrode **508** deutlich unterhalb der Hauptfläche **530** des Halbleitersubstrates **500** angeordnet und ebenfalls innerhalb des Halbleitersubstrates **500** eingebettet.

**[0068]** Wie Fig. 7(d) erkennen lässt, kann nach Bildung der ersten Ladungssteuerungselektrode **508** eine dielektrische Schicht **514** auf dem Halbleitersubstrat **500** aufgebracht werden, um die leeren Räume des Kanals **502** zu füllen. Die dielektrische Schicht

**514** kann beispielsweise Glas wie BPSG (Borophosphosilikat-Glas) oder BSG (Borsilikat-Glas) aufweisen. Bei Verwendung von Glas kann Glas beispielsweise unter Anwendung eines Dampfauftragsverfahrens mit einem anschließenden Rückflussschritt aufgebracht werden. Im Rückflussschritt wird die gesamte Struktur erhitzt, damit das Glas fließt, so dass es die leeren Räume des Kanals **502** füllen kann. Alternativ könnte ein dielektrisches Material wie beispielsweise Siliziumoxid oder Siliziumnitrit in der dielektrischen Schicht **514** verwendet werden.

[0069] Wie **Fig. 7(e)** zu entnehmen ist, wird nach Auftrag der dielektrischen Schicht **514** mit einem geeigneten Ätzmittel in einem weiteren Verfahren zum Ätzen einer Aussparung geätzt. Die dielektrische Schicht **514** wird so geätzt, dass eine dielektrische Struktur **516** auf der ersten Ladungssteuerungselektrode **508** vorgesehen wird. Die dielektrische Struktur **516** kann als Barriere zwischen der ersten Ladungssteuerungselektrode **508** und einer (nicht gezeigten) später gebildeten zweiten Ladungssteuerungselektrode dienen.

[0070] Wie **Fig. 7(f)** zu entnehmen ist, kann nach Bilden der dielektrischen Struktur **516** eine zweite Oxidschicht **518** auf dem Halbleitersubstrat **500** ausgebildet werden. Ähnlich wie die zuvor beschriebene erste Oxidschicht kann die zweite Oxidschicht **518** unter Anwendung eines Oxidationsverfahrens oder eines Dampfauftragsverfahrens (z. B. CVD) ausgebildet werden.

[0071] Wie **Fig. 7(g)** zu entnehmen ist, kann nach Bildung der zweiten Oxidschicht **518** eine weitere Polysiliziumschicht **520** auf dem Halbleitersubstrat **500** ausgebildet werden. Die Polysiliziumschicht **520** kann in derselben oder auf unterschiedliche Weise wie die zuvor beschriebene Polysiliziumschicht ausgebildet werden.

[0072] Wie **Fig. 7(h)** zu entnehmen ist, wird nach Bildung der Polysiliziumschicht **520** ein weiteres Verfahren zum Ätzen einer Aussparung durchgeführt, um eine zweite Ladungssteuerungselektrode **522** zu bilden. Bei diesem Beispiel wird die zweite Ladungssteuerungselektrode **522** unterhalb der Hauptfläche **530** des Halbleitersubstrates **500** angeordnet. Die ersten und zweiten Ladungssteuerungselektroden **508, 522** werden beide voneinander und vom Halbleitermaterial im Halbleitersubstrat **500** durch ein dielektrisches Material getrennt.

[0073] Wie in **Fig. 7(i)** gezeigt ist, kann nach Bildung der zweiten Ladungssteuerungselektrode **522** ein Abschnitt der zweiten Oxidschicht **518** entfernt werden, so dass sich der übrige Abschnitt unterhalb der Hauptfläche des Halbleitersubstrates **500** befindet. Es ist offensichtlich, dass die hier beschriebene hauptsächliche Verfahrensreihenfolge verwendet

werden könnte, um zusätzliche Ladungssteuerungselektroden oberhalb oder an den Seiten der zweiten Ladungssteuerungselektrode **522** auszubilden.

[0074] Nach Bildung der ersten und zweite Ladungssteuerungselektroden **508, 522** können verschiedene bekannte Verfahrensschritte zur Bildung von MOSFET-Anordnungen (z. B. Bildung der Senke, Bildung des Körpers, Bildung der Source etc.) auf der in **Fig. 7(i)** gezeigten Struktur ausgeführt werden. Alternativ können einer oder mehrere Schritte eines MOSFET-Anordnungs-Prozesses wie beispielsweise Bildung der Senke, des Körpers und der Source vor der Bildung der ersten und/oder zweiten Ladungssteuerungselektroden **508, 522** durchgeführt werden.

[0075] Zusätzliche Einzelheiten betreffend die Bildung der Senkenzonen, Gatestrukturen, Sourcezonen und Schwerkörpern sind in der US 6 429 481 A beschrieben.

[0076] Der zuvor anhand der **Fig. 7(a)** bis **7(i)** beschriebene Verfahrensablauf kann ebenfalls benutzt werden, um einen Kanal mit einer Gatestruktur und einer Ladungssteuerungselektrode im Kanal auszubilden. Beispielsweise könnte die in **Fig. 7(a)** gezeigte Ladungssteuerungselektrode **522** als Gatestruktur anstelle einer Ladungssteuerungselektrode ausgebildet werden. In diesem Fall würde eine Ladungssteuerungselektrode **508** unterhalb der ausgebildeten Gatestruktur vorgesehen werden.

[0077] Bei einigen Ausführungen können Feldefekttransistoren durch Schaffung eines Halbleitersubstrates einer ersten Leitfähigkeitsart mit einer Hauptfläche, einer Driftzone und einer Drainzone gebildet werden. Eine Senkenzone einer zweiten Leitfähigkeitsart wird im Halbleitersubstrat und eine Sourcezone der ersten Leitfähigkeitsart in der Senkenzone gebildet. Nach Bildung der Sourcezone wird eine Sourcekontakte Schicht auf der Sourcezone ausgebildet. Vor oder nach diesen Schritten wird eine Gateelektrode benachbart zur Sourcezone gebildet. Vor oder nach Bildung der Sourcezone und/oder der Gateelektrode werden eine oder mehrere Ladungssteuerungselektroden ausgebildet und in der Driftzone eingebettet. Jede Ladungssteuerungselektrode ist ausgeführt, um auf einem anderen Potential als die Gateelektrode oder die Sourcekontakte Schicht vorgespannt zu werden, und jede Ladungssteuerungselektrode ist ausgeführt, um das elektrische Feld in der Driftzone zu steuern. Ein dielektrisches Material wird um die Ladungssteuerungselektroden herum in einem oder mehreren Schritten ausgebildet. Die Bildung von Ladungssteuerungselektroden und einem die Ladungssteuerungselektroden bedeckenden dielektrischen Material ist in den **Fig. 7(a)** bis **7(i)** gezeigt.

[0078] Obwohl eine Anzahl von spezifischen Aus-

führungsbeispielen gezeigt und zuvor beschrieben sind, sind die Ausführungen der Erfindung hierauf nicht beschränkt. Beispielsweise ist es klar, dass die Dotierungspolaritäten der gezeigten und beschriebenen Strukturen umgekehrt und/oder die Dotierungs-konstellationen der verschiedenen Elemente geändert werden könnten, ohne von der Erfindung abzuweichen.

**[0079]** Ferner sei angemerkt, dass die Merkmale von einem oder mehreren Ausführungsbeispielen der Erfindung mit einem oder mehreren Merkmalen von anderen Ausführungsbeispielen der Erfindung kombiniert werden können, ohne von der Erfindung abzuweichen. Beispielsweise könnten, obwohl die in **Fig. 1** dargestellte vertikale Anordnung keine Ladungssteuerungselektroden unterhalb des Gates zeigt, Ladungssteuerungselektroden unterhalb des Gates in anderen Ausführungen der Erfindung vorgesehen sein.

### Zusammenfassung

**[0080]** Eine Halbleiteranordnung wird beschrieben. Die Halbleiteranordnung weist eine oder mehrere Ladungssteuerungselektroden auf. Die eine oder mehrere Ladungssteuerungselektroden können das elektrische Feld innerhalb der Driftzone einer Halbleiteranordnung steuern.

### Patentansprüche

1. Halbleiteranordnung mit  
 a) einem Halbleitersubstrat;  
 b) einer ersten Zone einer ersten Leitfähigkeitsart im Halbleitersubstrat;  
 c) einer zweiten Zone einer zweiten Leitfähigkeitsart im Halbleitersubstrat;  
 d) mehreren Ladungssteuerungselektroden, wobei jede Ladungssteuerungselektrode in der Vielzahl der Ladungssteuerungselektroden ausgebildet ist, anders als die anderen Ladungssteuerungselektroden in der Vielzahl der Ladungselektroden vorgespannt zu werden; und  
 e) einem dielektrischen Material, das um jede der gestapelten Ladungssteuerungselektroden herum angeordnet ist.

2. Halbleiteranordnung nach Anspruch 1, bei welcher die Halbleiteranordnung eine Leistungsdiode ist.

3. Halbleiteranordnung nach Anspruch 1, bei welcher die Halbleiteranordnung ein bipolarer Transistor ist.

4. Halbleiteranordnung nach Anspruch 1, bei welcher das Halbleitersubstrat einen Kanal (Trench) aufweist und die Ladungssteuerungselektroden in der Vielzahl von Ladungssteuerungselektroden innerhalb des Kanals gestapelt sind.

5. Halbleiteranordnung nach Anspruch 1, bei welcher die mehreren Ladungssteuerungselektroden eine erste Gruppe von Ladungssteuerungselektroden bildet und die Halbleiteranordnung eine zweite Gruppe von Ladungssteuerungselektroden enthält.

6. Halbleiteranordnung nach Anspruch 1, bei welcher die erste Leitfähigkeitsart eine n-Art und die zweite Leitfähigkeitsart eine p-Art ist.

7. Halbleiteranordnung nach Anspruch 1, bei welcher jede der Vielzahl von Ladungssteuerungselektroden Polysilizium aufweist.

8. Halbleiteranordnung nach Anspruch 1, bei welcher an den mehreren Ladungssteuerungselektroden eine Vorspannung anliegt, um ein im Wesentlichen gleichförmiges elektrisches Feld in der ersten Zone zu erzeugen.

9. Feldeffekttransistor mit

- a) einem Halbleitersubstrat einer ersten Leitfähigkeitsart mit einer Hauptfläche, einer Driftzone und einer Drainzone;
- b) einer im Halbleitersubstrat ausgebildeten Senkenzone einer zweiten Leitfähigkeitsart;
- c) einer in der Senkenzone ausgebildeten Sourcezone der ersten Leitfähigkeitsart;
- d) einer benachbart zur Sourcezone ausgebildeten Gateelektrode;
- e) einer Vielzahl von gestapelten Ladungssteuerungselektroden, die in der Driftzone eingebettet sind, wobei jede Ladungssteuerungselektrode der Vielzahl von gestapelten Ladungssteuerungselektroden ausgebildet ist, um anders als die anderen Ladungssteuerungselektroden in der Vielzahl der Ladungssteuerungselektroden vorgespannt zu werden; und
- f) einem dielektrischen Material, das um jede der gestapelten Ladungssteuerungselektroden herum angeordnet ist.

10. Feldeffekttransistor nach Anspruch 9, bei welchem die Vielzahl der gestapelten Ladungssteuerungselektroden direkt unter der Gateelektrode liegt.

11. Feldeffekttransistor nach Anspruch 9, bei welchem die Gateelektrode eine mit einem Kanal versehene (trenched) Gateelektrode ist.

12. Feldeffekttransistor nach Anspruch 9, ferner mit einer Vielzahl von Vorspannungselementen zur Vorspannung der Steuerungselektroden innerhalb der Vielzahl von Steuerungselektroden.

13. Feldeffekttransistor nach Anspruch 9, bei welchem die Vielzahl von gestapelten Ladungssteuerungselektroden an einer Seite der Gateelektrode angeordnet ist.

14. Feldeffekttransistor nach Anspruch 9, bei welchem die Vielzahl von gestapelten Ladungssteuerungselektroden eine erste Gruppe von gestapelten Ladungssteuerungselektroden bildet und der Feldeffekttransistor außerdem eine zweite Gruppe von gestapelten Ladungssteuerungselektroden enthält.

15. Feldeffekttransistor nach Anspruch 9, bei welchem die mehreren gestapelten Ladungssteuerungselektroden ausgebildet sind, um ein elektrisches Feldprofil innerhalb der Driftzone des Halbleitersubstrates einzustellen, so dass die Größe des elektrischen Feldes über die Driftzone im Wesentlichen gleichförmig ist und  $2 \times 10^5$  V/cm übersteigt.

16. Feldeffekttransistor nach Anspruch 9, ferner mit einem Kanal (Trench), wobei die Ladungssteuerungselektroden innerhalb der Vielzahl von gestapelten Ladungssteuerungselektroden innerhalb des Kanals angeordnet sind.

17. Feldeffekttransistor nach Anspruch 9, bei welchem der Feldeffekttransistor ein Metalloxidhalbleiterleistungsfeldeffekttransistor (MOSFET) ist.

18. Verfahren zur Bildung einer Halbleiteranordnung, mit den Schritten,  
 a) ein Halbleitersubstrat mit einer ersten Zone einer ersten Leitfähigkeitsart zu schaffen;  
 b) eine Zone einer zweiten Leitfähigkeitsart im Halbleitersubstrat auszubilden;  
 c) eine erste Ladungssteuerungselektrode zu bilden; und  
 d) eine zweite Ladungssteuerungselektrode zu bilden, wobei die erste Ladungssteuerungselektrode ausgebildet wird, um anders als die erste Ladungssteuerungselektrode vorgespannt zu werden.

19. Verfahren nach Anspruch 18, ferner mit dem Schritt, einen Kanal im Halbleitersubstrat auszubilden, wobei der Schritt, die erste Ladungssteuerungselektrode zu bilden, die Anordnung eines leitfähigen Materials im Kanal und anschließend das Ätzen des aufgebrachten leitfähigen Materials umfasst.

20. Verfahren nach Anspruch 19, bei welchem das leitfähige Material ein erstes leitfähiges Material ist und der Schritt, die zweite Ladungssteuerungselektrode zu bilden, die Anordnung eines zweiten leitfähigen Materials im Kanal und anschließend das Ätzen des aufgebrachten zweiten leitfähigen Materials umfasst.

21. Verfahren nach Anspruch 18, ferner mit dem Schritt, eine mit einem Kanal versehene Gatestruktur im Halbleitersubstrat auszubilden.

22. Verfahren nach Anspruch 18, bei welchem die ersten und zweiten Ladungssteuerungselektro-

den Polysilizium aufweisen.

23. Verfahren nach Anspruch 18, ferner mit dem Schritt, eine Vielzahl von Vorspannungselementen auf oder in dem Halbleitersubstrat auszubilden, wobei die Vorspannungselemente ausgeführt sind, um verschiedene Vorspannungen an die ersten und zweiten Ladungssteuerungselektroden anzulegen.

24. Verfahren nach Anspruch 18, bei welchem die Halbleiteranordnung ein Leistungs-MOSFET ist.

25. Feldeffekttransistor mit  
 a) einem Halbleitersubstrat einer ersten Leitfähigkeitsart mit einer Hauptfläche, einer Driftzone und einer Drainzone;  
 b) einer im Halbleitersubstrat ausgebildeten Senkenzone einer zweiten Leitfähigkeitsart;  
 c) einer in der Senkenzone ausgebildeten Sourcezone der ersten Leitfähigkeitsart;  
 d) einer Sourcekontaktechicht, die an die Sourcezone angeschlossen ist;  
 e) einer benachbart zur Sourcezone ausgebildeten Gateelektrode;  
 f) einer Ladungssteuerungselektrode, die in der Driftzone eingebettet ist, wobei die Ladungssteuerungselektrode ausgebildet ist, um auf anderem Potential als die Gateelektrode oder die Sourcekontaktechicht vorgespannt zu werden, und ausgebildet ist, um das elektrische Feld in der Driftzone zu steuern; und  
 g) einem dielektrischen Material, das um die Ladungssteuerungselektrode herum angeordnet ist

26. Feldeffekttransistor nach Anspruch 25, ferner mit einem Vorspannungselement, das ausgeführt ist, um die Ladungssteuerungselektrode auf unterschiedlichem Potential vorzuspannen.

27. Feldeffekttransistor nach Anspruch 25, bei welchem die Gateelektrode eine mit einem Kanal versehene Gateelektrode ist.

28. Feldeffekttransistor nach Anspruch 25, bei welchem die Ladungssteuerungselektrode direkt unter der Gateelektrode liegt.

29. Feldeffekttransistor nach Anspruch 25, bei welchem die Ladungssteuerungselektrode direkt unter der Gateelektrode liegt und die Gateelektrode eine mit einem Kanal versehene Gateelektrode ist.

30. Verfahren zur Bildung eines Feldeffekttransistors, mit den Schritten  
 a) ein Halbleitersubstrat einer ersten Leitfähigkeitsart mit einer Hauptfläche, einer Driftzone und einer Drainzone zu schaffen;  
 b) eine Senkenzone einer zweiten Leitfähigkeitsart im Halbleitersubstrat zu bilden;  
 c) eine Sourcezone der ersten Leitfähigkeitsart in der Senkenzone zu bilden;

- d) eine Sourcekontakteckschicht auf der Sourcezone zu bilden;
- e) eine Gateelektrode benachbart zur Sourcezone zu bilden;
- f) eine Ladungssteuerungselektrode in der Driftzone zu bilden, wobei die Ladungssteuerungselektrode ausgeführt ist, auf anderem Potential als die Gateelektrode oder die Sourcekontakteckschicht vorgespannt zu werden, und ausgebildet ist, um das elektrische Feld in der Driftzone zu steuern; und
- g) ein dielektrisches Material um die Ladungssteuerungselektrode herum zu bilden.

31. Verfahren nach Anspruch 30, bei welchem die Gateelektrode eine mit einem Kanal versehene Gateelektrode ist.

32. Verfahren nach Anspruch 30, ferner mit dem Schritt, ein Vorspannungselement zu bilden, das ausgeführt ist, um die Ladungssteuerungselektrode vorzuspannen.

Es folgen 8 Blatt Zeichnungen

## Anhängende Zeichnungen

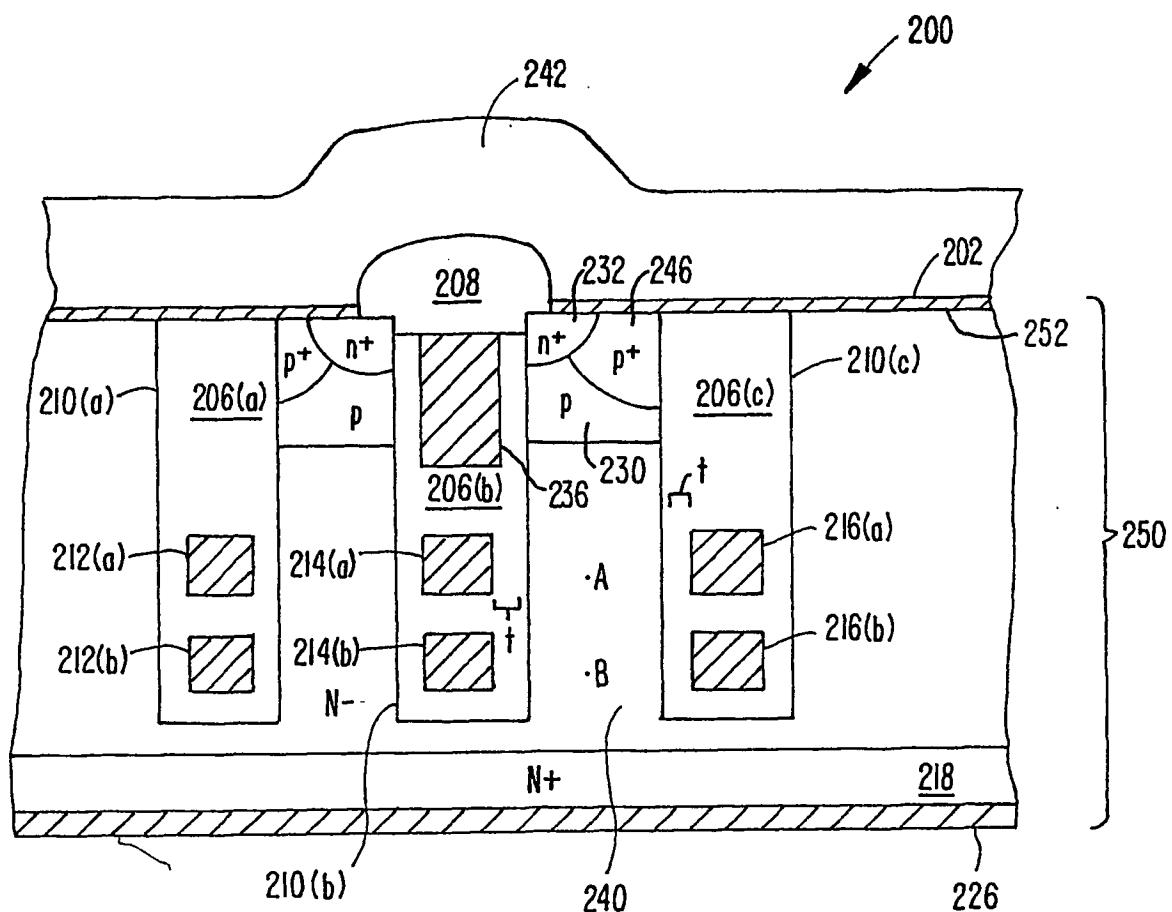


FIG. 1.

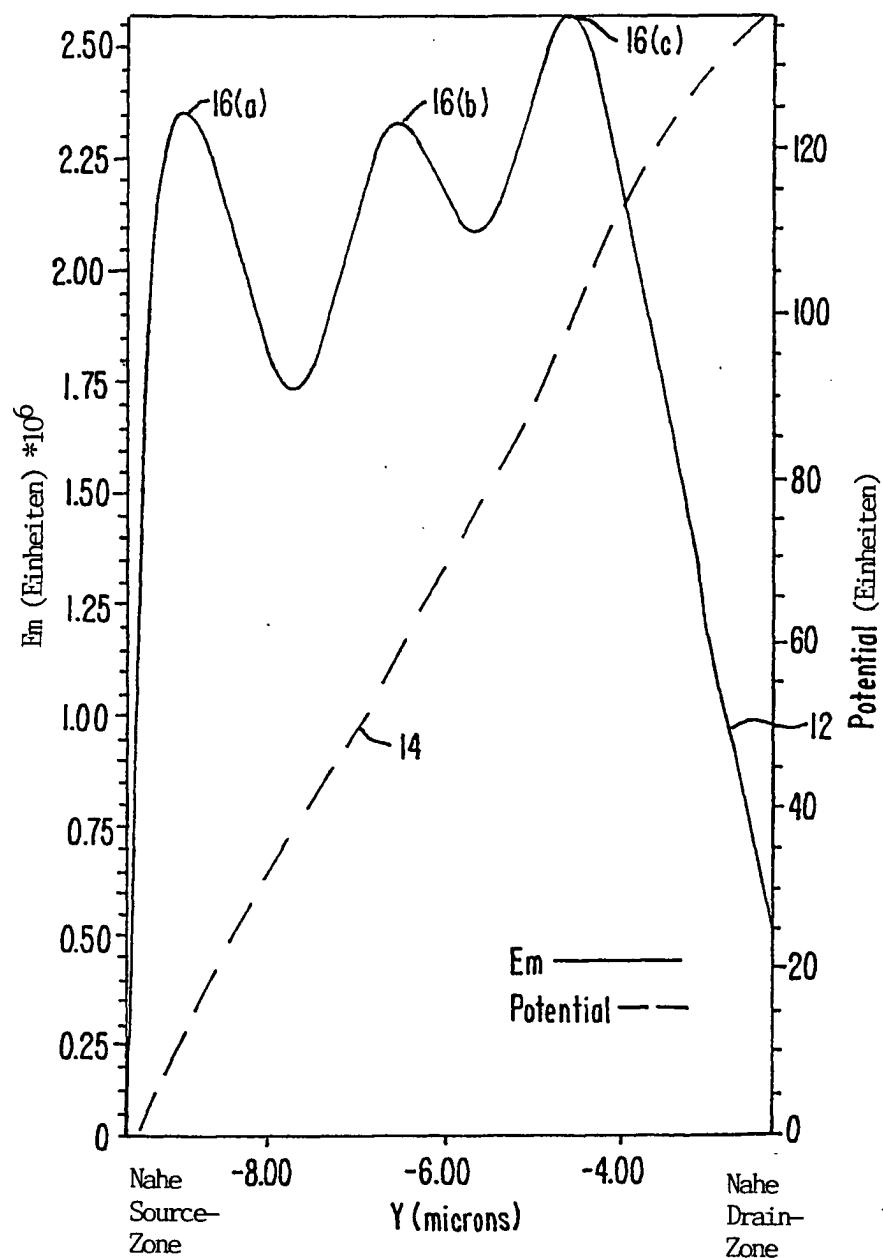


FIG. 2A.

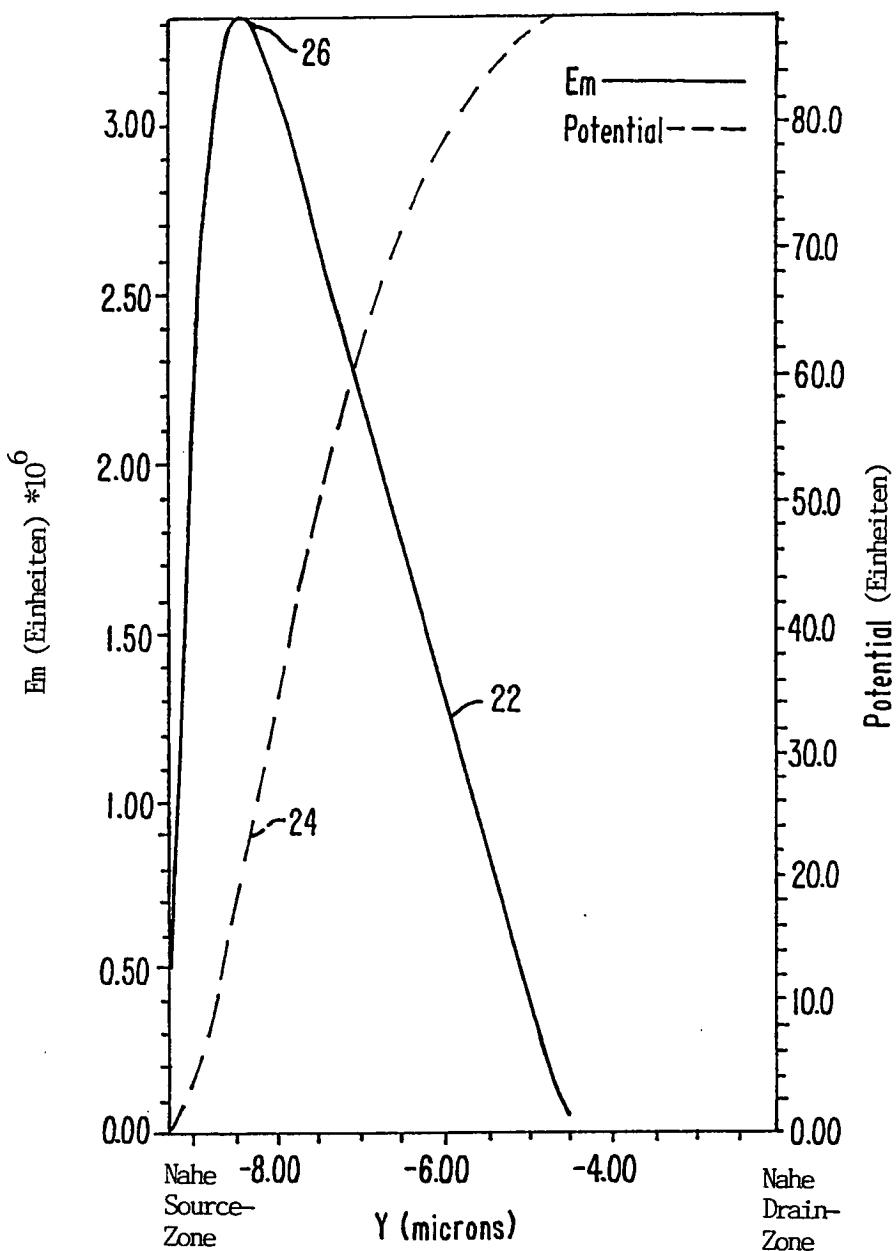


FIG. 2B.

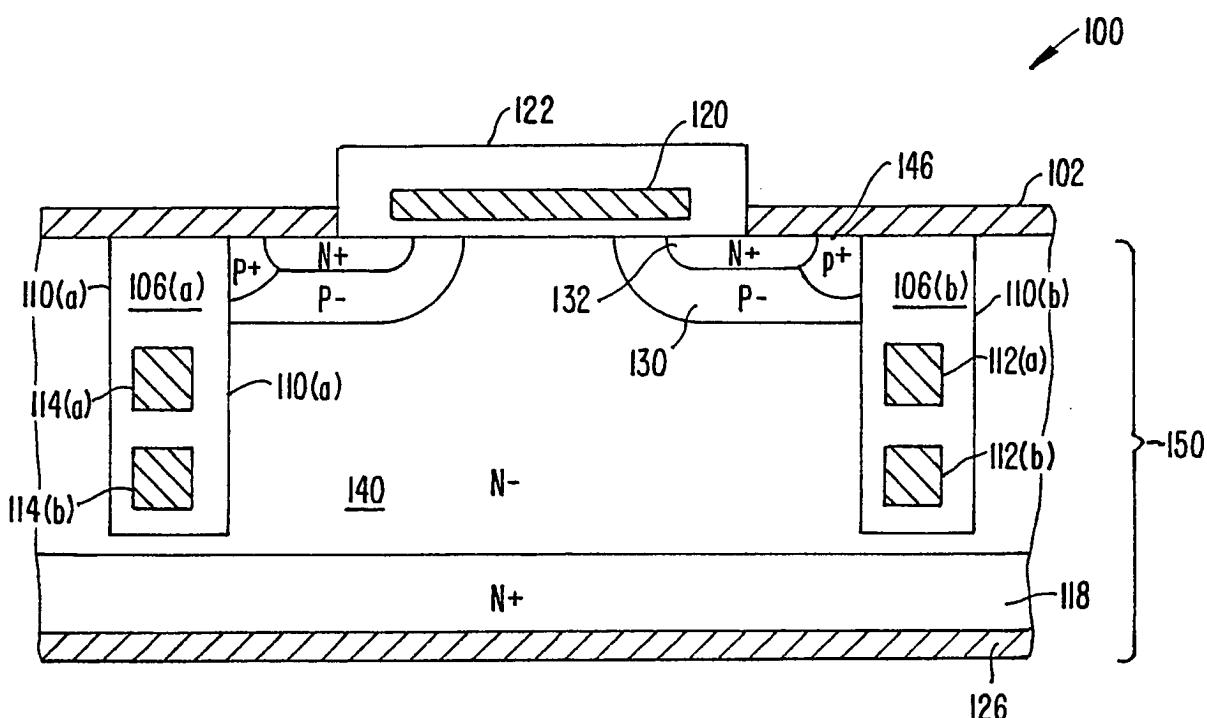


FIG. 3.

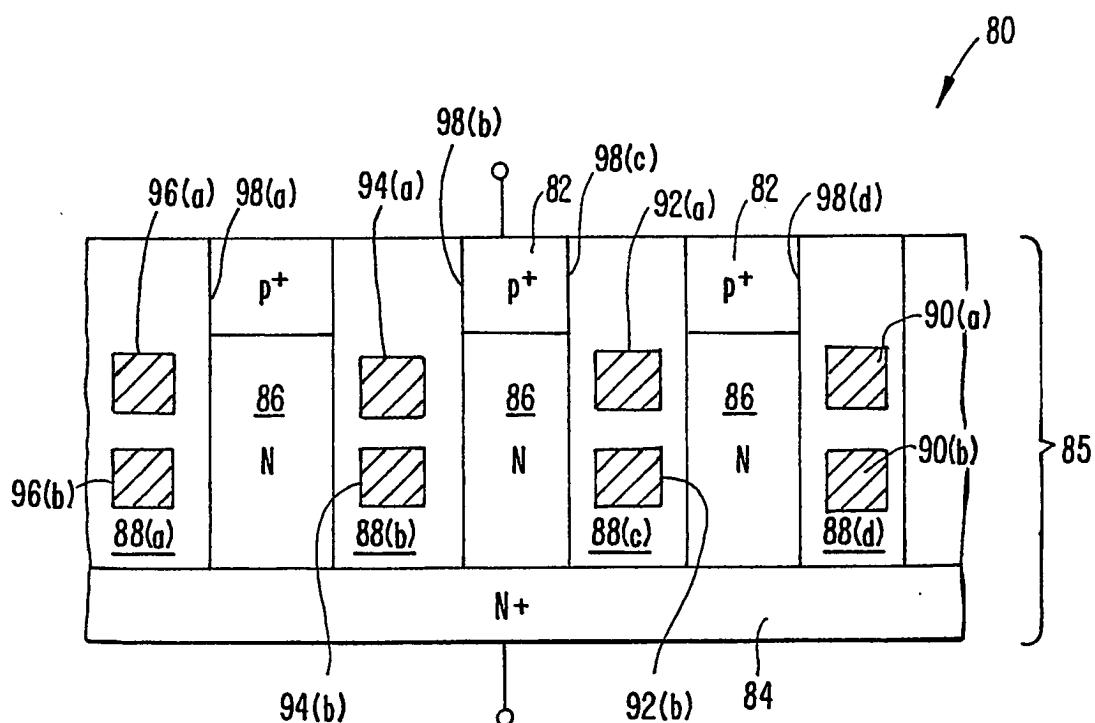
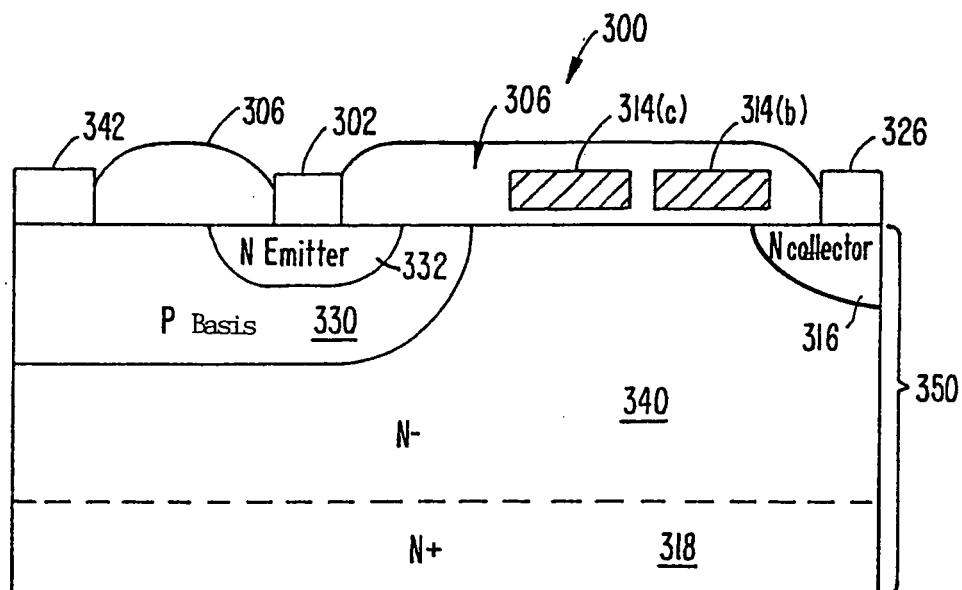
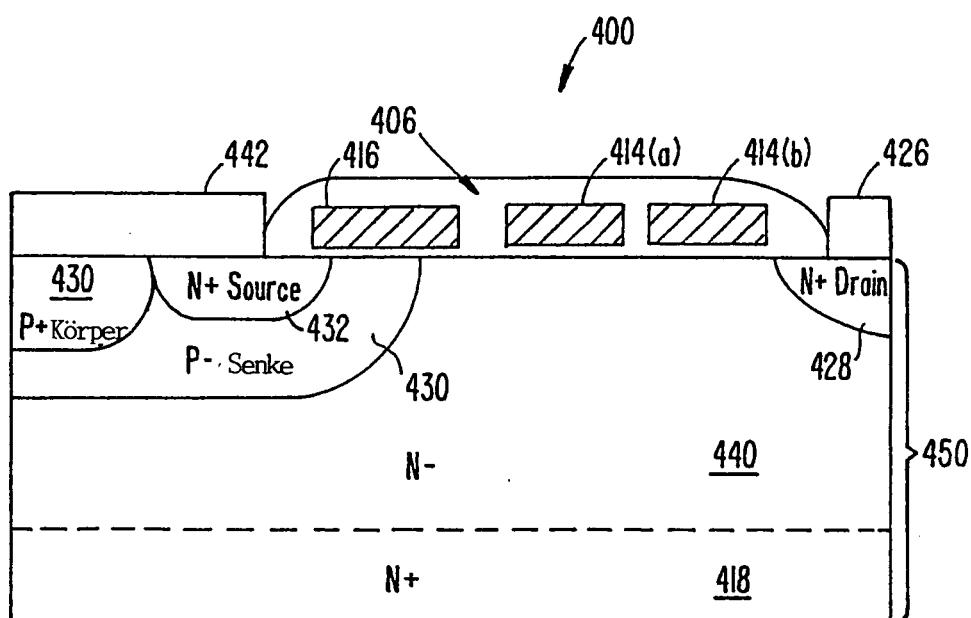


FIG. 4.



*FIG. 5.*



*FIG. 6.*

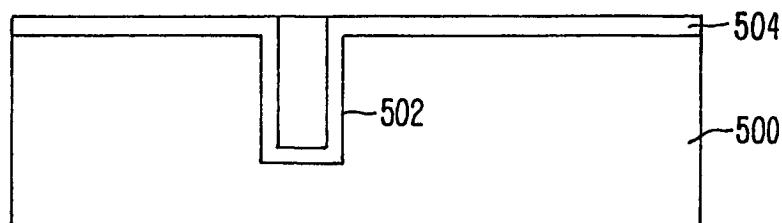


FIG. 7A.

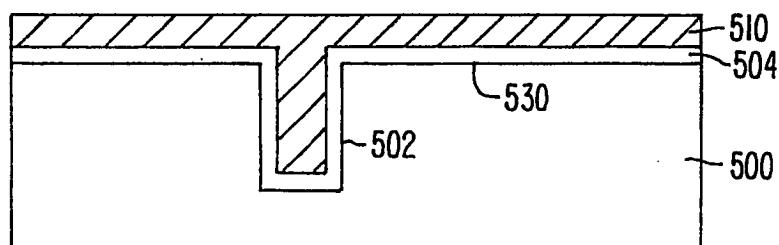


FIG. 7B.

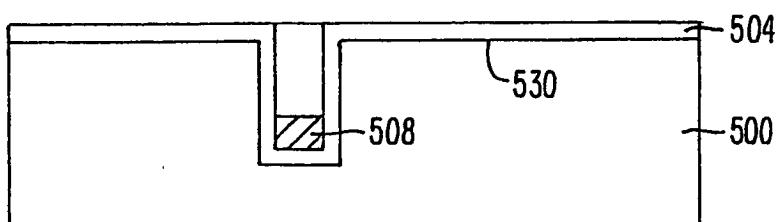
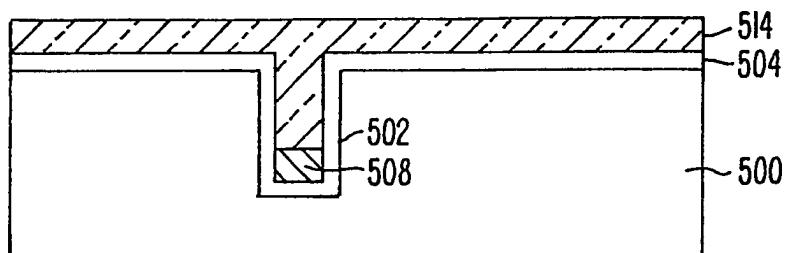
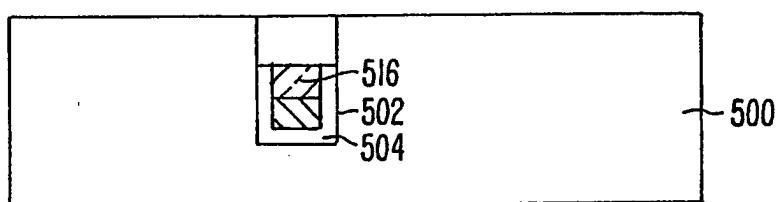


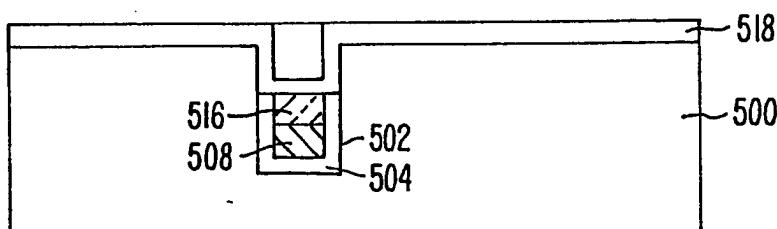
FIG. 7C.



*FIG. 7D.*



*FIG. 7E.*



*FIG. 7F.*

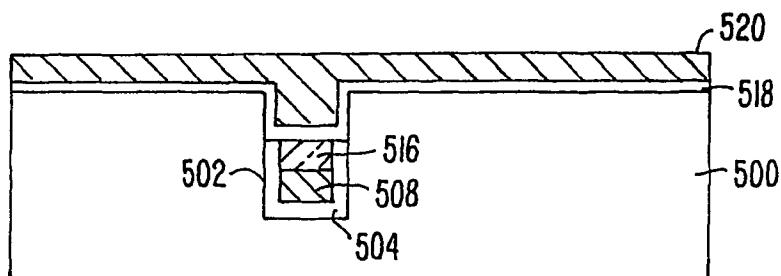


FIG. 7G.

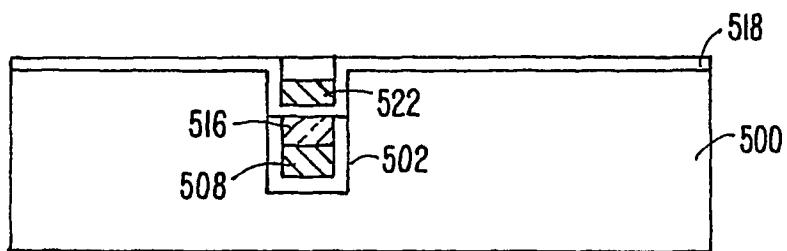


FIG. 7H.

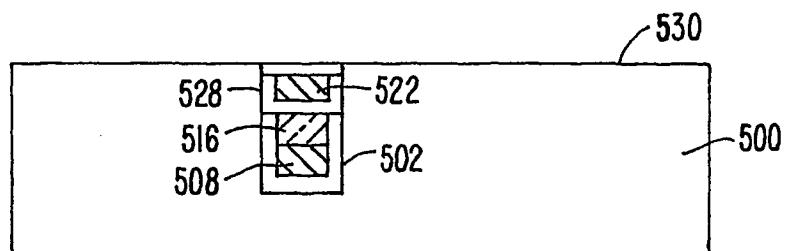


FIG. 7I.