

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2018年11月1日(01.11.2018)

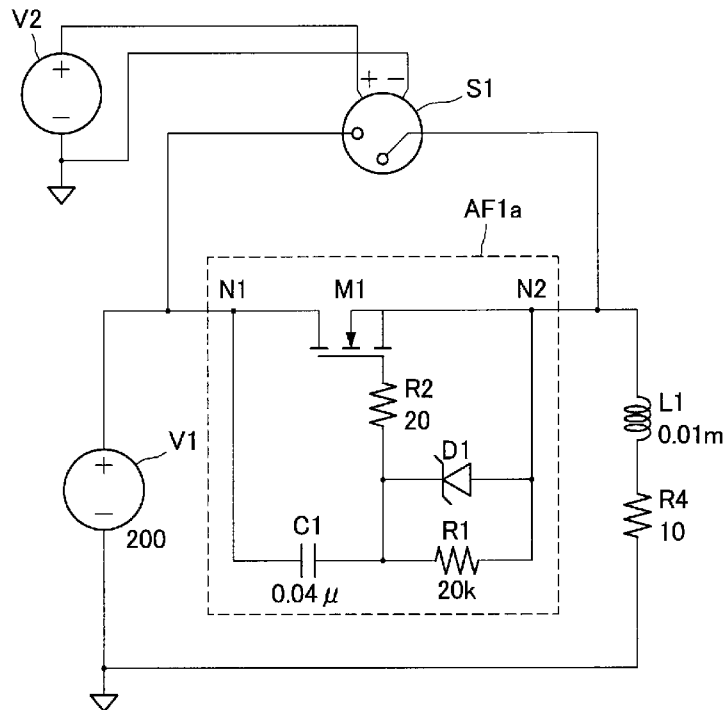


(10) 国際公開番号  
**WO 2018/198538 A1**

- (51) 国際特許分類:  
H01H 47/00 (2006.01) H01H 33/59 (2006.01)  
B60R 16/02 (2006.01)
- (72) 発明者: 森田 直(MORITA, Tadashi); 〒1410022  
東京都品川区東五反田3丁目14番1  
3号 株式会社ソニーコンピュータサイ  
エンス研究所内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2018/008627
- (74) 代理人: 亀谷 美明, 外(KAMEYA, Yoshiaki et  
al.); 〒1600004 東京都新宿区四谷3-1-  
3 第一富澤ビル はづき国際特許事務  
所四谷オフィス Tokyo (JP).
- (22) 国際出願日: 2018年3月6日(06.03.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2017-087542 2017年4月26日(26.04.2017) JP
- (81) 指定国(表示のない限り、全ての種類の国内保  
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,  
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,  
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,  
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,  
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
- (71) 出願人: ソニー株式会社 (SONY  
CORPORATION) [JP/JP]; 〒1080075 東京都港  
区港南1丁目7番1号 Tokyo (JP).

(54) Title: ARC-SUPPRESSING DEVICE, MOVING BODY AND POWER SUPPLY SYSTEM

(54) 発明の名称: アーク抑制装置、移動体及び電力供給システム



(57) Abstract: [Problem] To provide a novel and improved arc-suppressing device capable of reducing the consumption of power by a current-limiting circuit used for suppressing an arc occurring when the power is shut down, so as to reduce the consumption of power by a semiconductor when power is shut down. [Solution] Provided is the arc-suppressing device comprising at least one current-limiting circuit installed in parallel to a circuit breaker switching between supplying and shutting-down the power from a power source, wherein: if the power from the power source is to be supplied to the load



WO 2018/198538 A1

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,  
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,  
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,  
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,  
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,  
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

---

via a shut-down machine, the current-limiting circuit blocks the current from the power source; and if the supply of the power from the power source to the load is to be shut-down by the shut-down machine, the current-limiting circuit blocks the current from the power source when the voltage which arises due to a difference in potential that occurs between contacting points of the shut-down machine at shut-down time reaches a predetermined voltage or higher.

(57) 要約 : 【課題】 電力の遮断時に発生するアーク抑制に用いられる電流制限回路の消費電力を低減して、電力の遮断時の半導体における電力消費を低減させることが可能な、新規かつ改良されたアーク抑制装置を提供する。 【解決手段】 電源からの電力の供給と遮断とを切り替える遮断器と並列に設けられる電流制限回路を少なくとも一つ備え、前記電流制限回路は、前記電源からの電力が遮断機を介して負荷に供給される際には前記電源からの電流を遮断し、前記電源からの電力の前記負荷への供給が前記遮断機により遮断される際には遮断時に発生する前記遮断機の接点間の電位差により生じる電圧が所定電圧以上になったとき前記電源からの電流を遮断する、アーク抑制装置が提供される。

## 明 細 書

**発明の名称**： アーク抑制装置、移動体及び電力供給システム

### 技術分野

[0001] 本開示は、アーク抑制装置、移動体及び電力供給システムに関する。

### 背景技術

[0002] 直流給電でも交流給電でも、電力の切断時にはアーク放電が発生する。交流の場合、所定の時間毎（例えば10ミリ秒毎）に電圧がゼロとなる瞬間があるので、アーク放電は少なくとも上記所定の時間内（例えば10ミリ秒以内）に自然に止まる。しかし直流給電では、ゼロ電圧となる瞬間がないため、アーク放電は自然には止まらない。

[0003] そのため、直流給電の場合に電力の切断時にアーク放電の発生を抑えることを目的とした技術が開示されている（特許文献1，2等参照）。

### 先行技術文献

#### 特許文献

[0004] 特許文献1：特開2003-203721号公報

特許文献2：特表2014-522088号公報

### 発明の概要

#### 発明が解決しようとする課題

[0005] 遮断しようとする電力が大きくなればなるほど、電力の遮断時に発生するアークの抑制に用いられる電流制限回路の大型化が避けられず、また遮断にも時間を要することになり、遮断の開始から終了までに電流制限回路で消費する電力が増えてしまう。

[0006] そこで、本開示では、電力の遮断時に発生するアークの抑制に用いられる電流制限回路の消費電力を低減して、電力の遮断時の半導体における電力消費を低減させることが可能な、新規かつ改良されたアーク抑制装置、移動体及び電力供給システムを提案する。

#### 課題を解決するための手段

[0007] 本開示によれば、電源からの電力の供給と遮断とを切り替える遮断器と並列に設けられる電流制限回路を少なくとも一つ備え、前記電流制限回路は、前記電源からの電力が遮断機を介して負荷に供給される際には前記電源からの電流を遮断し、前記電源からの電力の前記負荷への供給が前記遮断機により遮断される際には遮断時に発生する前記遮断機の接点間の電位差により生じる電圧が所定電圧以上になったとき前記電源からの電流を遮断する、アーク抑制装置が提供される。

[0008] また本開示によれば、電源からの電力の供給と遮断とを切り替える遮断器と並列に設けられる電流制限回路を少なくとも一つ備え、前記電流制限回路は、前記電源からの電力が遮断機を介して負荷に供給される際にはオフ状態となり、前記電源からの交流電力の前記負荷への供給が前記遮断機により遮断される際には遮断時に発生する前記遮断機の接点間の電位差によりオン状態となった後、該電位差により生じる電流を流した後にオフ状態となる第1スイッチング素子と、前記電源からの電力の前記負荷への供給が遮断された際に前記第1スイッチング素子のゲート電圧を上昇させる容量素子と、前記電位差に応じてオン状態となり前記第1スイッチング素子のゲート端子とソース端子との間を短絡させる第2スイッチング素子と、を備える、アーク抑制装置が提供される。

[0009] また本開示によれば、1以上の上記アーク抑制装置を備える、移動体が提供される。

[0010] また本開示によれば、直流電力を供給するバッテリーと、前記バッテリーから供給される直流電力による駆動する駆動部と、前記バッテリーと前記駆動部との間に設けられる、少なくとも1つの、請求項1に記載のアーク抑制装置と、を備える、電力供給システムが提供される。

## 発明の効果

[0011] 以上説明したように本開示によれば、電力の遮断時に発生するアークの抑制に用いられる電流制限回路の消費電力を低減して、電力の遮断時の半導体における電力消費を低減させることが可能な、新規かつ改良されたアーク抑

制装置、移動体及び電力供給システムを提供することが出来る。

[0012] なお、上記の効果は必ずしも限定的なものではなく、上記の効果とともに、または上記の効果に代えて、本明細書に示されたいずれかの効果、または本明細書から把握され得る他の効果が奏されてもよい。

### 図面の簡単な説明

[0013] [図1]本開示の実施の形態に係るアーク抑制装置の構成例を示す説明図である。

[図2]電流、電圧及び消費電力量の変化を示す説明図である。

[図3]同実施の形態に係るアーク抑制装置の構成例を示す説明図である。

[図4]電流、電圧及び消費電力量の変化を示す説明図である。

[図5]同実施の形態に係るアーク抑制装置の構成例を示す説明図である。

[図6]電流、電圧及び消費電力量の変化を示す説明図である。

[図7]同実施の形態に係るアーク抑制装置の構成例を示す説明図である。

[図8]同実施の形態に係るアーク抑制装置の構成例を示す説明図である。

[図9]同実施の形態に係るアーク抑制装置の構成例を示す説明図である。

[図10]同実施の形態に係るアーク抑制装置の構成例を示す説明図である。

[図11]アーク抑制装置を備えた移動体の機能構成例を示す説明図である。

### 発明を実施するための形態

[0014] 以下に添付図面を参照しながら、本開示の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

[0015] なお、説明は以下の順序で行うものとする。

#### 1. 本開示の実施の形態

1. 1. 第1の構成例

1. 2. 第2の構成例

1. 3. 第3の構成例

1. 4. 第4の構成例

1. 5. 第5の構成例

1. 6. 第6の構成例

1. 7. 第7の構成例

2. 応用例

3. まとめ

[0016] <1. 本開示の実施の形態>

[1. 1. 第1の構成例]

まず、図1を参照して、本開示の実施の形態の第1の構成例を説明する。図1は、本開示の実施の形態に係るアーク抑制装置の構成例を示す説明図である。図1に示したのは、電力の遮断時にアークの発生を抑制させるためのアーク抑制装置の構成例である。図1に示したアーク抑制装置は、例えばSSR (Solid State Relay) で構成されるスイッチS1と、電流制限回路AF1aと、を含んで構成される。

[0017] スイッチS1は、直流電源V2からの電力によりオンとオフとが切り替わるよう構成される。スイッチS1がオンの場合には、直流の電力を供給する電源V1からの電力が抵抗R4に供給される。スイッチS1がオフの場合には、電源V1からの電力の抵抗R4への供給が遮断される。

[0018] 電流制限回路AF1aは、MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) M1と、ツェナーダイオードD1と、抵抗R1、R2と、コンデンサC1と、を有する。電流制限回路AF1aは、電源V1から電力が供給されている状態でスイッチS1により電流の遮断がなされた際に、スイッチS1でのアークの発生を抑制する回路である。

[0019] 電流制限回路AF1aを構成する各素子について説明する。MOSFET M1は、本実施形態ではエンハンスメント型のNMOSFETを用いている。MOSFET M1は電源V1から電流が流れる経路上に設けられる。コンデンサC1は、MOSFET M1のドレイン端子とゲート端子との間に設けられる。また抵抗R1は、MOSFET M1のゲート端子とソース

端子との間に設けられる。抵抗R1は、MOSFET M1のゲート端子に電圧を印加する時間を、コンデンサC1と共に設定するために設けられる。そしてコンデンサC1と抵抗R1とは直列に接続されている。ツェナーダイオードD1は、スイッチS1の接点が接続された際に、コンデンサC1に蓄えられている電荷を放電するために設けられる。またツェナーダイオードD1は、MOSFET M1のゲート端子の保護のために設けられる。

[0020] 続いて電流制限回路AF1aの機能について説明する。スイッチS1がオン状態にある際は、MOSFET M1はオフ状態となっている。従って電流制限回路AF1aには電流が流れない。

[0021] スイッチS1により電流の遮断がなされると、スイッチS1の端子間に所定の電位差が発生する。この電位差は、遮断時の電源V1の電圧値に対応する。スイッチS1の端子間に発生した電位差は、コンデンサC1を介してMOSFET M1のゲート電圧を誘起させて、MOSFET M1をオン状態にする。MOSFET M1がオン状態となると、スイッチS1の端子間の電位差を低下させる方向に電流が流れる。すなわちMOSFET M1がオン状態となると、ノードN1からノードN2の方向に電流が流れる。すなわち、スイッチS1の端子間が乖離すると、コンデンサC1を通した電圧と、抵抗R1で固定された電流による電圧積分が始まる。

[0022] MOSFET M1がオン状態となると、スイッチS1の端子間の電位差を低下させる方向に電流が流れることにより、スイッチS1の端子間の電位差が低減される。従って、電源V1から電力が供給されている状態でスイッチS1により電流の遮断がなされた際に、仮にアークの発生条件を満たしていた場合であっても、スイッチS1においてアークの発生に至ることは無い。

[0023] MOSFET M1のドレイン端子とソース端子との間の電圧は、FETのゲート電圧による伝達関数に沿った電圧に収まる。スイッチS1の端子間に発生した電位差によってコンデンサC1の充電が進むと、MOSFET M1のゲート電圧が低下する。MOSFET M1のゲート電圧が低下する

とやがてMOSFET M1はオフ状態に移行する。MOSFET M1がオフ状態に移行することでMOSFET M1に電流が流れなくなる。MOSFET M1に電流が流れなくなったことで電流制限回路AF1aにおける電圧積分が終了する。

[0024] 図2は、電源V1からの電力の供給時及び電力の遮断時における、電流制限回路AF1aのノードN2の電圧及びMOSFET M1を流れる電流の変化、並びにMOSFET M1における消費電力の変化をグラフで示す説明図である。電流制限回路AF1aのノードN2の電圧は図2の下のグラフにおいて実線で示され、MOSFET M1を流れる電流の変化は図2の下のグラフにおいて破線で示され、MOSFET M1における消費電力の変化は図2の上のグラフにおいて示されている。ここでは、電源V1から200Vの直流電力が供給されているとして説明する。抵抗R4は10Ω、インダクタL1は0.01mH、電流制限回路AF1aにおける抵抗R1は20kΩ、抵抗R2は20Ω、コンデンサC1は0.04μFであるとする。

[0025] 図2に示した例では、15msecの時点でスイッチS1がオンし、95msecの時点でスイッチS1がオフする。この場合、図2に示したように、電源V1からの200Vの直流電力をスイッチS1で遮断する際には、およそ140msecの時点で、ノードN2の電圧及びMOSFET M1を流れる電流が0となる。すなわち、およそ45msecの間、MOSFET M1に電流が流れる。図2の上側のグラフにMOSFET M1における消費電力の変化が示されているが、95msecからおよそ140msecの間の45msecの範囲において、上に凸の曲線と時間軸で囲まれる範囲を積分することにより、MOSFET M1での発熱量が求められる。すなわち、この例では、電源V1からの200Vの直流電力をスイッチS1で遮断する際には、MOSFET M1でおよそ40Jの発熱量が発生する。

[0026] [1. 2. 第2の構成例]

第1の構成例のように、スイッチS1と並列に電流制限回路AF1aを備えることで、スイッチS1での電力の遮断時にアークの発生を抑えることが

できる。一方、遮断しようとする電力の電圧が上昇すると、その上昇に伴ってMOSFET M1に掛かる電圧やMOSFET M1に流れる電流が0になるまでの時間も長くなる。図2に示したように、MOSFET M1に掛かる電圧やMOSFET M1に流れる電流は、時間と共に比例して低下する。従って、MOSFET M1に掛かる電圧が2倍になると、MOSFET M1に掛かる電圧やMOSFET M1に流れる電流が0になるまでの時間が2倍になり、MOSFET M1での発熱量は4倍になる。

[0027] そこで、第2の構成例では、電流制限回路に掛かる電圧が所定量低下すると、電流制限回路における電圧積分を終了させるようにした構成を説明する。

[0028] 図3は、本開示の実施の形態に係るアーク抑制装置の構成例を示す説明図である。図3に示したのは、電力の遮断時にアークの発生を抑制させるためのアーク抑制装置の構成例である。図3に示したアーク抑制装置は、例えばSSRで構成されるスイッチS1と、電流制限回路AF1bと、を含んで構成される。

[0029] スイッチS1は、直流電源V2からの電力によりオンとオフとが切り替わるよう構成される。スイッチS1がオンの場合には、直流の電力を供給する電源V1からの電力が抵抗R4に供給される。スイッチS1がオフの場合には、電源V1からの電力の抵抗R4への供給が遮断される。

[0030] 電流制限回路AF1bは、MOSFET M1、M2と、ツェナーダイオードD1、D3と、抵抗R1、R2、R3、R5と、コンデンサC1と、を有する。電流制限回路AF1bは、電源V1から電力が供給されている状態でスイッチS1により電流の遮断がなされた際に、スイッチS1でのアークの発生を抑制する回路である。

[0031] 図3に示した電流制限回路AF1bは、図1に示した電流制限回路AF1aから、さらにNMOSFETであるMOSFET M2と、ツェナーダイオードD3と、抵抗R3、R5と、が追加されたものである。

[0032] 抵抗R3、R5は、電源V1から供給される電力をスイッチS1で遮断す

る際に、電流制限回路A F 1 bによる電圧積分が開始されると、ノードN 1とN 2との間に発生する電圧を分圧する。M O S F E T M 2は、ゲートソース間の電圧が所定の値になるとオン状態となる。M O S F E T M 2がオン状態になるということは、M O S F E T M 1のゲートとソースとの間がショートされることを意味する。M O S F E T M 2がオン状態になり、M O S F E T M 1のゲートとソースとの間がショートされると、M O S F E T M 1がオフ状態になり、電流制限回路A F 1 bによる電圧積分が終了する。またツェナーダイオードD 3は、M O S F E T M 2の保護のために設けられている。

[0033] 図4は、電源V 1からの電力の供給時及び電力の遮断時における、電流制限回路A F 1 bのノードN 2の電圧及びM O S F E T M 1を流れる電流の変化、並びにM O S F E T M 1における消費電力の変化をグラフで示す説明図である。電流制限回路A F 1 bのノードN 2の電圧は図4の下側のグラフにおいて実線で示され、M O S F E T M 1を流れる電流の変化は図4の下側のグラフにおいて破線で示され、M O S F E T M 1における消費電力の変化は図4の上側のグラフにおいて示されている。ここでは、電源V 1から200Vの直流電力が供給されているとして説明する。抵抗R 4は10Ω、インダクタL 1は0.01mH、電流制限回路A F 1 bにおける抵抗R 1は20kΩ、抵抗R 2は20Ω、抵抗R 3は1MΩ、R 5は200kΩ、コンデンサC 1は0.04μFであるとする。また、M O S F E T M 2は、ゲートソース間の電圧が5Vになるとオン状態になるとする。

[0034] 図4に示した例では、15msecの時点でスイッチS 1がオンし、95msecの時点でスイッチS 1がオフする。この場合、図4に示したように、電源V 1からの200Vの直流電力をスイッチS 1で遮断する際には、コンデンサC 1を通した電圧と、抵抗R 1で固定された電流による電圧積分が始まる。電圧積分が始まると、ノードN 1とN 2との間に発生する電圧が、抵抗R 3、R 5により分圧され、抵抗R 5の両端の電圧が、M O S F E T M 2がオン状態に変化する電圧である5Vに達すると、M O S F E T M 2

がオン状態になる。MOSFET M2がオン状態になると、MOSFET M1のゲートとソースとの間がショートされ、電圧積分が終了する。

[0035] 95 msecの時点でスイッチS1が遮断されたのち、電流制限回路AF1bによる電圧積分が行われている期間、MOSFET M1に電流が流れる。図4の上側のグラフにMOSFET M1における消費電力の変化が示されるが、95 msec以降の非常に短い期間において、2つのピークを含み上に凸の実線と時間軸で囲まれる範囲を積分することにより、MOSFET M1での発熱量が求められる。すなわち、電流制限回路AF1bのMOSFET M1による電力消費は、およそ2 Jとなる。このように、MOSFET M2と、MOSFET M2をオン状態にさせる抵抗R3、R5を設けることで、電流制限回路AF1aと比べて大きくMOSFET M1の消費電力量を低下させることが出来る。なお、図4の上のグラフにおいて、破線で示す95 msec以後のラインは、MOSFET M2が動作しない場合（すなわち図1の回路と等価である場合）について、比較のために、図2の上のグラフで示されるMOSFET M1における消費電力の変化を重ねて表示したものである。また、図4の下のグラフにおいて、一点鎖線で示す95 msec以後のラインは、MOSFET M2が動作しない場合（すなわち図1の回路と等価である場合）について、比較のために、図2の下のグラフで示されるMOSFET M1を流れる電流の変化を重ねて表示したものである。

[0036] 従って、本開示の実施の形態の第2の構成例に係る電流制限回路AF1bは、MOSFET M1の消費電力量を大きく低下させることができ、また、電源V1から供給される電圧が2倍になったとしても、MOSFET M1の消費電力量は2倍が限度となるので、本開示の実施の形態の第2の構成例に係る電流制限回路AF1bは、MOSFET M1の大型化を回避することができる。

[0037] [1. 3. 第3の構成例]

第2の構成例のように電流制限回路を構成することで、MOSFET M

1の消費電力量を大きく低下させることが可能になる。次に、負荷にコイル成分が含まれている際に生じるサージを抑制する構成を追加したアーク抑制装置の例を説明する。

[0038] 図5は、本開示の実施の形態に係るアーク抑制装置の構成例を示す説明図である。図5に示したのは、電力の遮断時にアークの発生を抑制させるためのアーク抑制装置の構成例である。図5に示したアーク抑制装置は、例えばSSRで構成されるスイッチS1と、電流制限回路AF1cと、を含んで構成される。

[0039] スイッチS1は、直流電源V2からの電力によりオンとオフとが切り替わるよう構成される。スイッチS1がオンの場合には、直流の電力を供給する電源V1からの電力が抵抗R4に供給される。スイッチS1がオフの場合には、電源V1からの電力の抵抗R4への供給が遮断される。

[0040] 電流制限回路AF1cは、MOSFET M1、M2と、ツェナーダイオードD1、D3と、抵抗R1、R2、R3、R5、R6と、コンデンサC1と、を有する。電流制限回路AF1cは、電源V1から電力が供給されている状態でスイッチS1により電流の遮断がなされた際に、スイッチS1でのアークの発生を抑制する回路である。

[0041] 電流制限回路AF1cは、電流制限回路AF1bに比べると、抵抗R6が追加された構成を有する。抵抗R6は、電源V1からの直流電力をスイッチS1で遮断する際に、抵抗R5の両端の電圧がMOSFET M2がオン状態に変化する電圧に達してMOSFET M2がオン状態になると、抵抗R1と並列に接続されることで高速に積分を行うように設けられている。すなわち、図3に示したアーク抑制装置の構成では、MOSFET M2がオン状態に変化すると、電源V1と負荷である抵抗R4との間にはコンデンサC1のみが存在する構成であったが、図3に示したアーク抑制装置の構成では、MOSFET M2がオン状態に変化すると、電源V1と負荷である抵抗R4との間にはコンデンサC1と抵抗R6とが存在する構成となっている。電源V1と負荷である抵抗R4との間にはコンデンサC1と抵抗R6とが存

在する構成となっていることで、電流制限回路AF1cは、MOSFET M2がオン状態に変化しても、漏れ電流を低減させることが可能となる。

[0042] 図6は、電源V1からの電力の供給時及び電力の遮断時における、電流制限回路AF1cのノードN2の電圧及びMOSFET M1を流れる電流の変化、並びにMOSFET M1における消費電力の変化をグラフで示す説明図である。電流制限回路AF1cのノードN2の電圧は図6の下のグラフにおいて実線で示され、MOSFET M1を流れる電流の変化は図6の下のグラフにおいて破線で示され、MOSFET M1における消費電力の変化は図6の上のグラフにおいて示されている。ここでは、電源V1から200Vの直流電力が供給されているとして説明する。抵抗R4は10Ω、インダクタL1は0.01mH、電流制限回路AF1bにおける抵抗R1は20kΩ、抵抗R2は20Ω、抵抗R3は1MΩ、R5は200kΩ、R6は50Ω、コンデンサC1は0.04μFであるとする。また、MOSFET M2は、ゲートソース間の電圧が5Vになるとオン状態になるとする。

[0043] 図6に示したように、抵抗R6が設けられていることで、図4のMOSFET M1における消費電力の変化を示した実線グラフにおいて存在していたサージ成分（図4における2つ目のピーク電力の部分）を、電流制限回路AF1cでは低減させていることが分かる。

[0044] [1.4.第4の構成例]

第3の構成例のように電流制限回路を構成することで、MOSFET M1の消費電力量を大きく低下させるとともに、遮断時に発生しうるサージ成分を抑制することが可能になる。次に、MOSFET M1が故障した場合（スイッチとして機能しなくなった場合）に安全に電力を遮断できる構成を追加したアーク抑制装置の例を説明する。

[0045] 図7は、本開示の実施の形態に係るアーク抑制装置の構成例を示す説明図である。図7に示したのは、電力の遮断時にアークの発生を抑制させるためのアーク抑制装置の構成例である。図7に示したアーク抑制装置は、例えばSSRで構成されるスイッチS1と、電流制限回路AF1dと、ヒューズF

1と、プロテクタPF1と、を含んで構成される。

[0046] スイッチS1は、直流電源V2からの電力によりオンとオフとが切り替わるよう構成される。スイッチS1がオンの場合には、直流の電力を供給する電源V1からの電力が抵抗R4に供給される。スイッチS1がオフの場合には、電源V1からの電力の抵抗R4への供給が遮断される。

[0047] 電流制限回路AF1dは、図5に示した電流制限回路AF1cと同様の構成を有する。すなわち電流制限回路AF1dは、MOSFET M1、M2と、ツェナーダイオードD1、D3と、抵抗R1、R2、R3、R5、R6と、コンデンサC1と、を有する。電流制限回路AF1dは、電源V1から電力が供給されている状態でスイッチS1により電流の遮断がなされた際に、スイッチS1でのアークの発生を抑制する回路である。

[0048] プロテクタPF1は、MOSFET M1の故障時（つまりMOSFET M1がスイッチング素子として機能せず、単なる抵抗となった場合）に、電源V1から電流制限回路AF1dに流れる電流を迂回させるために設けられており、2つのヒューズと、該2つのヒューズの間設けられる抵抗R7と、からなる。すなわち、プロテクタPF1は3つの端子を有している。抵抗R7は、プロテクタPF1の内部のヒューズを強制的に溶断させる役割を有する。ヒューズF1は、図7に示したように電源V1と電流制限回路AF1dとの間に設けられる。

[0049] 従って、図7に示したアーク抑制装置は、ヒューズF1と、プロテクタPF1とが設けられることで、MOSFET M1が故障した場合（スイッチとして機能しなくなった場合）に安全に電力を遮断させることが可能となる。

[0050] [1.5. 第5の構成例]

第4の構成例のように、MOSFET M1が故障した場合であっても、安全に電力を遮断することができる。次に、一方向では無く双方向に電力が供給される場合にも、回路規模の増大を防ぎつつ電力の遮断時にアークを抑制できるアーク抑制装置の例を説明する。

- [0051] 図8は、本開示の実施の形態に係るアーク抑制装置の構成例を示す説明図である。図8に示したのは、電力の遮断時にアークの発生を抑制させるためのアーク抑制装置の構成例である。図8に示したアーク抑制装置は、例えばSSRで構成されるスイッチS1と、電流制限回路AF1e、AF2eと、ヒューズF1と、プロテクタPF1と、を含んで構成される。
- [0052] スイッチS1は、直流電源V2からの電力によりオンとオフとが切り替わるよう構成される。スイッチS1がオンの場合には、電力を供給する電源V1からの電力が抵抗R4に供給される。スイッチS1がオフの場合には、電源V1からの電力の抵抗R4への供給が遮断される。
- [0053] 電流制限回路AF1eは、MOSFET M1、M2と、ツェナーダイオードD1、D3と、ダイオードD5と、抵抗R1、R2、R3、R5、R6と、コンデンサC1と、を有する。電流制限回路AF1eは、ノードN1の側から電力が供給されている状態でスイッチS1により電流の遮断がなされた際に、スイッチS1でのアークの発生を抑制する回路である。
- [0054] 電流制限回路AF2eは、電流制限回路AF1eを反転させた構成を有する。すなわち電流制限回路AF2eは、MOSFET M3、M4と、ツェナーダイオードD2、D4と、ダイオードD6と、抵抗R8、R9、R10、R11、R12と、コンデンサC2と、を有する。電流制限回路AF2eは、ノードN3の側から電力が供給されている状態でスイッチS1により電流の遮断がなされた際に、スイッチS1でのアークの発生を抑制する回路である。
- [0055] 電流制限回路AF1eは、ノードN1からノードN3の側に電流が流れている際にスイッチS1がオフになると、ノードN1からノードN3の側に流れる電流を徐々に低下させる機能を有する。そのため、電流制限回路AF2eにはダイオードD6が設けられており、ノードN1からノードN3の側に電流を流している。
- [0056] 一方、電流制限回路AF2eは、ノードN3からノードN1の側に電流が流れている際にスイッチS1がオフになると、ノードN3からノードN1の

側に流れる電流を徐々に低下させる機能を有する。そのため、電流制限回路 A F 1 e にはダイオード D 5 が設けられており、ノード N 3 からノード N 1 の側に電流を流している。

[0057] 図 8 に示したアーク抑制装置は、一方向では無く双方向に電力が供給される場合にも、回路規模の増大を防ぎつつ電力の遮断時にアークを抑制できる。図 8 に示したアーク抑制装置には、図 7 に示したアーク抑制装置と同様にヒューズ F 1 と、プロテクタ P F 1 とが設けられているが、図 8 に示したアーク抑制装置にヒューズ F 1 と、プロテクタ P F 1 とが設けられていなくても良い。

[0058] [ 1 . 6 . 第 6 の構成例 ]

第 5 の構成例のように、一方向では無く双方向に電力が供給される場合にも、回路規模の増大を防ぎつつ電力の遮断時にアークを抑制できる。第 5 の構成例では、電流制限回路は直列に接続されていたが、電流制限回路は並列に接続されていても良い。

[0059] 図 9 は、本開示の実施の形態に係るアーク抑制装置の構成例を示す説明図である。図 9 に示したのは、電力の遮断時にアークの発生を抑制させるためのアーク抑制装置の構成例である。図 9 に示したアーク抑制装置は、例えば S S R で構成されるスイッチ S 1 と、電流制限回路 A F 1 f 、 A F 2 f と、ヒューズ F 1 と、プロテクタ P F 1 と、を含んで構成される。

[0060] スイッチ S 1 は、直流電源 V 2 からの電力によりオンとオフとが切り替わるよう構成される。スイッチ S 1 がオンの場合には、電力を供給する電源 V 1 からの電力が抵抗 R 4 に供給される。スイッチ S 1 がオフの場合には、電源 V 1 からの電力の抵抗 R 4 への供給が遮断される。

[0061] 電流制限回路 A F 1 f は、M O S F E T M 1 、 M 2 と、ツェナーダイオード D 1 、 D 3 と、ダイオード D 5 と、抵抗 R 1 、 R 2 、 R 3 、 R 5 、 R 6 と、コンデンサ C 1 と、を有する。電流制限回路 A F 1 f は、ノード N 1 の側から電力が供給されている状態でスイッチ S 1 により電流の遮断がなされた際に、スイッチ S 1 でのアークの発生を抑制する回路である。

[0062] 電流制限回路A F 2 fは、電流制限回路A F 1 eを反転させた構成を有する。すなわち電流制限回路A F 2 fは、M O S F E T M 3、M 4と、ツェナーダイオードD 2、D 4と、ダイオードD 6と、抵抗R 8、R 9、R 1 0、R 1 1、R 1 2と、コンデンサC 2と、を有する。電流制限回路A F 2 eは、ノードN 3の側から電力が供給されている状態でスイッチS 1により電流の遮断がなされた際に、スイッチS 1でのアークの発生を抑制する回路である。

[0063] 電流制限回路A F 1 fは、ノードN 1からノードN 3の側に電流が流れている際にスイッチS 1がオフになると、ノードN 1からノードN 3の側に流れる電流を徐々に低下させる機能を有する。そのため、電流制限回路A F 1 fにはダイオードD 5が設けられており、ノードN 1からノードN 3の側に電流を流す。また、電流制限回路A F 2 fにはダイオードD 6が設けられており、ノードN 1からノードN 3の側に流れる電流を遮断している。

[0064] 一方、電流制限回路A F 2 fは、ノードN 3からノードN 1の側に電流が流れている際にスイッチS 1がオフになると、ノードN 3からノードN 1の側に流れる電流を徐々に低下させる機能を有する。そのため、電流制限回路A F 2 fにはダイオードD 6が設けられており、ノードN 3からノードN 1の側に電流を流す。また、電流制限回路A F 1 fにはダイオードD 5が設けられており、ノードN 3からノードN 1に流れる電流を遮断している。

[0065] 図9に示したアーク抑制装置は、一方向では無く双方向に電力が供給される場合にも、回路規模の増大を防ぎつつ電力の遮断時にアークを抑制できる。図9に示したアーク抑制装置には、図7に示したアーク抑制装置と同様にヒューズF 1と、プロテクタP F 1とが設けられているが、図9に示したアーク抑制装置にヒューズF 1と、プロテクタP F 1とが設けられていなくても良い。

[0066] [1. 7. 第7の構成例]

図10は、本開示の実施の形態に係るアーク抑制装置の構成例を示す説明図である。図10に示したのは、電力の遮断時にアークの発生を抑制させる

ためのアーク抑制装置の構成例である。図10に示したアーク抑制装置は、例えばSSRで構成されるスイッチS1a、S1bと、電流制限回路AF1gと、を含んで構成される。図10には、電源V1または電源V3から供給される電力を遮断する際のアーク抑制装置の構成例が示されている。電源V1は直流電力を供給する電源であり、電源V3は交流電力を供給する電源である。

[0067] スイッチS1aは、直流電源V2からの電力によりオンとオフとが切り替わるよう構成される。スイッチS1aがオンの場合には、電力を供給する電源V1または電源V3からの電力が抵抗R4に供給される。スイッチS1aがオフの場合には、電源V1または電源V3からの電力の抵抗R4への供給が遮断される。

[0068] スイッチS1bは、スイッチS1aと連動して動作し、スイッチS1aがオンの場合にはオフに、オフの場合にはオンになるスイッチである。図10では、スイッチS1aとS1bとは離れて図示されているが、ノードN2をコモンとしたメークブレイク接点を持つトランスファー型接点と同等である。

[0069] 電流制限回路AF1gは、MOSFET M1、M2と、ツェナーダイオードD1、D3と、抵抗R1、R3、R4、R5と、コンデンサC1と、を有する。電流制限回路AF1fは、ノードN1の側から電力が供給されている状態でスイッチS1により電流の遮断がなされた際に、スイッチS1aでのアークの発生を抑制する回路である。

[0070] スイッチS1aがオフになると、ノードN1とN2との間に発生する電圧を抵抗R4、R5で分圧する。MOSFET M2は、ゲートソース間の電圧が所定の値になるとオン状態となる。MOSFET M2がオン状態になるということは、MOSFET M1のゲートとソースとの間がショートされることを意味する。MOSFET M2がオン状態になり、MOSFET M1のゲートとソースとの間がショートされると、MOSFET M1がオフ状態になり、電流制限回路AF1bによる電圧積分が終了する。

[0071] ここで、スイッチS 1 bがオフ状態の場合は、MOSFET M1のゲートとソースとの間はショートされていないが、スイッチS 1 bがオン状態になると、MOSFET M1のゲートとソースとの間がショート状態になる。MOSFET M1のゲートとソースとの間がショート状態になると、第2の構成例で説明したように、MOSFET M1がオフ状態になり、電流制限回路AF 1 gによる電圧積分が終了する。

[0072] 電流制限回路AF 1 gは、抵抗R 4、R 5による分圧によってMOSFET M2がオンになるより前に、スイッチS 1 bがオン状態になってMOSFET M1のゲートとソースとの間がショート状態となれば、スイッチS 1 bによるMOSFET M1のゲートとソースとの間のショートを優先させる構成としている。

[0073] <2. 応用例>

図11は、アーク抑制装置を備えた移動体40の機能構成例を示す説明図である。移動体40は、例えば、ガソリン車のようにガソリンを動力源とする移動体であってもよく、電気自動車、ハイブリッド車、電気オートバイ等の、充放電可能なバッテリーを主な動力源とする移動体であってもよい。図11には、移動体40に、バッテリー210と、バッテリーから供給される電力により駆動する駆動部220と、バッテリー210からの電力の遮断時にアークを抑制するアーク抑制装置100と、が備えられた場合の例が示されている。駆動部220には、例えばワイパー、パワーウィンドウ、ライト、カーナビゲーションシステム、エアコンディショナのような車両に備えられる装備品や、モーター等の移動体40を駆動させる装置などが含まれる。

[0074] そして図11に示した移動体40には、バッテリー210から駆動部220へ直流電力が供給される経路の途中に、アーク抑制装置100が設けられている。アーク抑制装置100は、例えば上記の図1、図3、図5、図7～10に示したアーク抑制装置が用いられ得る。図11に示した移動体40は、バッテリー210から駆動部220へ直流電力が供給される経路上に、アーク抑制装置100が設けられることで、安全に直流電流を遮断することができ

る。

[0075] なお図 11 には、アーク抑制装置 100 が 1 つだけ備えられている移動体 40 の例を示したが、本開示に係る例に限定されるものではない。すなわち、アーク抑制装置 100 は直流電力が供給される経路の途中に複数設けられても良い。またアーク抑制装置 100 は、バッテリー 210 から駆動部 220 へ直流電力が供給される経路の途中だけでなく、他の場所、例えばバッテリー 210 を直流電力で充電する際の経路の途中に設けられても良い。移動体 40 は、バッテリー 210 を直流電力で充電する際の経路の途中にアーク抑制装置 100 を設けることで、安全にバッテリー 210 を直流電力で充電することができる。

[0076] <3. まとめ>

以上説明したように本開示の実施の形態によれば、電力の遮断に用いられる機械接点を小型化して、電力の遮断時の電力消費を低減させることが可能なアーク抑制装置、アーク抑制装置を備えた移動体、及びアーク抑制装置を備えた電力供給システムが提供される。

[0077] 以上、添付図面を参照しながら本開示の好適な実施形態について詳細に説明したが、本開示の技術的範囲はかかる例に限定されない。本開示の技術分野における通常の知識を有する者であれば、特許請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本開示の技術的範囲に属するものと了解される。

[0078] また、本明細書に記載された効果は、あくまで説明的または例示的なものであって限定的ではない。つまり、本開示に係る技術は、上記の効果とともに、または上記の効果に代えて、本明細書の記載から当業者には明らかな他の効果を奏しうる。

[0079] なお、以下のような構成も本開示の技術的範囲に属する。

(1)

電源からの電力の供給と遮断とを切り替える遮断器と並列に設けられる電

流制限回路を少なくとも一つ備え、

前記電流制限回路は、前記電源からの電力が遮断機を介して負荷に供給される際には前記電源からの電流を遮断し、

前記電源からの電力の前記負荷への供給が前記遮断機により遮断される際には遮断時に発生する前記遮断機の接点間の電位差により生じる電圧が所定電圧以上になったとき前記電源からの電流を遮断する、アーク抑制装置。

(2)

前記電流制限回路は、

前記電源からの電力が前記遮断機を介して前記負荷に供給される際にはオフ状態となり、前記電源からの電力の前記負荷への供給が前記遮断機により遮断される際には遮断時に発生する前記遮断機の接点間の電位差によりオン状態となった後、該差により生じる電流を流した後にオフ状態となる第1スイッチング素子と、

前記電位差に応じてオン状態となり前記第1スイッチング素子のゲート端子とソース端子との間を短絡させる第2スイッチング素子と、

を備える、前記(1)に記載のアーク抑制装置。

(3)

前記電流制限回路は、前記電源からの電力の前記負荷への供給が遮断された際に前記第1スイッチング素子のゲート電圧を上昇させる容量素子を備える、前記(2)に記載のアーク抑制装置。

(4)

前記電流制限回路は、前記第1スイッチング素子のゲート端子に電圧を印加する時間を、前記容量素子と共に設定する抵抗素子を備える、前記(3)に記載のアーク抑制装置。

(5)

前記電流制限回路は、前記第1スイッチング素子のソース端子とゲート端子との間にツェナーダイオードを備える、前記(3)に記載のアーク抑制装置。

(6)

前記電流制限回路は、さらに、前記電源からの電力の前記負荷への供給が遮断される際にオン状態となり前記第1スイッチング素子のゲート端子とソース端子との間を短絡させるスイッチを備える、前記(2)～(5)のいずれかに記載のアーク抑制装置。

(7)

前記電源から供給される電力は、直流電力である、前記(1)～(6)のいずれかに記載のアーク抑制装置。

(8)

電源からの電力の供給と遮断とを切り替える遮断器と並列に設けられる電流制限回路を少なくとも一つ備え、

前記電流制限回路は、

前記電源からの電力が遮断機を介して負荷に供給される際にはオフ状態となり、前記電源からの交流電力の前記負荷への供給が前記遮断機により遮断される際には遮断時に発生する前記遮断機の接点間の電位差によりオン状態となった後、該電位差により生じる電流を流した後にオフ状態となる第1スイッチング素子と、

前記電源からの電力の前記負荷への供給が遮断される際に前記第1スイッチング素子のゲート電圧を上昇させる容量素子と、

前記電位差に応じてオン状態となり前記第1スイッチング素子のゲート端子とソース端子との間を短絡させる第2スイッチング素子と、  
を備える、アーク抑制装置。

(9)

前記電流制限回路は、前記第1スイッチング素子のゲート端子に電圧を印加する時間を、前記容量素子と共に設定する抵抗素子を備える、前記(8)に記載のアーク抑制装置。

(10)

前記電流制限回路は、前記第1スイッチング素子のソース端子とゲート端

子との間にツェナーダイオードを備える、前記（８）または（９）に記載の  
アーク抑制装置。

（１１）

前記電流制限回路は、さらに、前記電源からの電力の前記負荷への供給が  
遮断される際にオン状態となり前記第１スイッチング素子のゲート端子とソ  
ース端子との間を短絡させるスイッチを備える、前記（８）～（１０）のい  
ずれかに記載のアーク抑制装置。

（１２）

前記電源から供給される電力は、直流電力である、前記（８）～（１１）  
に記載のアーク抑制装置。

（１３）

１以上の前記（１）～（１２）のいずれかに記載のアーク抑制装置を備え  
る、移動体。

（１４）

直流電力を供給するバッテリーと、  
前記バッテリーから供給される直流電力による駆動する駆動部と、  
前記バッテリーと前記駆動部との間に設けられる、少なくとも１つの、前記  
（１）～（１２）のいずれかに記載のアーク抑制装置と、  
を備える、電力供給システム。

## 符号の説明

- [0080] ４０           : 移動体  
      １００          : アーク抑制装置  
      ２１０          : バッテリ  
      ２２０          : 駆動部  
      AF 1 a、AF 1 b、AF 1 c、AF 1 d、AF 1 e、AF 1 f、AF 1 g  
      、AF 2 e、AF 2 f       : 電流制限回路  
      F 1             : ヒューズ  
      PF 1            : プロテクタ

S 1、S 1 a、S 1 b : スイッチ

V 1 : 電源

V 2 : 直流電源

## 請求の範囲

- [請求項1] 電源からの電力の供給と遮断とを切り替える遮断器と並列に設けられる電流制限回路を少なくとも一つ備え、
- 前記電流制限回路は、前記電源からの電力が遮断機を介して負荷に供給される際には前記電源からの電流を遮断し、
- 前記電源からの電力の前記負荷への供給が前記遮断機により遮断される際には遮断時に発生する前記遮断機の接点間の電位差により生じる電圧が所定電圧以上になったとき前記電源からの電流を遮断する、アーク抑制装置。
- [請求項2] 前記電流制限回路は、
- 前記電源からの電力が前記遮断機を介して前記負荷に供給される際にはオフ状態となり、前記電源からの電力の前記負荷への供給が前記遮断機により遮断される際には遮断時に発生する前記遮断機の接点間の電位差によりオン状態となった後、該差により生じる電流を流した後、後にオフ状態となる第1スイッチング素子と、
- 前記電位差に応じてオン状態となり前記第1スイッチング素子のゲート端子とソース端子との間を短絡させる第2スイッチング素子と、
- を備える、請求項1に記載のアーク抑制装置。
- [請求項3] 前記電流制限回路は、前記電源からの電力の前記負荷への供給が遮断された際に前記第1スイッチング素子のゲート電圧を上昇させる容量素子を備える、請求項2に記載のアーク抑制装置。
- [請求項4] 前記電流制限回路は、前記第1スイッチング素子のゲート端子に電圧を印加する時間を、前記容量素子と共に設定する抵抗素子を備える、請求項3に記載のアーク抑制装置。
- [請求項5] 前記電流制限回路は、前記第1スイッチング素子のソース端子とゲート端子との間にツェナーダイオードを備える、請求項3に記載のアーク抑制装置。
- [請求項6] 前記電流制限回路は、さらに、前記電源からの電力の前記負荷への

供給が遮断される際にオン状態となり前記第1スイッチング素子のゲート端子とソース端子との間を短絡させるスイッチを備える、請求項2に記載のアーク抑制装置。

[請求項7] 前記電源から供給される電力は、直流電力である、請求項1に記載のアーク抑制装置。

[請求項8] 電源からの電力の供給と遮断とを切り替える遮断器と並列に設けられる電流制限回路を少なくとも一つ備え、

前記電流制限回路は、

前記電源からの電力が遮断機を介して負荷に供給される際にはオフ状態となり、前記電源からの交流電力の前記負荷への供給が前記遮断機により遮断される際には遮断時に発生する前記遮断機の接点間の電位差によりオン状態となった後、該電位差により生じる電流を流した後、後にオフ状態となる第1スイッチング素子と、

前記電源からの電力の前記負荷への供給が遮断される際に前記第1スイッチング素子のゲート電圧を上昇させる容量素子と、

前記電位差に応じてオン状態となり前記第1スイッチング素子のゲート端子とソース端子との間を短絡させる第2スイッチング素子と、を備える、アーク抑制装置。

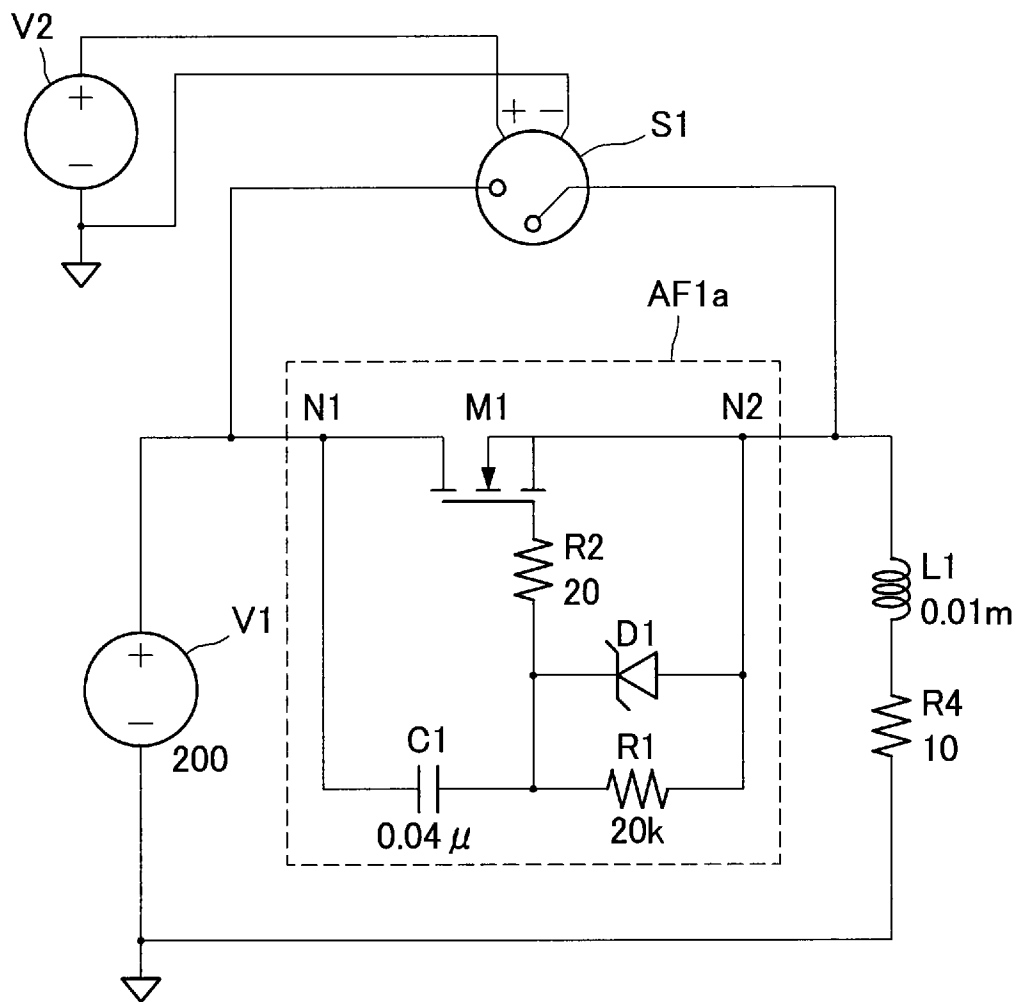
[請求項9] 前記電流制限回路は、前記第1スイッチング素子のゲート端子に電圧を印加する時間を、前記容量素子と共に設定する抵抗素子を備える、請求項8に記載のアーク抑制装置。

[請求項10] 前記電流制限回路は、前記第1スイッチング素子のソース端子とゲート端子との間にツェナーダイオードを備える、請求項8に記載のアーク抑制装置。

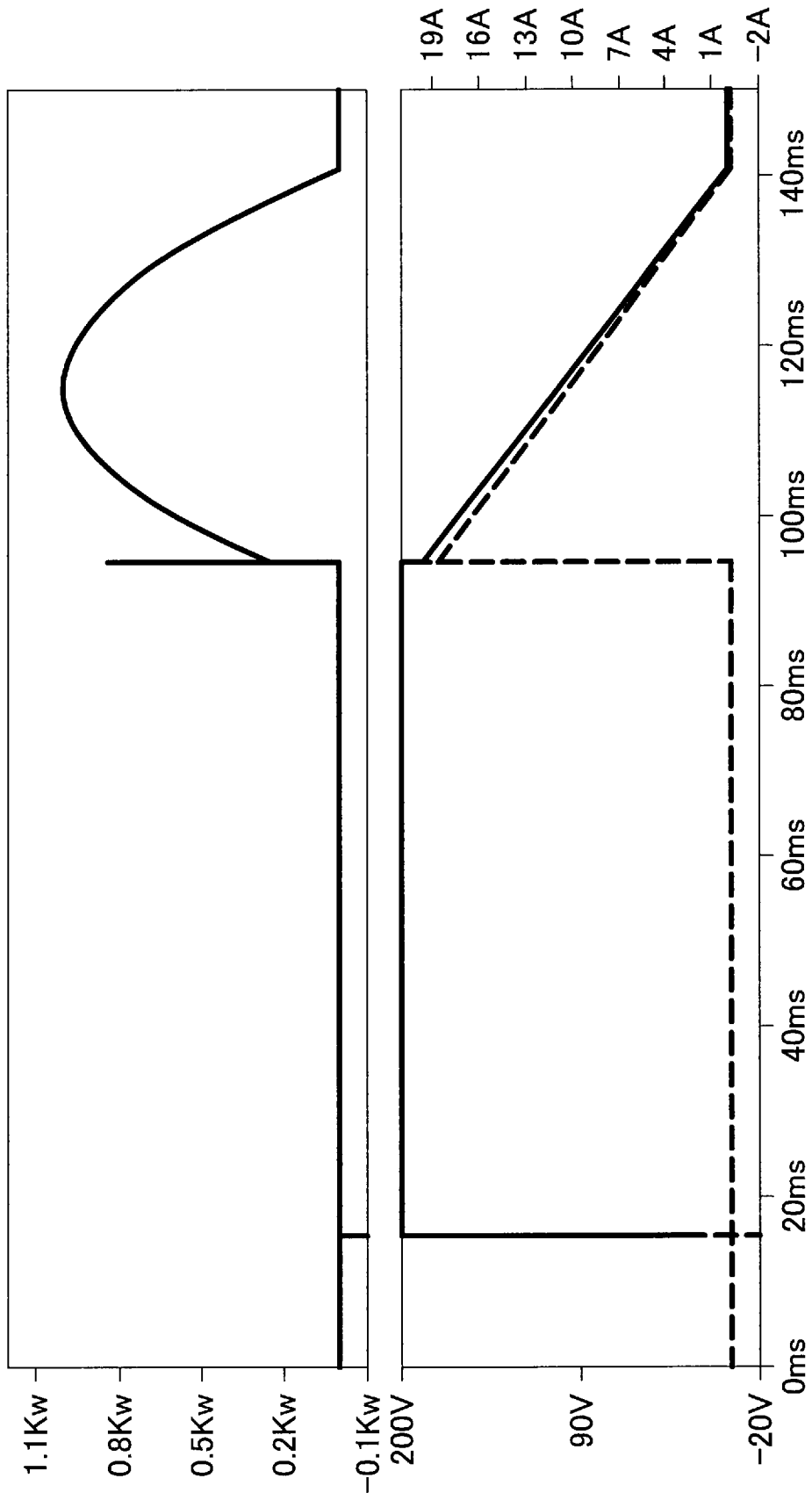
[請求項11] 前記電流制限回路は、さらに、前記電源からの電力の前記負荷への供給が遮断される際にオン状態となり前記第1スイッチング素子のゲート端子とソース端子との間を短絡させるスイッチを備える、請求項8に記載のアーク抑制装置。

- [請求項12] 前記電源から供給される電力は、直流電力である、請求項8に記載のアーキ抑制装置。
- [請求項13] 1以上の請求項1に記載のアーキ抑制装置を備える、移動体。
- [請求項14] 直流電力を供給するバッテリーと、  
前記バッテリーから供給される直流電力による駆動する駆動部と、  
前記バッテリーと前記駆動部との間に設けられる、少なくとも1つの、請求項1に記載のアーキ抑制装置と、  
を備える、電力供給システム。

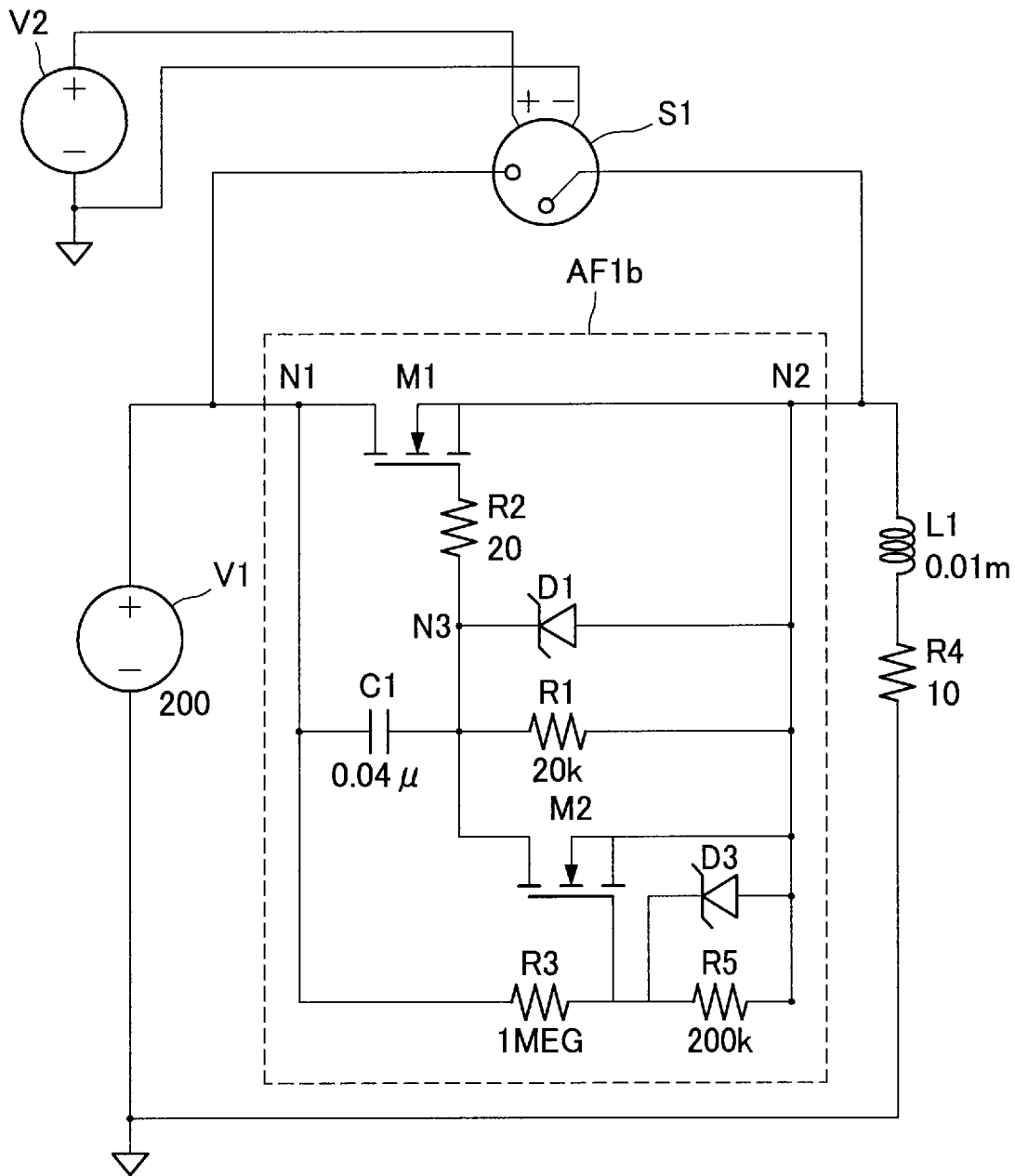
[図1]



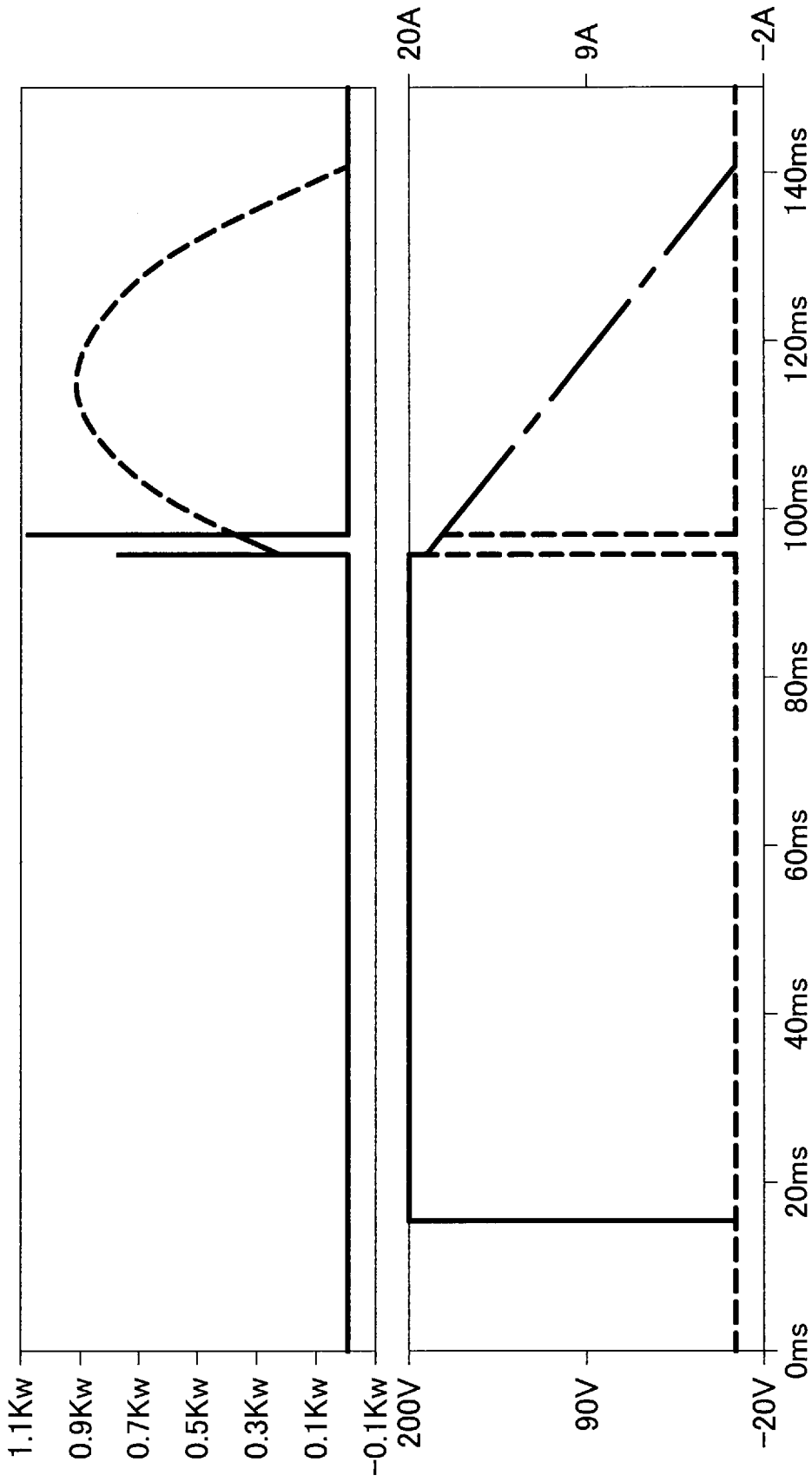
[図2]



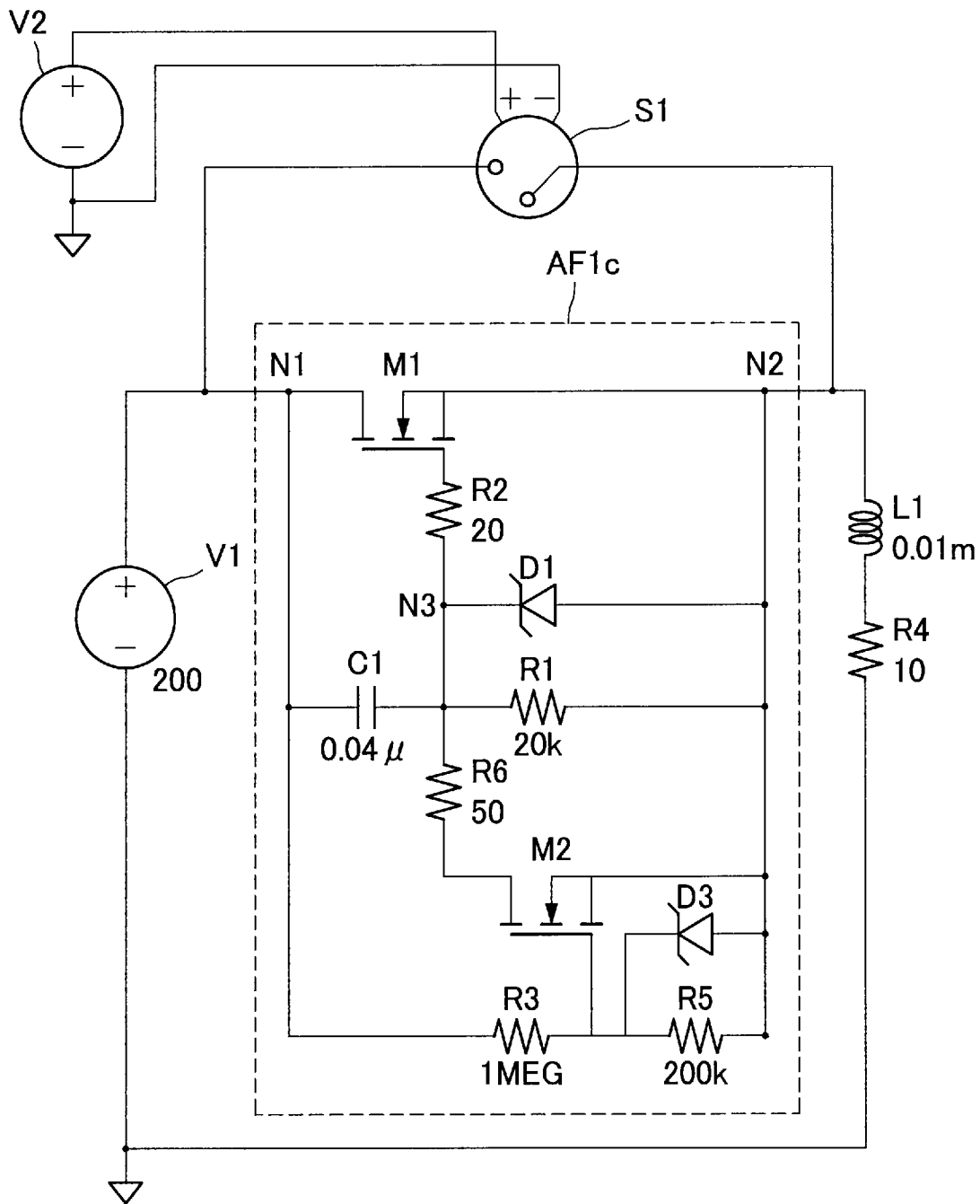
[図3]



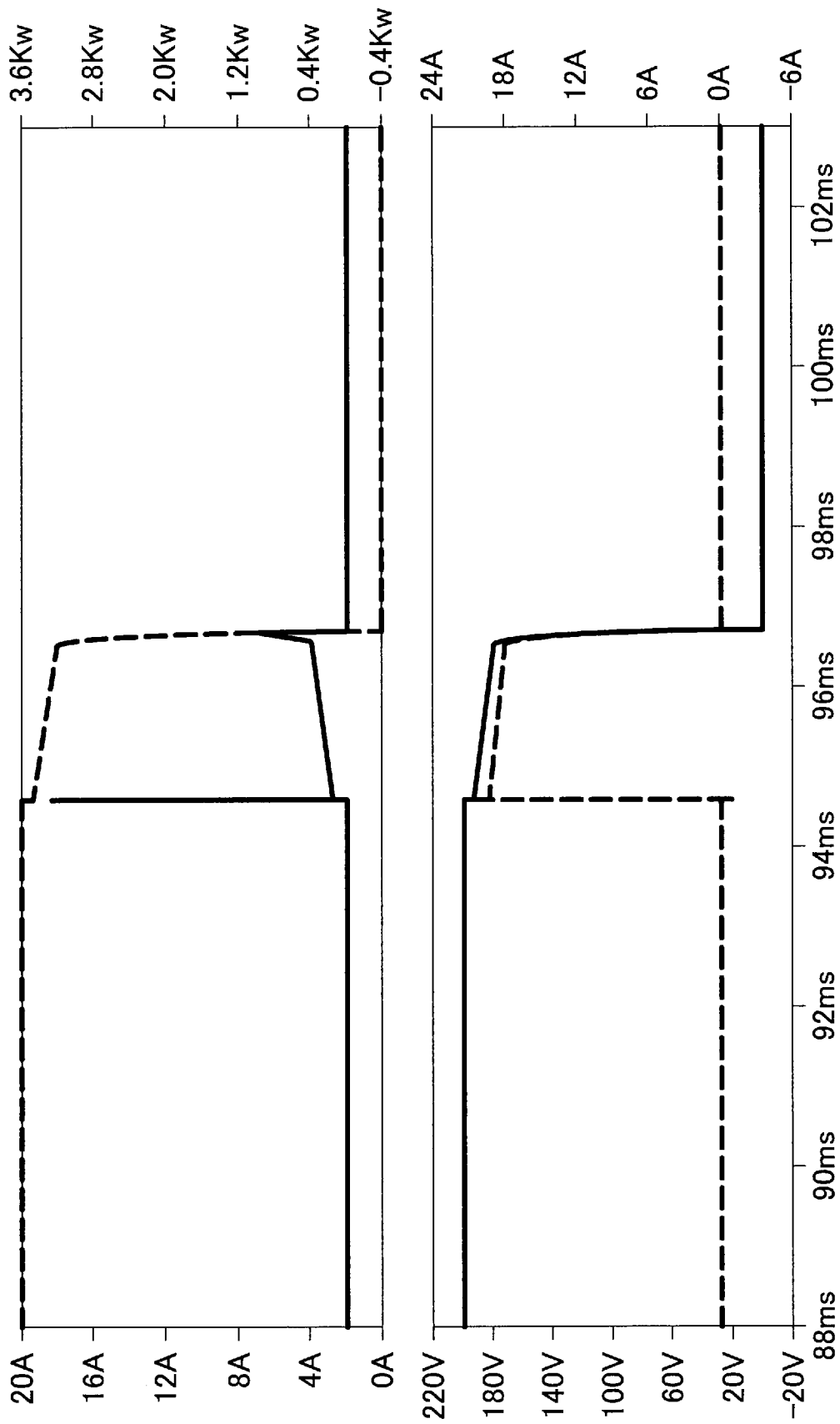
[図4]



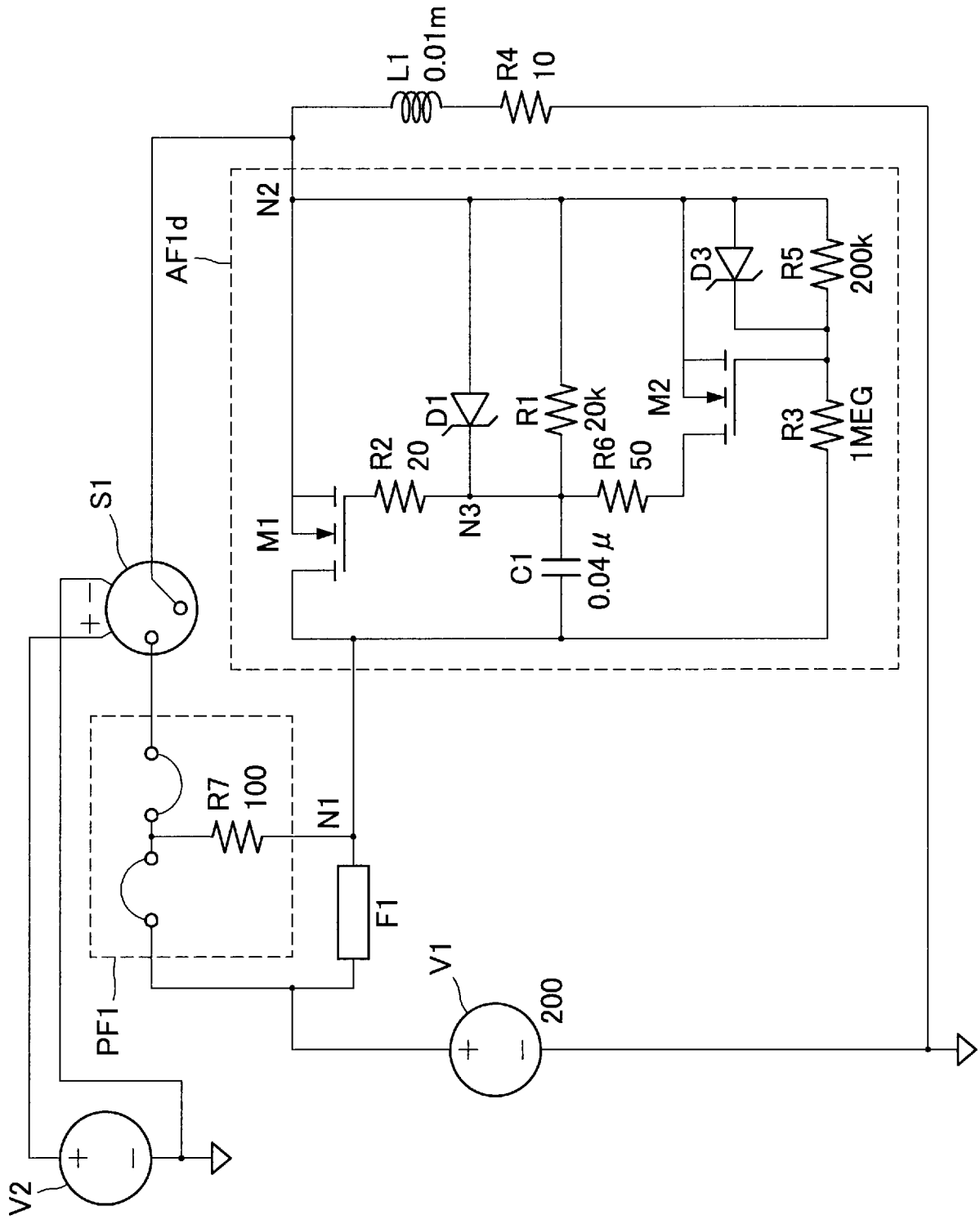
[図5]



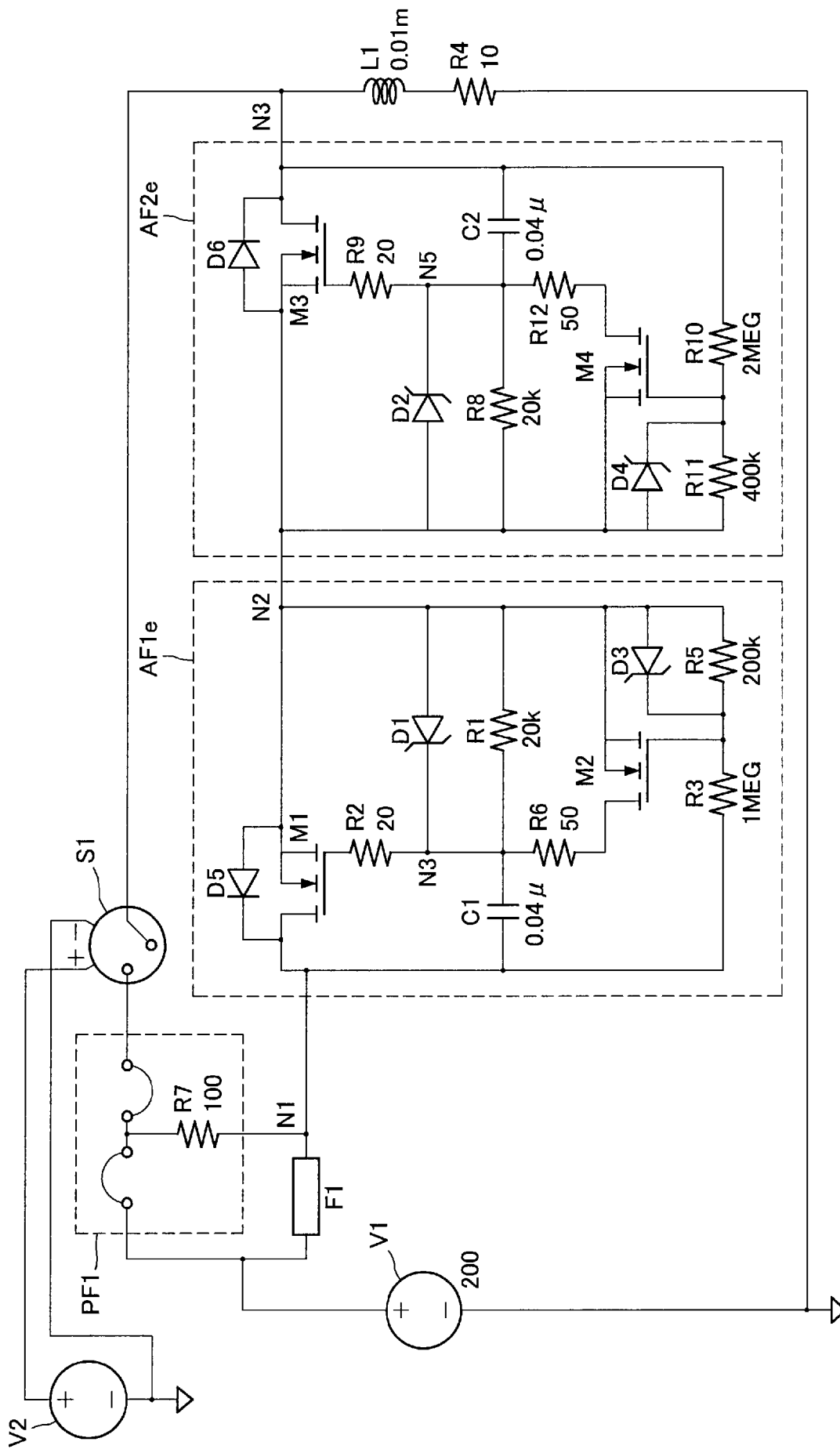
[圖6]



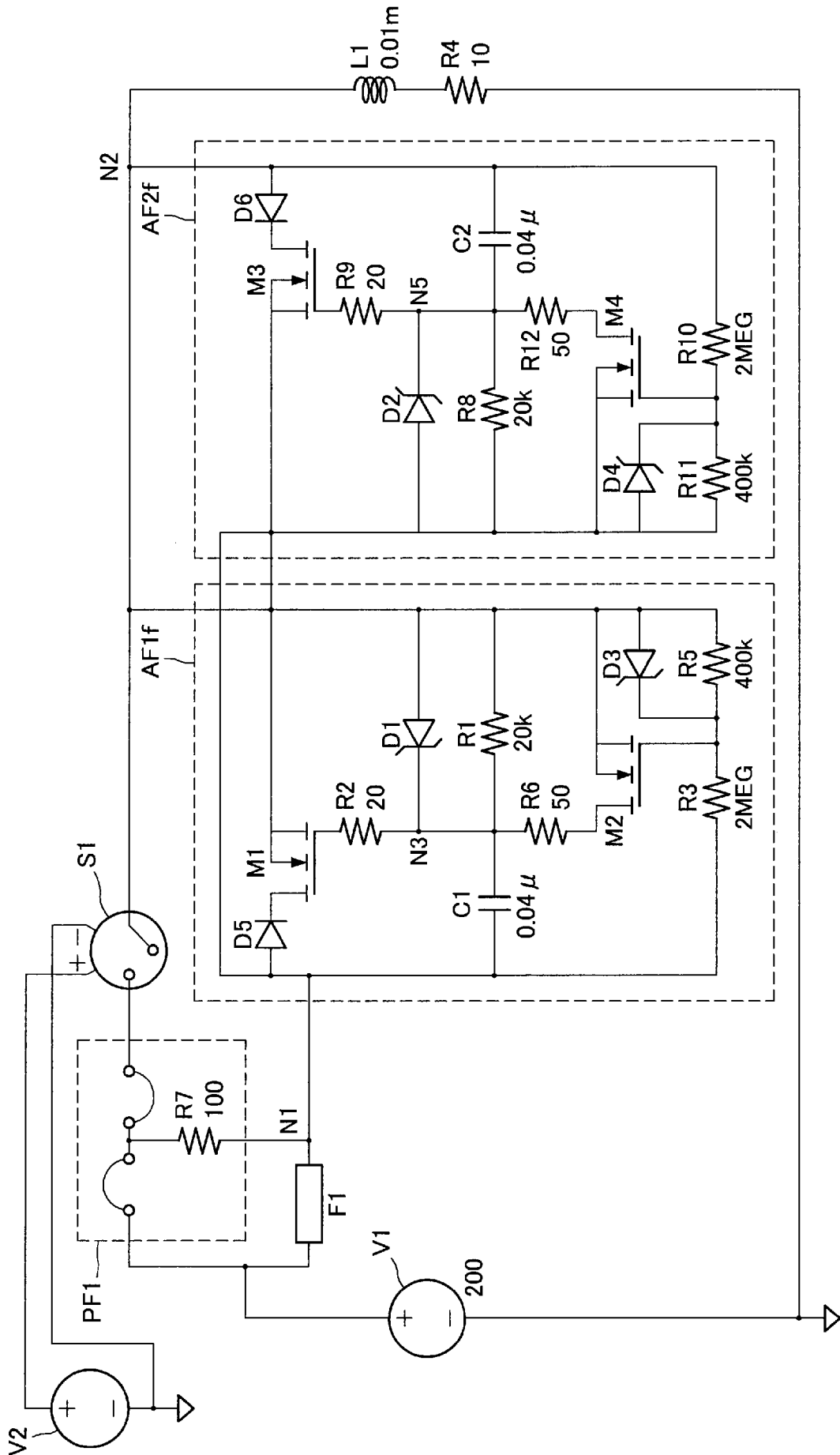
[図7]



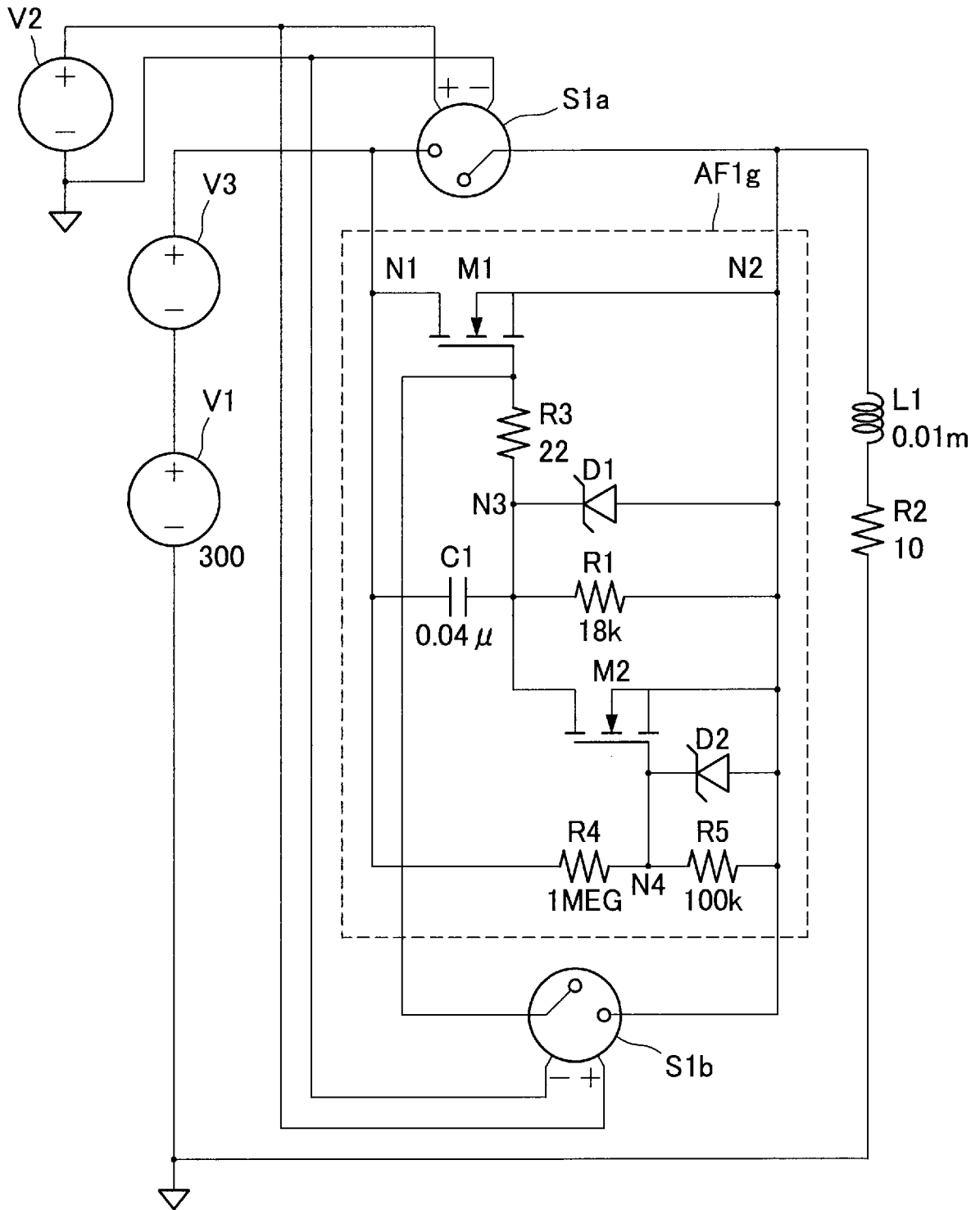
[圖8]



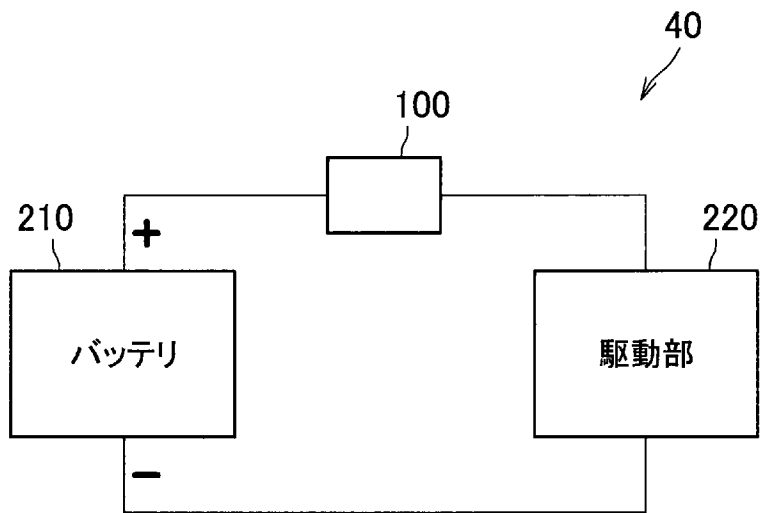
[9]



[図10]



[図11]



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2018/008627

**A. CLASSIFICATION OF SUBJECT MATTER**

Int.Cl. H01H47/00 (2006.01) i, B60R16/02 (2006.01) i, H01H33/59 (2006.01) n

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01H47/00, B60R16/02, H01H33/59

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2016/194584 A1 (SONY CORP.) 08 December 2016, paragraphs [0029]-[0038], [0087]-[0089], fig. 1, 13 (Family: none)	1, 2, 3, 4, 7, 8, 9, 12, 13, 14 5, 6, 10, 11
Y A	WO 2011/034140 A1 (KABUSHIKI KAISHA Y.Y.L) 24 March 2011, paragraphs [0035], [0047]-[0050], fig. 6, 9 (Family: none)	1, 2, 3, 4, 7, 8, 9, 12, 13, 14
A	JP 2017-527067 A (ELLENBERGER & POENSGEN GMBH) 14 September 2017, paragraphs [0001]-[0033], fig. 1-4 & US 2017/0098931 A1, paragraphs [0001]-[0040], fig. 1-4 & WO 2015/192924 A1 & EP 3158571 A1 & CN 106663557 A	1-14

Further documents are listed in the continuation of Box C.  See patent family annex.

* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 22 May 2018 (22.05.2018)	Date of mailing of the international search report 05 June 2018 (05.06.2018)
---	---

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer  Telephone No.
--	---

A. 発明の属する分野の分類（国際特許分類（IPC））  
 Int.Cl. H01H47/00(2006.01)i, B60R16/02(2006.01)i, H01H33/59(2006.01)n

B. 調査を行った分野  
 調査を行った最小限資料（国際特許分類（IPC））  
 Int.Cl. H01H47/00, B60R16/02, H01H33/59

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	WO 2016/194584 A1 (ソニー株式会社) 2016.12.08, 段落【0029】-【0038】, 【0087】-【0089】, 図1, 13 (ファミリーなし)	1, 2, 3, 4, 7, 8, 9, 12, 13, 14 5, 6, 10, 11
Y	WO 2011/034140 A1 (株式会社ワイ・ワイ・エル) 2011.03.24, 段落【0035】, 【0047】-【0050】, 図6, 9 (ファミリーなし)	1, 2, 3, 4, 7, 8, 9, 12, 13, 14

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日  
 22.05.2018

国際調査報告の発送日  
 05.06.2018

国際調査機関の名称及びあて先  
 日本国特許庁（ISA/J P）  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員） 関 信之	3 T	9 2 4 9
電話番号 03-3581-1101 内線 3368		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	J P 2017-527067 A (エレンベルガー ウント ペンスケン ゲゼルシャフト ミット ベシュレンクテル ハフツング) 2017.09.14, 段落【0001】 - 【0033】, 図1 - 4 & US 2017/0098931 A1, 段落【0001】 - 【0040】, 図1-4 & WO 2015/192924 A1 & EP 3158571 A1 & CN 106663557 A	1-14