

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5974792号
(P5974792)

(45) 発行日 平成28年8月23日 (2016. 8. 23)

(24) 登録日 平成28年7月29日 (2016. 7. 29)

(51) Int. Cl. F I
G 0 6 F 17/50 (2006.01)
 G 0 6 F 17/50 6 6 6 V
 G 0 6 F 17/50 6 6 2 G

請求項の数 5 (全 20 頁)

<p>(21) 出願番号 特願2012-220542 (P2012-220542) (22) 出願日 平成24年10月2日 (2012. 10. 2) (65) 公開番号 特開2014-74949 (P2014-74949A) (43) 公開日 平成26年4月24日 (2014. 4. 24) 審査請求日 平成27年7月2日 (2015. 7. 2)</p>	<p>(73) 特許権者 514315159 株式会社ソシオネクスト 神奈川県横浜市港北区新横浜 2 丁目 1 0 番 2 3 (74) 代理人 100074099 弁理士 大菅 義之 (74) 代理人 100133570 弁理士 ▲徳▼永 民雄 (72) 発明者 鎌田 裕 神奈川県横浜市港北区新横浜二丁目10番 23 富士通セミコンダクター株式会社内 審査官 松浦 功</p>
--	---

最終頁に続く

(54) 【発明の名称】 電磁界回路連携解析プログラム、電磁界回路連携解析装置及び電磁界回路連携解析方法

(57) 【特許請求の範囲】

【請求項 1】

コンピュータに、

解析対象の電子回路に対応するデバイスモデルの位置を示すデバイス位置情報及び前記デバイスモデルの端子の位置を示す端子位置情報に基づいて、前記端子の位置に対応する回路枝を格子上に生成させ、

前記回路枝を所定規則に基づいて接続させることにより基準導体を生成させ、

前記回路枝及び前記基準導体を含む電磁界情報に基づく電磁界解析と回路情報に基づく回路解析との連携解析を実行させる、

ことを特徴とする電磁界回路連携解析プログラム。

10

【請求項 2】

前記基準導体は、複数の前記回路枝を所定規則に基づいて接続させることにより基準格子点を複数の格子点に拡張したものであることを特徴とする請求項 1 に記載の電磁界回路連携解析プログラム。

【請求項 3】

前記所定規則は、迷路法であることを特徴とする請求項 1 または 2 に記載の電磁界回路連携解析プログラム。

【請求項 4】

電磁界解析と回路解析との連携解析を行なう電磁界回路連携解析装置であって、

解析対象の電子回路に対応するデバイスモデルの位置を示すデバイス位置情報及び前記

20

デバイスモデルの端子の位置を示す端子位置情報に基づいて、前記端子の位置に対応する回路枝を格子上に生成する回路枝生成手段と、

前記回路枝を所定規則に基づいて接続させることにより基準導体を生成する基準導体生成手段と、

前記回路枝及び前記基準導体を含む電磁界情報に基づく電磁界解析と、回路情報に基づく回路解析との連携解析を実行する連携解析手段と、

を有することを特徴とする電磁界回路連携解析装置。

【請求項 5】

コンピュータが、

解析対象の電子回路に対応するデバイスモデルの位置を示すデバイス位置情報及び前記デバイスモデルの端子の位置を示す端子位置情報に基づいて、前記端子の位置に対応する回路枝を格子上に生成し、

前記回路枝を所定規則に基づいて接続させることにより基準導体を生成し、

前記回路枝及び前記基準導体を含む電磁界情報に基づく電磁界解析と回路情報に基づく回路解析との連携解析を実行する、

ことを特徴とする電子回路解析方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有限差分時間領域における電磁波解析法と過渡電気回路解析による回路解析法を結合した連携解析をコンピュータに実行させるための電磁界回路連携解析プログラム、電磁界回路連携解析装置及び電磁界回路連携解析方法に関する。

【背景技術】

【0002】

従来、電子回路の電磁界を解析するシミュレーション方法として、電磁波解析シミュレータによる F D T D (Finite-difference time-domain: 有限差分時間領域) 法と、回路解析シミュレータによる S P I C E (Simulation Program with Integrated Circuit Emphasis: 集積回路に重点を置いたシミュレーションプログラム) 等の回路シミュレーションとを連携させる方法が知られている。

【0003】

F D T D 法は、電磁波の過渡的な挙動をシミュレーションする電磁界解析の一手法であり、電磁波の基本方程式であるマクスウェル微分方程式を時間と空間で差分化し、解析空間の電磁界を時間的に更新して出力点の時間応答を得る方法である。また、S P I C E は、カリフォルニア大学バークレイ校により開発された過渡電気回路解析用のツールであり、プリント基板上に配置された集積回路等の回路素子の動作を電磁界解析と同時に解析する。

【0004】

電磁波解析シミュレータによる F D T D 法は、波源を与え、時刻を進めながら電界と磁界とを交互に求め、差分化されたセルに回路を割り当てて解析することができる。そして、S P I C E 等の回路解析シミュレータに磁界を与える。回路解析シミュレータは、この磁界を電流値として受け取り、回路解析を行う。そして、回路解析の結果を電圧値として F D T D 法を用いた電磁波解析シミュレータへ返す。電磁波解析シミュレータは、更に、この電界を元に磁界を解析する。

【0005】

これらの処理が連携して繰り返されることにより、電磁波の挙動が求められる。

図 1 は、第 1 の従来技術の例を示す図である。

図 1 において、(A) は、ベース [B]、コレクタ [C] 及びエミッタ [E] の 3 端子の電磁界等価回路の例であり、(B) は、(A) の電磁界等価回路を F D T D ソルバーで表わしたものであり、(C) は、(A) の電磁界等価回路を S P I C E ソルバーで表わしたものである。

10

20

30

40

50

【 0 0 0 6 】

ここで、図 1 (B) に示すような回路枝は、F D T D モデルの電界格子の枝の 1 種であり、S P I C E ソルバーにより計算された電界が設定される。電磁界等価回路は、S P I C E のネッリストであり、F D T D 法により計算された電流が設定される。このような 3 端子の電磁界等価回路であれば、複雑な回路素子部の計算は S P I C E ソルバーで計算し、その結果を F D T D ソルバーに取り込んで計算することにより、回路全体の F D T D - S P I C E 連携解析を行うことができる (例えば、非特許文献 1 参照。)。

【 0 0 0 7 】

図 2 は、第 2 の従来技術の例を示す図である。

図 2 において、(A) は、グランドプレーンが存在する N 端子回路網の例であり、(B) は、(A) の N 端子回路網を F D T D ソルバーで表わしたものであり、(C) は、(A) の N 端子回路網を S P I C E ソルバーで表わしたものである。

10

【 0 0 0 8 】

解析の対象とする電子機器に P C B (Printed Circuit Board : プリント回路基板) のグランドプレーンが存在する場合、N 端子回路網に対してトーマスの 2 端子等価回路を N 個使った連携方法が知られている (例えば、非特許文献 2 参照。)。図 2 (A) に示すような N 端子回路網の場合、回路網の端子と直下のグランドプレーンとの間の電位差を、この端子における参照電圧として設定する。

【 先行技術文献 】

【 非特許文献 】

20

【 0 0 0 9 】

【 非特許文献 1 】 A. Thomas , 他 : The use of SPICE lumped circuits as sub-grid models for FDTD analysis , IEEE Microwave and Guided Wave Letters , vol.4 , pp141-143 (1994)

【 非特許文献 2 】 浅井秀樹 , 他 : 電子回路シミュレーション技法 , 科学技術出版 , pp255-257

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 0 】

図 3 は、第 1 の従来技術を N 端子の電磁界等価回路に拡張した場合を示す図である。

30

上記第 1 の従来技術の場合、図 3 (A) に示すように、3 端子の電磁界等価回路を N 端子の電磁界等価回路に拡張して考えることができる。ここで、N は 4 以上の自然数である。その際、F D T D 格子点にある回路枝は基準となる 1 つの格子点 (基準格子点 : リファレンス端子) に接続していればよい。

【 0 0 1 1 】

ところが、1 つの格子点に接続できる回路枝は、x y z 軸の正負方向のうち端子に接続する導体まで考慮すると、図 3 (B) に示すように、最大で 5 個である。

図 4 は、6 端子の電磁界等価回路の F D T D モデル (A) と S P I C E モデル (B) を示す図である。

【 0 0 1 2 】

40

1 つの基準格子点に接続可能な端子の数は 5 つであるので、図 4 (A) に示すように、6 端子の電磁界等価回路の F D T D モデルを構成することが可能である。

しかしながら、6 端子回路網を超える、一般的な N 端子回路網の連携解析を行うことができない、という問題点があった。

【 0 0 1 3 】

図 5 は、8 端子の電磁界等価回路の F D T D モデル (A) と S P I C E モデル (B) を示す図である。

1 つの基準格子点に接続可能な端子の数は 5 つであるので、図 5 (A) に示すように、8 端子の電磁界等価回路の F D T D モデルを構成することができない。

【 0 0 1 4 】

50

図6は、グラウンドプレーンが存在しない回路網の例を示す図である。

図6に示すように、デバイス直下にグラウンドプレーンが存在しないため、回路網の端子と直下のグラウンドプレーンとの間の電位差を、端子における参照電圧として設定することが出来ず、グラウンドプレーンが存在しないN端子回路網の連携解析を行うことができない、という問題点があった。

【0015】

本発明は、上述のような実状に鑑みたものであり、電磁界回路連携解析を行う際、リファレンス端子に対応する電界格子点を導体で結び複数の電界格子点に拡張することで、機器にグラウンドプレーンが存在しない場合でも、多端子回路の連携解析が可能な電磁界回路連携解析プログラム、電磁界回路連携解析装置及び電磁界回路連携解析方法を提供すること

10

【課題を解決するための手段】

【0016】

1つの案では、コンピュータに、解析対象の電子回路に対応するデバイスモデルの位置を示すデバイス位置情報及び前記デバイスモデルの端子の位置を示す端子位置情報に基づいて、前記端子の位置に対応する回路枝を格子点上に生成させ、前記回路枝を所定規則に基づいて接続させることにより基準導体を生成させ、前記回路枝及び前記基準導体を含む電磁界情報に基づく電磁界解析と回路情報に基づく回路解析との連携解析を実行させることを特徴とする。

【発明の効果】

20

【0017】

本発明によれば、等価回路に対応する電界格子枝をグラウンドプレーンに接続する必要がないので、グラウンドプレーンが存在しないN端子回路網であっても連携解析が可能になる、という効果を奏する。

【図面の簡単な説明】

【0018】

【図1】第1の従来技術の例を示す図である。

【図2】第2の従来技術の例を示す図である。

【図3】第1の従来技術をN端子の電磁界等価回路に拡張した場合を示す図である。

【図4】6端子の電磁界等価回路のFDTDモデル(A)とSPICEモデル(B)を示す図である。

30

【図5】8端子の電磁界等価回路のFDTDモデル(A)とSPICEモデル(B)を示す図である。

【図6】グラウンドプレーンが存在しない回路網の例を示す図である。

【図7】8端子の電磁界等価回路のFDTDモデルを示す図である。

【図8】グラウンドプレーンが存在しない回路網のFDTDモデル(A)とSPICEモデル(B)を示す図である。

【図9】本実施の形態を適用した電磁界回路連携解析装置の機能構成の一例を説明する図である。

【図10】本実施の形態を適用した電磁界回路連携解析装置において実行される連携データ生成処理の流れを示すフローチャートである。

40

【図11】連携情報記憶部901の構成を説明するための図である。

【図12】連携情報記憶部901の構成例を示す図である。

【図13】連携データ生成処理の具体例1の流れを説明するための図である。

【図14】連携データ生成処理の具体例2の流れを説明するための図である。

【図15】連携データ生成処理の具体例3の流れを説明するための図である。

【図16】連携データ生成処理の具体例4の流れを説明するための図である。

【図17】連携データ生成処理の具体例5の流れを説明するための図である。

【図18】連携データ生成処理の具体例6の流れを説明するための図である。

【図19】連携電磁界情報記憶部905に追加される電磁界情報の構成例を示す図である

50

。【図 20】連携回路情報記憶部 906 に追加される回路情報の構成例を示す図である。

【図 21】仮想端子を基準とすることを説明するための図である。

【図 22】デバイス領域定義例 1 を示す図である。

【図 23】デバイス領域定義例 1 の配線例 1 を示す図である。

【図 24】デバイス領域定義例 1 の配線例 2 を示す図である。

【図 25】デバイス領域定義例 1 の配線例 3 を示す図である。

【図 26】デバイス領域定義例 2 を示す図である。

【図 27】デバイス領域定義例 2 の配線例 1 を示す図である。

【図 28】デバイス領域定義例 2 の配線例 2 を示す図である。

【図 29】デバイス領域定義例 2 の配線例 3 を示す図である。

【発明を実施するための形態】

【0019】

以下、本発明の実施の形態について、図面を参照しながら詳細に説明する。

本実施の形態は、パーソナルコンピュータ等の情報処理装置に電磁界回路連携解析プログラムが組み込まれ、前記情報処理装置が電磁界回路連携解析装置として前記電磁界回路連携解析プログラムを実行することにより実現される。

【0020】

図 7 は、8 端子の電磁界等価回路の FDTD モデルを示す図である。

図 7 を用いて、本発明の概念を説明する。

基準格子点を複数の格子点に展開するために、後述する所定のアルゴリズムにより、デバイス位置に仮想的な導体を展開する。そして、基準格子点を共有すべき電界枝を、展開された基準格子点のいずれかに接続するようにする。

【0021】

複数の基準格子点の電位は、デバイス位置に展開された導体により短絡されるため、近似的に単一格子点の単一の電位とみなすことができる。デバイス端子からデバイス部に流れ込む電流は、デバイス位置に展開された導体部に閉じて流れるため、近似的に単一格子点に流れ込む電流とみなせる。

【0022】

図 8 は、グランドプレーンが存在しない回路網の FDTD モデル (A) と SPICE モデル (B) を示す図である。

図 8 に示すように、等価回路に対応する電界格子枝をグランドプレーンに接続する必要がないので、グランドプレーンが存在しない N 端子回路網であっても連携解析が可能になる。よって、機器にグランドプレーンが無くても 7 端子以上のデバイスのシミュレーションが可能となる。

【0023】

図 9 は、本実施の形態を適用した電磁界回路連携解析装置の機能構成の一例を説明する図である。

図 9 において、電磁界回路連携解析装置 900 は、連携データ生成部 910、制御部 920、FDTD ソルバー 930、および回路シミュレータ 940 を有する。また、電磁界回路連携解析装置 900 は、連携情報記憶部 901、電磁界情報記憶部 902、回路情報記憶部 903 及び制御情報記憶部 904 を参照可能である。

【0024】

連携データ生成部 910 は、電界格子点と回路網端子の対応情報から、電磁界等価回路、等価回路に対応した電界枝 (回路枝)、レファレンス格子点を短絡するための基準導体を生成する。そして、回路情報記憶部 903 に記憶された回路情報に付加して連携回路情報記憶部 906 に記憶し、電磁界情報記憶部 902 に記憶された電磁界情報に付加して連携電磁界情報記憶部 905 に記憶する。連携データ生成部 910 による基準導体の生成については、詳細を後述する。

【0025】

10

20

30

40

50

連携情報記憶部 901 は、デバイス位置情報、端子位置情報、端子名情報などの連携情報を記憶する。電磁界情報記憶部 902 は、電界格子定義、誘電体定義、導体定義、回路枝定義などの電磁界情報を記憶する。回路情報記憶部 903 は、回路シミュレータ 940 による回路解析の対象となる回路素子の接続情報である S P I C E ネットリストを記憶する。そして、制御情報記憶部 904 は、電磁界回路連携解析装置 900 による電子回路の解析を開始するときの開始時刻、電磁界回路連携解析装置 900 による電子回路の解析を終了するときの終了時刻、出力情報などの制御情報を記憶する。

【0026】

FDTD ソルバー 930 は、波源を与えて電界 E と磁界 H とを交互に求め、制御部 920 を介して解析結果である磁界を回路シミュレータ 940 へ与える。回路シミュレータ 940 は、与えられた磁界 H を電流値 I として回路解析を行い、電圧値 V として電界 E を FDTD ソルバー 930 へ返す。FDTD ソルバー 930 と回路シミュレータ 940 との間でこの処理を繰り返しながら、電子回路の電磁波の挙動を求める。このように 2 つのシミュレーションを連携することによって、例えばプリント板の解析が行われる。

10

【0027】

制御部 920 は、入力部 921、データ交換部 922 及び出力部 923 を有し、電磁界回路連携解析装置 900 による解析処理を制御する。入力部 921 は、連携電磁界情報記憶部 905 及び連携回路情報記憶部 906 から適宜電磁界情報及び回路情報を読み込み、FDTD ソルバー 930 や回路シミュレータ 940 へ入力する。データ交換部 922 は、FDTD ソルバー 930 と回路シミュレータ 940 との間で各データの受け渡しを行う。そして、出力部 923 は、電磁界回路連携解析装置 900 による解析結果 907 を出力する。

20

【0028】

電磁界回路連携解析装置 900 は、上記構成により、4 端子回路網でグランドプレーンが無い場合の解析結果（波形）907 の異常、5 端子以上の回路網でグランドプレーンが無い場合に発生した自動生成不能によるエラー終了などの、従来の連携解析装置における解析処理の不具合を解消することができる。

【0029】

図 10 は、本実施の形態を適用した電磁界回路連携解析装置において実行される連携データ生成処理の流れを示すフローチャートである。

30

まず、ステップ S1001 において、連携データ生成部 910 が、連携情報記憶部 901 に記憶されたデバイス位置と端子位置情報に基づいて、回路枝を生成して配置し、基準導体を生成して配線する。なお、回路枝の生成、配置及び基準導体の生成、配線については、その具体例を図 13 乃至図 18 を用いて後述する。

【0030】

次に、ステップ S1002 において、連携データ生成部 910 が、ステップ S1001 の配置配線処理で生成した回路枝と導体を、電磁界情報記憶部 902 に格納された電磁界情報に付加し、連携電磁界情報記憶部 905 へ出力する。具体例は、図 19 を用いて後述する。

【0031】

そして、ステップ S1003 において、連携データ生成部 910 が、連携情報記憶部 901 に記憶された端子名情報に基づいて、回路情報記憶部 903 に記憶された回路情報に電界等価回路を付加し、連携回路情報記憶部 906 へ出力する。具体例は、図 20 を用いて後述する。

40

【0032】

ここで、連携情報記憶部 901 について説明する。

図 11 は、連携情報記憶部 901 の構成を説明するための図である。

図 11 に示すように、連携情報記憶部 901 に記憶される連携情報は、デバイス位置を電界格子上の直方体であるデバイス領域として定義される。デバイス領域内には連携解析のための回路枝と基準導体が配置される。

50

【0033】

デバイス回路網のネットリスト端子(図11(B)参照)の端子位置情報は、端子位置が端子数分だけ指定され、端子位置は、デバイス領域の辺を除く表面上に定義される(図11(A)参照)。端子名情報は、端子名(ネットリスト上のノード名)が端子数分だけ定義される。なお、端子位置と端子名は指定された順序で対応するものとする。

【0034】

図12は、連携情報記憶部901の構成例を示す図である。

図12において、(A)は、連携情報記憶部901に定義される連携情報の構成例であり、(B)は、デバイス領域として定義された連携情報の例であり、(C)は、(A)の連携情報をSPICEソルバーで表わしたものである。

10

【0035】

図12に示すように、連携情報記憶部901には、デバイス位置情報、端子位置情報及び端子名情報が定義されている。

すなわち、デバイス位置情報は、その始点(100 100 100)と終点(110 110 102)で定義されている。端子位置情報は、(100 102 101)、(100 108 101)、(110 102 101)及び(110 108 101)の4点で定義されている。そして、端子名情報は、n1、n2、n3及びn4で定義されている。

【0036】

次に、図10を用いて説明した連携データ生成処理の具体例として具体例1乃至6を説明する。

20

図13は、連携データ生成処理の具体例1の流れを説明するための図である。

【0037】

図13の(A)は、連携データ生成処理の具体例1の流れを示すフローチャートである。

まず、ステップS1301において、連携データ生成部910が、連携情報記憶部901に記憶された端子位置情報に基づいて、端子数nを取得する。

【0038】

そして、ステップS1302において、k=1から1ずつ加算してn-1迄(k=1, 2, 3, ..., n-1)について、連携データ生成部910が、端子位置pkからデバイス位置領域の内側方向に1格子長の回路枝を配置し、その回路枝の他端を位置pk'(ダッシュ)とする。図13(B)に示した例では「p1'(ダッシュ)」、「p2'(ダッシュ)」及び「p3'(ダッシュ)」。

30

【0039】

次に、ステップS1303において、連携データ生成部910が、リファレンス端子である端子位置pnからデバイス位置領域の内側方向に1格子長の導体枝を配置し、導体枝の他端を位置pn'(ダッシュ)とする。図13(B)に示した例では「p4'(ダッシュ)」。

【0040】

次に、ステップS1304において、k=1から1ずつ加算してn-1迄について、図13(C)に示すように、連携データ生成部910が、位置pk'(ダッシュ)と位置pn'(ダッシュ)の間を電界格子に沿って迷路法により配線する。迷路法とは、始点から波紋が広がるような順序で配線格子にラベル付けを行うことによって、全方向の配線経路を探索する方法であり、配線経路があれば、最短のものを必ず見つけることができるという特徴を有している。

40

【0041】

そして、ステップS1305において、連携データ生成部910が、n-1本の配線結果をマージして基準導体とする。

【0042】

図14は、連携データ生成処理の具体例2の流れを説明するための図である。

50

図14の(A)は、連携データ生成処理の具体例2の流れを示すフローチャートである。

まず、ステップS1401において、連携データ生成部910が、連携情報記憶部901に記憶された端子位置情報に基づいて、端子数 n を取得する。

【0043】

そして、ステップS1402において、 $k = 1$ から1ずつ加算して n 迄($k = 1, 2, 3, \dots, n$)について、連携データ生成部910が、端子位置 p_k からデバイス位置領域の内側方向に1格子長の回路枝を配置し、その回路枝の他端を位置 $p_{k'}$ (ダッシュ)とする。図14(B)に示した例では「 p_1' (ダッシュ)」、「 p_2' (ダッシュ)」、「 p_3' (ダッシュ)」及び「 p_4' (ダッシュ)」。

10

【0044】

次に、ステップS1403において、連携データ生成部910が、デバイス領域の中心点「(始点位置+終点位置)/2」を計算し、位置 p_r とする(図14(B)参照)。

次に、ステップS1404において、 $k = 1$ から1ずつ加算して n 迄について、図14(C)に示すように、連携データ生成部910が、位置 $p_{k'}$ (ダッシュ)と位置 p_r の間を電界格子に沿って迷路法により配線する。

【0045】

そして、ステップS1405において、連携データ生成部910が、 n 本の配線結果をマージして基準導体とする。

【0046】

20

図15は、連携データ生成処理の具体例3の流れを説明するための図である。

図15の(A)は、連携データ生成処理の具体例3の流れを示すフローチャートである。

まず、ステップS1501において、連携データ生成部910が、連携情報記憶部901に記憶された端子位置情報に基づいて、端子数 n を取得する。

【0047】

そして、ステップS1502において、 $k = 1$ から1ずつ加算して $n - 1$ 迄について、図15(B)に示すように、連携データ生成部910が、端子位置 p_k からデバイス位置領域の内側方向に1格子長の回路枝を配置する。

【0048】

30

次に、ステップS1503において、図15(B)に示すように、連携データ生成部910が、端子位置 p_n からデバイス位置領域の内側方向に1格子長の導体枝を配置する。

次に、ステップS1504において、図15(C)に示すように、連携データ生成部910が、デバイス位置領域の1格子長離れた領域の内部を全て $x y z$ 方向の導体枝で埋めて、基準導体とする。

【0049】

図16は、連携データ生成処理の具体例4の流れを説明するための図である。

図16の(A)は、連携データ生成処理の具体例4の流れを示すフローチャートである。

【0050】

40

まず、ステップS1601において、連携データ生成部910が、連携情報記憶部901に記憶された端子位置情報に基づいて、端子数 n を取得する。

そして、ステップS1602において、 $k = 1$ から1ずつ加算して n 迄について、図16(B)に示すように、連携データ生成部910が、端子位置 p_k からデバイス位置領域の内側方向に1格子長の回路枝を配置する。

【0051】

次に、ステップS1603において、図16(C)に示すように、連携データ生成部910が、デバイス位置領域の1格子長離れた領域の内部を全て $x y z$ 方向の導体枝で埋めて、基準導体とする。

【0052】

50

図17は、連携データ生成処理の具体例5の流れを説明するための図である。

図17の(A)は、連携データ生成処理の具体例5の流れを示すフローチャートである。

【0053】

まず、ステップS1701において、図13のステップS1301乃至ステップS1305を実行する。

そして、ステップS1702において、 $k = 1$ から1ずつ加算して $n - 1$ 迄について、連携データ生成部910が、位置 p_k' (ダッシュ)に接続する配線をたどり、基準導体が分岐する位置を p_k'' (ツーダッシュ)とする。図17(B)に示した例では「 p_1' 」(ツーダッシュ)、「 p_2'' 」(ツーダッシュ)及び「 p_3'' 」(ツーダッシュ)」。 10

【0054】

次に、ステップS1703において、連携データ生成部910が、位置 p_k' (ダッシュ)と p_k'' (ツーダッシュ)との間の配線の p_k'' (ツーダッシュ)側の1格子長を回路枝に置き換える。図17(C)に示した例では、「 p_1' 」(ダッシュ)、「 p_1'' 」(ツーダッシュ)間、「 p_2' 」(ダッシュ)、「 p_2'' 」(ツーダッシュ)間及び「 p_3' 」(ダッシュ)、「 p_3'' 」(ツーダッシュ)間。また、連携データ生成部910が、位置 p_k と p_k' (ダッシュ)との間の回路枝を導体枝に置き換える。図17(C)に示した例では、「 p_1 」(ダッシュ)、「 p_1' 」(ダッシュ)間、「 p_2 」(ダッシュ)、「 p_2' 」(ダッシュ)間及び「 p_3 」(ダッシュ)、「 p_3' 」(ダッシュ)間。 20

【0055】

図18は、連携データ生成処理の具体例6の流れを説明するための図である。

図18の(A)は、連携データ生成処理の具体例6の流れを示すフローチャートである。

【0056】

まず、ステップS1801において、図14のステップS1401乃至ステップS1405を実行する。

そして、ステップS1802において、 $k = 1$ から1ずつ加算して n 迄について、連携データ生成部910が、位置 p_k' (ダッシュ)に接続する配線をたどり、基準導体が分岐する位置を p_k'' (ツーダッシュ)とする。図18(B)に示した例では「 p_1'' 」(ツーダッシュ)、「 p_2'' 」(ツーダッシュ)、「 p_3'' 」(ツーダッシュ)及び「 p_4'' 」(ツーダッシュ)」。 30

【0057】

次に、ステップS1803において、連携データ生成部910が、位置 p_k' (ダッシュ)と p_k'' (ツーダッシュ)との間の配線の p_k'' (ツーダッシュ)側の1格子長を回路枝に置き換える。図18(C)に示した例では、「 p_1' 」(ダッシュ)、「 p_1'' 」(ツーダッシュ)間、「 p_2' 」(ダッシュ)、「 p_2'' 」(ツーダッシュ)間、「 p_3' 」(ダッシュ)、「 p_3'' 」(ツーダッシュ)間及び「 p_4' 」(ダッシュ)、「 p_4'' 」(ツーダッシュ)間。また、連携データ生成部910が、位置 p_k と p_k' (ダッシュ)との間の回路枝を導体枝に置き換える。図18(C)に示した例では、「 p_1 」(ダッシュ)、「 p_1' 」(ダッシュ)間、「 p_2 」(ダッシュ)、「 p_2' 」(ダッシュ)間、「 p_3 」(ダッシュ)、「 p_3' 」(ダッシュ)間及び「 p_4 」(ダッシュ)、「 p_4' 」(ダッシュ)間。 40

【0058】

図19は、連携電磁界情報記憶部905に追加される電磁界情報の構成例を示す図である。

図10を用いて説明したように、ステップS1002において、連携データ生成部910は、ステップS1001の配置配線処理で生成した回路枝と導体を、電磁界情報記憶部902に格納された電磁界情報に付加し、連携電磁界情報記憶部905へ出力する。

【0059】

例えば、図19(C)に示したような回路網の場合は、図19(A)に示したような基 50

準導体及び図 19 (B) に示したような回路枝が生成され、連携電磁界情報記憶部 905 へ出力される。

【 0060 】

図 20 は、連携回路情報記憶部 906 に追加される回路情報の構成例を示す図である。

図 10 を用いて説明したように、ステップ S1003 において、連携データ生成部 910 は、連携情報記憶部 901 に記憶された端子名情報に基づいて、回路情報記憶部 903 に記憶された回路情報に電界等価回路を付加し、連携回路情報記憶部 906 へ出力する。

【 0061 】

例えば、図 20 (B) に示したような回路網の場合は、図 20 (A) に示したような電磁界等価回路が生成され、連携回路情報記憶部 906 へ出力される。

10

以上、図 7 乃至図 20 を用いて、本実施の形態を一通り説明した。

【 0062 】

次に、図 21 乃至図 29 を用いて、図 11 に示したデバイス領域とは異なるデバイス領域の定義例及び配線例を説明する。

図 11 に示した例を含め、これから説明するデバイス領域定義例 1 及びデバイス領域定義例 2 は、従来、単一格子点で共有されるべき回路枝の基準格子点が、導体により複数点に展開されており、実端子を基準とした場合には、基準導体が 1 つの端子以外に端子 (デバイス領域外の導体) との直接の接続を持たず、また、仮想端子を基準とした場合には、基準導体が直接の端子 (外部導体) との接続を持たないことを特徴とする。仮想端子を基準とするとは、図 21 のように、基準格子点を端子導体の接続していない仮想的な端子と

20

【 0063 】

図 22 は、デバイス領域定義例 1 を示す図である。

図 22 に示すように、デバイス位置は電界格子上の直方体であるデバイス領域として定義され、その側面に 6 つの端子が定義される。

【 0064 】

図 23 は、デバイス領域定義例 1 の配線例 1 を示す図である。

図 23 に示すように、中心部から放射状に最短線路となるように配線される。なお、(A) は実端子を基準に配線した例であり、(B) は仮想端子を基準に配線した例である。

【 0065 】

図 24 は、デバイス領域定義例 1 の配線例 2 を示す図である。

図 24 に示すように、インピーダンスが小さくなるように基準導体が敷き詰められる。ただし、基準導体の容量成分は大きくなる。なお、(A) は実端子を基準に配線した例であり、(B) は仮想端子を基準に配線した例である。

30

【 0066 】

図 25 は、デバイス領域定義例 1 の配線例 3 を示す図である。

図 25 に示すように、基準導体部分ができるべく小さくなるように配線される。なお、(A) は実端子を基準に配線した例であり、(B) は仮想端子を基準に配線した例である。

【 0067 】

図 26 は、デバイス領域定義例 2 を示す図である。

40

図 26 に示すように、デバイス位置は電界格子上の直方体であるデバイス領域として定義され、その下面に 9 つの端子が定義される。

【 0068 】

図 27 は、デバイス領域定義例 2 の配線例 1 を示す図である。

図 27 に示すように、中心部から放射状に最短線路となるように配線される。なお、(A) は実端子を基準に配線した例であり、(B) は仮想端子を基準に配線した例である。

【 0069 】

図 28 は、デバイス領域定義例 2 の配線例 2 を示す図である。

図 28 に示すように、インピーダンスが小さくなるよう基準導体が敷き詰められる。ただし、基準導体の容量成分は大きくなる。なお、(A) は実端子を基準に配線した例であ

50

り、(B)は仮想端子を基準に配線した例である。

【0070】

図29は、デバイス領域定義例2の配線例3を示す図である。

図29に示すように、基準導体部分がなるべく小さくなるように配線される。なお、(A)は実端子を基準に配線した例であり、(B)は仮想端子を基準に配線した例である。

【0071】

以上、本発明の実施の形態を、図面を参照しながら説明してきたが、上述してきた本発明の実施の形態は、電磁界回路連携解析装置の一機能としてハードウェアまたはDSP(Digital Signal Processor)ボードやCPUボードでのファームウェアもしくはソフトウェアにより実現することができる。

10

【0072】

また、本発明が適用される電磁界回路連携解析装置は、その機能が実行されるのであれば、上述の実施の形態に限定されることなく、単体の装置であっても、複数の装置からなるシステムあるいは統合装置であっても、LAN、WAN等のネットワークを介して処理が行なわれるシステムであってもよいことは言うまでもない。

【0073】

また、本発明が適用される電磁界回路連携解析装置は、バスに接続されたCPU、ROMやRAMのメモリ、入力装置、出力装置、外部記録装置、媒体駆動装置、ネットワーク接続装置で構成されるシステムでも実現できる。すなわち、前述してきた実施の形態のシステムを実現するソフトウェアのプログラムを記録したROMやRAMのメモリ、外部記録装置、可搬記録媒体を、電磁界回路連携解析装置に供給し、その電磁界回路連携解析装置のコンピュータがプログラムを読み出し実行することによっても、達成されることは言うまでもない。

20

【0074】

この場合、可搬記録媒体等から読み出されたプログラム自体が本発明の新規な機能を実現することになり、そのプログラムを記録した可搬記録媒体等は本発明を構成することになる。

【0075】

プログラムを供給するための可搬記録媒体としては、例えば、フレキシブルディスク、ハードディスク、光ディスク、光磁気ディスク、CD-ROM、CD-R、DVD-ROM、DVD-RAM、磁気テープ、不揮発性のメモリーカード、ROMカード、電子メールやパソコン通信等のネットワーク接続装置(言い換えれば、通信回線)を介して記録した種々の記録媒体などを用いることができる。

30

【0076】

また、コンピュータ(情報処理装置)がメモリ上に読み出したプログラムを実行することによって、前述した実施の形態の機能が実現される他、そのプログラムの指示に基づき、コンピュータ上で稼動しているOSなどが実際の処理の一部または全部を行ない、その処理によっても前述した実施の形態の機能が実現される。

【0077】

さらに、可搬記録媒体から読み出されたプログラムやプログラム(データ)提供者から提供されたプログラム(データ)が、コンピュータに挿入された機能拡張ボードやコンピュータに接続された機能拡張ユニットに備わるメモリに書き込まれた後、そのプログラムの指示に基づき、その機能拡張ボードや機能拡張ユニットに備わるCPUなどが実際の処理の一部または全部を行ない、その処理によっても前述した実施の形態の機能が実現され得る。

40

【0078】

すなわち、本発明は、以上に述べた実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲内で種々の構成または形状を取ることができる。

【符号の説明】

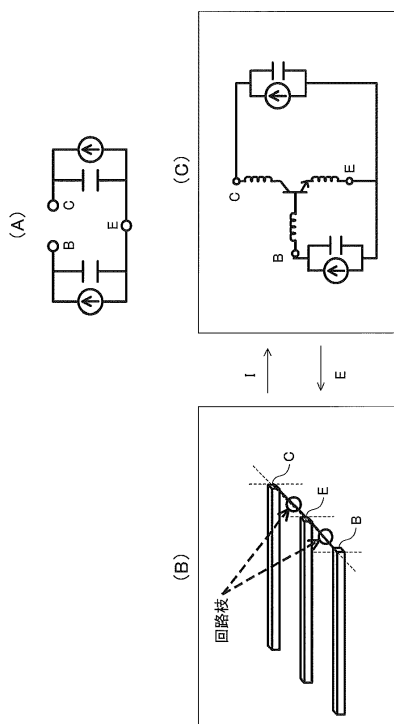
【0079】

50

- 9 0 0 電磁界回路連携解析装置
- 9 0 1 連携情報記憶部
- 9 0 2 電磁界情報記憶部
- 9 0 3 回路情報記憶部
- 9 0 4 制御情報記憶部
- 9 0 5 連携電磁界情報記憶部
- 9 0 6 連携回路情報記憶部
- 9 0 7 解析結果
- 9 1 0 連携データ生成部
- 9 2 0 制御部
- 9 2 1 入力部
- 9 2 2 データ交換部
- 9 2 3 出力部
- 9 3 0 FDTDソルバー
- 9 4 0 回路シミュレータ

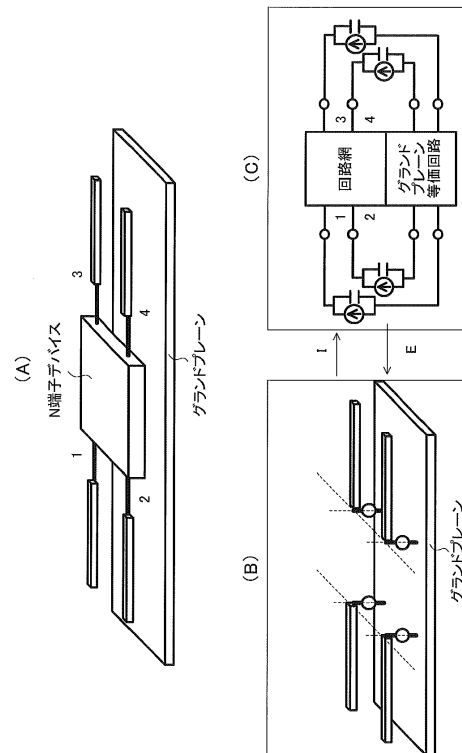
【図1】

第1の従来技術の例を示す図



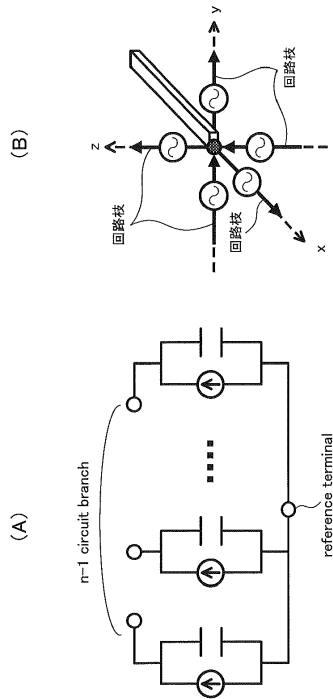
【図2】

第2の従来技術の例を示す図



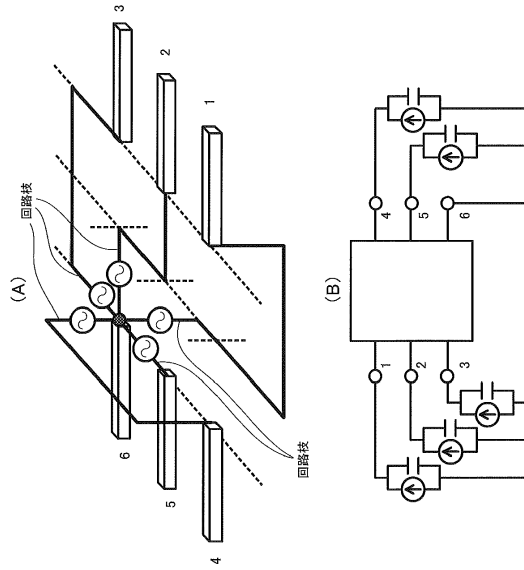
【図3】

第1の従来技術をN端子の電磁界等価回路に拡張した場合を示す図



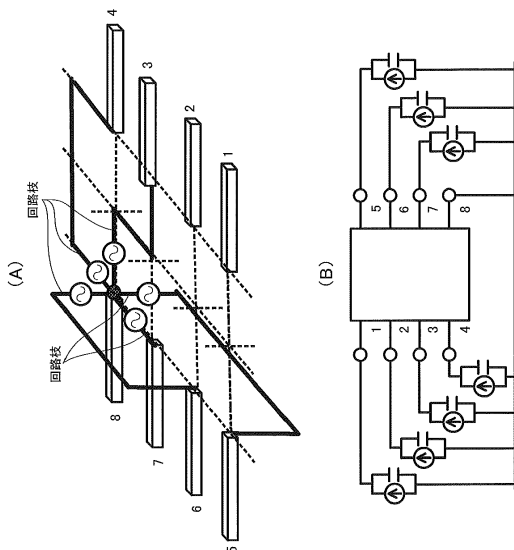
【図4】

6端子の電磁界等価回路のFDTDモデル(A)とSPICEモデル(B)を示す図



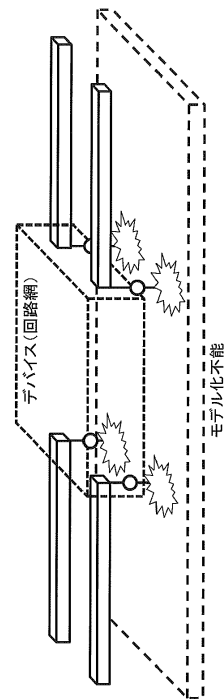
【図5】

8端子の電磁界等価回路のFDTDモデル(A)とSPICEモデル(B)を示す図



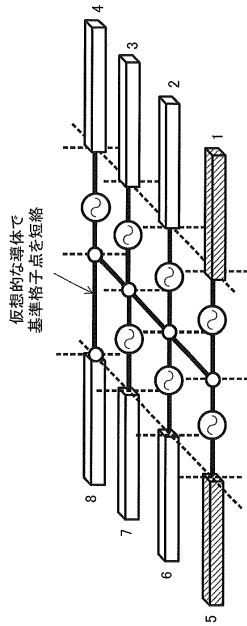
【図6】

グラウンドプレーンが存在しない回路網の例を示す図



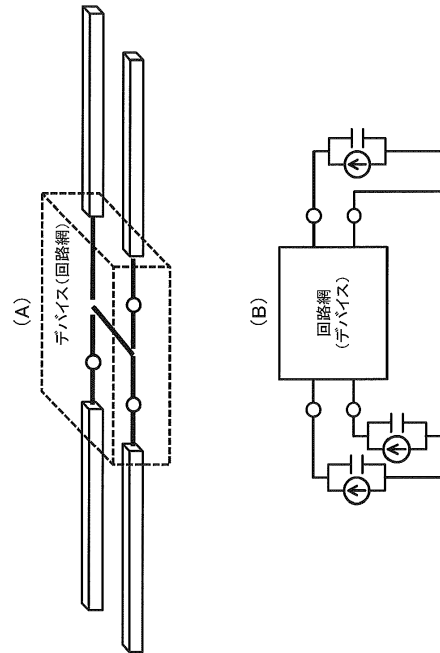
【図7】

8端子の電磁界等価回路のFDTDモデルを示す図



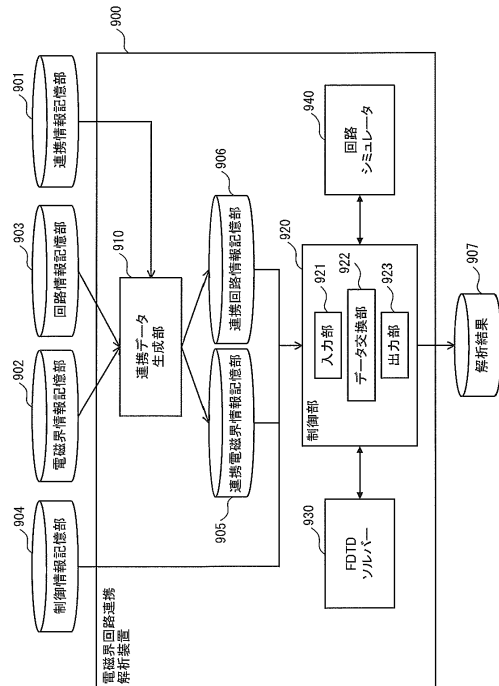
【図8】

グラウンドプレーンが存在しない回路網のFDTDモデル(A)とSPICEモデル(B)を示す図



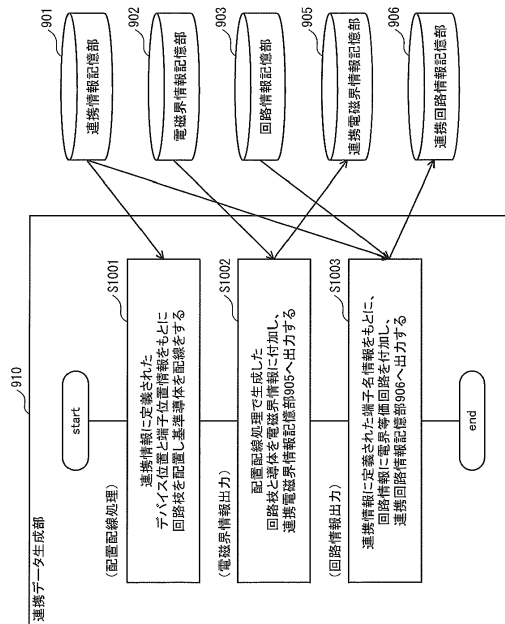
【図9】

本実施の形態を適用した電磁界回路連携解析装置の機能構成の一例を説明する図



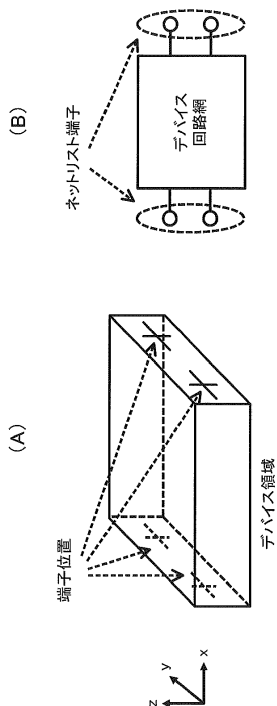
【図10】

本実施の形態を適用した電磁界回路連携解析装置において実行される連携データ生成処理の流れを示すフローチャート



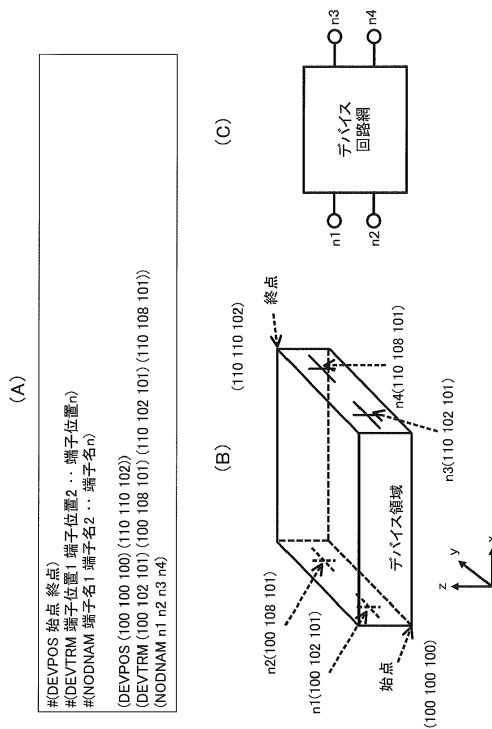
【図 1 1】

連携情報記憶部901の構成を説明するための図



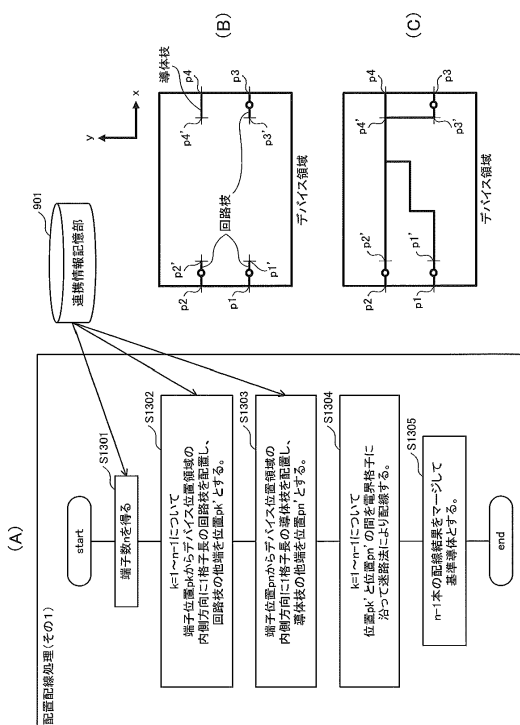
【図 1 2】

連携情報記憶部901の構成例を示す図



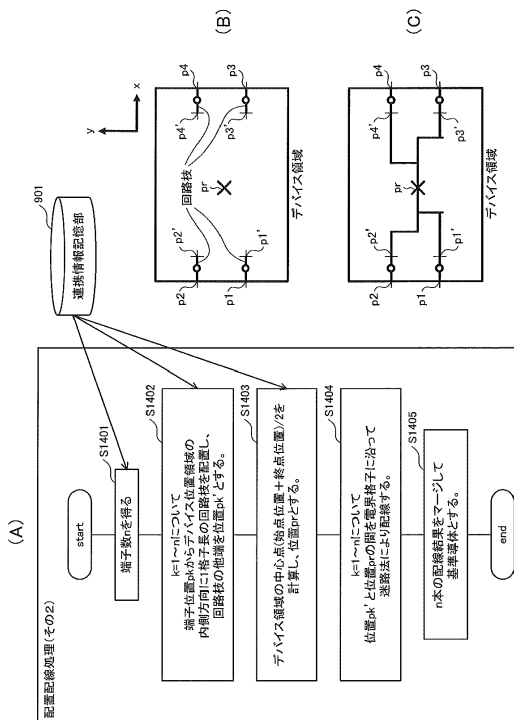
【図 1 3】

連携データ生成処理の具体例1の流れを説明するための図



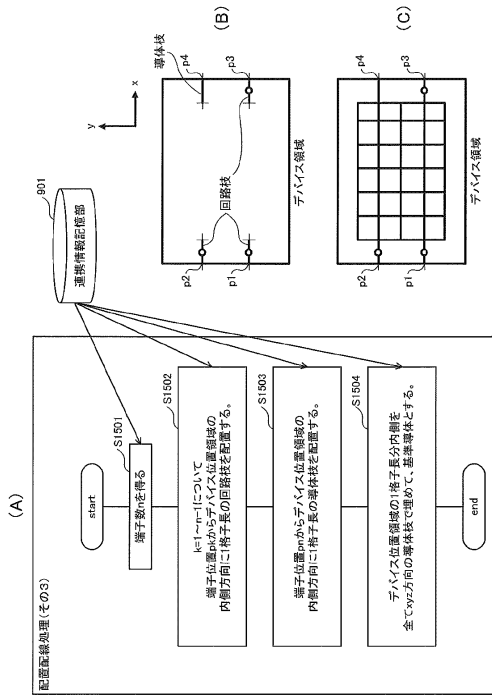
【図 1 4】

連携データ生成処理の具体例2の流れを説明するための図



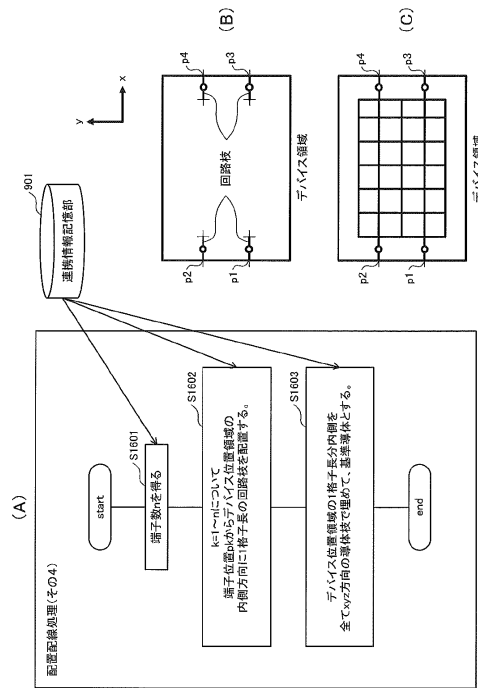
【図15】

連携データ生成処理の
具体例3の流れを説明するための図



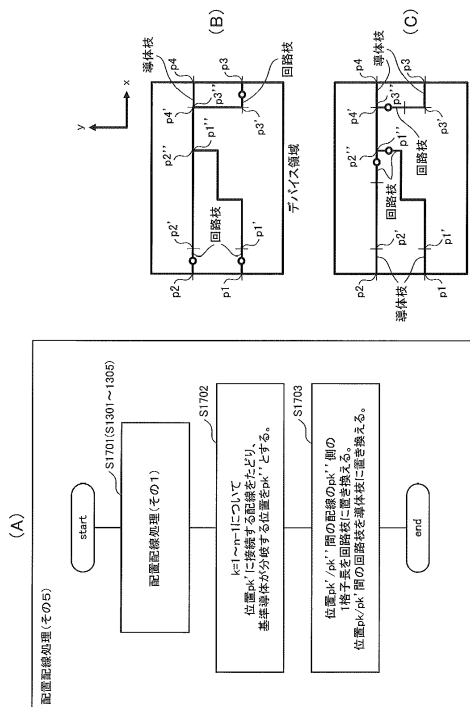
【図16】

連携データ生成処理の
具体例4の流れを説明するための図



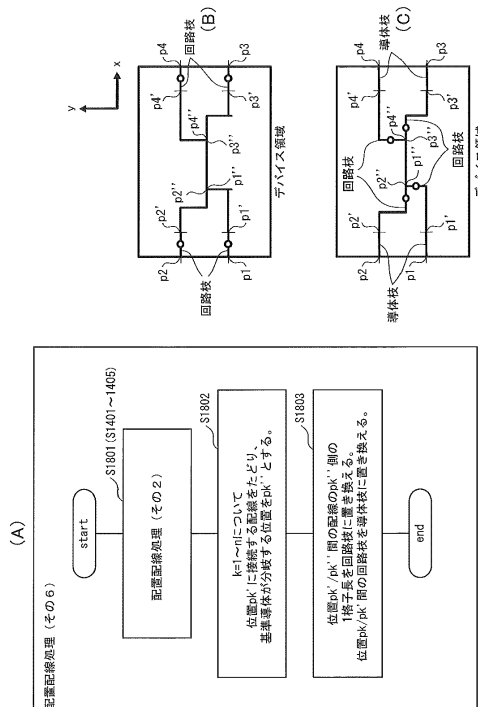
【図17】

連携データ生成処理の
具体例5の流れを説明するための図



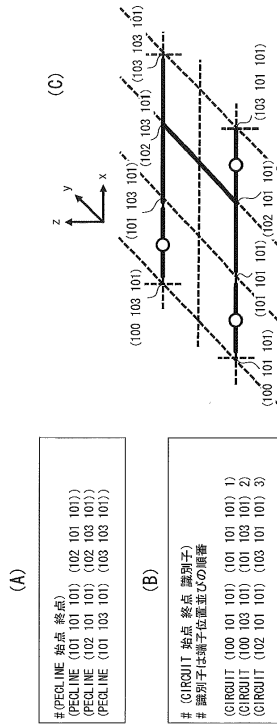
【図18】

連携データ生成処理の
具体例6の流れを説明するための図



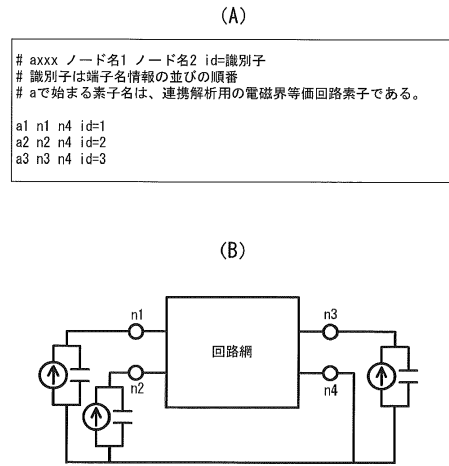
【図 19】

連携電磁界情報記憶部905に追加される電磁界情報の構成例を示す図



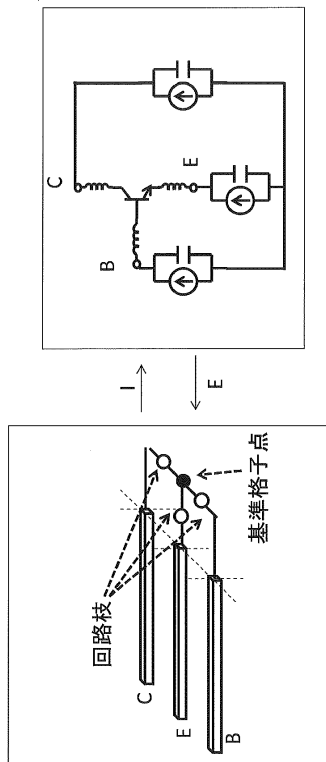
【図 20】

連携回路情報記憶部906に追加される回路情報の構成例を示す図



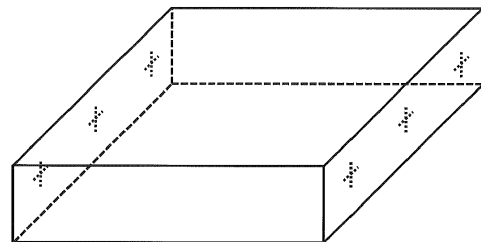
【図 21】

仮想端子を基準とすることを説明するための図



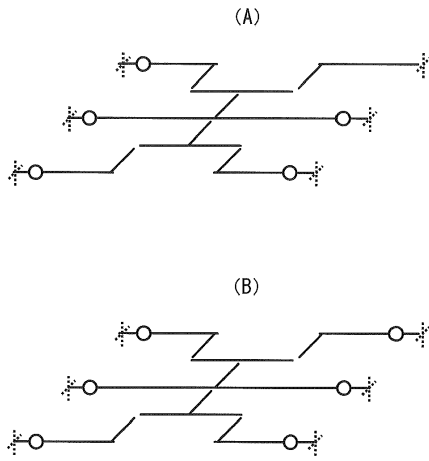
【図 22】

デバイス領域定義例1を示す図



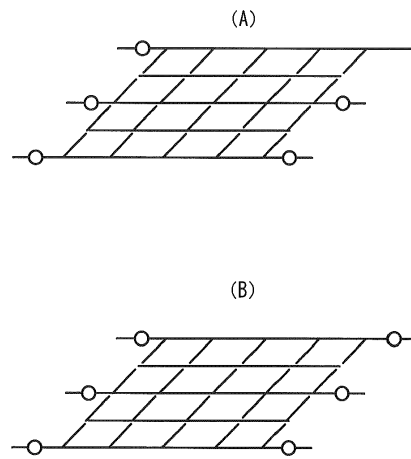
【図 2 3】

デバイス領域定義例1の配線例1を示す図



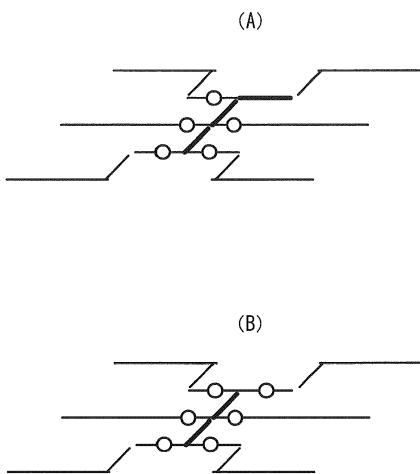
【図 2 4】

デバイス領域定義例1の配線例2を示す図



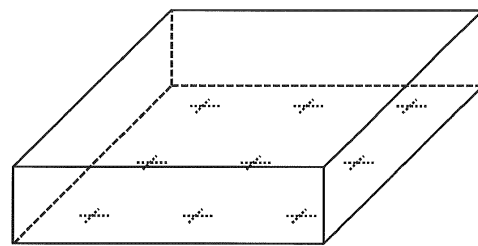
【図 2 5】

デバイス領域定義例1の配線例3を示す図



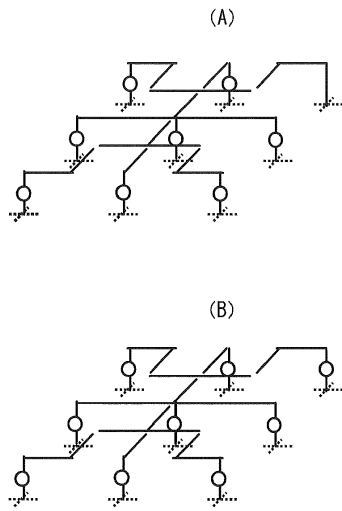
【図 2 6】

デバイス領域定義例2を示す図



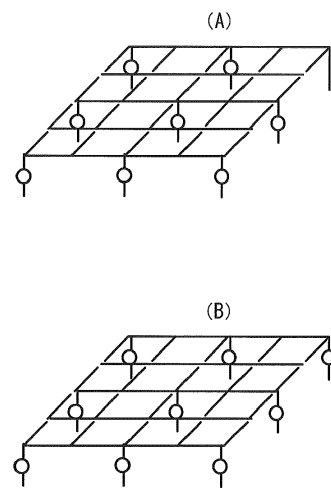
【図 27】

デバイス領域定義例2の配線例1を示す図



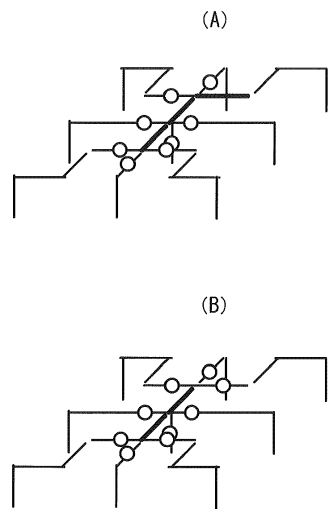
【図 28】

デバイス領域定義例2の配線例2を示す図



【図 29】

デバイス領域定義例2の配線例3を示す図



フロントページの続き

(56)参考文献 特開2007-183878(JP,A)
特開2008-059153(JP,A)
特開2011-081597(JP,A)

(58)調査した分野(Int.Cl., DB名)
G06F 17/50