



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

219047
(11) (B1)

(51) Int. Cl.³
H 03 K 3/00

(22) Přihlášeno 22 06 81
(21) (PV 4722-81)

(40) Zveřejněno 30 07 82

(45) Vydáno 15 06 85

(75)
Autor vynálezu VITHA FRANTIŠEK ing., PRAHA

(54) Zapojení číslicového funkčního generátoru

1

Vynález se týká zapojení číslicového funkčního generátoru pro generování časově proměnných signálů s libovolným průběhem nastavitelným pomocí vzorků signálu uložených v číslicové paměti s lineární aproximací výstupního signálu.

Dosud známá zapojení číslicových funkčních generátorů využívají pro generování libovolných průběhů číslicovou paměť vzorků signálu typu ROM nebo RAM s připojeným D-A převodníkem. Výstupní signál z D-A převodníku je v tomto případě schodovitou aproximací požadovaného signálu se značným obsahem nežádoucích harmonických kmitočtů. Obsah nežádoucích harmonických složek lze omezit buď zvýšením kapacity paměti, nebo filtrací signálu. Zvýšení kapacity paměti komplikuje nastavování požadovaných průběhů, kde je třeba zadávat větší počet hodnot vzorků signálu a navíc omezuje maximální dosažitelnou frekvenci. Filtrace signálu způsobuje chyby fáze výstupního signálu a přináší další problémy při požadavku na přeladění filtrů.

Uvedené nevýhody odstraňuje zapojení číslicového funkčního generátoru s lineární aproximací výstupního signálu, které obsahuje generátor referenčního kmitočtu, řídicí obvod číslicovou paměť vzorků signálu typu ROM nebo RAM, číslicovou vyrovná-

2

vací paměť, číslicovou odečítačku, D-A převodník hodnoty, D-A převodník rozdílu a integrátor s přepínáním režimů integrace a nastavení výstupní hodnoty. Jeho podstata spočívá v tom, že první vstup integrátoru pro nastavovanou hodnotu je spojen s výstupem prvního D-A převodníku hodnoty, jehož vstup je připojen na první výstup vyrovnávací paměti a druhý vstup integrátoru pro integrované napětí je spojen s výstupem druhého D-A převodníku rozdílu, jehož vstup je spojen s výstupem číslicové odečítačky, na jejíž první vstup je připojen první výstup vyrovnávací paměti a na druhý vstup je připojen druhý výstup vyrovnávací paměti. Třetí vstup integrátoru pro přepínání režimů integrace a nastavení hodnoty je připojen na čtvrtý výstup řídicího obvodu. První vstup vyrovnávací paměti je připojen na první výstup číslicové paměti vzorků a druhý a třetí řídicí vstup vyrovnávací paměti je připojen na druhý a třetí výstup řídicího obvodu. Vstup pro výběr z číslicové paměti vzorků je připojen na první číslicový výstup řídicího obvodu, na jehož první vstup je připojen výstup generátoru referenčního kmitočtu a na druhý číslicový vstup je připojena vstupní hodnota určující frekvenci výstupního signálu.

Předností zapojení funkčního generátoru

podle vynálezu je snížení obsahu nežádoucích harmonických kmitočtů ve spektru výstupního signálu bez použití výstupního filtru a bez zvýšení nároků na kapacitu paměti vzorků signálu při zachování poměrné jednoduchosti zapojení a při dosažení vysoké přesnosti, stability a reprodukovatelnosti nastavení amplitudy, frekvence i fáze výstupního signálu.

Zapojení funkčního generátoru podle vynálezu je blíže objasněno na příkladu provedení podle připojeného výkresu, na němž je znázorněno jeho blokové schéma.

Funkční generátor je tvořen generátorem referenční frekvence **1**, jehož výstup **11** je připojen na vstup **25** řídicího obvodu **2**, jehož první výstup **21** je připojen na vstup **31** výběru z paměti **31** číslicové paměti vzorků **3**, druhý výstup **22** je připojen na druhý řídicí vstup **43** číslicové vyrovnávací paměti **4**, třetí výstup **23** na třetí řídicí vstup **44** vyrovnávací číslicové paměti **4** a čtvrtý výstup **24** řídicího obvodu **2** je připojen na třetí řídicí vstup **83** pro přepínání integrátoru **8**. Na číslicový vstup **26** řídicího obvodu **2** je připojena číslicová hodnota **9** reprezentující v lineární formě zakódovanou hodnotu poměru referenční frekvence a požadované výstupní frekvence vynásobeného jistou konstantou danou kapacitou paměti vzorků. Výstup **32** paměti vzorků **3** je připojen na vstup **45** vyrovnávací paměti **4**, jejíž první výstup **41** je připojen na vstup **51** prvního D-A převodníku **5** a zároveň na první vstup **61** odečítačky **6** a druhý výstup **42** je připojen na druhý vstup **62** odečítačky **6**, jejíž výstup **63** je připojen na vstup **71** druhého D-A převodníku **7**. První vstup **81** pro nastavovanou hodnotu integrátoru **8** je připojen na výstup **52** D-A převodníku **5** a druhý vstup **82** pro integrované napětí integrátoru **8** je připojen na výstup **72** D-A převodníku **7**. Výstup **84** integrátoru **8** je současně i výstupem signálu **10** z funkčního generátoru.

Během generování jedné periody výstupního signálu **10** je pomocí řídicího signálu z výstupu **24** cyklicky přepínán integrátor **8** z režimu nastavení hodnoty, při kterém hodnota napětí na výstupu **84** sleduje napětí přivedené na vstup **81**, do režimu integrace, kdy integrátor **8** integruje napětí ze vstupu **82** s frekvencí danou referenčním kmitočtem. Délka časového intervalu, v němž probíhá nastavení, je dána řídicím ob-

vodem **2** a je podstatně menší než doba integrace a výstupní signál **10** je potom aproximací požadovaného signálu pomocí lineárních úseků proložených mezi hodnoty dvou vzorků signálu. Na výstupu **52** D-A převodníku hodnoty **5** se vytváří vždy napětí odpovídající číslicové hodnotě $(i+1)$ -vého vzorku, která se přivádí na vstup **51** převodníku z výstupu vyrovnávací paměti **4**. Na výstupu **72** D-A převodníku rozdílu **7** se vytváří napětí odpovídající rozdílu číslicových hodnot $(i+1)$ -vého a (i) -tého vzorku, který je vytvořen na výstupu **63** číslicové odečítačky **6**, na jejíž vstupy **61**, **62** se vedou číslicové hodnoty menšence, tedy $(i+1)$ -vého vzorku, z výstupu **41** a menšitele, tedy (i) -tého vzorku, z výstupu **42** vyrovnávací paměti **4**. Časování výběru z paměti vzorků **3** je řízeno výběrovým signálem na vstupu **31**, kam je přiveden z výstupu **21** řídicího obvodu **2**, který dále pomocí signálů na výstupech **22**, **23** řídí ukládání číslicových hodnot vzorků (i) a $(i+1)$ do vyrovnávací paměti **4**, kam jsou tyto hodnoty přivedeny pomocí vstupu **45** z výstupu **32** paměti vzorků **3**. Řídicí obvod **2** řídí výběr po sobě následujících vzorků signálu (i) a $(i+1)$ pomocí výběrového signálu na výstupu **21** v závislosti na požadované hodnotě výstupní frekvence zadané číslicovou hodnotou **9**, která je přivedena na vstup **26** podle vzorce pro výstupní frekvenci

$$f_{\text{VYST}} = \frac{N}{[9]} \cdot f_{\text{REF}},$$

kde

N je hodnota daná kapacitou paměti,

$[9]$ je číslicová hodnota **9** a

f_{REF} je referenční kmitočet přivedený na vstup **25** řídicího obvodu **2**.

Podle velikosti hodnoty **9** jsou tedy vybírány buďto všechny vzorky signálu z paměti, nebo jsou některé vynechávány, čímž je ovládána výstupní frekvence při konstantní frekvenci přepínání režimů integrátoru.

Funkční generátor podle vynálezu je vhodný pro aplikace v měřicích systémech jako zdroj signálů s libovolným číslicově nastavitelným průběhem a vysokou přesností a stabilitou amplitudy, frekvence i fáze výstupního signálu při zachování nízkého obsahu nežádoucích harmonických kmitočtů.

PREDMET VYNÁLEZU

Zapojení číslicového funkčního generátoru s lineární aproximací výstupního signálu, vyznačující se tím, že první vstup (81) integrátoru (8) pro nastavovanou hodnotu je spojen s výstupem (52) D-A převodníku (5) hodnoty, jehož vstup (51) je připojen na první výstup (41) číslicové vyrovnávací paměti a druhý vstup (82) integrátoru pro integrované napětí je spojen s výstupem (72) D-A převodníku (7) rozdílu, jehož vstup (71) je spojen s výstupem (63) číslicové odečítačky (6), na jejíž první vstup (61) je připojen první výstup (41) číslicové vyrovnávací paměti (4) a na druhý vstup (62) je připojen druhý výstup (42) číslicové vyrovnávací paměti (4) a třetí vstup (83) pro přepínání režimů integrace a nastavení hodnoty integrátoru (8) je připojen na čtvrtý

výstup (24) řídicího obvodu (2), přičemž první vstup (45) číslicové vyrovnávací paměti (4) je připojen na první výstup (32) číslicové paměti (3) vzorků signálu a druhý (43) a třetí (44) řídicí vstup číslicové vyrovnávací paměti (4) je připojen na druhý (22) a třetí (23) výstup řídicího obvodu (2) a vstup (31) pro výběr z číslicové paměti (3) vzorků signálu (3) je připojen na první číslicový výstup (21) řídicího obvodu (2), na jehož první vstup (25) je připojen výstup (11) generátoru referenčního kmítočtu (1) a na druhý číslicový vstup (26) je připojena vstupní hodnota (9) určující frekvenci výstupního signálu (10), který se vytváří na výstupu (84) integrátoru (8).

1 list výkresů

