(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro

(43) Internationales Veröffentlichungsdatum
07. September 2018 (07.09.2018)

WIPO | PCT

(10) Internationale Veröffentlichungsnummer
WO 2018/158341 A1

(51) Internationale Patentklassifikation:
H01L 33/00 (2010.01) *H01L 23/00* (2006.01)
H01S 5/022 (2006.01)

(21) Internationales Aktenzeichen: PCT/EP2018/054975

(22) Internationales Anmeldedatum:
28. Februar 2018 (28.02.2018)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2017 104 276.8
01. März 2017 (01.03.2017) DE

(71) Anmelder: **OSRAM OPTO SEMICONDUCTORS GMBH** [DE/DE]; Leibnizstr. 4, 93055 Regensburg (DE).

(72) Erfinder: **WENDT, Mathias**; Oswaldstr. 18, 93345 Hausen (DE). **MÜLLER, Klaus**; Gartenstr. 6a, 93186 Pettendorf (DE). **TOMASINI, Laurent**; Untergsteig 9, 6600 Reutte (AT).

(74) Anwalt: **EPPING HERMANN FISCHER PATENTANWALTSGESELLSCHAFT MBH**; Schloßschmidstr. 5, 80639 München (DE).

(81) Bestimmungsstaaten *(soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart)*: AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

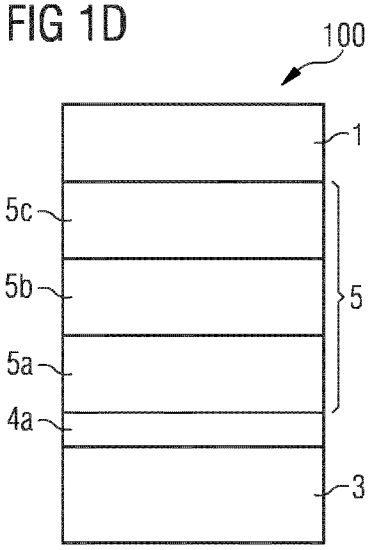
(84) Bestimmungsstaaten *(soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart)*: ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Veröffentlicht:
— *mit internationalem Recherchenbericht (Artikel 21 Absatz 3)*

(54) Title: METHOD FOR FASTENING A SEMICONDUCTOR CHIP ON A LEAD FRAME, AND ELECTRONIC COMPONENT

(54) Bezeichnung: VERFAHREN ZUM BEFESTIGEN EINES HALBLEITERCHIPS AUF EINEM LEITERRAHMEN UND ELEKTRONISCHES BAUELEMENT

FIG 1D



(57) Abstract: The invention relates to a method for fastening a semiconductor chip (1) on a lead frame (3). The method comprises the following method steps: A) providing a semiconductor chip (1); B) applying a solder-metal layer sequence (2) onto the semiconductor chip (1); C) providing a lead frame (3); D) applying a metallization layer sequence (4) onto the lead frame (3); E) applying the semiconductor chip (1) over the solder-metal layer sequence (2) and the metallization layer sequence (4) onto the lead frame (3); F) heating the array generated under E) for fastening the semiconductor chip (1) onto the lead frame (3), wherein the solder-metal layer sequence (2) comprises a first metallic layer (2a) containing indium or an indium-tin alloy, a barrier layer (2b) arranged above the first metallic layer (2a), and a second metallic layer (2c) comprising gold, arranged between the barrier layer (2b) and the semiconductor chip (1).

(57) Zusammenfassung: Es wird ein Verfahren zum Befestigen eines Halbleiterchips (1) auf einem Leiterrahmen (3) angegeben. Das Verfahren umfasst die Verfahrensschritte A) Bereitstellen eines Halbleiterchips (1), B) Aufbringen einer Lotmetall-Schichtenfolge (2) auf den Halbleiterchip (1), C) Bereitstellen eines Leiterrahmens (3), D) Aufbringen einer Metallisierungs-Schichtenfolge (4) auf den Leiterrahmen (3), E) Aufbringen des Halbleiterchips (1) über die Lotmetall-Schichtenfolge (2) und die Metallisierungs-Schichtenfolge (4) auf den Leiterrahmen (3), F) Heizen der unter E) erzeugten Anordnung zur Befestigung des Halbleiterchips (1) auf dem Leiterrahmen (3), wobei die Lotmetall-Schichtenfolge (2) - eine erste metallische Schicht (2a) umfassend Indium oder eine Indium-Zinn-Legierung, - eine über der ersten metallischen Schicht (2a) angeordnete Barrierenschicht (2b) und - eine zwischen der Barrierenschicht (2b) und dem Halbleiterchip (1) angeordnete zweite metallische Schicht (2c) umfassend Gold umfasst.

WO 2018/158341 A1

Beschreibung

VERFAHREN ZUM BEFESTIGEN EINES HALBLEITERCHIPS AUF EINEM LEITERRAHMEN UND ELEKTRONISCHES BAUELEMENT

Die Erfindung betrifft ein Verfahren zum Befestigen eines Halbleiterchips auf einem Leiterrahmen und elektronisches Bauelement.

Zum Verbinden eines Halbleiterchips mit einem Leiterrahmen werden die Halbleiterchips bei der Herstellung von elektronischen Bauelementen häufig auf den Leiterrahmen gelötet. Aufgrund des Unterschieds im thermischen Ausdehnungsverhalten zwischen dem Halbleiterchip und dem Material des Leiterrahmens entstehen beim Abkühlen von der Löt-Temperatur auf Raumtemperatur im Verbund aus Halbleiterchip und Leiterrahmen Verspannungen. Diese können bei mechanischer Belastung des elektronischen Bauelements zur Initiierung von Rissen beispielsweise im Trägermaterial des Halbleiterchips führen. Beispielsweise wird ein Gold-Zinn-Lot für das Löten von Halbleiterchips auf Leiterrahmen verwendet. Bei diesem Lot befindet sich die Löttemperatur im Bereich von 300 °C. Aufgrund der hohen Löttemperatur und dem unterschiedlichen thermischen Ausdehnungsverhalten treten beim Abkühlen des Verbundes aus Leiterrahmen und Halbleiterchip erhebliche thermisch induzierte mechanische Spannungen auf. Diese können bei weiterer mechanischer Belastung des Bauteils zum Versagen der Lötverbindung oder zur Initiierung von Rissen im Substrat oder der Lötverbindung führen.

Die Aufgabe zumindest einer Ausführungsform der vorliegenden Erfindung ist es, ein Verfahren zum Befestigen eines

Halbleiterchips auf einem Leiterrahmen anzugeben, das gegenüber dem Stand der Technik verbessert ist. Eine weitere Aufgabe besteht in der Bereitstellung eines elektronischen Bauelements.

Diese Aufgaben werden unter anderem durch ein Verfahren und durch ein elektronisches Bauelement mit den Merkmalen der unabhängigen Patentansprüche gelöst. Bevorzugte Weiterbildungen sind Gegenstand der abhängigen Ansprüche.

Es wird ein Verfahren zum Befestigen eines Halbleiterchips auf einem Leiterrahmen angegeben. Das Verfahren umfasst folgende Verfahrensschritte, bevorzugt in der angegebenen Reihenfolge:

A) Bereitstellen eines Halbleiterchips.

B) Aufbringen einer Lotmetall-Schichtenfolge auf den Halbleiterchip.

C) Bereitstellen eines Leiterrahmens.

D) Aufbringen einer Metallisierungs-Schichtenfolge auf den Leiterrahmen.

E) Aufbringen des Halbleiterchips über die Lotmetall-Schichtenfolge und die Metallisierungs-Schichtenfolge auf den Leiterrahmen. Insbesondere erfolgt das Aufbringen so, dass sich nach dem Aufbringen die Metallisierungs-Schichtenfolge und die Lotmetall-Schichtenfolge zwischen dem Leiterrahmen und dem Halbleiterchip befindet.

F) Heizen der unter E) erzeugten Anordnung zur Befestigung des Halbleiterchips auf dem Leiterrahmen. Insbesondere bildet sich in Schritt F) aus der Metallisierungs-Schichtenfolge und der Lotmetall-Schichtenfolge eine Verbindungsschichtenfolge.

Dass eine Schicht oder ein Element "auf" oder "über" einer anderen Schicht oder einem anderen Element angeordnet oder

aufgebracht ist, kann dabei hier und im Folgenden bedeuten, dass die eine Schicht oder das eine Element unmittelbar in direktem mechanischem und/oder elektrischem Kontakt auf der anderen Schicht oder dem anderen Element angeordnet ist. Weiter kann es auch bedeuten, dass die eine Schicht oder das ein Element mittelbar auf beziehungsweise über der anderen Schicht oder dem anderen Element angeordnet ist. Dabei können dann weitere Schichten und/oder Elemente zwischen der einen oder der anderen Schicht beziehungsweise zwischen dem einen oder dem anderen Element angeordnet sein.

Dass eine Schicht oder ein Element "zwischen" zwei anderen Schichten oder Elementen angeordnet ist, kann hier und im Folgenden bedeuten, dass die eine Schicht oder das eine Element unmittelbar in direktem mechanischem und/oder elektrischem Kontakt oder in mittelbarem Kontakt zur einen der zwei anderen Schichten oder Elementen und in direktem mechanischem und/oder elektrischem Kontakt oder in mittelbarem Kontakt zur anderen der zwei anderen Schichten oder Elementen angeordnet ist. Dabei können bei mittelbarem Kontakt dann weitere Schichten und/oder Elemente zwischen der einen und zumindest einer der zwei anderen Schichten beziehungsweise zwischen dem einen und zumindest einem der zwei anderen Element angeordnet sein.

Gemäß zumindest einer Ausführungsform umfasst die Lotmetall-Schichtenfolge eine erste metallische Schicht, eine über der ersten metallischen Schicht angeordnete Barrierenschicht und eine zwischen der Barrierenschicht und dem Halbleiterchip angeordnete zweite metallische Schicht. Die Lotmetall-Schichtenfolge kann auch aus der ersten metallischen Schicht, der Barrierenschicht und der zweiten metallischen Schicht bestehen.

Gemäß zumindest einer Ausführungsform umfasst die Lotmetall-Schichtenfolge eine erste metallische Schicht umfassend Indium oder eine Indium-Zinn-Legierung, eine über der ersten metallischen Schicht angeordnete Barrierenschicht und eine zwischen der Barrierenschicht und dem Halbleiterchip angeordnete zweite metallische Schicht umfassend Gold. Bevorzugt ist nach Verfahrensschritt E) die erste metallische Schicht über der Metallisierungs-Schichtenfolge, die Barrierenschicht über der ersten metallischen Schicht und die zweite metallische Schicht über der Barrierenschicht angeordnet. Bevorzugt besteht die erste metallische Schicht aus Indium oder der Indium-Zinn-Legierung. Bevorzugt besteht die zweite metallische Schicht aus Gold.

Gemäß zumindest einer Ausführungsform weist die Indium-Zinn-Legierung der ersten metallischen Schicht die Formel In_xSn_{1-x} mit $0 < x < 1$, bevorzugt mit $0,5 \leq x < 1$ auf.

Die Barrierenschicht ist dazu eingerichtet, die Metalle der ersten metallischen Schicht, also Indium oder Indium und Zinn der Indium-Zinn-Legierung In_xSn_{1-x}, zunächst von dem Gold der zweiten metallischen Schicht zu trennen, da sowohl Indium als auch die Indium-Zinn-Legierung mit Gold bereits bei Raumtemperatur eine hochschmelzende Phase erzeugen. Deshalb müssen die erste und die zweite metallische Schicht zunächst voneinander getrennt sein. Auch nach Erreichen der Schmelztemperatur muss das flüssige Indium oder die flüssige Indium-Zinn-Legierung im Verfahrensschritt F) voneinander getrennt werden. Dies erfolgt durch die Barrierenschicht. Die Barrierenschicht kann auch als temporäre Diffusionsbarriere bezeichnet werden. Die Barrierenschicht ist bevorzugt vollflächig zwischen der ersten metallischen Schicht und der

zweiten metallischen Schicht angeordnet. Insbesondere weisen die erste metallische Schicht und die zweite metallische Schicht keine gemeinsame Grenzfläche auf.

Gemäß zumindest einer Ausführungsform enthält die Barrierenschicht Nickel, Titan oder Platin. Bei dem Nickel, Titan oder Platin kann es sich um die Metalle oder um Verbindungen dieser Metalle handeln. Die Titanverbindung kann beispielsweise Ti_yW_{y-1} oder Ti_zN_{z-1} sein. Bevorzugt umfasst oder besteht die Barrierenschicht aus den Metallen Nickel, Titan oder Platin, besonders bevorzugt Nickel. Diese Metalle oder Verbindungen sind besonders vorteilhaft, da diese nach dem Schmelzen des Indiums oder der Indium-Zinn-Legierung im Verfahrensschritt F) nur langsam und zeitverzögert mit dem flüssigen Indium oder der flüssigen Indium-Zinn-Legierung reagieren und so eine ausreichende Benetzung der Metallisierungs-Schichtenfolge mit dem flüssigen Indium oder der flüssigen Indium-Zinn-Legierung gewährleistet wird.

Gemäß zumindest einer Ausführungsform erfolgt das Heizen der unter Verfahrensschritt E) erzeugten Anordnung in Verfahrensschritt F) bis zu einer Temperatur von 220 °C, bevorzugt 200 °C, besonders bevorzugt 190 °C. Bereits bei diesen Temperaturen schmilzt das Indium beziehungsweise die Indium-Zinn-Legierung. Aufgrund dieser vergleichsweise niedrigen Löt-Temperatur treten beim Abkühlen der Anordnung aus Leiterrahmen und Halbleiterchip kaum thermisch induzierte mechanische Spannungen auf. Dadurch wird einem Ablösen des Halbleiterchips von dem Leiterrahmen bei mechanischer Belastung vorgebeugt und es entstehen bei mechanischer Belastung keine oder kaum Risse.

Durch die Verwendung einer Indium-Zinn-Legierung In_xSn_{1-x} verringert sich die Schmelztemperatur im Vergleich zu reinem Indium oder zu reinem Zinn. Beispielsweise weist die Legierung $Sn_{0,48}In_{0,52}$ eine Schmelztemperatur von zirka 121 °C auf. Insbesondere bildet $Sn_{0,48}In_{0,52}$ das Eutektikum. Dadurch ist es möglich, die Heiztemperatur geringer zu halten als in bekannten Lötverfahren. Dies führt zu einer Verminderung von Verspannungen aufgrund des Unterschieds im thermischen Ausdehnungsverhalten zwischen dem Material des Halbleiterchips und dem Material des Leiterrahmens.

Beim Heizen in Verfahrensschritt F) beginnt das Indium beziehungsweise die Indium-Zinn-Legierung zu schmelzen. Dabei wird die Oberfläche der Metallisierungs-Schichtenfolge mit dem flüssigen Indium oder der flüssigen Indium-Zinn-Legierung benetzt und reagiert mit dem Material der Metallisierungsschichtenfolge. Gleichzeitig reagiert das Indium beziehungsweise die Indium-Zinn-Legierung mit dem Material der Barrierenschicht, also insbesondere Nickel, Titan oder Platin. Durch die vorhandene Barrierenschicht wird eine Reaktion des Indiums beziehungsweise der Indium-Zinn-Legierung mit dem Gold der zweiten metallischen Schicht zunächst verzögert. Dadurch wird gewährleistet, dass die Metallisierungs-Schichtenfolge ausreichend durch das flüssige Indium beziehungsweise die Indium-Zinn-Legierung benetzt wird. Dies wäre nicht gewährleistet, wenn das Indium beziehungsweise die Indium-Zinn-Legierung sofort mit dem Gold der zweiten metallischen Schicht reagieren würde, da diese Reaktion eine hochschmelzende Phase erzeugen würde und das Indium beziehungsweise die Indium-Zinn-Legierung unzureichend lange flüssig wäre, um eine ausreichende Benetzung der Metallisierungs-Schichtenfolge und eine Reaktion mit dem Material der Metallisierungs-Schichtenfolge zu gewährleisten.

Gemäß zumindest einer Ausführungsform bildet sich in Verfahrensschritt F) aus der Reaktion des Indiums beziehungsweise der Indium-Zinn-Legierung mit dem Material der Barrierenschicht, insbesondere Nickel, Titan oder Platin, eine zweite intermetallische Schicht umfassend oder bestehend aus Indium und dem Material der Barrierenschicht oder Indium, Zinn und dem Material der Barrierenschicht. Gleichzeitig bildet sich eine erste intermetallische Schicht aus der Reaktion des Indiums beziehungsweise der Indium-Zinn-Legierung mit dem Material der Metallisierungsschichtenfolge. Insbesondere ist zwischen der ersten und der zweiten intermetallischen Schicht noch die erste metallische Schicht angeordnet. Das verbleibende flüssige Indium beziehungsweise die flüssige Indium-Zinn-Legierung diffundiert durch die zweite gebildete intermetallische Schicht in die zweite metallische Schicht und reagiert mit dem Gold unter Bildung einer hochschmelzenden, festen Phase, die hier und im Folgenden als dritte intermetallische Schicht bezeichnet wird. Die dritte intermetallische Schicht umfasst oder besteht aus Indium und Gold beziehungsweise aus Indium, Zinn und Gold.

Gemäß zumindest einer Ausführungsform bildet sich in Verfahrensschritt F) eine Verbindungsschichtenfolge zwischen dem Leiterrahmen und dem Halbleiterchip. Über die Verbindungsschichtenfolge ist der Halbleiterchip auf dem Leiterrahmen befestigt. Die Verbindungsschichtenfolge umfasst eineerste intermetallische Schicht, eine zweite intermetallische Schicht und eine dritte intermetallische Schicht.

Gemäß zumindest einer Ausführungsform ist die erste intermetallische Schicht über dem Leiterrahmen, die zweite intermetallische Schicht über der ersten intermetallischen Schicht und die dritte intermetallische Schicht über der zweiten intermetallischen Schicht angeordnet.

Gemäß zumindest einer Ausführungsform umfasst die Metallisierungs-Schichtenfolge eine über dem Leiterrahmen angeordnete erste Schicht umfassend oder bestehend aus Nickel. Die Metallisierungs-Schichtenfolge kann auch aus der ersten Schicht bestehen. Die sich in Verfahrensschritt F) bildende erste intermetallische Schicht kann gemäß dieser Ausführungsform Indium und Nickel beziehungsweise Indium, Zinn und Nickel umfassen oder aus diesen Metallen bestehen. Gemäß dieser Ausführungsform können also die erste und die zweite metallische Schicht Indium und Nickel oder Indium, Nickel und Zinn enthalten oder aus diesen Metallen bestehen.

Gemäß zumindest einer Ausführungsform umfasst die Metallisierungs-Schichtenfolge eine über dem Leiterrahmen angeordnete erste Schicht umfassend Nickel und eine über der ersten Schicht angeordnete zweite Schicht umfassend Palladium. Die zweite Schicht kann auch aus Palladium bestehen.

Gemäß zumindest einer Ausführungsform umfasst die Metallisierungs-Schichtenfolge eine über der ersten oder der zweiten Schicht angeordnete dritte Schicht umfassend Gold. Die dritte Schicht kann auch aus Gold bestehen.

Gemäß zumindest einer Ausführungsform besteht die Metallisierungs-Schichtenfolge aus der ersten Schicht und der

zweiten dritten Schicht oder aus der ersten Schicht, der zweiten Schicht und der dritten Schicht.

Gemäß zumindest einer Ausführungsform wird im Verfahrensschritt E) der Halbleiterchip so auf den Leiterrahmen aufgebracht, dass die erste metallische Schicht der Lotmetall-Schichtenfolge auf die dritte Schicht der Metallisierungsschichtenfolge aufgebracht wird. Die sich in Verfahrensschritt F) bildende erste intermetallische Schicht kann gemäß dieser Ausführungsform Indium, Gold, Palladium und Nickel beziehungsweise der Indium, Zinn, Gold, Palladium und Nickel umfassen oder aus diesen Metallen bestehen.

Gemäß zumindest einer Ausführungsform weist die Barrierenschicht eine Schichtdicke zwischen einschließlich 5 nm und einschließlich 200 nm auf. Mit diesen Schichtdicken kann eine ausreichende Verzögerung der Reaktion des Indiums beziehungsweise der Indium-Zinn-Legierung mit dem Gold der zweiten metallischen Schicht gewährleistet werden, um die Metallisierungs-Schichtenfolge ausreichend mit dem flüssigen Indium beziehungsweise der flüssigen Indium-Zinn-Legierung zu benetzen.

Gemäß zumindest einer Ausführungsform weist die erste metallische Schicht eine Schichtdicke zwischen einschließlich 750 nm und 3 µm auf.

Insbesondere sind die Schichtdicken der einzelnen Schichten der Lotmetall-Schichtenfolge und der Metallisierungs-Schichtenfolge so aufeinander abgestimmt, dass in Verfahrensschritt F) das Indium beziehungsweise die Indium-Zinn-Legierung möglichst vollständig abreagiert und gewährleistet ist, dass das flüssige Indium beziehungsweise

die flüssige Indium-Zinn-Legierung mit dem Gold der zweiten metallischen Schicht der Lotmetall-Schichtenfolge und dem Nickel der ersten Schicht der Metallisierungsschichtenfolge reagiert. Bevorzugt befindet sich somit nach Verfahrensschritt F) die erste intermetallische Schicht, die zweite intermetallische Schicht und die dritte intermetallische Schicht zwischen dem Halbleiterchip und dem Leiterrahmen.

Gemäß zumindest einer Ausführungsform weist die zweite metallische Schicht der Lotmetall-Schichtenfolge eine Schichtdicke zwischen einschließlich 500 nm und 2 µm auf.

Gemäß zumindest einer Ausführungsform weist die erste Schicht der Metallisierungs-Schichtenfolge eine Schichtdicke zwischen einschließlich 2 µm und 4 µm, beispielsweise 3 µm auf.

Gemäß zumindest einer Ausführungsform weist die zweite Schicht der Metallisierungs-Schichtenfolge eine Schichtdicke zwischen einschließlich 10 nm und 20 nm auf.

Gemäß zumindest einer Ausführungsform weist die dritte Schicht der Metallisierungs-Schichtenfolge eine Schichtdicke zwischen einschließlich 3 nm und 5 nm auf. Die dritte Schicht sollte eine Schichtdicke von 5 nm nicht überschreiten, um zu gewährleisten, dass sich die aus Indium oder der Indium-Zinn-Legierung mit Gold bildende hochschmelzende Phase nicht zu dick wird und es somit immer noch gewährleistet werden kann, dass das flüssige Indium oder die flüssige Indium-Zinn-Legierung zu dem Nickel der ersten Schicht der Metallisierungs-Schichtenfolge vordringt und mit diesem reagiert.

Gemäß zumindest einer Ausführungsform kann der Leiterrahmen Kupfer umfassen.

Gemäß zumindest einer Ausführungsform handelt es sich bei dem Halbleiterchip um eine Schichtenfolge mit einer aktiven Schicht, die dazu eingerichtet ist, eine elektromagnetische Strahlung zu emittieren.

Unter "Schichtenfolge" ist in diesem Zusammenhang eine mehr als eine Schicht umfassende Schichtenfolge zu verstehen, beispielsweise eine Folge einer p-dotierten und einer n-dotierten Halbleiterschicht, wobei die Schichten übereinander angeordnet sind und wobei zumindest eine aktive Schicht enthalten ist, die elektromagnetische Strahlung emittiert.

Die Schichtenfolge kann als Epitaxieschichtenfolge oder als strahlungsemittierender Halbleiterchip mit einer Epitaxieschichtenfolge, also als epitaktisch gewachsene Halbleiterschichtenfolge, ausgeführt sein. Dabei kann die Schichtenfolge beispielsweise auf der Basis von InGaAlN ausgeführt sein. InGaAlN-basierte Halbleiterchips und Halbleiterschichtenfolgen sind insbesondere solche, bei denen die epitaktisch hergestellte Halbleiterschichtenfolge eine Schichtenfolge aus unterschiedlichen Einzelschichten aufweist, die mindestens eine Einzelschicht enthält, die ein Material aus dem III-V-Verbindungshalbleitermaterialsystem $In_xAl_yGa_{1-x-y}N$ mit $0 \leq x \leq 1$, $0 \leq y \leq 1$ und $x + y \leq 1$ aufweist. Halbleiterschichtenfolgen, die zumindest eine aktive Schicht auf Basis von InGaAlN aufweisen, können beispielsweise elektromagnetische Strahlung in einem ultravioletten bis blauen Wellenlängenbereich emittieren.

Die aktive Halbleiterschichtenfolge kann neben der aktiven Schicht weitere funktionale Schichten und funktionelle Bereiche umfassen, etwa p- oder n-dotierte Ladungsträgertransportschichten, also Elektronen- oder Löchertransportschichten, undotierte oder p- oder n-dotierte Confinement-, Cladding- oder Wellenleiterschichten, Barriereschichten, Planarisierungsschichten, Pufferschichten, Schutzschichten und/oder Elektroden sowie Kombinationen daraus. Weiterhin können beispielsweise auf einer dem Aufwachssubstrat abgewandten Seite der Halbleiterschichtenfolge eine oder mehrere Spiegelschichten aufgebracht sein. Die hier beschriebenen Strukturen, die aktive Schicht oder die weiteren funktionalen Schichten und Bereiche betreffend, sind dem Fachmann insbesondere hinsichtlich Aufbau, Funktion und Struktur bekannt und werden von daher an dieser Stelle nicht näher erläutert.

Es wird ein elektronisches Bauelement angegeben. Das elektronische Bauelement ist bevorzugt mit einem der Verfahren hergestellt, wie sie in Verbindung mit einer oder mehreren der oben genannten Ausführungsformen angegeben sind. Alle Merkmale für das Verfahren sind daher auch für das Bauelement offenbart und umgekehrt.

Gemäß zumindest einer Ausführungsform handelt es sich bei dem Bauelement um ein optoelektronisches Bauelement zur Erzeugung von Strahlung beziehungsweise Licht.

Es wird ein elektronisches Bauelement umfassend einen Leiterrahmen und einem über dem Leiterrahmen angeordneten Halbleiterchip angegeben. Zwischen dem Halbleiterchip und dem Leiterrahmen ist eine Verbindungsschichtenfolge angeordnet.

Insbesondere ist der Halbleiterchip über die Verbindungsschichtenfolge an dem Leiterrahmen befestigt.

Gemäß zumindest einer Ausführungsform umfasst die Verbindungsschichtenfolge eine erste intermetallische Schicht, eine zweite intermetallische Schicht und eine dritte intermetallische Schicht. Insbesondere ist die erste intermetallische Schicht über dem Leiterrahmen, die zweite intermetallische Schicht über der ersten intermetallischen Schicht und die dritte intermetallische Schicht über der zweiten intermetallischen Schicht angeordnet. Die Verbindungsschichtenfolge kann auch aus der ersten, der zweiten und der dritten intermetallischen Schicht bestehen.

Gemäß zumindest Ausführungsform ist eine erste Schicht umfassend oder bestehend aus Nickel zwischen dem Leiterrahmen und der Verbindungsschichtenfolge, insbesondere zwischen dem Leiterrahmen und der ersten intermetallischen Schicht, angeordnet.

Gemäß zumindest einer Ausführungsform umfasst die erste intermetallische Schicht der Verbindungsschichtenfolge Indium und Nickel; Indium, Nickel und Palladium; Indium, Nickel Palladium und Gold, Indium, Nickel und Gold; Zinn, Indium und Nickel; Zinn, Indium, Nickel und Palladium; Zinn, Indium, Nickel, Palladium und Gold oder Zinn, Indium, Nickel und Gold oder besteht aus diesen Metallen.

Gemäß zumindest einer Ausführungsform umfasst die zweite intermetallische Schicht Indium und eine Titanverbindung; Indium und Nickel; Indium und Platin; Indium und Titan; Zinn, Indium und eine Titanverbindung; Zinn, Indium und Nickel; Zinn, Indium und Platin oder Zinn, Indium und Titan oder

besteht aus Indium und einer Titanverbindung; Indium und Nickel; Indium und Platin; Indium und Titan; Zinn, Indium und einer Titanverbindung; Zinn, Indium und Nickel; Zinn, Indium und Platin oder Zinn, Indium und Titan.

Gemäß zumindest einer Ausführungsform umfasst die dritte intermetallische Schicht der Verbindungsschichtenfolge Indium und Gold oder Indium, Zinn und Gold oder besteht aus diesen Metallen.

Gemäß zumindest einer Ausführungsform ist zwischen dem Halbleiterchip und der Verbindungsschichtenfolge eine Haftschicht angeordnet. Bei der Haftschicht kann es sich um eine oder mehrere metallische Schichten handeln. Das Metall kann beispielsweise aus einer Gruppe ausgewählt sein, die Platin, Titan und Gold umfasst.

Gemäß zumindest einer Ausführungsform ist der Halbleiterchip auf einem Substrat angeordnet. Bei dem Substrat kann es sich beispielsweise um ein Saphir-Substrat handeln.

Weitere Vorteile, vorteilhafte Ausführungsformen und Weiterbildungen ergeben sich aus den im Folgenden in Verbindung mit den Figuren beschriebenen Ausführungsbeispielen. Dabei sind gleiche und gleichartige oder gleich wirkende Elemente mit den gleichen Bezugszeichen versehen. Die Figuren und die Größenverhältnisse der in den Figuren dargestellten Elemente untereinander sind nicht als maßstäblich zu betrachten. Vielmehr können einzelne Elemente zur besseren Darstellbarkeit und/oder für eine bessere Verständlichkeit übertrieben groß oder vereinfacht dargestellt sein.

Die Figuren 1A bis 1D zeigen schematisch ein Verfahren zur Herstellung eines elektronischen Bauelements,

Figuren 2 und 3 zeigen dynamische Differenzkalometrie-Diagramme.

Figur 1A zeigt einen Halbleiterchip 1, über dem eine Lotmetall-Schichtenfolge 2 angeordnet ist. Die Lotmetall-Schichtenfolge umfasst eine erste metallische Schicht 2a, eine über der ersten metallischen Schicht 2a angeordnete Barrierenschicht 2b und eine über der Barrierenschicht 2b angeordnete zweite metallische Schicht 2c. Die erste metallische Schicht 2a umfasst oder besteht aus Indium oder einer Indium-Zinn-Legierung der Formel In_xSn_{1-x} mit $0 < x \leq 1$. Die Barrierenschicht 2b besteht aus Nickel, Titan oder Platin und die zweite metallische Schicht 2c besteht aus Gold. Die erste metallische Schicht 2a weist eine Schichtdicke zwischen einschließlich 750 nm und 3 µm, die Barrierenschicht eine Schichtdicke zwischen einschließlich 5 nm und einschließlich 200 nm auf und die zweite metallische Schicht 2c weist eine Schichtdicke zwischen einschließlich 500 nm bis 2 µm auf. Ferner zeigt die Figur 1A einen Leiterrahmen 3, über dem eine Metallisierungs-Schichtenfolge 4 angeordnet ist. Die Metallisierungs-Schichtenfolge 4 besteht aus einer über dem Leiterrahmen 3 angeordneten ersten Schicht 4a umfassend oder bestehend aus Nickel, einer über der ersten Schicht 4a angeordneten zweiten Schicht 4b umfassend oder bestehend aus Palladium und aus einer über der zweiten Schicht 4b angeordneten dritten Schicht 4c umfassend oder bestehend aus Gold. Dabei weist die erste Schicht 4a eine Schichtdicke von beispielsweise 3 µm auf. Die zweite Schicht 4b weist eine Schichtdicke zwischen einschließlich 10 nm und 20 nm und die

dritte Schicht 4c eine Schichtdicke zwischen einschließlich 3 nm und 5 nm auf.

Figur 1B zeigt eine Anordnung, bei der der Halbleiterchip 1 über die Lotmetall-Schichtenfolge 2 und die Metallisierungs-Schichtenfolge 4 auf dem Leiterrahmen 3 angeordnet ist.

Durch das Heizen der in Figur 1B gezeigten Anordnung auf eine Temperatur von etwa 200 °C schmilzt das Indium beziehungsweise die Indium-Zinn-Legierung in der ersten metallischen Schicht 2a. Das flüssige Indium beziehungsweise die flüssige Indium-Zinn-Legierung benetzt die dritte Schicht 4c der Metallisierungsschichtenfolge 4. Das flüssige Indium beziehungsweise die flüssige Indium-Zinn-Legierung reagiert mit dem Nickel, Platin oder Titan der Barrierenschicht 2b und bildet, wie in Figur 1C gezeigt, eine zweite intermetallische Schicht 5b. Zeitgleich reagiert das flüssige Indium beziehungsweise die flüssige Indium-Zinn-Legierung mit dem Gold der dritten Schicht 4c, dem Palladium der zweiten Schicht 4b und dem Nickel der ersten Schicht 4a und bildet eine erste intermetallische Schicht 5a. Dabei kann, wie dargestellt, das Nickel der ersten Schicht 4a nicht vollständig mit dem flüssigen Indium oder der flüssigen Indium-Zinn-Legierung reagieren, so dass eine in der Schichtdicke verringerte erste Schicht 4a bestehen bleibt. Es ist aber auch möglich, dass das Nickel vollständig mit dem flüssigen Indium oder der flüssigen Indium-Zinn-Legierung reagiert und so keine Schicht 4a mehr vorhanden ist.

Das in der ersten metallischen Schicht 4a verbliebene flüssige Indium beziehungsweise die flüssige Indium-Zinn-Legierung diffundiert mittels einer Korngrenzendiffusion durch die zweite intermetallische Schicht 5b zu der zweiten

metallischen Schicht 2c und reagiert dort mit dem Gold unter Bildung einer dritten intermetallischen Schicht 5c (siehe Figur 1D). Das in Figur 1D dargestellte elektronische Bauelement 100, insbesondere ein optoelektronisches Bauelement 100, umfasst einen Leiterrahmen 3, eine über dem Leiterrahmen 3 angeordnete erste Schicht 4a, umfassend oder bestehend aus Nickel. Über der ersten Schicht ist eine Verbindungsschichtenfolge 5 angeordnet. Die Verbindungsschichtenfolge 5 umfasst eine erste intermetallische Schicht 5a, eine über der ersten intermetallischen Schicht 5a angeordnete zweite intermetallischen Schicht 5b und eine über der zweiten intermetallischen Schicht 5b angeordnete dritte intermetallischen Schicht 5c. Über die Verbindungsschichtenfolge 5 ist der Halbleiterchip 1 auf dem Leiterrahmen 3 befestigt.

Die Figuren 2 und 3 zeigen dynamische Differenzkalorimetrie-Diagramme. Auf der x-Achse ist jeweils die Temperatur in °C angegeben und auf der y-Achse mW/mg.

Figur 2 zeigt das dynamische Differenzkalorimetrie-Diagramm der Reaktion einer Indium-Zinn-Legierung In_xSn_{1-x} mit $0 < x \leq 1$ mit Nickel. $SP_{In/Sn}$ bezeichnet den Schmelzpunkt der Indium-Zinn-Legierung und R_{Ni} die Reaktion der flüssigen Indium-Zinn-Legierung mit Nickel. Wie ersichtlich erfolgt die Reaktion mit dem Nickel sehr langsam und tritt nach Erreichen der Schmelztemperatur nicht sofort ein. Aus diesem Grund eignet sich Nickel besonders für dessen Verwendung in der Barrierenschicht, da so gewährleistet werden kann, die Metallisierungs-Schichtenfolge ausreichend mit der flüssigen Indium-Zinn-Legierung zu benetzen.

Figur 3 zeigt das dynamische Differenzkalorimetrie-Diagramm der Reaktion einer Indium-Zinn-Legierung In_xSn_{1-x} mit $0 < x \leq 1$ mit Gold. $SP_{In/Sn}$ bezeichnet den Schmelzpunkt der Indium-Zinn-Legierung und R_{Au} die Reaktion der flüssigen Indium-Zinn-Legierung mit Gold. Wie ersichtlich erfolgt die Reaktion des Golds unmittelbar, nachdem die Indium-Zinn-Legierung geschmolzen ist und die vorhandene Sperre aufgebrochen ist. Somit kann bei dem Einsatz einer zu dünnen oder keiner Barrierenschicht die Metallisierungs-Schichtenfolge nicht oder nicht ausreichend benetzt werden, da die Indium-Zinn-Legierung vorher unter Bildung einer hochschmelzenden Phase mit dem Gold der zweiten metallischen Schicht erstarrt, bevor die Benetzung und die Reaktion mit den Metallen der Metallisierungs-Schichtenfolge erfolgt.

Die hier beschriebene Erfindung ist nicht durch die Beschreibung anhand der Ausführungsbeispiele beschränkt. Vielmehr umfasst die Erfindung jedes neue Merkmal sowie jede Kombination von Merkmalen, was insbesondere jede Kombination von Merkmalen in den Patentansprüchen beinhaltet, auch wenn dieses Merkmal oder diese Kombination selbst nicht explizit in den Patentansprüchen und Ausführungsbeispielen angegeben ist.

Es wird die Priorität der deutschen Patentanmeldung DE 102017104276.8 beansprucht, deren Offenbarung hiermit ausdrücklich durch Rückbezug aufgenommen ist.

Bezugszeichenliste

1	Halbleiterchip
2	Lotmetall-Schichtenfolge
3	Leiterrahmen
4	Metallisierungsschichtenfolge
5	Verbindungsschichtenfolge
2a	erste metallische Schicht
2b	Barrierenschicht
2c	zweite metallische Schicht
4a	erste Schicht
4b	zweite Schicht
4c	dritte Schicht
5a	erste intermetallische Schicht
5b	zweite intermetallische Schicht
5c	dritte intermetallische Schicht
100	elektronisches Bauelement

Patentansprüche

1. Verfahren zum Befestigen eines Halbleiterchips (1) auf einem Leiterrahmen (3) umfassend die Verfahrensschritte

A) Bereitstellen eines Halbleiterchips (1),

B) Aufbringen einer Lotmetall-Schichtenfolge (2) auf den Halbleiterchip (1),

C) Bereitstellen eines Leiterrahmens (3),

D) Aufbringen einer Metallisierungs-Schichtenfolge (4) auf den Leiterrahmen (3),

E) Aufbringen des Halbleiterchips (1) über die Lotmetall-Schichtenfolge (2) und die Metallisierungs-Schichtenfolge (4) auf den Leiterrahmen (3),

F) Heizen der unter E) erzeugten Anordnung zur Befestigung des Halbleiterchips (1) auf dem Leiterrahmen (3),

wobei die Lotmetall-Schichtenfolge (2)

- eine erste metallische Schicht (2a) umfassend Indium oder eine Indium-Zinn-Legierung,
- eine über der ersten metallischen Schicht (2a) angeordnete Barrierenschicht (2b) und
- eine zwischen der Barrierenschicht (2b) und dem Halbleiterchip (1) angeordnete zweite metallische Schicht (2c) umfassend Gold umfasst.

2. Verfahren nach Anspruch 1,
wobei die Metallisierungs-Schichtenfolge (4) eine über dem Leiterrahmen (3) angeordnete erste Schicht (4a) umfassend Nickel umfasst.

3. Verfahren nach einem der vorhergehenden Ansprüche,
wobei die Barrierenschicht (2b) Nickel, Titan, Platin oder eine Titanverbindung enthält.

4. Verfahren nach einem der vorhergehenden Ansprüche, wobei sich in Verfahrensschritt F) eine Verbindungsschichtenfolge (5) zwischen dem Leiterrahmen und dem Halbleiterchip (1) bildet und die Verbindungsschichtenfolge (5)

- eine erste intermetallische Schicht (5a) umfassend Indium und Nickel oder Indium, Zinn und Nickel,
- eine zweite intermetallische Schicht (5b) umfassend Indium und Nickel; Indium und Titan; Indium und eine Titanverbindung; Indium und Platin; Indium, Zinn und Nickel; Indium, Zinn und Titan; Indium, Zinn und eine Titanverbindung oder Indium, Zinn und Platin und
- eine dritte intermetallische Schicht (5c) umfassend Indium und Gold oder Indium, Zinn und Gold umfasst.

5. Verfahren nach einem der vorhergehenden Ansprüche, wobei die Metallisierungs-Schichtenfolge (4) eine über dem Leiterrahmen (3) angeordnete erste Schicht (4a) umfassend Nickel,

- eine über der ersten Schicht (4a) angeordnete zweite Schicht (4b) umfassend Palladium und
- eine über der zweiten Schicht (4b) angeordnete dritte Schicht umfassend Gold (4c) umfasst.

6. Verfahren nach Anspruch 5, wobei in Verfahrensschritt E) der Halbleiterchip (1) so auf den Leiterrahmen (3) aufgebracht wird, dass die erste metallische Schicht (2a) der Lotmetall-Schichtenfolge (2) auf die dritte Schicht (4c) der Metallisierungs-Schichtenfolge (4) aufgebracht wird.

7. Verfahren nach einem der vorhergehenden Ansprüche,

wobei die Barrierenschicht (2b) eine Schichtdicke zwischen einschließlich 5 nm und einschließlich 200 nm aufweist.

8. Verfahren nach einem der vorhergehenden Ansprüche, wobei die Indium-Zinn-Legierung die Formel In_xSn_{1-x} mit $0 < x \leq 1$ aufweist.

9. Verfahren nach einem der vorhergehenden Ansprüche, wobei die erste metallische Schicht (2a) eine Schichtdicke zwischen einschließlich 750 nm bis 3 µm aufweist.

10. Verfahren nach einem der vorhergehenden Ansprüche, wobei die zweite metallische Schicht (2c) eine Schichtdicke zwischen einschließlich 500 nm bis 2 µm aufweist.

11. Verfahren nach einem der vorhergehenden Ansprüche 5 bis 10,
wobei die dritte Schicht (4c) eine Schichtdicke zwischen einschließlich 3 nm bis 5 nm aufweist.

12. Elektronisches Bauelement (100) umfassend einen Leiterrahmen (3) und einen über dem Leiterrahmen (3) angeordneten Halbleiterchip (1), wobei zwischen dem Leiterrahmen (3) und dem Halbleiterchip (1) eine Verbindungsschichtenfolge (5) angeordnet ist und die Verbindungsschichtenfolge (5)

- eine erste intermetallische Schicht (5a) umfassend Indium und Nickel,
- eine zweite intermetallische Schicht (5b) umfassend Indium und eine Titanverbindung; Indium und Nickel; Indium und Platin oder Indium und Titan und
- eine dritte intermetallische Schicht (5c) umfassend Indium und Gold umfasst.

13. Elektronisches Bauelement (100) nach Anspruch 12, wobei die erste intermetallische Schicht (5a) Indium, Zinn und Nickel umfasst,

- die zweite intermetallische Schicht (5b) Indium, Zinn und eine Titanverbindung; Indium, Zinn und Nickel; Indium, Zinn und Platin oder Indium, Zinn und Titan umfasst und
- die dritte intermetallische Schicht (5c) Indium, Zinn und Gold umfasst.

14. Elektronisches Bauelement (100) nach einem der Ansprüche 12 oder 13, wobei die erste intermetallische Schicht (5a) über dem Leiterrahmen (3), die zweite intermetallische Schicht (5b) über der ersten intermetallischen Schicht (5a) und die dritte intermetallische Schicht (5c) zwischen der zweiten intermetallischen Schicht (5b) und dem Halbleiterchip (1) angeordnet ist.

15. Elektronisches Bauelement (100) nach einem der Ansprüche 12 bis 14, wobei eine erste Schicht (4a) umfassend Nickel zwischen dem Leiterrahmen (3) und der ersten intermetallischen Schicht (5a) angeordnet ist.

FIG 1A

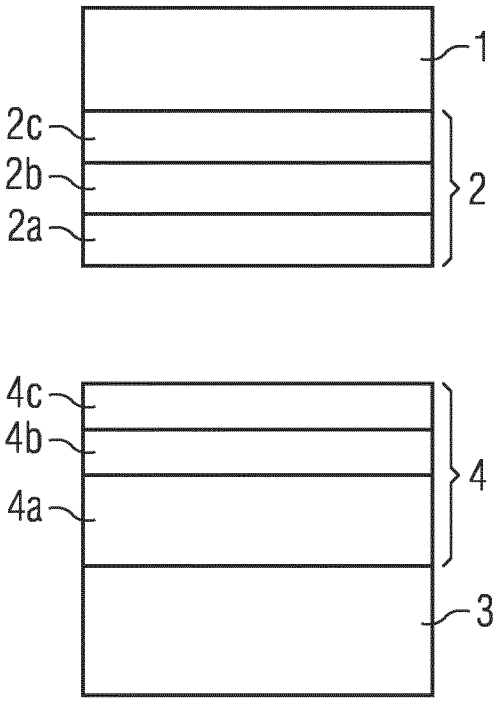


FIG 1B

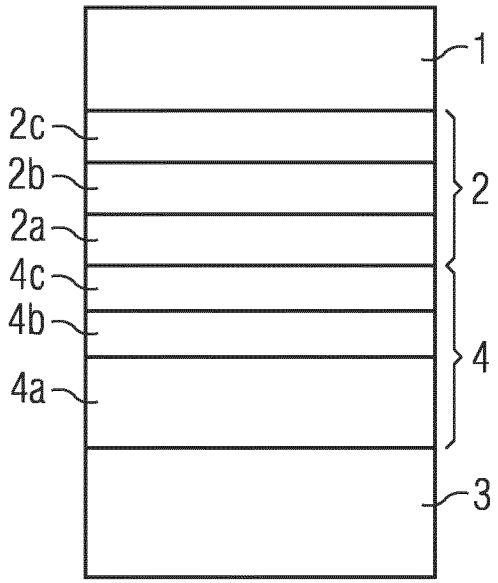


FIG 1C

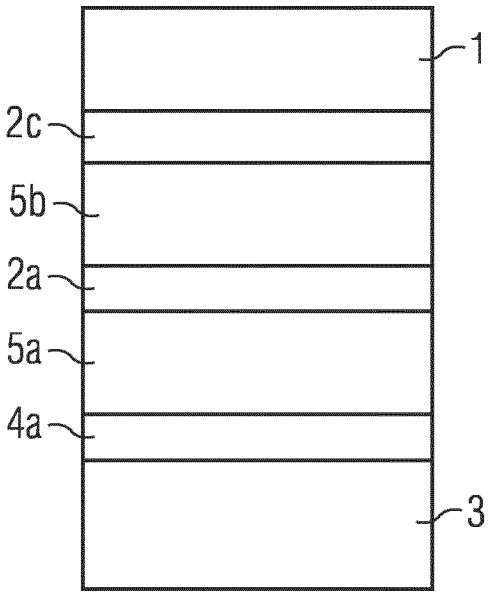


FIG 1D

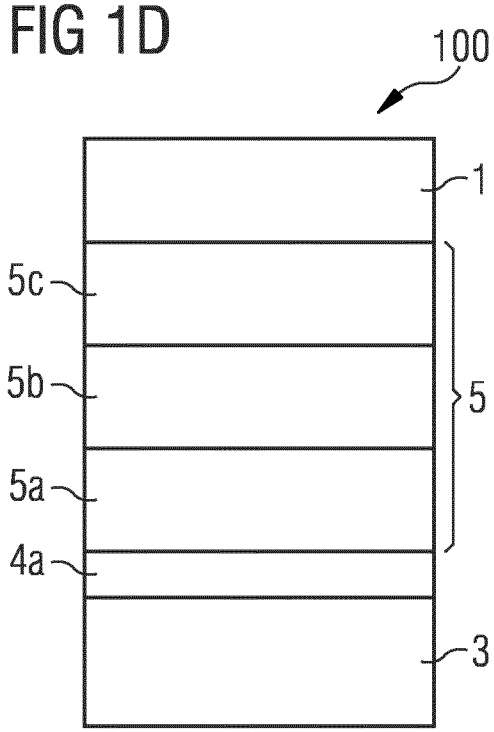


FIG 2

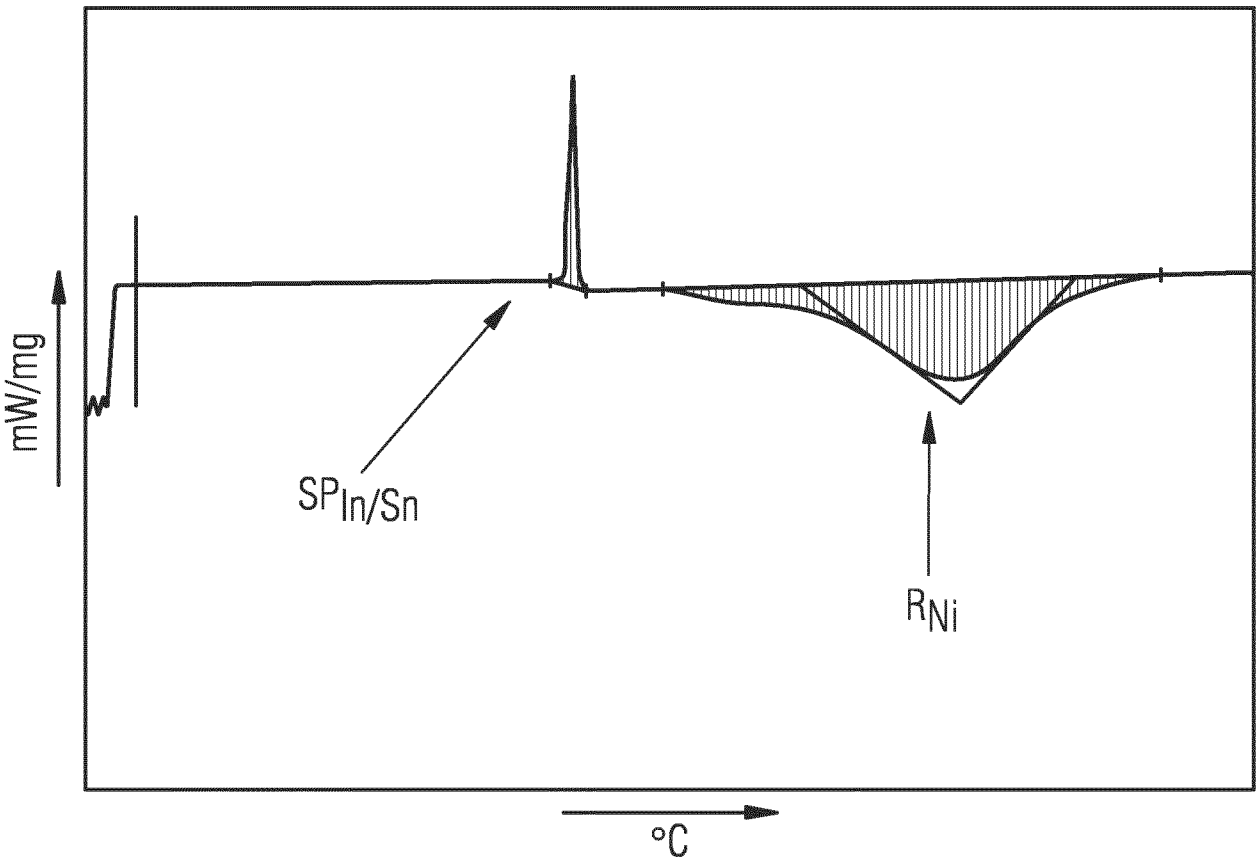
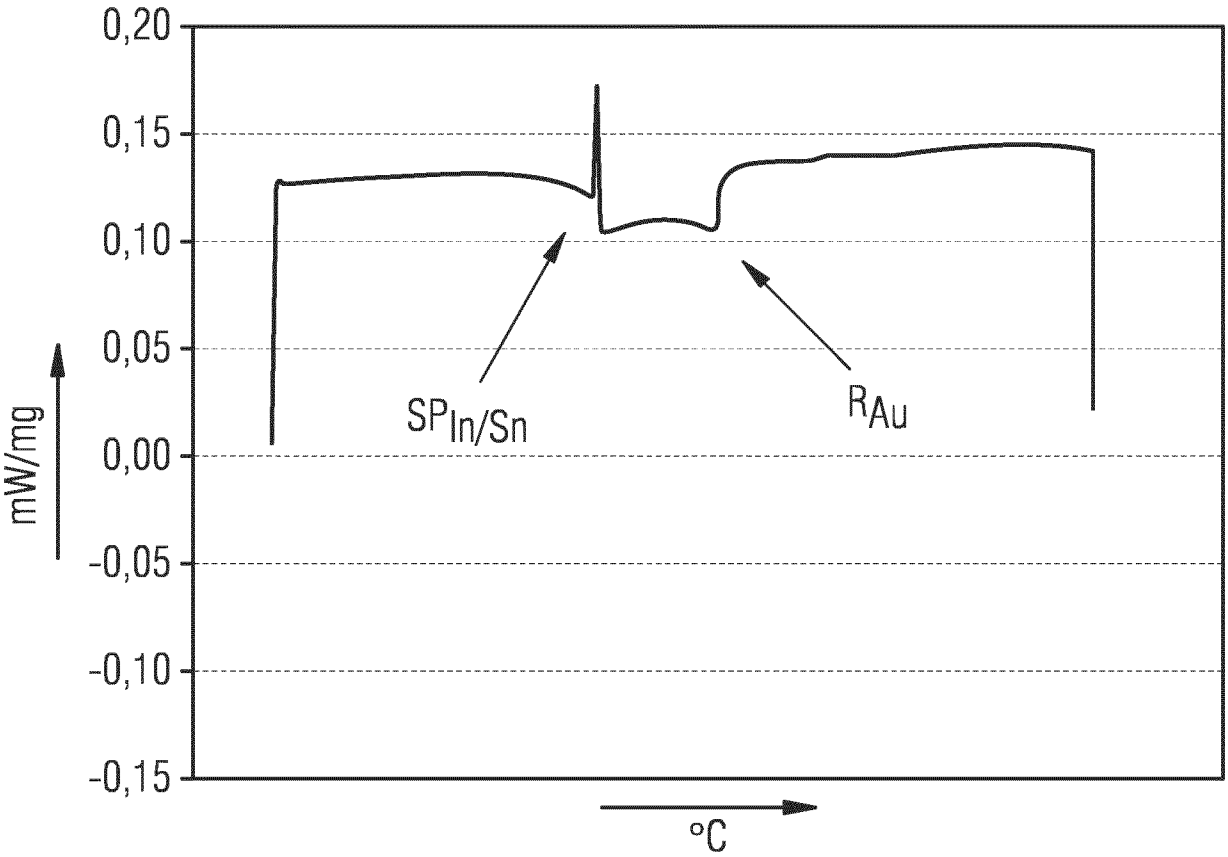

mW/mg
SPIn/Sn
RNi
°C

FIG 3


0,20
0,15
0,10
0,05
0,00
-0,05
-0,10
-0,15
mW/mg
SPIn/Sn
RAu
°C

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2018/054975

A. CLASSIFICATION OF SUBJECT MATTER
INV. H01L33/00 H01S5/022 H01L23/00
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L H01S

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	GB 2 300 375 A (NIPPON DENSO CO [JP]) 6 November 1996 (1996-11-06) page 9, lines 6-18; figures 3,5,6 page 10, lines 1-14 page 11, lines 8-24	1-15
X	EP 1 482 544 A1 (SUMITOMO ELECTRIC INDUSTRIES [JP]) 1 December 2004 (2004-12-01)	12
A	paragraphs [0028] - [0031]; figure 1	1,13-15
X	US 2004/201029 A1 (YAMANE KEIJI [JP] ET AL) 14 October 2004 (2004-10-14) paragraphs [0109] - [0111], [0124], [0130]; figures 1,2	1,12

-/--

[X] Further documents are listed in the continuation of Box C.

[X] See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
9 May 2018	24/05/2018

Name and mailing address of the ISA/	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Claessen, Michiel

1

Form PCT/ISA/210 (second sheet) (April 2005)

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004 349595 A (SHARP KK) 9 December 2004 (2004-12-09) paragraphs [0014], [0080], [0086]	1-15
A	US 2003/067950 A1 (HANAOKA DAISUKE [JP]) 10 April 2003 (2003-04-10) paragraphs [0033], [0055]; claims 1,2	1-15
A	US 6 590 913 B1 (CARAS BERNARD [US] ET AL) 8 July 2003 (2003-07-08) column 5, lines 7-30	1,3,5,12
A	US 5 234 153 A (BACON DONLAD D [US] ET AL) 10 August 1993 (1993-08-10) column 4, line 51 - column 5, line 13; figure 1	12
A	J.F. KUHLMANN ET AL.: "Oxidation and reduction kinetics of eutectic SnPb, InSn, and AuSn: a knowledge base for fluxless solder bonding applications", IEEE TRANSACTIONS ON COMPONENTS, PACKAGING, AND MANUFACTURING TECHNOLOGY C, vol. 21, no. 2, 1 April 1998 (1998-04-01), pages 134-140, XP002780936, the whole document	1-15

1

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/EP2018/054975

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
GB 2300375 A	06-11-1996	NONE	
EP 1482544 A1	01-12-2004	AU 2003211502 A1	16-09-2003
		CN 1633706 A	29-06-2005
		EP 1482544 A1	01-12-2004
		JP 3982284 B2	26-09-2007
		JP 2003258360 A	12-09-2003
		KR 20040093094 A	04-11-2004
		US 2005067636 A1	31-03-2005
		WO 03075341 A1	12-09-2003
US 2004201029 A1	14-10-2004	US 2004201029 A1	14-10-2004
		US 2007246829 A1	25-10-2007
JP 2004349595 A	09-12-2004	NONE	
US 2003067950 A1	10-04-2003	JP 4514376 B2	28-07-2010
		JP 2003101113 A	04-04-2003
		US 2003067950 A1	10-04-2003
US 6590913 B1	08-07-2003	NONE	
US 5234153 A	10-08-1993	CA 2099049 A1	01-03-1994
		DE 69321904 D1	10-12-1998
		DE 69321904 T2	12-05-1999
		EP 0585084 A1	02-03-1994
		HK 1006377 A1	21-07-2000
		JP 2837616 B2	16-12-1998
		JP H06177135 A	24-06-1994
		SG 43769 A1	14-11-1997
		TW 221037 B	11-02-1994
		US 5234153 A	10-08-1993

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/EP2018/054975

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
INV. H01L33/00 H01S5/022 H01L23/00
ADD.

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
H01L H01S

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)
EPO-Internal

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	GB 2 300 375 A (NIPPON DENSO CO [JP]) 6. November 1996 (1996-11-06) Seite 9, Zeilen 6-18; Abbildungen 3,5,6 Seite 10, Zeilen 1-14 Seite 11, Zeilen 8-24	1-15
X	EP 1 482 544 A1 (SUMITOMO ELECTRIC INDUSTRIES [JP]) 1. Dezember 2004 (2004-12-01)	12
A	Absätze [0028] - [0031]; Abbildung 1	1,13-15
X	US 2004/201029 A1 (YAMANE KEIJI [JP] ET AL) 14. Oktober 2004 (2004-10-14) Absätze [0109] - [0111], [0124], [0130]; Abbildungen 1,2	1,12

-/--

[X] Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen [X] Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :
"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
"E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist
"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden
"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist
"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche	Absendedatum des internationalen Recherchenberichts
9. Mai 2018	24/05/2018

Name und Postanschrift der Internationalen Recherchenbehörde	Bevollmächtigter Bediensteter
Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Claessen, Michiel

1

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	JP 2004 349595 A (SHARP KK) 9. Dezember 2004 (2004-12-09) Absätze [0014], [0080], [0086]	1-15
A	US 2003/067950 A1 (HANAOKA DAISUKE [JP]) 10. April 2003 (2003-04-10) Absätze [0033], [0055]; Ansprüche 1,2	1-15
A	US 6 590 913 B1 (CARAS BERNARD [US] ET AL) 8. Juli 2003 (2003-07-08) Spalte 5, Zeilen 7-30	1,3,5,12
A	US 5 234 153 A (BACON DONLAD D [US] ET AL) 10. August 1993 (1993-08-10) Spalte 4, Zeile 51 - Spalte 5, Zeile 13; Abbildung 1	12
A	J.F. KUHLMANN ET AL.: "Oxidation and reduction kinetics of eutectic SnPb, InSn, and AuSn: a knowledge base for fluxless solder bonding applications", IEEE TRANSACTIONS ON COMPONENTS, PACKAGING, AND MANUFACTURING TECHNOLOGY C, Bd. 21, Nr. 2, 1. April 1998 (1998-04-01), Seiten 134-140, XP002780936, das ganze Dokument	1-15

1

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen
PCT/EP2018/054975

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
GB 2300375 A	06-11-1996	KEINE	
EP 1482544 A1	01-12-2004	AU 2003211502 A1	16-09-2003
		CN 1633706 A	29-06-2005
		EP 1482544 A1	01-12-2004
		JP 3982284 B2	26-09-2007
		JP 2003258360 A	12-09-2003
		KR 20040093094 A	04-11-2004
		US 2005067636 A1	31-03-2005
		WO 03075341 A1	12-09-2003
US 2004201029 A1	14-10-2004	US 2004201029 A1	14-10-2004
		US 2007246829 A1	25-10-2007
JP 2004349595 A	09-12-2004	KEINE	
US 2003067950 A1	10-04-2003	JP 4514376 B2	28-07-2010
		JP 2003101113 A	04-04-2003
		US 2003067950 A1	10-04-2003
US 6590913 B1	08-07-2003	KEINE	
US 5234153 A	10-08-1993	CA 2099049 A1	01-03-1994
		DE 69321904 D1	10-12-1998
		DE 69321904 T2	12-05-1999
		EP 0585084 A1	02-03-1994
		HK 1006377 A1	21-07-2000
		JP 2837616 B2	16-12-1998
		JP H06177135 A	24-06-1994
		SG 43769 A1	14-11-1997
		TW 221037 B	11-02-1994
		US 5234153 A	10-08-1993