

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국



(43) 국제공개일
2010년 12월 16일 (16.12.2010)

PCT

(10) 국제공개번호
WO 2010/143876 A2

- (51) 국제특허분류:
G01R 31/3177 (2006.01) *G01R 31/3183* (2006.01)
- (21) 국제출원번호: PCT/KR2010/003686
- (22) 국제출원일: 2010년 6월 9일 (09.06.2010)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2009-0052451 2009년 6월 12일 (12.06.2009) KR
- (71) 출원인 (US 을(를) 제외한 모든 지정국에 대하여):
(주)브이알인사이트 (VRINSIGHT CO.,LTD)
[KR/KR]; 경기도 용인시 기흥구 신갈동 400-14 메리
테크빌딩 2층, 446-559 Kyunggi-Do (KR).
- (72) 발명자; 겸
- (75) 발명자/출원인 (US 에 한하여): 국일호 (KOOK, Il Ho)
[KR/KR]; 서울특별시 성북구 삼선동 2가 대우푸르지
오아파트 105-601, 136-721 Seoul (KR). 박종진
(PARK, Jong Jin) [KR/KR]; 경기도 수원시 영통구 영
통동 신나무실 주공 아파트 516-1404, 443-470
Gyeonggi-do (KR). 한창석 (HAN, Chang Suc)
[KR/KR]; 인천광역시 부평구 삼산동 신성미소지움
아파트 307-701, 403-090 Incheon (KR). 강성태
(KANG, Sung Tae) [KR/KR]; 서울특별시 양천구 목4
동 739-1 보미리준빌 802호, 158-815 Seoul (KR).

(74) 대리인: 특허법인 대한 (PATENT LAW FIRM
GRAND KOREA); 서울특별시 강남구 역삼동 735-36
부봉빌딩 2층, 135-080 Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의
국내 권리의 보호를 위하여): AE, AG, AL, AM, AO,
AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA,
CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ,
EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,
HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KZ,
LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG,
MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ,
OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG,
SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의
역내 권리의 보호를 위하여): ARIPO (BW, GH, GM,
KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM,
ZW), 유라시아 (AM, AZ, BY, KG, KZ, MD, RU, TJ,
TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,
MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM,
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
ML, MR, NE, SN, TD, TG).

공개:

- 국제조사보고서 없이 공개하며 보고서 접수 후 이를
별도 공개함 (규칙 48.2(g))

(54) Title: STACKED FPGA BOARD FOR SEMICONDUCTOR VERIFICATION

(54) 발명의 명칭: 반도체 검증용 적층형 F P G A 보드

(57) Abstract: The present invention relates to a stacked FPGA board of a prototyping system for semiconductor design verification. A programmable logic device (PLD) for semiconductor design verification, comprises: at least one FPGA board which has an FPGA chip with a built-in logic circuit for semiconductor verification; a plurality of connectors for inputting / outputting a signal to / from the FPGA chip, with each connector provided at a corresponding position to enable connection with another connector; and a switching board for selectively connecting a signal between the plural FPGA boards; wherein the FPGA boards and the switching board are connected in a multilayer arrangement through the connectors provided, respectively thereto. The present invention with the above configuration overcomes various problems present in conventional systems such as soft connections between the boards, difficulties in wiring layout or spatial restraints.

(57) 요약서: 본 발명은 반도체 설계물 검증용 프로토타이핑 시스템의 적층형 F P G A 보드에 관한 것으로, 반도체 설계물 검증을 위한 프로그래머블 로직 디바이스(PLD) 보드에 있어서, 반도체 검증을 위한 논리회로가 내장된 FPGA 칩과 여기에 신호를 입/출력하기 위한 다수의 커넥터가 구비된 적어도 하나 이상의 FPGA 보드 및 상기 커넥터와 연결 가능하게 대응하는 위치에 커넥터가 구비되고, 다수의 상기 FPGA 보드간에 신호를 선택적으로 연결하는 스위칭 보드를 포함하고, 상기 FPGA 보드와 상기 스위칭 보드에 각각 구비된 커넥터를 통해 다층 배열로 연결하여 반도체 설계물을 검증하는 것을 특징으로 한다. 이와 같이 구성되는 본 발명은 보드간에 유연한 연결과 배선설계의 어려움, 공간적 제약의 문제점 등 기존 방식의 다양한 문제점을 해소할 수 있는 효과가 있다.

WO 2010/143876 A2

명세서

발명의 명칭: 반도체 검증용 적층형 F P G A 보드

기술분야

- [1] 본 발명은 반도체 검증용 적층형 FPGA 보드에 관한 것으로, 다수의 FPGA를 이용한 반도체 설계물의 검증용 보드의 유연성 있는 연결 구조를 위한 반도체 검증용 FPGA 보드에 관한 것이다.

배경기술

- [2] 오늘날 시스템 반도체 설계의 규모가 방대해 짐에 따라 대규모 설계물에 대한 검증의 필요성으로 FPGA 부품 소자가 사용된다.
- [3] FPGA(field programmable gate array, 프로그래머블 게이트 어레이)는 프로그래머블 논리 요소와 프로그래밍 가능 내부선이 포함된 반도체 소자이다. 프로그래머블 논리요소는 AND, OR, XOR, NOT, 더 복잡한 디코더나 계산기능이 조합 기능같은 기본적인 논리 게이트의 기능을 복제하여 프로그래밍 할 수 있다. 대부분의 FPGA는 프로그래밍 가능 논리 요소(FPGA 식으로는 논리 블록이라도 함)에 간단한 플립플롭이나 더 완벽한 메모리 블록으로 된 메모리 요소도 포함하고 있다.
- [4] 이를 사용하여 반도체 설계물의 검증을 위한 PLD(Programmable Logic Device)는 PLD에 저장할 회로의 크기가 커짐에 따라 고집적 FPGA를 사용하여야 하며 이것은 매우 고가의 반도체 부품으로 재활용의 필요성이 매우 높다. 반도체 설계물 검증을 위하여 구성한 PCB 보드는 해당 용도에 맞게 제작되어 검증 작업이 완료된 이후 고가의 FPGA 소자를 재활용하기 위하여 해체하여야 하지만 고용량 논리회로가 내장된 FPGA는 1천개 이상의 핀을 갖는 고집적 패키지 부품임으로 해체 시 고장의 우려가 매우 높다.
- [5] 기존의 반도체 설계물 검증용 시스템의 PCB보드는 1천개 이상의 입출력 핀이 밀집된 고집적 FPGA 소자를 다수 사용하여 2차원 평면에 배치 한 후 배선하여 PCB 보드를 제작한다. 밀집된 입출력 핀을 갖는 다수의 고집적 FPGA를 2차원 평면에 배치된 경우 FPGA 소자 사이의 배선이 매우 길어져 전체적인 시스템 성능 저하의 원인이 된다.
- [6]
- [7] 앞서 설명한 바와 같이 배치와 배선의 제약은 FPGA 소자 사이의 수많은 배선을 요구하는 반도체 설계물 검증용 시스템 보드 구성 요건을 충분히 반영하지 못한다. 또한 검증 과정에서 반도체 설계물의 변경은 빈번하나, 고정된 배치와 배선으로 인하여 제작된 고밀도 PCB는 수정이 불가하여 PCB의 재 제작이 요구되어 매우 비효율적이며, PCB의 재 제작 시 고가의 FPGA 의 해체 고정에서 고장의 우려가 매우 높다.
- [8] 또한, PCB상에 반영되지 못한 배선의 제약은 별도의 케이블로서 해결하기도

하지만 케이블 선 갯수의 제약이 있다. 밀집된 케이블을 사용하기 위해서는 특수 구조의 연결 기구물(커넥터)의 제작이 필요하며 케이블 길이를 임의로 조절하기 어려울 뿐만 아니라, 신호 왜곡을 야기시키며 연결선의 전기적 특성을 보장하기 위한 방안이 필요하다.

- [9] 또한, FPGA 소자를 2차원 평면에 배치한 기존의 반도체 검증 시스템 PCB 보드는 배치 배선의 영역을 확보하기 위하여 매우 넓은 평면적을 차지하기 때문에 공간적 제약의 문제점이 따르는 등 다양한 어려움이 있다.

발명의 상세한 설명

기술적 과제

- [10] 상기와 같은 문제점을 해결하기 위한 본 발명은 다수의 FPGA 보드에 공통 커넥터를 구성하고 이를 다층 연결함으로써 연결의 유연성을 확보할 수 있는 FPGA 보드를 제공하고자 하는데 그 목적이 있다.
- [11] 또한, 적층된 FPGA 보드간에 스위칭 보드를 공통 커넥터를 통해 연결함으로써 신호의 흐름을 용이하게 제어할 수 있는 검증용 보드를 제공하고자 하는데 그 목적이 있다.
- [12] 또한, 수직 연결된 FPGA 사이에 연결된 입출력 신호를 임의로 분리할 수 있는 방법을 제공함으로써 다수의 FPGA들을 적층 시키는 것이 가능하게 되므로 공간적 제약의 문제를 해소시키는데 목적이 있다.
- [13] 또한, 적층된 FPGA 사이의 연결은 평면상에 배치한 연결에 비하여 넓은 비트 폭을 갖는 버스 형태의 배선 길이를 균일하면서도 짧은 배선길이를 유지함으로써 다수 FPGA를 포함한 반도체 설계물 검증용 시스템 보드의 성능을 향상 시키는데 목적이 있다.

과제 해결 수단

- [14] 상기와 같은 목적을 달성하기 위한 본 발명은 반도체 설계물 검증을 위한 프로그래머블 로직 디바이스(PLD) 보드에 있어서, 반도체 검증을 위한 논리회로가 내장된 FPGA칩과 여기에 신호를 입/출력하기 위한 다수의 커넥터가 구비된 적어도 하나 이상의 FPGA 보드 및 상기 커넥터와 연결 가능하게 대응하는 위치에 커넥터가 구비되고 다수의 상기 FPGA 보드간에 신호를 선택적으로 연결하는 스위칭 보드를 포함하고, 상기 FPGA 보드와 상기 스위칭 보드에 각각 구비된 커넥터를 통해 다층 배열로 연결하여 반도체 설계물을 검증하는 것을 특징으로 한다.
- [15] 또한, 상기 커넥터는, 상기 FPGA 보드와 스위칭 보드에 각각 8개씩 구비되는 것을 특징으로 한다.
- [16] 또한, 상기 FPGA 보드는, 각각에 전원입력부를 구비하는 것을 특징으로 한다.
- [17] 또한, 상기 커넥터는, 180핀 커넥터로 구비되는 것을 특징으로 한다.
- [18] 또한, 상기 커넥터는, 상기 FPGA 보드와 스위칭 보드가 적층 시 커넥터간에 연결되도록 상하면 양측으로 커넥터에 대응하는 커넥터를 갖는 것을 특징으로

한다.

- [19] 또한, 상기 FPGA 보드와 스위칭 보드를 연결하기 위한 커넥터 사이에 그 신호를 외부로 출력하기 위하여 상기 커넥터와 동일한 커넥터를 가지며, 이 커넥터에서 출력될 수 있는 입출력핀을 구비한 확장보드를 더 포함하여 구성되는 것을 특징으로 한다.
- [20] 또한, 반도체 설계물 검증을 위하여 상기 FPGA 보드와 스위칭 보드를 탑재시키기 위한 커넥터를 구비하고, 디스플레이 보드와 메모리 보드를 포함하는 부수보드를 연결하는 베이스 보드를 더 포함하는 것을 특징으로 한다.
- [21] 또한, 반도체 설계물 검증을 위한 프로그래머블 로직 디바이스(PLD) 보드에 있어서, 반도체 검증을 위한 논리회로가 내장된 FPGA 칩과 여기에 신호를 입/출력하기 위한 다수의 커넥터가 구비된 FPGA 보드로 구성되고, 상기 FPGA 보드에 구비된 커넥터를 통하여 적어도 2개 이상의 FPGA 보드를 연결하여 보드간에 신호를 연결시키는 것을 특징으로 한다.
- [22] 또한, 상기 FPGA 보드에 구비되는 상기 커넥터와 연결 가능하게 대응하는 커넥터가 구비되고 상기 FPGA 보드 사이에 설치되어 신호를 선택적으로 연결하는 스위칭 보드를 더 포함하여 구성되는 것을 특징으로 한다.

발명의 효과

- [23] 상기와 같이 구성되고 작용되는 본 발명은 고가의 FPGA 소자를 PCB 보드에서 해체하지 않고 각각의 FPGA 보드를 적층 방식으로 연결함에 따라 소자의 손상을 일으키지 않으며, 수정 및 개조가 매우 용이한 이점이 있다.
- [24] 또한, 다층 배열 구조로 유연한 연결성을 확보할 수 있으며, 스위칭 보드를 통한 층 용이한 검증 보드를 제공할 수 있는 효과가 있다.
- [25] 또한, 수직으로 다층 배치되는 구조에 의해 공간적 제약의 문제점을 해소할 수 있어 좁은 공간에서 사용이 가능한 이점이 있다.
- [26] 또한, 기존의 2차원적 FPGA 보드 설계 시 발생하는 복잡한 배선의 문제점을 해소할 수 있는 이점이 있다.

도면의 간단한 설명

- [27] 도 1은 종래기술에 따른 반도체 검증용 FPGA 보드의 개략도,
- [28] 도 2는 본 발명에 따른 반도체 검증용 적층형 FPGA 보드의 개략적인 구성도,
- [29] 도 3은 본 발명에 따른 반도체 검증용 적층형 FPGA 보드의 FPGA 보드는 나타낸 사시도,
- [30] 도 4는 본 발명에 따른 반도체 검증용 적층형 FPGA 보드의 스위칭 보드를 나타낸 평면도,
- [31] 도 5 내지 7는 반도체 검증용 적층형 FPGA 보드의 결합 상태를 나타낸 단면도,
- [32] 도 8와 9는 반도체 검증용 적층형 FPGA 보드의 확장보드를 나타낸 사시도,
- [33] 도 10은 반도체 검증용 적층형 FPGA 보드의 아답터 보드를 나타낸 사시도,
- [34] 도 11은 본 발명에 따른 반도체 검증용 적층형 FPGA 보드와 베이스 보드를

나타낸 평면도와 단면도.

- [35] <도면의 주요부분에 대한 부호의 설명>
- [36] 100 : FPGA 보드 110 : FPGA
- [37] 120 : 커넥터 200 : 스위칭 보드
- [38] 210 : 스위칭 소자 220 : 커넥터
- [39] 300 : 확장보드 400 : 아답터 보드
- [40] 500 : 베이스보드

발명의 실시를 위한 형태

- [41] 이하, 첨부된 도면을 참조하여 본 발명에 따른 반도체 검증용 적층형 FPGA 보드의 바람직한 실시예를 상세히 설명하면 다음과 같다.
- [42] 도 2는 본 발명에 따른 반도체 검증용 적층형 FPGA 보드의 개략적인 구성도, 도 3은 본 발명에 따른 반도체 검증용 적층형 FPGA 보드의 FPGA 보드는 나타낸 사시도, 도 4는 본 발명에 따른 반도체 검증용 적층형 FPGA 보드의 스위칭 보드를 나타낸 평면도, 도 5 내지 7는 반도체 검증용 적층형 FPGA 보드의 결합 상태를 나타낸 단면도, 도 8와 9는 반도체 검증용 적층형 FPGA 보드의 확장보드를 나타낸 사시도, 도 10은 반도체 검증용 적층형 FPGA 보드의 아답터 보드를 나타낸 사시도, 도 11은 본 발명에 따른 반도체 검증용 적층형 FPGA 보드와 베이스 보드를 나타낸 평면도와 단면도이다.
- [43] 본 발명에 따른 반도체 설계물 검증을 위한 프로그래머블 로직 디바이스(PLD) 보드에 있어서, 반도체 검증을 위한 논리회로가 내장된 FPGA칩과 여기에 신호를 입/출력하기 위한 다수의 커넥터가 구비된 적어도 하나 이상의 FPGA 보드 및 상기 커넥터와 연결 가능하게 대응하는 위치에 커넥터가 구비되고 다수의 상기 FPGA 보드간에 신호를 선택적으로 연결하는 스위칭 보드를 포함하고, 상기 FPGA 보드와 상기 스위칭 보드에 각각 구비된 커넥터를 통해 다층 배열로 연결하여 반도체 설계물을 검증하는 것을 특징으로 한다.
- [44] FPGA 보드(100)는 고집적 FPGA 소자가 PCB에 실장된 것으로, 반도체 설계물 검증을 위한 설계된 프로그램을 상기 FPGA 소자(110)에 라이팅시킨 후 반도체 설계물의 동작 여부를 확인하게 된다. 이때 동작여부 검증을 위해 필요한 논리적 회로의 용량이 방대해짐에 따라 다수의 FPGA 보드가 사용되는데, 본 발명에서는 FPGA 보드에 공통규격인 다수의 커넥터(120)가 구비되어 있다.
- [45] 상기 커넥터(120)는 다수의 FPGA 보드와 후술한 스위칭 보드(200)의 연결성을 확보하기 위한 것으로, 커넥터의 연결핀은 상기 FPGA 소자(110)의 핀과 전기적으로 연결된다.
- [46] 여기서 상기 커넥터(120)는 상/하 연결 가능한 커넥터 구조로써 상호 대응한 형태로 다수의 커넥터와 적층 연결된다. 본 발명에서는 180핀을 가지는 커넥터를 하나의 FPGA 보드에 8개 사용함으로써 1440핀의 신호 입/출력을 확보할 수 있다.

- [47] 또한, 상기 FPGA 보드에는 전원을 입력받기 위한 전원부(미부호)와 입/출력되는 신호 처리를 위한 다수의 부품소자들이 구성되고, 각각의 FPGA 보드에 따른 코드(아이디) 식별을 위한 코드설정부(미부호)가 스위치 방식으로 구성된다.
- [48] 스위칭 보드(200)는 다수의 FPGA 보드 결합 시 신호 스위칭을 위한 보드로써, 상기 FPGA 보드에 구성된 커넥터(120)와 동일한 규격의 커넥터(220)가 구비된다.
- [49] 상기 스위칭 보드(200)는 다수의 스위칭 소자(210)가 구비되어 사용자에 의한 수동적 스위칭(switching)이나 프로그램 등의 컨트롤을 통해 자동적으로 제어할 수 있도록 구현할 수 있으며, 본 발명에서는 일례로 수동적 구현을 위한 덤(Dip)스위치 소자를 적용하여 구현하였으나, 이에 한정하는 것은 아니다.
- [50] 이때 상기 스위칭 소자(210)는 FPGA 보드와 마찬가지로 스위칭 보드에 구비된 8개의 커넥터(220)와 대응하게 구비되어 각각의 커넥터를 통해 전송되는 신호를 차단할 수 있다. 여기서 상기 커넥터(220)가 FPGA 보드에 구비된 커넥터(120)와 다른 점은 스위칭 보드의 경우 커넥터의 상/하에 구비된 핀이 스위칭 소자를 경유하여 연결되도록 구성되나, FPGA 보드에 구비된 커넥터의 상하 핀들은 직접 연결된 구조를 갖게 된다.
- [51] 따라서 상기 스위칭 소자에 의해 필요에 따라 FPGA 소자의 부분적 신호를 차단할 수 있어, 보드간 신호 흐름을 유연하게 제어할 수 있다.
- [52]
- [53] 본 발명에 따른 상기 FPGA 보드는 단순히 적층하였을 경우 2개의 보드를 적층하여 사용하는 것이 바람직하다.
- [54] 4장의 FPGA 보드를 쌓은 순서대로 각각 1,2,3,4번 보드라고 가정하여 설명하면, 상하 연결 커넥터를 통해 1번과 2번 보드 사이에 신호가 연결되고, 3,4번 보드는 이 커넥터를 사용하지 못한다. 하지만 2,3번 보드 사이에 상기 스위치 보드(200)를 삽입하여 신호 연결을 끊었을 경우 3번 보드의 모든 입출력 핀은 하층에 놓인 FPGA보드에서 사용여부와 무관하게 자유롭게 사용할 수 있다. 적층된 상기 FPGA 보드 사이에 스위치 보드를 사용하여 인접하게 적층된 FPGA 보드 사이의 필요한 신호들은 연결하고 원치 않는 신호들을 분리 할 수 있다.
- [55] 또한, 상기 스위치 보드는 신호선의 연결 혹은 차단을 임의로 프로그래머블하게 구성하여 설계의 변경 혹은 다른 설계물로의 재활용 등 유연하게 적용할 수 있다.
- [56] 이처럼 구성되는 상기 FPGA 보드(100)와 스위칭 보드(200)를 상기 커넥터(120, 220)를 통해 적층식으로 연결함으로써 용이하게 확장시킬 수 있다.
- [57] 한편, 상기 보드간에 처리되는 신호를 외부에서 확인할 수 있도록 신호라인을 확장할 수 있는 확장보드(300)가 더 구비된다. 상기 확장보드는 FPGA 보드와 스위칭 보드를 연결시키는 커넥터 사이에 연결되는데, 이것도 마찬가지로 상기

커넥터와 동일한 규격으로 구비되어 이와 연결되는 다수의 연결단자(310)를 통해서 외부로 신호를 출력시킬 수 있다.

[58] 상기 연결단자(310)는 180핀을 가지는 커넥터에 대응하는 핀수로 구비되며, 수동적 확장의 용이성을 위하여 커넥터보다 큰 연결단자로 다수개 구비된다. 여기에 전기선을 연결하여 사용할 수 있다.

[59] 이와 더불어 상기 확장보드(300)를 연결할 때에는 적층된 FPGA 보드나 스위칭 보드간에 간격 확보를 위한 아답터 보드(400)를 더 구비한다. 아답터 보드는 단순히 보드간에 확장보드 연결 시 간격 유지하고 커넥터간을 연결시키기 위한 것으로, FPGA 보드 또는 스위칭 보드에 구비된 커넥터와 동일한 규격을 커넥터가 준비된 것이다.

[60] 한편, 상기 FPGA 보드와 스위칭 보드를 탑재시키고 최종 반도체 설계물 검증을 실시하기 위하여 필요한 부수보드를 탑재할 수 베이스 보드(500)를 더 포함한다. 상기 베이스 보드에도 마찬가지로 FPGA 보드와 스위칭 보드를 탑재시키기 위해 공통규격의 커넥터가 PCB기판에 실장되어 있고, 도면에 도시하지는 않았지만 검증 확인 시 필요한 디스플레이 보드와 메모리 보드, 오디오 보드, 컨트롤러 보드 등을 포함하는 부수적 보드를 연결하기 위함이다. 상기 부수적 보드도 마찬가지로 모두 공통규격의 커넥터를 통해 모두 연결시킴으로 베이스 보드 상에는 다수의 커넥터가 실장되어 있다.

[61]

[62] 이와 같이 구성되는 본 발명은 공통규격의 커넥터가 구비된 FPGA 보드를 적층하여 연결하고 신호의 흐름을 스위칭 보드를 통해 자유롭게 제어할 수 있으므로 유연한 연결성을 확보할 수 있는 수직 적층방식을 통해 공간 제약의 문제점을 해소할 수 있다.

[63]

[64] 이상, 본 발명의 원리를 예시하기 위한 바람직한 실시예와 관련하여 설명하고 도시하였지만, 본 발명은 그와 같이 도시되고 설명된 그대로의 구성 및 작용으로 한정되는 것이 아니다.

[65] 오히려, 첨부된 청구범위의 사상 및 범주를 일탈함이 없이 본 발명에 대한 다수의 변경 및 수정이 가능함을 당업자들은 잘 이해할 수 있을 것이다. 따라서 그러한 모든 적절한 변경 및 수정과 균등물들도 본 발명의 범위에 속하는 것으로 간주되어야 할 것이다.

청구범위

- [청구항 1] 반도체 설계물 검증을 위한 프로그래머블 로직 디바이스(PLD) 보드에 있어서,
반도체 검증용을 위한 논리회로가 내장된 FPGA칩과 여기에 신호를 입/출력하기 위한 다수의 커넥터가 구비된 적어도 하나 이상의 FPGA 보드; 및
상기 커넥터와 연결 가능하게 대응하는 위치에 커넥터가 구비되고 다수의 상기 FPGA 보드간에 신호를 선택적으로 연결하는 스위칭 보드;를 포함하고,
상기 FPGA 보드와 상기 스위칭 보드에 각각 구비된 커넥터를 통해 다층 배열로 연결하여 반도체 설계물을 검증하는 것을 특징으로 하는 반도체 검증용 적층형 FPGA 보드.
- [청구항 2] 제 1항에 있어서, 상기 커넥터는,
상기 FPGA 보드와 스위칭 보드에 각각 8개씩 구비되는 것을 특징으로 하는 반도체 검증용 적층형 FPGA 보드.
- [청구항 3] 제 1항에 있어서, 상기 FPGA 보드는,
각각에 전원입력부를 구비하는 것을 특징으로 하는 반도체 검증용 적층형 FPGA 보드.
- [청구항 4] 제 1항 또는 제 2항에 있어서, 상기 커넥터는,
180핀 커넥터로 구비되는 것을 특징으로 하는 반도체 검증용 적층형 FPGA 보드.
- [청구항 5] 제 1항 또는 제 2항에 있어서, 상기 커넥터는,
상기 FPGA 보드와 스위칭 보드가 적층 시 커넥터간에 연결되도록 상하면 양측으로 커넥터에 대응하는 커넥터를 갖는 것을 특징으로 하는 반도체 검증용 적층형 FPGA 보드.
- [청구항 6] 제 1항에 있어서,
상기 FPGA 보드와 스위칭 보드를 연결하기 위한 커넥터 사이에 그 신호를 외부로 출력하기 위하여 상기 커넥터와 동일한 커넥터를 가지며, 이 커넥터에서 출력될 수 있는 입/출력핀을 구비한 확장보드를 더 포함하여 구성되는 것을 특징으로 하는 반도체 검증용 적층형 FPGA 보드.
- [청구항 7] 제 1항에 있어서,
반도체 설계물 검증용을 위하여 상기 FPGA 보드와 스위칭 보드를 탑재시키기 위한 커넥터를 구비하고, 디스플레이 보드와 메모리 보드를 포함하는 부수보드를 연결하는 베이스 보드를 더 포함하는 것을 특징으로 하는 반도체 검증용 적층형 FPGA 보드.
- [청구항 8] 반도체 설계물 검증용을 위한 프로그래머블 로직 디바이스(PLD)

보드에 있어서,
반도체 검증용 위한 논리회로가 내장된 FPGA칩과 여기에 신호를
입/출력하기 위한 다수의 커넥터가 구비된 FPGA 보드;로
구성되고,

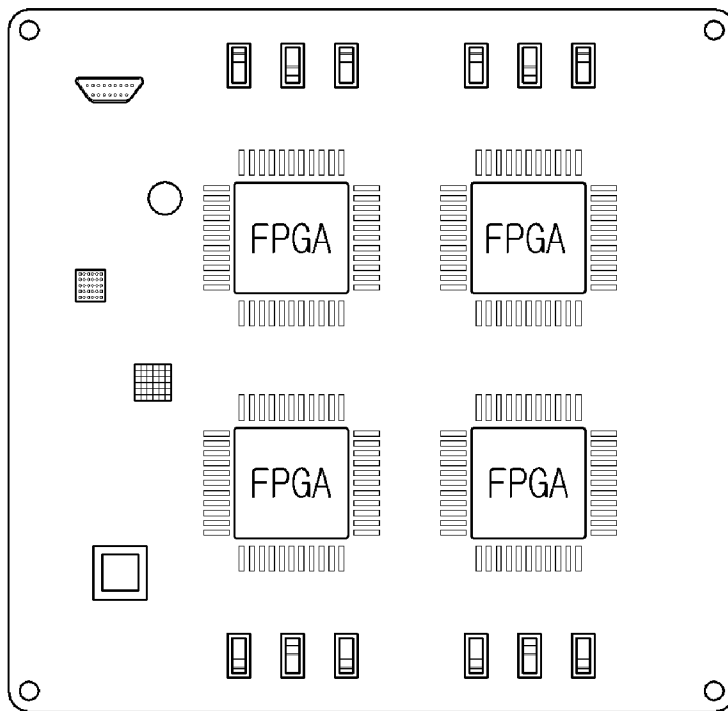
상기 FPGA 보드에 구비된 커넥터를 통하여 적어도 2개 이상의
FPGA보드를 연결하여 보드간에 신호를 연결시키는 것을
특징으로 하는 반도체 검증용 적층형 FPGA 보드.

[청구항 9]

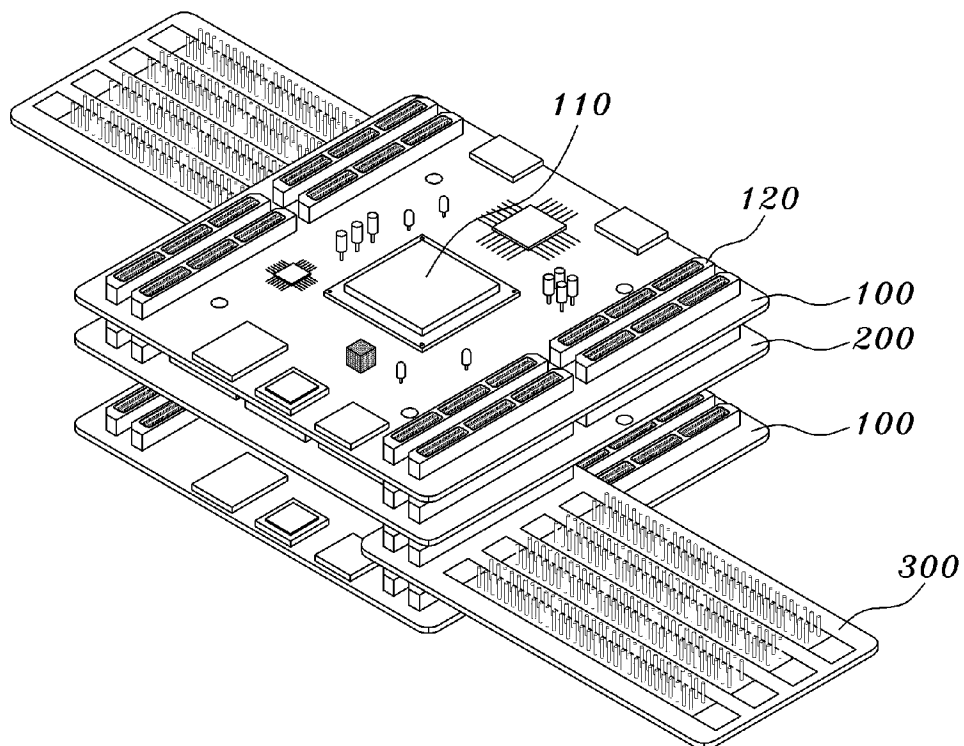
제 8항에 있어서,

상기 FPGA 보드에 구비되는 상기 커넥터와 연결 가능하게
대응하는 커넥터가 구비되고 상기 FPGA 보드 사이에 설치되어
신호를 선택적으로 연결하는 스위칭 보드;를 더 포함하여
구성되는 것을 특징으로 하는 반도체 검증용 적층형 FPGA 보드.

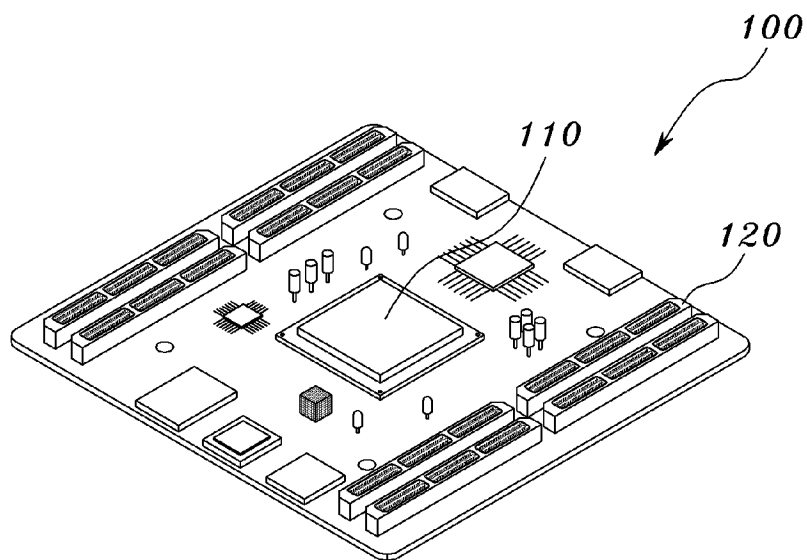
[Fig. 1]



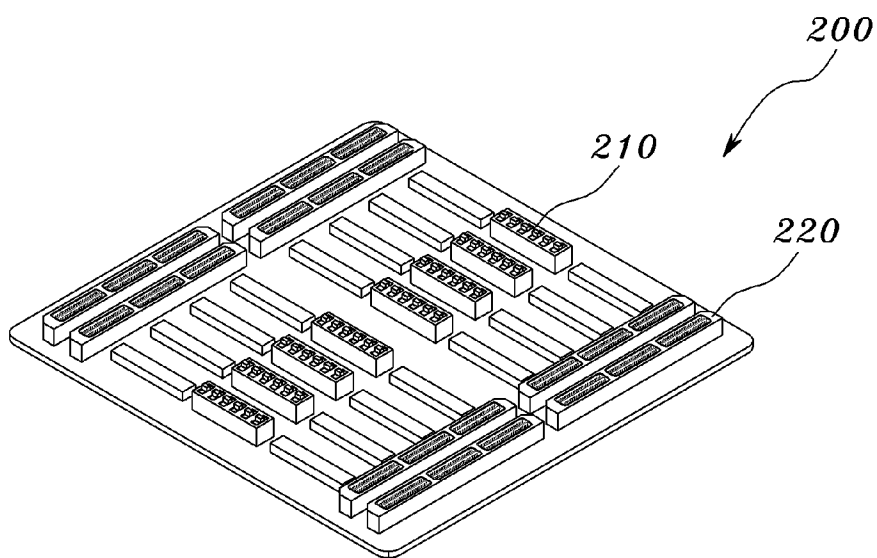
[Fig. 2]



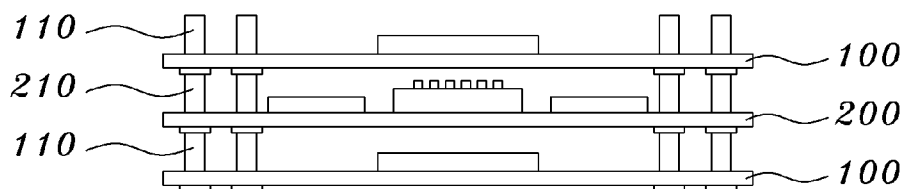
[Fig. 3]



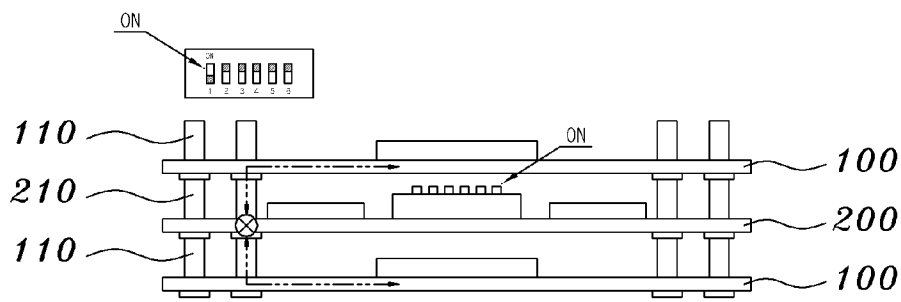
[Fig. 4]



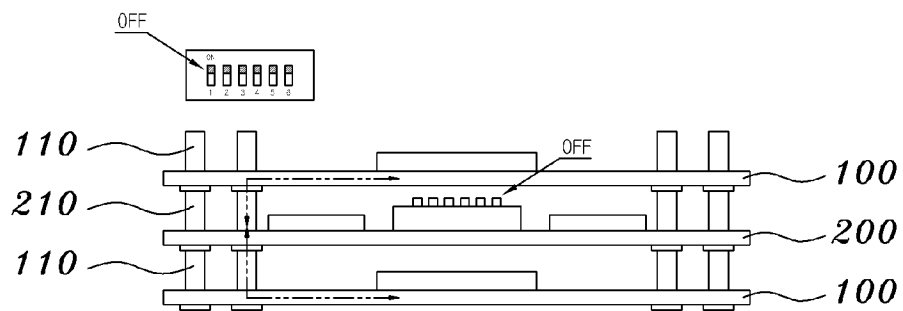
[Fig. 5]



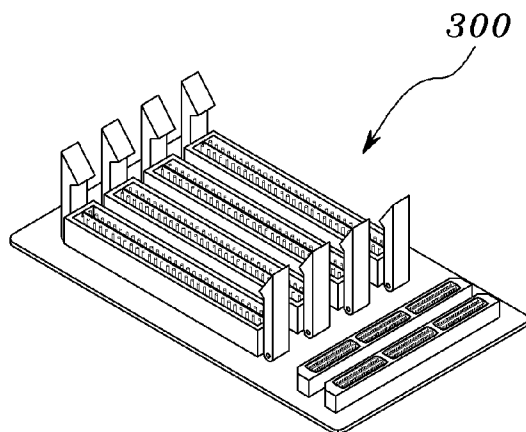
[Fig. 6]



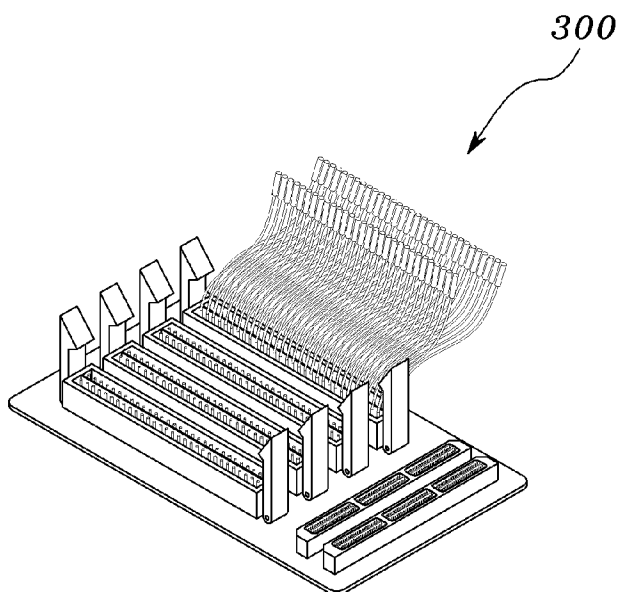
[Fig. 7]



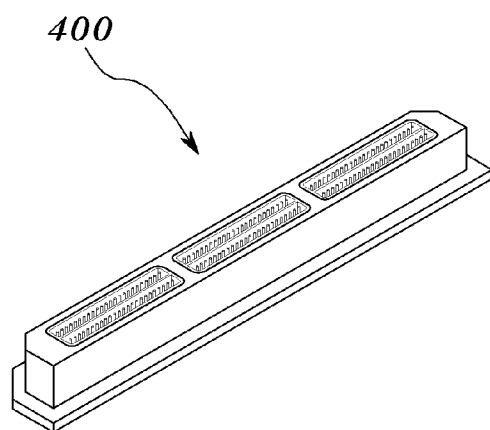
[Fig. 8]



[Fig. 9]



[Fig. 10]



[Fig. 11]

