



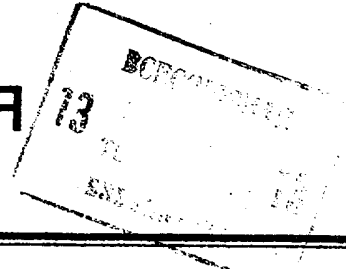
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) SU (11) 1234883 A 2

(51) 4 G 11 C 19/14

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (61) 1095243
- (21) 3724697/24-24
- (22) 13.04.84
- (46) 30.05.86. Бюл. № 20
- (72) А.М.Пужай
- (53) 681.327.66 (088.8)
- (56) Авторское свидетельство СССР
№ 1095243, кл. G 11 C 19/14, 1983.
- (54) ЯЧЕЙКА ПАМЯТИ
- (57) Изобретение относится к вычис-
лительной технике и является усовер-
шенствованием ячейки памяти по авт.

св. № 1095243. Цель изобретения сос-
тоит в повышении вероятности правиль-
ного воспроизведения информации при
перерывах питания. Ячейка памяти со-
держит триггер и накопительные эле-
менты на конденсаторе и трансформа-
торе. Введение ключевого элемента в
состав ячейки памяти позволило ста-
билизировать процесс переключения
накопительного элемента на трансфор-
маторе при включении напряжения пи-
тания. 1 ил.

(19) SU (11) 1234883 A 2

Изобретение относится к вычислительной технике и может быть использовано при построении регистров и счетчиков, сохраняющих информацию при перерывах питания, и является дополнительным к основному авт. св. № 1095243.

Цель изобретения - повышение надежности ячейки памяти, а именно повышение вероятности правильного воспроизведения информации при перерывах питания.

На чертеже приведена электрическая схема ячейки памяти.

Ячейка памяти содержит элемент запрета 1, инверторы 2 и 3, накопительный элемент на трансформаторе 4, два шунтирующих элемента на диодах 5 и 6, накопительный элемент на конденсаторе 7, три пассивных элемента на резисторах 8, 9, 10, ключевой элемент 11, управляющий вход 12, вход запрета 13, первый и второй выходы 14 и 15, шину 16 питания и шину 17 нулевого потенциала. Элемент запрета 1 является элементом с тремя состояниями.

Устройство работает в двух режимах: в режиме записи информации и в режиме хранения записанной информации.

В режиме записи логическая "1" с входа 12 элемента запрета 1 при разрешающем сигнале на входе 13 поступает на вход первого инвертора 2. С выхода первого инвертора 2 логический "0" поступает на вход второго инвертора 3, который инвертирует его в логическую "1", поступающую через резистор 8 на вход первого инвертора 2, замыкая тем самым обратную связь триггера, выполненного на инверторах 2 и 3. При этом ключевой элемент 11 открыт по управляющему входу уровнем логической "1" и через первичную обмотку трансформатора 4 протекает ток логического "0", величина которого определяется номиналом второго резистора 9 и выбирается из условия насыщения сердечника трансформатора 4. Происходит запись логического "0" в ячейку памяти.

Запись логической "1" в ячейку памяти производится аналогично. При этом ключевой элемент 11 закрыт по управляющему входу уровнем логического "0", а в сердечнике трансформато-

ра 4 происходит запись и хранение логической "1".

После записи информации в ячейку элемент запрета 1 блокируется по входу 13, переходя в третье состояние, и ячейка автоматически переходит в режим хранения информации, которая снимается с выходов 14 и 15.

При перерывах питания, после подачи его, восстановление записанной в ячейке информации происходит следующим образом.

В начальный момент времени после подачи питания триггер, выполненный на инверторах 2 и 3 устанавливается благодаря накопительному элементу на конденсаторе 7, который разряжен в исходное "единичное" состояние, при котором на выходе первого инвертора 2 устанавливается логическая "1", а на выходе второго инвертора 3 - логический "0". При этом ключевой элемент 11 закрыт по управляющему входу уровнем логического "0". После этого по вторичной обмотке трансформатора 4 протекает ток, который при хранении в сердечнике логического "0" наводит напряжение в первичной обмотке трансформатора 4. Так как ключевой элемент 11 закрыт, то исключается шунтирующее действие резистора 9 на первичную обмотку трансформатора и амплитуда наведенного напряжения в ней максимальна. Наведенное напряжение переключает инвертор 3 в состояние логической "1", при этом открывается ключевой элемент 11, а триггер, выполненный на инверторах 2 и 3, устанавливается в "нулевое" состояние, что и соответствует записанной в сердечнике информации до выключения питания.

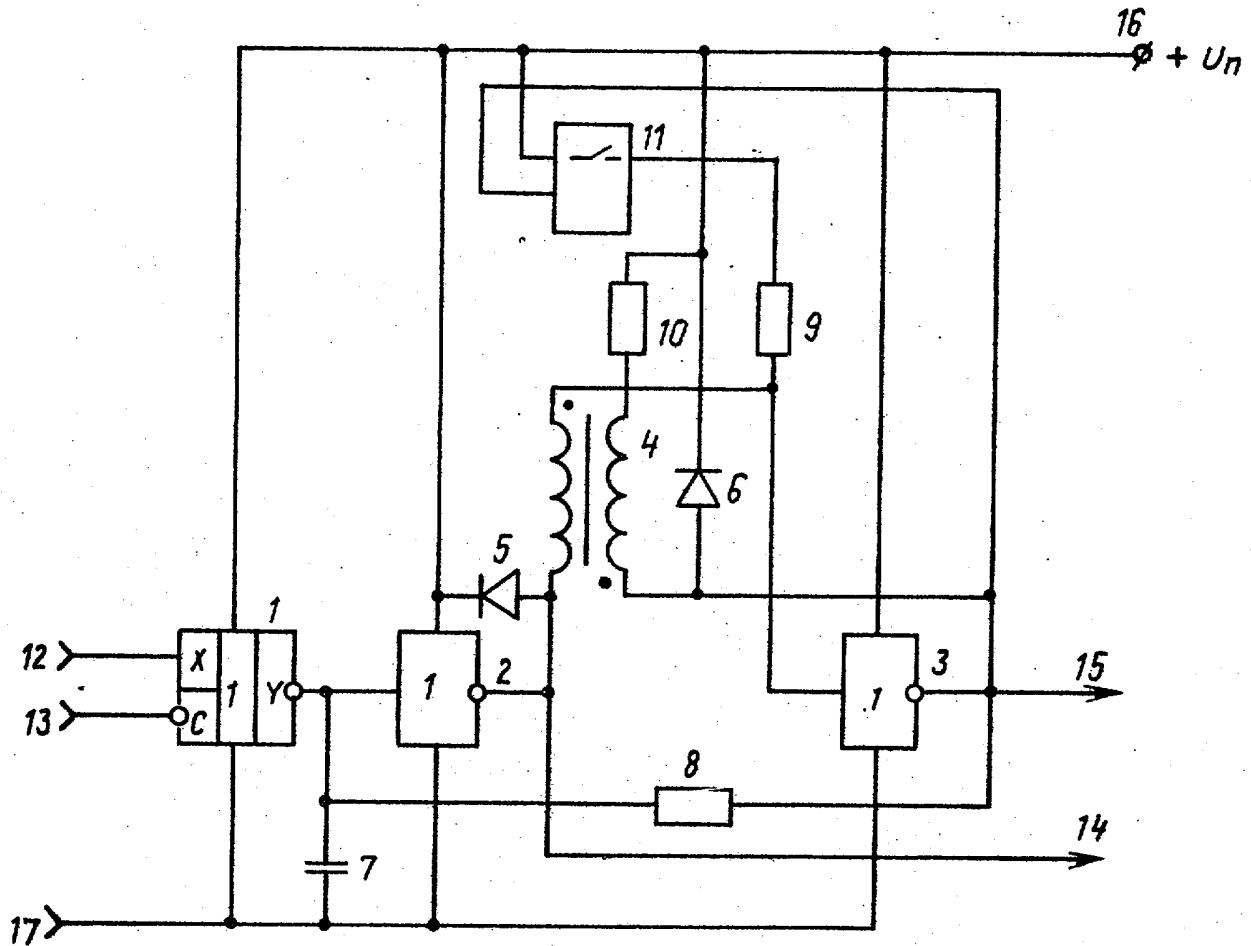
При хранении в ячейке памяти логической "1", после включения питания и установки триггера в "единичное" состояние напряжение в первичной обмотке трансформатора 4 не наводится и триггер остается в крайнем состоянии. Ключевой элемент 11 при этом закрыт.

Ф о р м у л а и з о б р е т е н и я

Ячейка памяти по авт. св. № 1095243, отличающаяся тем, что, с целью повышения надежности ячейки памяти, в нее введен ключевой элемент, вход которого сое-

динен с вторым входом второго пассивного элемента на резисторе, вы-

ход - с шиной питания, а управляющий вход - с выходом второго инвертора.



Редактор В.Ковтун Составитель А.Дерюгин Техред Л.Олейник Корректор В.Бутыга

Заказ 2988/54 Тираж 543 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д.4/5

Производственно-полиграфическое предприятие, г.Ужгород, ул.Проектная,4