

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G01R 31/26 (2006.01)

H01L 21/66 (2006.01)



# [12] 发明专利申请公布说明书

[21] 申请号 200510030551.3

[43] 公开日 2007 年 4 月 18 日

[11] 公开号 CN 1948981A

[22] 申请日 2005.10.14

[21] 申请号 200510030551.3

[71] 申请人 上海华虹 NEC 电子有限公司

地址 201206 上海市浦东新区川桥路 1188 号

[72] 发明人 胡晓明 徐向明

[74] 专利代理机构 上海浦一知识产权代理有限公司  
代理人 丁纪铁

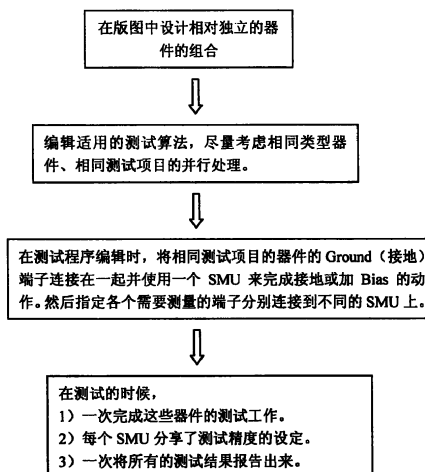
权利要求书 1 页 说明书 3 页 附图 1 页

## [54] 发明名称

一种高速晶圆允收测试方法

## [57] 摘要

本发明公开了一种高速晶圆允收测试方法，其中的版图设计中器件的组合相互独立；编辑测试算法时采用相同类型器件、相同测试项目的并行处理的方法；编辑测试程序时，将各个器件在测试过程中具有相同测试条件端子连接在一起并使用一个 SMU 来完成接地或加偏置电流或电压的动作，然后指定各个器件中需要测量的端子分别连接到不同的 SMU 上；测试时，一次完成所有器件的测试工作且每个所述 SMU 分享测试精度的设定，并一次报告所有器件测试结果。本发明由于在测试中采取 SMU 并行处理及改进了 Common PAD 的连接方法，有效的提高了测试速度。



1、一种高速晶圆允收测试方法,包括版图设计、编辑测试算法、编辑测试程序及测试步骤,其特征是,所述版图设计中器件的组合相互独立;所述编辑测试算法时采用相同类型器件、相同测试项目的并行处理的原则;所述编辑测试程序时,将各个器件在测试过程中具有相同测试条件端子连接在一起,并使用一个 SMU 来完成接地或加偏置电压、电流的动作,然后将各个器件中需要分别测试的端子,各自分别连接到不同的 SMU 上;所述测试步骤中,一次完成所有器件的测试工作且每个所述 SMU 分享测试精度的设定,并一次报告所有器件测试结果。

2、根据权利要求 1 所述高速晶圆允收测试方法,其特征是,所述版图设计中,将所测试的一组 MOS 晶体管的栅、源、衬底使用 Common Gate、common Source、common Substrate 的设计方法分别引出一个 PAD,而漏端子每个测试器件各占用一个 PAD;所述编辑测试算法、编辑测试程序中,将所测试晶体管的 Common Gate、common Source、common Substrate 三个端子连接在一起且用一个 SMU 来接地,将所述测试器件的漏端子分别连接到所述 SMU 上,并且逐个加上相应的偏置电压并使所述 SMU 处在稳定工作状态;所述测试步骤中,使用改为并行测试的方法的命令,将所有漏端子一次测试完毕,并且一次报告所有器件测试数据。

3、根据权利要求 2 所述高速晶圆允收测试方法,其特征是,所述一组 MOS 晶体管为 0.13um 以上的晶体管。

---

## 一种高速晶圆允收测试方法

### **技术领域**

本发明涉及一种适用于半导体参数测试仪器的应用方法,尤其涉及一种高速晶圆允收测试方法。

### **背景技术**

目前在晶圆允收测试(Wafer acceptance test, WAT)过程中,通常存在许多相同类型的 Device(器件)和相同的测试项目。例如需要分别测试长沟道、标准和窄沟道晶体管的阈值电压,沟道饱和电流,晶体管沟道的漏电和晶体管击穿特性等。如果对上述器件采用逐个项目测试需要花费一定的测试时间,所以如何寻找一种快速而不损失测试精度的方法在此时显得尤为重要。

### **发明内容**

本发明要解决的技术问题是提供一种高速晶圆允收测试方法,可以提高测试速度,减少测试时间。

为解决上述技术问题,本发明提出了一种高速晶圆允收测试方法,其中的版图设计中器件的组合相互独立;编辑测试算法时采用相同类型器件、相同测试项目的并行处理的方法;编辑测试程序时,将各个器件在测试过程中具有相同测试条件端子连接在一起并使用一个 SMU(Source/monitor unit)来完成接地或 Bias(加偏置电压、电流)的动作,然后指定各个器件中需要测量的端子分别连接到不同的 SMU 上;测试时,

一次完成所有器件的测试工作且每个所述 SMU 分享测试精度的设定,并一次报告所有器件测试结果。

本发明方法由于在测试中采取 SMU 并行处理及改进了 Common PAD(衬垫,用于测试时压探针或芯片封装时连线用的导电衬垫)的连接方法,有效的提高了测试速度。

## **附图说明**

图 1 是本发明方法的流程图;

图 2 是本发明方法具体实施例测试算法中, SMU 并行处理的示意图。

## **具体实施方式**

下面结合附图及具体实施例对本发明作进一步详细的说明。

如图 1 所示,是本发明方法的流程图,即首先在版图中设计相互之间独立的器件的组合;然后编辑适用的测试算法,尽量考虑相同类型器件、相同测试项目的并行处理;在测试程序编辑时,将相同测试项目的器件的 Ground 端子连接在一起并使用一个 SMU 来完成接地或加 Bias 的动作,指定各个需要测量的端子分别连接到不同的 SMU 上;最后在测试的时候:必须 1) 一次完成这些器件的测试工作, 2) 每个 SMU 分享了测试精度的设定, 3) 一次将所有的测试结果报告出来。

本发明方法具体实施中采用了 HP4070 仪器。通常情况下,因为 HP4070 仪器的 SMU 对于每一次测试,都会有一个延迟 (Internal Delay), 该延迟包括测试的等待 (Wait) 时间、SMU Force (印加 Bias) 的等待时间、程序的运行时间、调用测试算法的时间、数据的存储时间, 仪器的 A/D 转换时间等等。当测试项目庞大时候,这些延迟时间的总和是不容忽视的。

但利用本发明方法，可以最大限度利用 HP4070 的 8 个 SMU 来同时完成对 8 个 Device 的测试。具体而言：首先在版图 Layout 设计中，考虑使用 Common ground PAD，并使每个 Device 的相对独立的方法来设计版图来满足测试要求；然后在测试算法 Algorithm 里，选用 SMU 并行的处理方法，具体可见图 2 所示；在测试程序中，调用上述类型的算法，进行并行测试。

为进一步说明，以采用 HP4070 仪器进行晶体管的 IOFF（沟道漏电）测试为例：

在版图设计的时候，将所有晶体管的栅（Gate）、源（Source）、衬底（Substrate）使用 Common Gate、common Source、common Substrate 的方法分别引出一个 PAD，而漏（Drain）端子每个器件各占用一个 PAD。

在测试程序中，将晶体管的 Common Gate、common Source、common Substrate 三个端子连接在一起，用一个 SMU 来接地。将各个器件的 Drain 端子分别连接到 SMU 上，并且逐个有序的加上相应的 Bias 电压。Wait 一定的时间使 SMU 处在稳定的工作状态。

最后使用并行测量 Drain 端口电流的方法，一次将所有 Drain 端子测试完毕，并且将数据报告 Report 出来。

通过实验与分析，选用 5786 个 Device 电阻测试，并且在同一 Wafer 上测试 70 个有效 Die。采用本发明方法进行测试的时间为 3.2 小时/wafer，而采用原先单个测试的时间为 15 小时/wafer。

综上所述，本发明由于在测试中采取 SMU 并行的方法及改进了 Common PAD 的连接方法，有效的提高了晶圆允收测试测试速度。

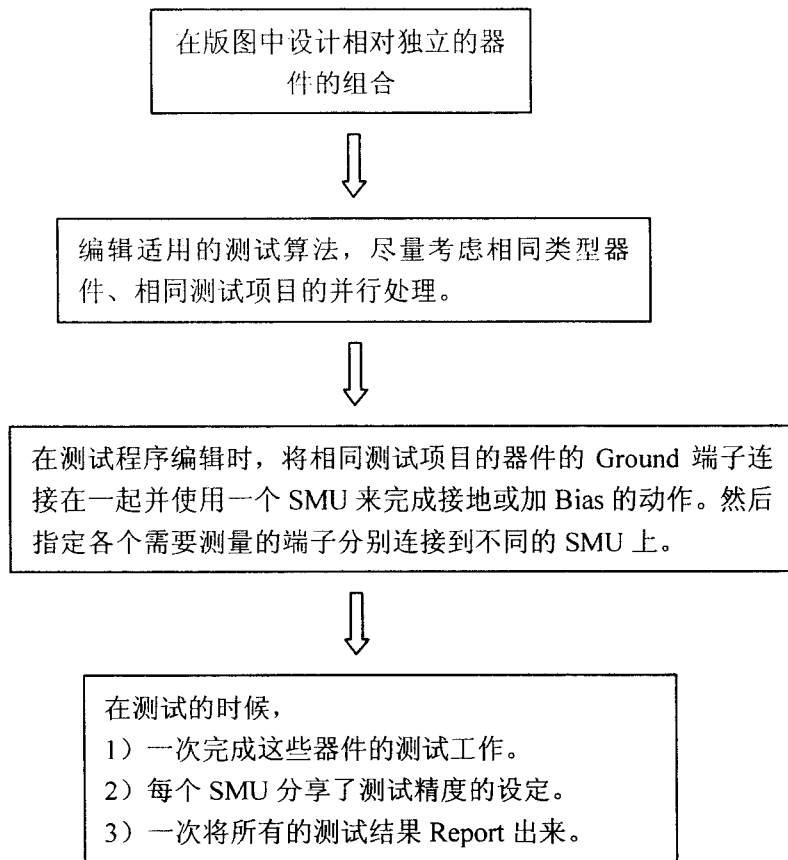


图1

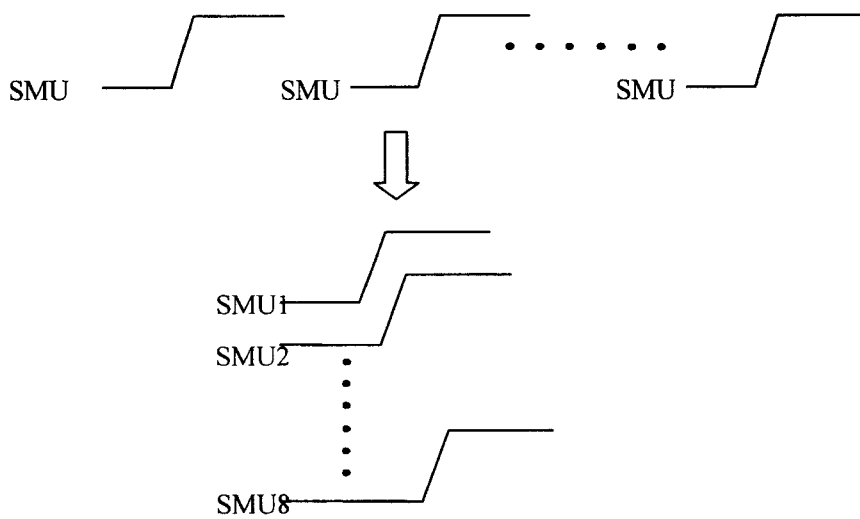


图2