

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-34776

(P2010-34776A)

(43) 公開日 平成22年2月12日(2010.2.12)

(51) Int.Cl.

H01P 1/36 (2006.01)

F1

H01P 1/36

テーマコード (参考)

Z

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21) 出願番号 特願2008-193685 (P2008-193685)
 (22) 出願日 平成20年7月28日 (2008.7.28)

(71) 出願人 000006231
 株式会社村田製作所
 京都府長岡京市東神足1丁目10番1号
 (74) 代理人 100091432
 弁理士 森下 武一
 (74) 代理人 100124729
 弁理士 谷 和紘
 (72) 発明者 日野 聖吾
 京都府長岡京市東神足1丁目10番1号
 株式会社村田製作所内

(54) 【発明の名称】 非可逆回路素子

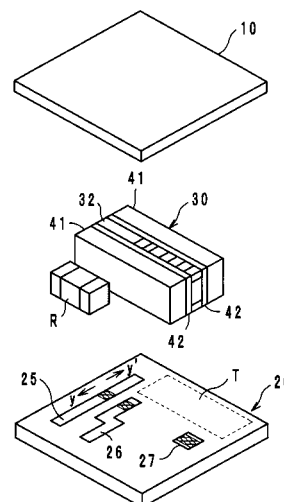
(57) 【要約】

【課題】 はんだ付け時におけるフェライト・磁石素子の位置ずれを効果的に防止し、はんだ付け信頼性の向上を図り、特性のばらつきを極力抑えることのできる非可逆回路素子を得る。

【解決手段】 永久磁石41と該永久磁石41により直流磁界が印加されるフェライト32とを一体化したフェライト・磁石素子30を回路基板20上にはんだ付け実装した非可逆回路素子。フェライト32は第1中心電極及び第2中心電極を備えている。回路基板20の表面には、第1中心電極の一端部電極がはんだ付けされる入力端子電極25と、第1中心電極の他端部と第2中心電極の一端部の電極がはんだ付けされる出力端子電極26と、第2中心電極の他端部電極がはんだ付けされるグランド端子電極27とが設けられ、入力端子電極25はy方向のみならず、それと反対のy'方向にも延在されている。

。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

永久磁石と、
前記永久磁石により直流磁界が印加される直方体形状のフェライトと、
前記フェライトの互いに平行に位置する二つの主面に、互いに電氣的に絶縁状態で交差して配置された導体膜からなる第 1 中心電極及び第 2 中心電極と、
表面に端子電極が形成された回路基板と、
を備え、
前記フェライトの主面に前記永久磁石を固定してフェライト・磁石素子が形成され、該フェライト・磁石素子は前記回路基板上にフェライトの主面が垂直方向に位置するように配置され、
前記回路基板の表面には、第 1 及び第 2 中心電極のそれぞれの端部がはんだ付けされる第 1、第 2 及び第 3 端子電極が形成されており、第 1 及び第 2 端子電極は前記フェライトの長辺方向の一端部分に対向して配置され、第 3 端子電極は前記フェライトの長辺方向の他端部分に対向して配置されており、
第 1 及び第 2 端子電極の少なくともいずれかは前記フェライトの長辺方向とほぼ直交する第 1 の方向に延在され、第 1 及び第 2 端子電極の少なくともいずれかは前記第 1 の方向とはほぼ反対の第 2 の方向に延在されていること、
を特徴とする非可逆回路素子。

【請求項 2】

第 1 端子電極は第 1 中心電極の一端がはんだ付けされる入力端子電極であり、第 2 端子電極は第 1 中心電極の他端と第 2 中心電極の一端がはんだ付けされる出力端子電極であり、第 3 端子電極は第 2 中心電極の他端がはんだ付けされるグランド端子電極であることを特徴とする請求項 1 に記載の非可逆回路素子。

【請求項 3】

第 1 及び第 2 端子電極の第 1 の方向への延在部分にはチップ型電子部品がはんだ付けされていることを特徴とする請求項 1 又は請求項 2 に記載の非可逆回路素子。

【請求項 4】

第 1 及び第 2 端子電極の少なくともいずれかの第 1 の方向への延在部分には前記回路基板に内蔵された電極に接続したビアホール導体が接続されていることを特徴とする請求項 1 又は請求項 2 に記載の非可逆回路素子。

【請求項 5】

前記第 1 及び第 2 端子電極の少なくともいずれかの第 1 の方向への延在部分にははんだ流れ防止処理が施されていることを特徴とする請求項 1 ないし請求項 4 のいずれかに記載の非可逆回路素子。

【請求項 6】

前記永久磁石の前記回路基板との対向面に形成された電極が該回路基板上に設けた電極とはんだ付けされていることを特徴とする請求項 1 ないし請求項 5 のいずれかに記載の非可逆回路素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、非可逆回路素子、特に、マイクロ波帯で使用されるアイソレータやサーキュレータなどの非可逆回路素子に関する。

【背景技術】

【0002】

従来より、アイソレータやサーキュレータなどの非可逆回路素子は、予め定められた特定方向にのみ信号を伝送し、逆方向には伝送しない特性を有している。この特性を利用して、例えば、アイソレータは、自動車電話、携帯電話などの移動体通信機器の送信回路部に使用されている。

【0003】

この種の非可逆回路素子として、特許文献1に記載の2ポート型アイソレータでは、図9に示すように、フェライト32の互いに平行に位置する二つの主面に図示しない第1中心電極及び第2中心電極を互いに電氣的に絶縁状態で交差して配置し、該フェライト32の主面に永久磁石41を接着剤42を介して固定し、フェライト・磁石素子30を構成している。このフェライト・磁石素子30は、回路基板20上の端子電極25、26、27にリフローはんだにて接続されている。即ち、入力部分35aが入力端子電極25にはんだ付けされ、出力部分35cが出力端子電極26にはんだ付けされ、グランド部分361がグランド端子電極27にはんだ付けされている。

【0004】

前記アイソレータにおいて、入力部分35a、出力部分35c及びグランド部分361がそれぞれの端子電極25、26、27にはんだ付けされるのは図9中斜線を付した部分である。一方の端部に位置する端子電極25、26はy方向に延在し、延在部分にはチップ型電子部品45（コンデンサ又は抵抗）がはんだ接続される。

【0005】

ところで、回路基板20上にフェライト・磁石素子30や電子部品45をリフローはんだで接合する際に、溶融したはんだの張力がy方向に大きく、反対のy'方向に小さいという不均衡な状態となり、フェライト・磁石素子30が図10（A）に示す正確な位置に接合されることなく、図10（B）に示すように、張力の大きいy方向にずれた状態で接合されてしまう。このようなずれが大きいと、電子部品45もフェライト・磁石素子30に押されて接合位置がずれてしまう。これでは、はんだ付けの信頼性が低下するのみならず、フェライト・磁石素子30と電子部品45や回路基板20に内蔵されている各種電子素子との位置関係が変化し、各素子間の残留インダクタンス値などが変動して特性のばらつきが大きくなる。

【特許文献1】特開2006-211373号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

そこで、本発明の目的は、はんだ付け時におけるフェライト・磁石素子の位置ずれを効果的に防止し、はんだ付け信頼性の向上を図り、特性のばらつきを極力抑えることのできる非可逆回路素子を提供することにある。

【課題を解決するための手段】

【0007】

前記目的を達成するため、本発明の一形態である非可逆回路素子は、
永久磁石と、
前記永久磁石により直流磁界が印加される直方体形状のフェライトと、
前記フェライトの互いに平行に位置する二つの主面に、互いに電氣的に絶縁状態で交差して配置された導体膜からなる第1中心電極及び第2中心電極と、
表面に端子電極が形成された回路基板と、
を備え、
前記フェライトの主面に前記永久磁石を固定してフェライト・磁石素子が形成され、該フェライト・磁石素子は前記回路基板上にフェライトの主面が垂直方向に位置するように配置され、
前記回路基板の表面には、第1及び第2中心電極のそれぞれの端部がはんだ付けされる第1、第2及び第3端子電極が形成されており、第1及び第2端子電極は前記フェライトの長辺方向の一端部分に対向して配置され、第3端子電極は前記フェライトの長辺方向の他端部分に対向して配置されており、
第1及び第2端子電極の少なくともいずれかは前記フェライトの長辺方向とはほぼ直交する第1の方向に延在され、第1及び第2端子電極の少なくともいずれかは前記第1の方向とはほぼ反対の第2の方向に延在されていること、

を特徴とする。

【0008】

例えば、第1端子電極は第1中心電極の一端がはんだ付けされる入力端子電極であり、第2端子電極は第1中心電極の他端と第2中心電極の一端がはんだ付けされる出力端子電極であり、第3端子電極は第2中心電極の他端がはんだ付けされるグランド端子電極である。

【0009】

前記非可逆回路素子において、フェライト・磁石素子がはんだ付けされる回路基板上の第1及び第2端子電極の少なくともいずれかは、第1の方向及びそれとは反対の第2の方向に延在されているため、リフローはんだ時に溶融したはんだの張力は第1及び第2の方向に均衡し、フェライト・磁石素子の接合位置がずれるおそれが解消される。

10

【発明の効果】

【0010】

本発明によれば、フェライト・磁石素子が回路基板上にはんだ付けされる際の位置ずれを効果的に防止することができる。従って、はんだ付け信頼性が向上し、特性のばらつきが極力抑えられる。

【発明を実施するための最良の形態】

【0011】

以下、本発明に係る非可逆回路素子の実施例について添付図面を参照して説明する。

【0012】

20

(第1実施例、図1～図3参照)

本発明に係る非可逆回路素子の第1実施例である2ポート型アイソレータの分解斜視図を図1に示す。この2ポート型アイソレータは、集中定数型アイソレータであり、概略、回路基板20と、フェライト32と一对の永久磁石41とからなるフェライト・磁石素子30と、平板状ヨーク10とで構成されている。

【0013】

フェライト32には、図2に示すように、表裏の主面32a、32bに、絶縁材34A、34Bにて互いに電氣的に絶縁された第1中心電極35及び第2中心電極36が形成されている。ここで、フェライト32は互いに平行な第1主面32a及び第2主面32bを有する直方体形状をなしている。

30

【0014】

また、永久磁石41はフェライト32に対して磁界を主面32a、32bに垂直方向に印加するように主面32a、32bに対向して、例えば、エポキシ系の接着剤42(図1参照)を介して接着され、フェライト・磁石素子30を形成している。永久磁石41の主面はフェライト32の主面32a、32bと同一寸法であり、互いの外形が一致するように主面どうしを対向させて配置されている。

【0015】

第1中心電極35は導体膜にて形成されている。即ち、図2に示すように、この第1中心電極35は、フェライト32の下面に形成された接続用電極35aに接続された状態で第1主面32aにおいて左下から立ち上がってほぼ水平方向に形成され、右上方に立ち上がって上面の中継用電極35bを介して第2主面32bに回り込む。第2主面32bにおいて、第1中心電極35は、第1主面32aと透視状態でほぼ重なるように形成され、その端部は下面に形成された接続用電極35cに接続されている。このように、第1中心電極35はフェライト32に1ターン巻回されている。そして、第1中心電極35と第2中心電極36とは、間に絶縁材34A、34Bが形成されて互いに絶縁された状態で交差している。中心電極35、36の交差角は必要に応じて設定され、入力インピーダンスや挿入損失が調整されることになる。

40

【0016】

第2中心電極36は導体膜にて形成されている。この第2中心電極36は、まず、0.5ターン目36aがフェライト32の下面に形成された接続用電極35cと接続された状

50

態で第2主面32bにおいて第1中心電極35と斜めに交差する状態で立ち上がり、上面の中継用電極36bを介して第1主面32aに回り込み、1ターン目36cが第1主面32aにおいて第1中心電極35と直交する状態で形成されている。1ターン目36cの下端部は下面の中継用電極36dを介して第2主面32bに回り込み、1.5ターン目36eが第2主面32bにおいて立ち上がり、上面の中継用電極36fを介して第1主面32aに回り込んでいる。以下同様に、2ターン目36g、中継用電極36h、2.5ターン目36i、中継用電極36j、3ターン目36kがフェライト32の表面にそれぞれ形成されている。3ターン目36kの下端部はフェライト32の下面に形成した接続用電極36lに接続されている。

【0017】

前記接続用電極35a、35c、36lや中継用電極35b、36b、36d、36f、36h、36jは、フェライト32の上下面に形成された凹部に電極用導体を塗布又は充填して形成されている。この種の電極は、マザーフェライト基板に予めスルーホールを形成し、このスルーホールを電極用導体で充填した後、スルーホールを分断する位置でカットすることによって形成される。なお、各種電極はスルーホールに導体膜として形成したものであってもよい。また、多数個取りの手法で製作される場合、マザーフェライト基板に接着剤を介して永久磁石をも積層した状態でカットされることもある。

【0018】

永久磁石41は、通常、ストロンチウム系、バリウム系、ランタン・コバルト系のフェライトマグネットが用いられる。永久磁石41とフェライト32とを接着する接着剤42としては、一液性の熱硬化型エポキシ接着剤を用いることが最適である。

【0019】

回路基板20は、複数枚の誘電体シート上に所定の電極を形成して積層し、焼結した積層型基板であり、その内部には、等価回路である図3に示すように、整合用コンデンサC1、C2、CS1、CS2が内蔵されている。また、上面には入力端子電極25、出力端子電極26及びグランド端子電極27が、下面には図示しない外部接続用入力端子電極、外部接続用出力端子電極及び外部接続用グランド端子電極がそれぞれ形成されている。なお、等価回路に示されている終端抵抗Rはチップ型電子部品として回路基板20上に外付けされている。

【0020】

平板状ヨーク10は、電磁シールド機能を有するもので、前記フェライト・磁石素子30の上面に接着剤を介して固定されている。

【0021】

ここで、前記アイソレータの一回路例を図3の等価回路を参照して説明する。入力用外部端子電極INは整合用コンデンサCS1を介して入力ポートA（入力端子電極25）に接続され、該入力ポートAは整合用コンデンサC1と終端抵抗Rとに接続されるとともに、第1中心電極35の一端（電極35a）が接続されている。第1中心電極35の他端及び第2中心電極36の一端（電極35c）は、出力ポートB（出力端子電極26）に接続されるとともに、終端抵抗R及びコンデンサC1、C2に接続され、かつ、コンデンサCS2を介して出力用外部端子電極OUTに接続されている。第2中心電極36の他端（電極36l）及びコンデンサC2はグランドポートC（グランド端子電極27）に接続され、かつ、グランド用外部端子電極GNDに接続されている。

【0022】

前記フェライト・磁石素子30は、回路基板20上にフェライト32の主面32a、32bが垂直方向に位置するように載置され、フェライト32の下面に形成した接続用電極35a、35c、36lが回路基板20上の端子電極25、26、27とリフローはんだ付けによって一体化される。また、チップ型抵抗素子Rは端子電極25、26にリフローはんだ付けによって一体化される。

【0023】

ところで、前記回路基板20の表面において、入力端子電極25及び出力端子電極26

10

20

30

40

50

はフェライト 3 2 の長辺方向の一端部分に対向して配置され、グラウンド端子電極 2 7 はフェライト 3 2 の長辺方向の他端部分に対向して配置されている。これらの電極 2 5, 2 6, 2 7 に前記接続用電極 3 5 a, 3 5 c, 3 6 1 がはんだ付けされる位置を図 1 では斜線を付して示している。そして、入力端子電極 2 5 と出力端子電極 2 6 とはフェライト 3 2 の長辺方向と直交する y 方向に延在され、かつ、入力端子電極 2 5 は y 方向とは反対の y' 方向に延在されている。

【0024】

入力端子電極 2 5 は斜線を付したはんだ付け部分を中心として互いに対向する y 方向及び y' 方向に延在されているため、リフローはんだ時に溶融したはんだの張力は y 方向及び y' 方向に均衡し、いわゆるセルフアライメント効果を生じ、フェライト・磁石素子 3 0 の接合位置がずれるおそれが解消される。即ち、フェライト・磁石素子 3 0 と終端抵抗 R や回路基板 2 0 に内蔵されている各種電子素子との位置関係が変化することがなく、各素子間の残留インダクタンス値などの変動による特性のばらつきが解消する。また、はんだ付け信頼性が向上する。さらに、出力端子電極 2 6 は y' 方向には延在されていないので、回路基板 2 0 上での内部電極のトリミング領域 T をそれほど制約することはない。

【0025】

また、以上の構成からなる 2 ポート型アイソレータにおいては、第 1 中心電極 3 5 の一端が入力ポート A に接続され他端が出力ポート B に接続され、第 2 中心電極 3 6 の一端が出力ポート B に接続され他端がグラウンドポート C に接続されているため、挿入損失の小さな 2 ポート型の集中定数型アイソレータとすることができる。さらに、動作時において、第 2 中心電極 3 6 に大きな高周波電流が流れ、第 1 中心電極 3 5 にはほとんど高周波電流が流れない。

【0026】

さらに、フェライト・磁石素子 3 0 は、フェライト 3 2 と一对の永久磁石 4 1 が接着剤 4 2 で一体化されていることで、機械的に安定となり、振動や衝撃で変形・破損しない堅牢なアイソレータとなる。

【0027】

(第 2 実施例、図 4 参照)

図 4 に第 2 実施例であるアイソレータの要部を示す。回路基板 2 0 の表面に形成した入力端子電極 2 5 及び出力端子電極 2 6 のそれぞれが y 方向に加えて y' 方向にも延在されている。他の構成は前記第 1 実施例と同様である。

【0028】

本第 2 実施例では、入力端子電極 2 5 及び出力端子電極 2 6 のそれぞれがセルフアライメント効果を発揮する。即ち、リフローはんだ時に溶融したはんだの張力が端子電極 2 5, 2 6 のそれぞれで対向する y 方向及び y' 方向に均衡するのでセルフアライメント効果が大きくなる。

【0029】

(第 3 実施例、図 5 参照)

図 5 に第 3 実施例であるアイソレータの要部を示す。回路基板 2 0 の表面に形成した入力端子電極 2 5 及び出力端子電極 2 6 の y 方向に延在した部分 2 5 a, 2 6 a にはんだ流れ防止処理が施されている。具体的には、はんだ濡れ性の悪い材料、樹脂材料を含むオーバーコート材やガラス材料を含むオーバークレーズ材などで端子電極 2 5, 2 6 の一部を被覆している。レーザで端子電極 2 5, 2 6 の表面を酸化させてもよい。他の構成は前記第 1 実施例と同様である。

【0030】

本第 3 実施例では、はんだ流れ防止処理によって溶融したはんだが y 方向に拡散して張力が y 方向に不均衡に増大することはない。特に、はんだが乗る部分が y 方向及び y' 方向に対称であり、y' 方向への端子電極 2 5, 2 6 の延在寸法が小さいので、回路基板 2 0 上での内部電極のトリミング領域 T を大きくとることができる。

【0031】

(第4実施例、図6参照)

図6に第4実施例であるアイソレータの要部を示す。回路基板20の表面に形成した入力端子電極25及び出力端子電極26のy方向に延在した部分が回路基板20に内蔵された電極(図示せず)に接続したビアホール導体28に接続されている。本第4実施例では前記第1実施例で示した終端抵抗Rは回路基板20に内蔵されている。他の構成は第1実施例と同様である。

【0032】

(第5実施例、図7参照)

図7に第5実施例であるアイソレータを示す。このアイソレータでは、終端抵抗RとコンデンサC1とがチップ型の電子部品として回路基板20の表面に実装されている。それゆえ、出力端子電極26のy方向への延在部分は端部26b, 26cに分岐され、回路基板20上には別途端子電極29が形成されている。コンデンサC1は入力端子電極25と出力端子電極26の端部26bとにはんだ付けされる。終端抵抗Rは出力端子電極26の端部26cと端子電極29とにはんだ付けされる。

【0033】

また、入力端子電極25及び出力端子電極26はともにy'方向に延在され、フェライト・磁石素子30のリフローはんだ付け時における前記セルフアライメント効果を十分なものとしている。他の構成は前記第1実施例と同様である。

【0034】

本第5実施例において、入力端子電極25及び出力端子電極26のはんだ付け部分に近い位置にコンデンサC1を配置することが好ましい。配線による残留インダクタンスがアイソレーション特性に与える影響を終端抵抗RとコンデンサC1とで比較すると、終端抵抗RよりもコンデンサC1のほうが大きいからである。つまり、コンデンサC1の残留インダクタンスを小さくしたほうがアイソレーション特性が向上する。

【0035】

(変形例、図8参照)

図8に示すように、永久磁石41の回路基板20との対向面に電極43(車線を付して示す)を形成し、該電極43を回路基板20上に設けた電極とリフローによってはんだ付けしてもよい。電極43が接合される回路基板20上の電極は、入力端子電極25や出力端子電極26であってもよく、あるいは、専用に形成された接続用の電極である。また、前記電極43は接着剤42上にも形成するようにしてもよい。

【0036】

(他の実施例)

なお、本発明に係る非可逆回路素子は前記実施例に限定するものではなく、その要旨の範囲内で種々に変更することができる。

【0037】

例えば、永久磁石41のN極とS極を反転させれば、入力ポートAと出力ポートBが入れ替わる。また、整合用回路は前記実施例(図3参照)に示したものの以外に種々の回路構成を採用することができる。

【0038】

また、前記第1及び第2中心電極35, 36の形状は種々に変更することができる。例えば、第1中心電極35はフェライト32の主面32a, 32b上で2本に分岐していてもよい。また、第2中心電極36は1ターン以上巻回されていればよい。

【図面の簡単な説明】

【0039】

【図1】本発明の第1実施例である非可逆回路素子(2ポート型アイソレータ)を示す分解斜視図である。

【図2】中心電極付きフェライトを示す分解斜視図である。

【図3】2ポート型アイソレータの一回路例を示す等価回路図である。

【図4】本発明の第2実施例である非可逆回路素子の回路基板を示す斜視図である。

10

20

30

40

50

【図 5】本発明の第 3 実施例である非可逆回路素子（2 ポート型アイソレータ）の回路基板を示す斜視図である。

【図 6】本発明の第 4 実施例である非可逆回路素子（2 ポート型アイソレータ）の回路基板を示す斜視図である。

【図 7】本発明の第 5 実施例である非可逆回路素子（2 ポート型アイソレータ）を示す分解斜視図である。

【図 8】変形例であるフェライト・磁石素子を示す底面図である。

【図 9】従来の 2 ポート型アイソレータを示す分解斜視図である。

【図 10】従来の 2 ポート型アイソレータにおいて、回路基板上でのフェライト・磁石素子の接合状態を示す平面図である。

10

【符号の説明】

【0040】

20…回路基板

25…入力端子電極

26…出力端子電極

27…グランド端子電極

28…ビアホール導体

30…フェライト・磁石素子

32…フェライト

35…第 1 中心電極

36…第 2 中心電極

41…永久磁石

43…電極

A…入力ポート

B…出力ポート

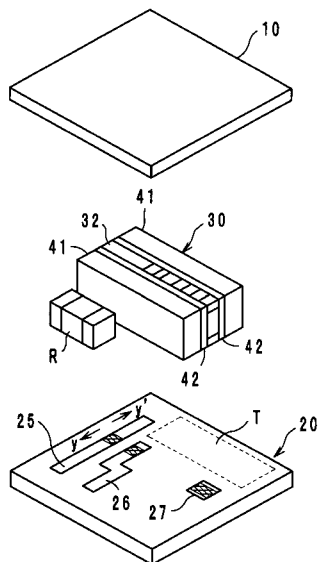
C…グランドポート

R…終端抵抗

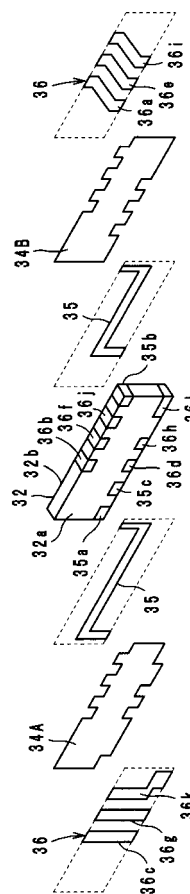
C1…コンデンサ

20

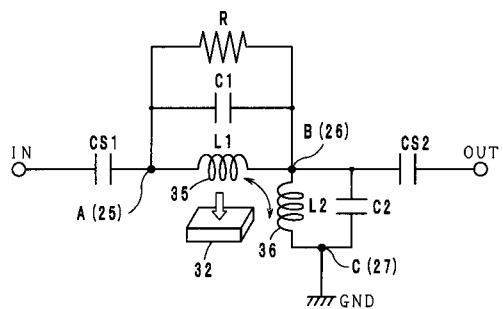
【図 1】



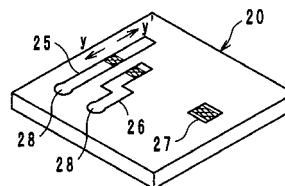
【図 2】



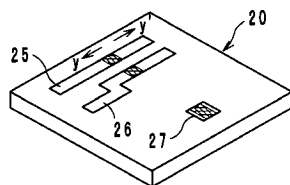
【図 3】



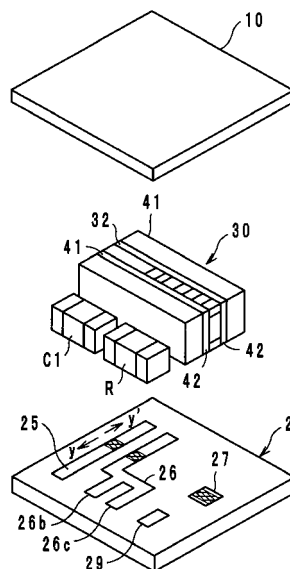
【図 6】



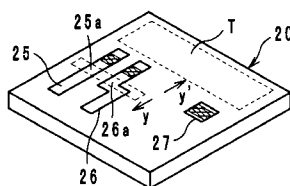
【図 4】



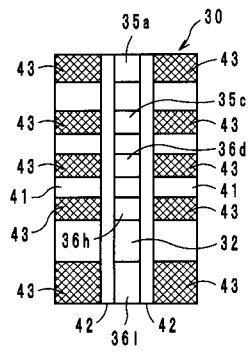
【図 7】



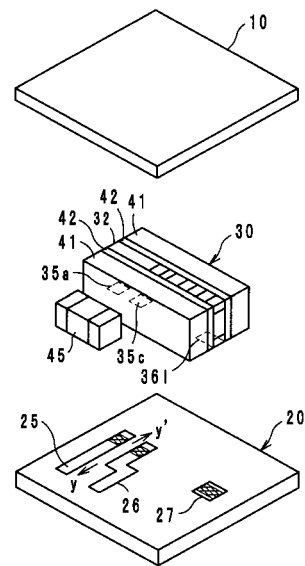
【図 5】



【図 8】



【図 9】



【図 10】

