

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 12 月 30 日(30.12.2015)



(10) 国際公開番号
WO 2015/198982 A1

- (51) 国際特許分類:
H01L 23/12 (2006.01) *H01L 21/60* (2006.01)
G02F 1/1345 (2006.01) *H01L 23/15* (2006.01)
G09F 9/00 (2006.01) *H05K 1/18* (2006.01)
- (21) 国際出願番号: PCT/JP2015/067704
- (22) 国際出願日: 2015 年 6 月 19 日(19.06.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-131274 2014 年 6 月 26 日(26.06.2014) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: 中山 正樹(NAKAYAMA Masaki). 塩田 素二(SHIOTA Motoji). 松井 隆司(MATSUI Takashi). 田中 康彦(TANAKA Yasuhiko). 宮崎 弘規(MIYAZAKI Hiroki).
- (74) 代理人: 特許業務法人暁合同特許事務所(AKAT-SUKI UNION PATENT FIRM); 〒4600008 愛知県名

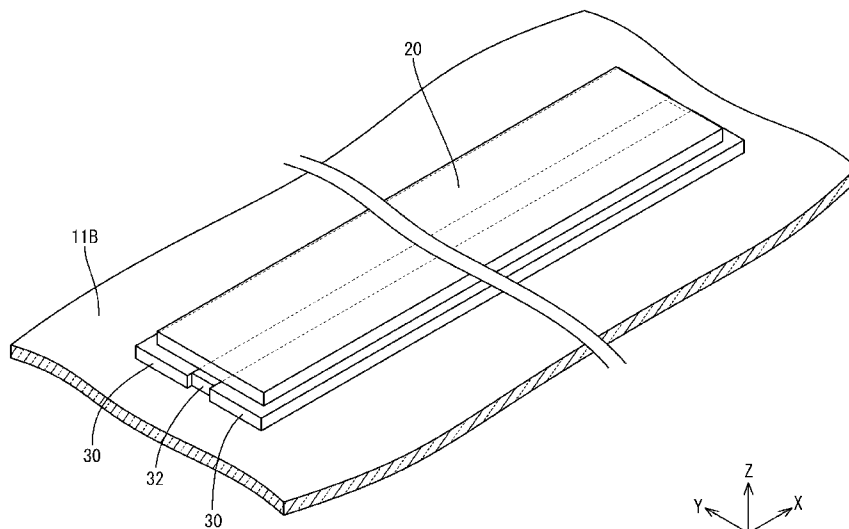
古屋市中区栄二丁目 1 番 1 号 日土地名古屋ビル 5 階 Aichi (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: CIRCUIT BOARD, DISPLAY PANEL AND DISPLAY DEVICE

(54) 発明の名称: 回路基板、表示パネル及び表示装置



(57) Abstract: An array substrate (11B) is provided with: a glass substrate that constitutes the array substrate (11B); an IC chip (20) that is arranged on the glass substrate; two ACFs (30) which are interposed between the glass substrate and the IC chip (20) and electrically connect the glass substrate and the IC chip (20) with each other, while being arranged separately from each other; and a resin film (32) that is arranged so as to fill the gap between the ACFs (30), which are adjacent to each other between the glass substrate and the IC chip (20), and is formed of a resin material having a curing shrinkage smaller than that of the ACFs (30).

(57) 要約: アレイ基板 11B は、アレイ基板 11B を構成するガラス基板と、ガラス基板上に配された IC チップ 20 と、ガラス基板と 1 つの IC チップ 20 との間に介在して両者を電氣的に接続する 2 つの ACF 30 であって、互いに離間した形で配された 2 つの ACF 30 と、ガラス基板と 1 つの IC チップ 20 との間において隣り合う ACF 30 の間に生じる隙間を塞ぐ形で配され、ACF 30 よりも硬化収縮率が小さい樹脂材料からなる樹脂膜 32 と、を備える。

WO 2015/198982 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：回路基板、表示パネル及び表示装置

技術分野

[0001] 本発明は、回路基板、表示パネル及び表示装置に関する。

背景技術

[0002] 従来、絶縁性の接着剤の内部に導電性粒子が含有された異方性導電膜（ACF：Anisotropic Conductive Film）を介して、基板上にＩＣ（Integrated Circuit）チップ等の電子部品が接続された回路基板が知られている。例えば、液晶パネル等の表示パネルでは、異方性導電膜を介して表示パネルを駆動するためのＩＣチップを、表示パネルを構成するガラス基板上に接続する方法として、ＩＣチップを表示パネルのうち表示領域外の領域に直接実装する、ＣＯＧ（Chip On Glass）実装技術が知られている。

[0003] 上記ＣＯＧ実装では、通常、ガラス基板とＩＣチップとの間に単一の異方性導電膜が配され、この異方性導電膜を介してガラス基板上にＩＣチップが圧着接続される。また、異方性導電膜では、接着剤として熱硬化性樹脂が用いられる。このため、異方性導電膜の硬化収縮時に、異方性導電膜の硬化収縮に伴ってＩＣチップがガラス基板側に引き付けられ、ＩＣチップが反ってしまうことがある。このような異方性導電膜の硬化収縮時におけるＩＣチップの反りを低減させる技術が、例えば特許文献１に開示されている。

先行技術文献

特許文献

[0004] 特許文献１：特開２００９－１９２７９６号公報

[0005] （発明が解決しようとする課題）

ところで、上記のような回路基板においては、基板上の電子部品が配される領域、及び電子部品における基板と対向する面にそれぞれ接続端子が設けられるため、基板と電子部品との接続箇所に水や塵等が浸入することを防止しないし抑制することが要求される。このため、上記のような回路基板では、

基板上に配される電子部品の反りを低減させることに加えて基板と電子部品との接続箇所の防塵、防湿及び防水を図ることが要求される。

発明の概要

[0006] 本明細書で開示される技術は、上記の課題に鑑みて創作されたものであって、異方性導電膜を介して基板と電氣的に接続される電子部品の反りを抑制しながら、基板と電子部品との接続箇所の防塵、防湿及び防水を図ることを目的とする。

[0007] (課題を解決するための手段)

本明細書で開示される技術は、基板と、前記基板上に配された電子部品と、前記基板と1つの前記電子部品との間に介在して両者を電氣的に接続する複数の異方性導電膜であって、互いに離間した形で配された複数の異方性導電膜と、前記基板と1つの前記電子部品との間において隣り合う前記異方性導電膜の間に生じる隙間に配され、該隙間の少なくとも外部に臨む部位を塞ぐ形で配された少なくとも一つの樹脂膜と、前記異方性導電膜よりも硬化収縮率が小さい低収縮率部と、を有する膜間部材と、を備える回路基板に関する。

[0008] 上記の回路基板では、1つの電子部品が複数の異方性導電膜によって基板に接続され、各異方性導電膜が互いに離間した形で配されるとともに、離間することにより生じる隙間に膜間部材が配される。そしてこの膜間部材は、異方性導電膜よりも硬化収縮率が小さい低収縮率部を有している。このため、異方性導電膜の硬化収縮時に、異方性導電膜の硬化収縮に伴って異方性導電膜が電子部品を基板側に引き付ける力が、当該低収縮率部とされた領域において緩和される。その結果、基板と電子部品との間の異方性導電膜を配すべき領域において、電子部品が単一の異方性導電膜（離間した構成を有しない膜）を介して基板に電氣的に接続される従来の構成と比べて電子部品の反りを抑制することができる。

[0009] また、膜間部材は複数の異方性導電膜の間に生じる隙間の少なくとも外部に臨む部位を塞ぐ形で配された樹脂膜を有しているので、当該部位が樹脂膜

によって塞がれる。これにより、基板と電子部品との間における外部に臨む部位には異方性導電膜と樹脂膜とのいずれかが介在する形となり、基板と電子部品との接続箇所には水や塵等が浸入することを防止ないし抑制することができる。以上のように上記の回路基板では、異方性導電膜を介して基板と電氣的に接続される電子部品の反りを抑制しながら、基板と電子部品との接続箇所の防塵、防湿及び防水を図ることができる。

- [0010] 前記樹脂膜と前記低収縮率部とが同一の材料で形成されていてもよい。
- [0011] この構成によると、異方性導電膜の硬化収縮時に、異方性導電膜の硬化収縮に伴って異方性導電膜が電子部品を基板側に引き付ける力が、低収縮率部だけでなく、樹脂膜においても緩和される。このため、電子部品の反りを一層抑制することができる。
- [0012] 前記電子部品は平面視矩形状をなし、前記複数の異方性導電膜は、平面視矩形状の前記電子部品のいずれかの端辺に沿った方向において互いに離間した形で配されていてもよい。
- [0013] 電子部品が平面視矩形状である場合、当該電子部品は、基板と電子部品との間に介在する複数の異方性導電膜の硬化収縮時に、いずれかの端辺に沿った方向に反り易い。上記の構成によると、電子部品が反り易い上記いずれかの端辺に沿った方向において、異方性導電膜の硬化収縮に伴って異方性導電膜が電子部品を基板側に引き付ける力が、樹脂膜が配された領域において緩和される。その結果、電子部品の反りを効果的に抑制することができる。
- [0014] 平面視における前記電子部品の中心位置と前記基板との間に前記低収縮率部が配されていてもよい。
- [0015] 電子部品が平面視矩形状である場合、平面視における電子部品の中心位置は、電子部品の四隅から最も離れた位置であるので、当該中心位置と基板との間が異方性導電膜によって接続されていると、異方性導電膜の硬化収縮時に電子部品が大きく反り易い。上記の構成によると、上記中心位置と基板との間に上記低収縮率部が配されることで、当該中心位置が異方性導電膜によって基板に接続される構成と比べて、電子部品の反りを効果的に抑制するこ

とができる。

[0016] 前記電子部品には、前記基板側に向かって突出するとともに前記電子部品と導通するバンプと、前記基板側に向かって突出するとともに前記電子部品と導通しないダミーバンプと、が設けられ、前記複数の異方性導電膜は少なくとも前記バンプが設けられた領域に配されていてもよい。

[0017] この構成によると、バンプが設けられた領域において基板と電子部品との間の導通を図るとともに、ダミーバンプが設けられた領域において電子部品の放熱性の向上や電子部品の位置の調整等、ダミーバンプとしての機能を確保しながら、電子部品の反りを抑制することができる。

[0018] 前記電子部品が封止材で覆われていてもよい。

[0019] この構成によると、封止材によって電子部品の一層の防塵、防湿及び防水を図ることができる。

[0020] 本明細書で開示される他の技術は、上記の回路基板を備える表示パネルであって、前記基板は、画像を表示する表示領域と画像を表示しない非表示領域とを有し、前記電子部品は、前記基板の前記非表示領域に配される表示パネルとして表現することもできる。

[0021] 上記の表示パネルでは、前記基板の前記非表示領域に接続されたフレキシブル基板を備え、複数の前記異方性導電膜のうち一つの前記異方性導電膜が、前記基板と前記フレキシブル基板との間に至るまで延在して配されて該基板と該フレキシブル基板とを電氣的に接続するものとされていてもよい。

[0022] この構成によると、表示パネルの製造過程において、基板とフレキシブル基板との間に両者を電氣的に接続するための異方性導電膜を別途配する必要がないので、表示パネルの製造工程を簡略化することができる。

[0023] 本明細書で開示される他の技術は、照明装置と、該照明装置からの光を利用して表示を行う上記の表示パネルと、を備え、前記電子部品は前記表示パネルを駆動するＩＣチップである表示装置として表現することもできる。

[0024] (発明の効果)

本明細書で開示される技術によれば、異方性導電膜を介して基板と電氣的

に接続される電子部品の反りを抑制しながら、基板と電子部品との接続箇所
の防塵、防湿及び防水を図ることができる。

図面の簡単な説明

[0025] [図1]実施形態1に係る液晶表示装置を長辺方向に沿って切断した断面の概略
断面図

[図2]液晶パネルの概略平面図

[図3]液晶パネルの断面構成を示す概略断面図

[図4]液晶パネルの非表示領域を拡大した拡大平面図

[図5]図4におけるV-V断面の断面構成であって、液晶パネルの非表示領域を
拡大した断面図

[図6]I Cチップの実装領域近傍の斜視図

[図7]I Cチップを短辺方向に沿って切断した断面の断面図であって、硬化収
縮時におけるA C Fの収縮態様を示す断面図

[図8]変形例におけるI CチップI Cチップの実装領域近傍の斜視図

[図9]実施形態2における液晶パネルの非表示領域を拡大した拡大平面図

[図10]図9におけるX-X断面の断面構成であって、液晶パネルの非表示領域
を拡大した断面図

[図11]実施形態3における液晶パネルの非表示領域を拡大した拡大平面図

[図12]図11におけるXII-XII断面の断面構成であって、液晶パネルの非表
示領域を拡大した断面図

[図13]実施形態4における液晶パネルの非表示領域を拡大した拡大平面図

[図14]実施形態5における液晶パネルの非表示領域を拡大した拡大平面図

[図15]図14におけるXV-XV断面の断面構成であって、液晶パネルの非表示
領域を拡大した断面図

[図16]実施形態6におけるI Cチップの実装領域近傍の斜視図

発明を実施するための形態

[0026] <実施形態1>

図面を参照して実施形態1を説明する。本実施形態では、液晶パネル（表

示パネルの一例) 11を備える液晶表示装置(表示装置の一例) 10について例示する。なお、各図面の一部にはX軸、Y軸およびZ軸を示しており、各軸方向が各図面で共通した方向となるように描かれている。また、上下方向については、図1を基準とし、同図上側を表側とするとともに同図下側を裏側とする。

[0027] 液晶表示装置10は、図1及び図2に示すように、液晶パネル11と、液晶パネル11に実装されて当該液晶パネル11を駆動する電子部品であるICチップ20と、ICチップ20に対して各種入力信号を外部から供給するコントロール基板22と、液晶パネル11と外部のコントロール基板22とを電氣的に接続するフレキシブル基板24と、液晶パネル11に光を供給する外部光源であるバックライト装置(照明装置の一例) 14と、を備えている。また、液晶表示装置10は、相互に組み付けた液晶パネル11及びバックライト装置14を収容して保持するための表裏一体の外部部材15、16を備えており、このうち表側の外部部材15には、液晶パネル11に表示された画像を外部から視認させるための開口部15Aが設けられている。

[0028] 先にバックライト装置14について簡単に説明する。バックライト装置14は、図1に示すように、表側に向けて開口した略箱型をなすシャーシ14Aと、シャーシ14A内に配された図示しない光源(冷陰極管、LED、有機EL等)と、シャーシ14Aの開口部を覆う形で配される図示しない光学部材と、を備えている。光学部材は、光源から出射される光を面状の光に変換する等の機能を有している。光学部材を通過して面状となった光は、液晶パネル11に入射し、液晶パネル11において画像を表示するために利用される。

[0029] 次に、液晶パネル11について説明する。液晶パネル11は、図2に示すように、全体として縦長の矩形状をなしており、その長辺方向が各図面のY軸方向と一致し、その短辺方向が各図面のX軸方向と一致している。液晶パネル11では、その大部分に画像を表示可能な表示領域A1が配され、その長辺方向における一方の端部側(図2に示す下側)に偏った位置に画像が表

示されない非表示領域 A 2 が配されている。非表示領域 A 2 の一部には、I C チップ 2 0 及びフレキシブル基板 2 4 が異方性導電膜（以下、「ACF」と称する）3 0（図 4 参照）を介した圧着接続によって実装されている。なお、液晶パネル 1 1 では、図 1 に示すように、後述するカラーフィルタ基板 1 1 A よりも一回り小さな枠状の一点鎖線が表示領域 A 1 の外形をなしており、当該一点鎖線よりも外側の領域が非表示領域 A 2 となっている。

[0030] 液晶パネル 1 1 は、図 3 に示すように、透光性に優れた一对のガラス製の基板 1 1 A、1 1 B と、電界印加に伴って光学特性が変化する物質である液晶分子を含む液晶層 1 1 C と、を備えている。液晶パネル 1 1 を構成する両基板 1 1 A、1 1 B は、液晶層 1 1 C の厚さ分のセルギャップを維持した状態で図示しないシール材によって貼り合わされている。両基板 1 1 A、1 1 B のうち、表側（正面側）の基板 1 1 A がカラーフィルタ基板 1 1 A とされ、裏側（背面側）の基板 1 1 B がアレイ基板（回路基板の一例）1 1 B とされる。両基板 1 1 A、1 1 B の内面側には、液晶層 1 1 C に含まれる液晶分子を配向させるための配向膜 1 1 D、1 1 E がそれぞれ形成されている。また、両基板 1 1 A、1 1 B を構成するガラス基板 1 1 A 1、1 1 B 1 の外面側には、それぞれ偏光板 1 1 F、1 1 G が貼り付けられている。

[0031] カラーフィルタ基板 1 1 A は、図 2 に示すように、短辺寸法がアレイ基板 1 1 B とほぼ同等であるものの、長辺寸法がアレイ基板 1 1 B よりも小さく、アレイ基板 1 1 B に対して長辺方向についての一方の端部（図 2 に示す上側）を揃えた状態で貼り合わされている。従って、アレイ基板 1 1 B のうち長辺方向についての他方の端部（図 1 に示す下側）は、所定範囲に亘ってカラーフィルタ基板 1 1 A が重なり合うことがなく、表裏両板面が外部に露出した状態とされており、ここに I C チップ 2 0 及びフレキシブル基板 2 4 の実装領域が確保されている。アレイ基板 1 1 B を構成するガラス基板 1 1 B 1 は、その主要部分にカラーフィルタ基板 1 1 A 及び偏光板 1 1 G が貼り合わされており、I C チップ 2 0 及びフレキシブル基板 2 4 の実装領域が確保された部分がカラーフィルタ基板 1 1 A 及び偏光板 1 1 G と非重畳とされて

いる。

[0032] 続いてアレイ基板 11B 及びカラーフィルタ基板 11A における表示領域 A1 内の構成について説明する。アレイ基板 11B を構成するガラス基板（基板の一例）11B1 の内面側（液晶層 11C 側）には、図 3 に示すように、スイッチング素子である TFT 17 及び画素電極 18 が多数個ずつマトリクス状に並んで設けられている。これら TFT 17 及び画素電極 18 の周りには、格子状をなす図示しないゲート配線及び図示しないソース配線が取り囲むようにして配設されている。換言すると、格子状をなすゲート配線及びソース配線の交差部に、TFT 17 及び画素電極 18 が行列状に並列配置されている。ゲート配線とソース配線はそれぞれ TFT 17 のゲート電極とソース電極とに接続され、画素電極 18 が TFT 17 のドレイン電極に接続されている。また、画素電極 18 は、平面に視て縦長の矩形状をなすとともに、ITO (Indium Tin Oxide)、ZnO (Zinc Oxide) 等の透明電極材料からなる。なお、アレイ電極 11B には、ゲート配線に並行するとともに画素電極 18 を横切る容量配線（不図示）を設けることも可能である。

[0033] 一方、カラーフィルタ基板 11A を構成するガラス基板 11A1 の内面側（液晶層 11C 側）には、図 3 に示すように、R（赤色）、G（緑色）、B（青色）等の各着色部が、アレイ基板 11B 側の各画素電極 18 と平面に視て重畳するような多数個マトリクス状に並列して配置されたカラーフィルタ 11H が設けられている。カラーフィルタ 11H を構成する各着色部間には、混色を防ぐための略格子状の遮光層（ブラックマトリクス）11I が形成されている。遮光層 11I は、上記したゲート配線及びソース配線と平面に視て重畳する構成とされる。カラーフィルタ 11H 及び遮光層 11I の表面には、アレイ基板 11B の画素電極 18 と対向するベタ状の対向電極 11J が設けられている。液晶パネル 11 では、R（赤色）、G（緑色）、B（青色）の 3 色の着色部及びそれらと対向する 3 つの画素電極 18 の組によって表示単位である 1 つの表示画素が構成されている。表示画素は、R の着色部を有する赤色画素と、G の着色部を有する緑色画素と、B の着色部を有する

青色画素とからなる。これら各色の画素は、液晶パネル 11 の板面において行方向（X 軸方向）に沿って繰り返し並べて配されることで、画素群を構成しており、この画素群が列方向（Y 軸方向）に沿って多数並んで配されている。

[0034] 次に、液晶パネル 11 に接続される各部材について説明する。コントロール基板 22 は、図 1 及び図 2 に示すように、バックライト装置 14 におけるシャーシ 14 A の裏面（液晶パネル 11 側とは反対側の外面）にネジ等によって取り付けられている。このコントロール基板 22 は、紙フェノール又はガラスエポキシ樹脂製の基板上に、IC チップ 20 に各種入力信号を供給するための電子部品が実装されるとともに、図示しない所定のパターンの配線（導電路）が配線形成されている。このコントロール基板 22 には、フレキシブル基板 24 の一方の端部（一端側）が ACF 30 を介して電気的にかつ機械的に接続されている。

[0035] フレキシブル基板 24 は、図 1 に示すように、絶縁性及び可撓性を有する合成樹脂材料（ポリイミド系樹脂等）からなる基材を備え、その基材上に多数本の配線パターン（不図示）を有している。フレキシブル基板 24 は、長さ方向についての一方の端部 24 A が既述したようにシャーシ 14 A の裏面側に配されたコントロール基板 22 に接続されるのに対し、他方の端部（他端側）24 B が液晶パネル 11 におけるアレイ基板 11 B の長辺方向についての他方の端部に接続されており、液晶表示装置 10 内で断面形状が略 U 字状となるように折り返し状に屈曲されている。フレキシブル基板 24 における長さ方向についての両端部 24 A、24 B は、配線パターンが外部に露出して端子部（不図示）を構成しており、これらの端子部がそれぞれコントロール基板 22 及び液晶パネル 11 に対して電気的に接続されている。これにより、コントロール基板 22 側から供給される入力信号を液晶パネル 11 側に伝送することが可能とされている。

[0036] IC チップ 20 は、内部に駆動回路を有しており、シリコンを高い純度で含んだシリコンウェハ上に配線や素子が形成されてなるものである。IC チ

チップ20は、信号供給源であるコントロール基板22から供給される信号に基づいて出力信号を生成し、その出力信号を液晶パネル11の表示領域A1へ向けて出力する。ICチップ20は、図2に示すように、平面に視て横長の矩形状をなしており、その長辺方向が液晶パネル11の短辺方向に沿うとともにその短辺方向が液晶パネル11の長辺方向に沿った姿勢で配されている。このICチップ20は、液晶パネル11におけるアレイ基板11Bの非表示領域A2に対して直接実装、即ちCOG実装されている。

[0037] 続いてアレイ基板11Bの非表示領域A2におけるフレキシブル基板24及びICチップ20の接続態様について詳しく説明する。フレキシブル基板24は、その長さ方向がアレイ基板11Bの長辺方向（Y軸方向）に沿った姿勢で、その他方の端部24Bがアレイ基板11Bの長辺方向について他方の端部の略中央部分に接続されている。アレイ基板11Bに接続されたフレキシブル基板24の他方の端部24Bは、図4に示すように、アレイ基板11Bの短辺方向（X軸方向）に沿って延在している。ICチップ20は、アレイ基板11Bにおける非表示領域A2のうちカラーフィルタ基板11Aと非重畳となる部分において、フレキシブル基板24よりも表示領域A1側寄りに位置して配されている。換言すれば、ICチップ20は、アレイ基板11Bの非表示領域A2のうち、表示領域A1とフレキシブル基板24との間に挟まれた位置に配されている。

[0038] アレイ基板11Bにおけるフレキシブル基板24の実装領域には、図5に示すように、フレキシブル基板24側から入力信号の供給を受けるための外部接続端子部T1が設けられている。一方、アレイ基板11BにおけるICチップ20の実装領域には、当該ICチップ20に対して入力信号の供給を図るためのパネル側入力端子部T2と、ICチップ20からの出力信号の供給を受けるためのパネル側出力端子部T3と、がそれぞれ設けられている。外部接続端子部T1とパネル側入力端子部T2とは、アレイ基板11Bの非表示領域A2のうち、フレキシブル基板24の実装領域とICチップ20の実装領域との間を横切る形で配索形成された中継配線（不図示）によって電

氣的に接続されている。パネル側入力端子部 T 2 及びパネル側出力端子部 T 3 は、ゲート配線又はソース配線と同じ金属材料からなる薄膜の表面が、画素電極 1 8 と同じ I T O、Z n O 等の透明電極材料によって覆われている。

[0039] フレキシブル基板 2 4 の他方の端部 2 4 B には、図 5 に示すように、アレイ基板 1 1 B 側に向けられた一方の板面に基板側端子部 T 4 が設けられている。基板側端子部 T 4 は、アレイ基板 1 1 B の外部接続端子部 T 1 上に配された A C F 3 0 を介して当該外部接続端子部 T 1 と電氣的に接続されている。A C F 3 0 は、接着剤である絶縁性の熱硬化性樹脂 3 0 A と、この熱硬化性樹脂 3 0 A 中に分散配合された多数の導電性粒子 3 0 B と、からなっている。A C F 3 0 を構成する熱硬化性樹脂 3 0 A としては、硬化剤が添加されたフェノキシ樹脂やエポキシ樹脂が挙げられる。本実施形態では、フレキシブル基板 2 4 の他方の端部 2 4 B が A C F 3 0 を介してアレイ基板 1 1 B の外部接続端子部 T 1 に対して圧着接続されることで、外部接続端子部 T 1 と基板側端子部 T 4 との間に導電性粒子 3 0 B が挟み込まれて押し潰され、これにより、外部接続端子部 T 1 と基板側端子部 T 4 との間で導通が図られるようになっている。

[0040] I C チップ 2 0 の短辺方向の両端部には、図 4 及び図 5 に示すように、アレイ基板 1 1 B 側に向けられた一方の面（以下、「実装面」と称する）2 0 A に、それぞれ平面視矩形状をなしてアレイ基板 1 1 B 側に向かってブロック状に突出するとともに I C チップ 2 0 と導通する複数の入力側バンプ B 1 と複数の出力側バンプ B 2 とが設けられている。このうち複数の入力側バンプ B 1 は、アレイ基板 1 1 B のパネル側入力端子部 T 2 と対向する形で、I C チップ 2 0 の長辺方向に沿って所定のピッチで一列に並んで設けられている。一方、複数の出力側バンプ B 2 は、平面に視た大きさが入力側バンプ B 1 より小さいものとされ、アレイ基板 1 1 B のパネル側出力端子部 T 3 と対向する形で、所定のピッチで互い違い状かつ二列に並んで設けられている。

[0041] I C チップ 2 0 の入力側バンプ B 1 は、アレイ基板 1 1 B のパネル側入力端子部 T 2 に配された A C F 3 0 を介して当該パネル側入力端子部 T 2 と電

氣的に接続されている。このACF30は、パネル側入力端子部T2の露出面と入力側バンプB1の露出面とをそれぞれ隙間無く覆う形でアレイ基板11BとICチップ20との間に介在している。一方、ICチップ20の出力側バンプB2は、アレイ基板11Bのパネル側出力端子部T3に配されたACF30を介して当該パネル側出力端子部T3と電氣的に接続されている。このACF30は、パネル側出力端子部T3の露出面と出力側バンプB2の露出面とをそれぞれ隙間無く覆う形でアレイ基板11BとICチップ20との間に介在している。本実施形態においてこれら2つのACF30は、互いに離間した形で、それぞれICチップ20の実装面20Aの長辺方向に沿って配されている。換言すれば、2つのACF30は、ICチップ20の実装面20Aのうち短辺をなす端辺に沿った方向（Y軸方向）において互いに離間した形で配されている（図4乃至図6参照）。これら2つのACF30は、液晶パネル11の製造過程において、それぞれ同一の工程でアレイ基板11B上に配される。

[0042] なお、上記2つのACF30は、外部接続端子部T1と基板側端子部T4との間を電氣的に接続するACF30と同一種類のものとされており、当該ACF30を構成する熱硬化性樹脂30Aの種類、及び導電性粒子30Bの種類、含有率はいずれも同一とされている。また、パネル側入力端子部T2と入力側バンプB1との間の導通態様、及びパネル側出力端子部T3と出力側バンプB2との間の導通態様についても、外部接続端子部T1と基板側端子部T4との間の導通態様と同一である。即ち、ICチップ20が上記2つのACF30を介してアレイ基板11B上に圧着接続されることで、パネル側入力端子部T2と入力側バンプB1との間、及びパネル側出力端子部T3と出力側バンプB2との間にACF30の導電性粒子30Bがそれぞれ挟み込まれて押し潰され、パネル側入力端子部T2と入力側バンプB1との間、及びパネル側出力端子部T3と出力側バンプB2との間の導通が図られている。

[0043] また、アレイ基板11BとICチップ20の間には、図4乃至図6に示す

ように、上記２つのＡＣＦ３０の間に生じる隙間を塞ぐ形で樹脂膜３２が配されている。従って、２つのＡＣＦ３０の間に生じる隙間のうち外部に臨む部位は、この樹脂膜３２によって塞がれた状態となっている。この樹脂膜３２は、ＡＣＦ３０のように導電性粒子３０Ｂを含有しておらず、硬化性樹脂のみで構成され、当該硬化性樹脂の種類や当該硬化性樹脂に添加される硬化剤の種類、添加量が調整されることで、上記２つのＡＣＦ３０よりも硬化収縮率が小さいものとされている。また、この樹脂膜３２は、液晶パネル１１の製造過程において、ＩＣチップ２０が上記２つのＡＣＦ３０を介してアレイ基板１１Ｂ上に圧着接続された後に、上記２つのＡＣＦ３０の間に生じる隙間に充填されることで配されている。

[0044] なお、樹脂膜３２が上記２つのＡＣＦ３０の間に生じる隙間を塞ぐ形で配されることで、平面視におけるＩＣチップ２０の中心位置とアレイ基板１１Ｂとの間に樹脂膜３２が配された形となっている。また、図４に示すように、アレイ基板１１ＢとＩＣチップ２０との間に介在する２つのＡＣＦ３０及び樹脂膜３２はいずれも、平面視においてＩＣチップ２０の外縁からわずかにみ出す形で配されている。こうすることで、液晶パネル１１の製造過程において、アレイ基板１１Ｂ上へのＩＣチップ２０の実装時に、ＩＣチップ２０が本来の実装位置からわずかにずれた場合であっても、アレイ基板１１ＢとＩＣチップ２０との間の良好な導通が図れるからである。

[0045] ところで、液晶パネルの製造過程においてアレイ基板上にＩＣチップをＣＯＧ実装する際には、通常、アレイ基板とＩＣチップとの間に単一のＡＣＦが配され、当該ＡＣＦを介してアレイ基板上にＩＣチップが圧着接続される。このため、従来の液晶パネルの製造過程では、ＡＣＦの硬化収縮時に、ＡＣＦの硬化収縮に伴ってＩＣチップの実装面のうちＡＣＦを配すべき領域の全域がＡＣＦによってアレイ基板側に引き付けられ、ＩＣチップが大きく反ってしまうことがあった。このようにＩＣチップが大きく反ってしまうと、アレイ基板とＩＣチップとの間で良好な接続状態を確保できないことがあった。

[0046] これに対し本実施形態では、上述したように、ＩＣチップ２０が２つのＡＣＦ３０によってアレイ基板１１Ｂに接続され、これら２つのＡＣＦ３０が互いに離間した形で配されている。そして、２つのＡＣＦ３０が離間することにより生じる隙間を塞ぐ形で樹脂膜３２が配されている。このため、液晶パネル１１の製造工程において、アレイ基板１１ＢとＩＣチップ２０との間に介在する２つのＡＣＦ３０の硬化収縮時に、ＡＣＦ３０の硬化収縮に伴ってＡＣＦ３０がＩＣチップ２０をアレイ基板１１Ｂ側に引き付ける力が、当該樹脂膜３２が配された領域において緩和される。その結果、アレイ基板１１ＢとＩＣチップ２０との間のＡＣＦ３０を配すべき領域において、ＩＣチップが単一のＡＣＦを介してアレイ基板に電氣的に接続される従来の構成と比べて、図７に示すように、ＡＣＦ３０の硬化収縮時におけるＩＣチップ２０の反り量が小さいものとなり、従来の構成と比べてＩＣチップ２０の反りを抑制することができる。

[0047] さらに本実施形態では、上述したように、アレイ基板１１ＢとＩＣチップ２０との間において２つのＡＣＦ３０の間に生じる隙間のうち外部に臨む部位が樹脂膜３２によって塞がれるので、アレイ基板１１ＢとＩＣチップ２０との間における外部に臨む部位にはＡＣＦ３０と樹脂膜３２とのいずれかが介在する形となり、アレイ基板１１ＢにおけるＩＣチップ２０の実装領域とＩＣチップ２０の実装面２０Ａとの間、即ちアレイ基板１１ＢとＩＣチップ２０との接続箇所に水や塵等が浸入することを防止ないし抑制することができる。このように本実施形態の液晶パネル１１では、ＡＣＦ３０を介してアレイ基板１１Ｂと電氣的に接続されるＩＣチップ２０の反りを抑制しながら、アレイ基板１１ＢとＩＣチップ２０との接続箇所の防塵、防湿及び防水を図ることができる。

[0048] ここで本実施形態のようにＩＣチップ２０が平面視矩形状である場合、当該ＩＣチップ２０は、アレイ基板１１ＢとＩＣチップ２０との間に介在する２つのＡＣＦ３０の硬化収縮時に、いずれかの端辺に沿った方向に反り易い。この点、本実施形態では、２つのＡＣＦ３０が、平面視矩形状をなすＩＣ

チップ20の短辺をなす端辺に沿った方向において互いに離間した形で配されている。このため、ICチップ20が反り易い上記辺をなす端辺に沿った方向において、ACF30の硬化収縮に伴ってACF30がICチップ20をアレイ基板11B側に引き付ける力が、樹脂膜32が配された領域において緩和される。その結果、ICチップ20の反りを効果的に抑制することができる。

[0049] また、本実施形態のようにICチップ20が平面視矩形状である場合、平面視におけるICチップ20の中心位置は、ICチップ20の四隅から最も離れた位置であるので、当該中心位置とアレイ基板11Bとの間がACF30によって接続されていると、ACF30の硬化収縮時にICチップ20が大きく反り易い。この点、本実施形態では、平面視におけるICチップ20の中心位置とアレイ基板11Bとの間に樹脂膜32が配されている。このため、当該中心位置がACF30によってアレイ基板11Bに接続される構成と比べて、ICチップ20の反りを効果的に抑制することができる。

[0050] なお、ICチップの実装面の略中央位置にアレイ基板側に向かって突出する突起を設け、その突起の先端面をアレイ基板と当接させることで、当該略中央位置においてアレイ基板とICチップとの間の距離が変動することを防止ないし抑制でき、ICチップの反りを抑制することもできる。しかしながら、ICチップの実装面にこのような突起を設けると、アレイ基板におけるICチップの実装領域やICチップの実装面に設けられる回路の設計に影響を与え、回路設計の自由度が減ってしまう問題が生じる。また、このような突起を設けることでICチップの製造コストが増加する問題も生じる。これに対し本実施形態では、このような突起を設けることなくICチップ20の反りを抑制することができるので、上記のような問題は生じ難い。

[0051] <実施形態1の変形例>

図8を参照して実施形態1の変形例を説明する。本変形例では、図8に示すように、ICチップ120の全体が透明な封止材134によって覆われており、これにより、ICチップ120の全体が封止材134によって封止さ

れている。その他の構成については実施形態 1 と同様であるため、構造、作用、及び効果の説明は省略する。なお、図 8 において、図 6 の参照符号に数字 100 を加えた部位は、実施形態 1 で説明した部位と同一である。本変形例では、液晶パネルの製造工程において、アレイ基板 111B に対する IC チップ 120 の実装後、即ち 2 つの ACF 130 及び樹脂膜 132 の硬化後に、封止材 134 によって IC チップ 120 を封止する。本変形例では、このように IC チップ 120 の全体が封止されることで、IC チップ 120 の一層の防塵、防湿及び防水を図ることができる。

[0052] <実施形態 2>

図 9 及び図 10 を参照して実施形態 2 を説明する。実施形態 2 は、アレイ基板 211B とフレキシブル基板 224 との間を電氣的に接続する ACF 230 の配置態様が実施形態 1 のものと異なっている。その他の構成については実施形態 1 と同様であるため、構造、作用、及び効果の説明は省略する。なお、図 9 及び図 10 において、それぞれ図 4 及び図 5 の参照符号に数字 200 を加えた部位は、実施形態 1 で説明した部位と同一である。

[0053] 本実施形態では、図 9 及び図 10 に示すように、アレイ基板 211B とフレキシブル基板 224 との間を電氣的に接続する ACF 230 が、アレイ基板 211B のパネル側入力端子部 T2 と IC チップ 220 の入力側バンプ B1 との間を電氣的に接続するための ACF 230 を兼用するものとされている。即ち、アレイ基板 211B と IC チップ 220 との間を接続する 2 つの ACF 230 のうち、フレキシブル基板 224 寄りに配された ACF 230 が、アレイ基板 211B の外部接続端子部 T1 とフレキシブル基板 224 の基板側端子部 T4 との間に至るまで配されてアレイ基板 211B とフレキシブル基板 224 とを電氣的に接続するものとされている。なお、ACF 230 を構成する熱硬化性樹脂は絶縁性とされているから、フレキシブル基板 224 の基板側端子部 T4 から ACF 230 を通じてアレイ基板 211B のパネル側入力端子部 T2 まで直接電流が流れるのではなく、実施形態 1 と同様に、フレキシブル基板 224 の基板側端子部 T4 から外部接続端子部 T1 と

パネル側入力端子部Ｔ２との間に配索形成された中継配線を通じてアレイ基板２１１Ｂのパネル側入力端子部Ｔ２まで電流が流れるようになっている。

[0054] 本実施形態では、上記のような構成とされていることで、液晶パネルの製造過程において、アレイ基板２１１Ｂのパネル側入力端子部Ｔ２とＩＣチップ２２０の入力側バンプＢ１との間を電氣的に接続するためのＡＣＦ２３０に加えて、アレイ基板２１１Ｂとフレキシブル基板２２４との間を電氣的に接続するためのＡＣＦを別途配する必要がないので、製造工程を簡略化することができる。

[0055] <実施形態３>

図１１及び図１２を参照して実施形態３を説明する。実施形態３は、アレイ基板３１１ＢとＩＣチップ３２０との間に介在するＡＣＦ３３０の数が実施形態１のものと異なっている。その他の構成については実施形態１と同様であるため、構造、作用、及び効果の説明は省略する。なお、図１１及び図１２において、それぞれ図４及び図５の参照符号に数字３００を加えた部位は、実施形態１で説明した部位と同一である。

[0056] 本実施形態では、図１１及び図１２に示すように、アレイ基板３１１ＢとＩＣチップ３２０との間に３つのＡＣＦ３３０が介在している。即ち、アレイ基板３１１Ｂのパネル側入力端子部Ｔ２とＩＣチップ３２０の入力側バンプＢ１とを電氣的に接続するＡＣＦ３３０と、アレイ基板３１１Ｂのパネル側入力端子部Ｔ２とＩＣチップ３２０の入力側バンプＢ１とを電氣的に接続するＡＣＦ３３０と、が実施形態１のものと同様の形状及び配置とされ、これら２つのＡＣＦ３３０の間隙間に当該２つのＡＣＦ３３０から離間した形で、１つのＡＣＦ３３０が配されている。２つのＡＣＦ３３０の間に配された１つのＡＣＦ３３０は、他の２つのＡＣＦ３３０と同様に、ＩＣチップ３２０の実装面３２０Ａの長辺方向に沿って配されている。また、アレイ基板３１１ＢとＩＣチップ３２０の間に介在する３つのＡＣＦ３３０は同一種類のものとされている。

[0057] このような構成とされている場合であっても、本実施形態では、アレイ基

板 3 1 1 B と I C チップ 3 2 0 との間に介在する 3 つの A C F 3 3 0 の硬化収縮時に、A C F 3 3 0 の硬化収縮に伴って A C F 3 3 0 が I C チップ 3 2 0 をアレイ基板 3 1 1 B 側に引き付ける力が、各樹脂膜 3 3 2 が配された領域においてそれぞれ緩和される。その結果、アレイ基板と I C チップとの間の A C F を配すべき領域において、I C チップが単一の A C F を介してアレイ基板に電氣的に接続される従来の構成と比べて、A C F 3 3 0 の硬化収縮時における I C チップ 3 2 0 の反り量が小さいものとなり、従来の構成と比べて I C チップ 3 2 0 の反りを抑制することができる。

[0058] <実施形態 4>

図 1 3 を参照して実施形態 4 を説明する。実施形態 4 は、アレイ基板 4 1 1 B と I C チップ 4 2 0 との間に介在する A C F 4 3 0 の数が実施形態 1 のものと異なっている。その他の構成については実施形態 1 と同様であるため、構造、作用、及び効果の説明は省略する。なお、図 1 3 において、図 4 の参照符号に数字 4 0 0 を加えた部位は、実施形態 1 で説明した部位と同一である。

[0059] 本実施形態では、図 1 3 に示すように、アレイ基板 4 1 1 B と I C チップ 4 2 0 との間に 4 つの A C F 4 3 0 が介在している。具体的には、I C チップ 4 2 0 の実装面 4 2 0 A に当該 I C チップ 4 2 0 の長辺方向に沿って並んで設けられた入力側バンプ B 1 は、当該 I C チップ 4 2 0 の長辺方向の略中央位置に大きな隙間を空けて配置されている。即ち入力側バンプ B 1 が上記隙間を挟んで 2 つの領域に分かれた形で設けられている。そして、入力側バンプ B 1 が設けられていない上記隙間には樹脂膜 4 3 2 が配され、入力側バンプ B 1 が設けられた 2 つの領域にそれぞれ A C F 4 3 0 が配されている。また、I C チップ 4 2 0 の実装面 4 2 0 A に当該 I C チップ 4 2 0 の長辺方向に沿って並んで設けられた出力側バンプ B 2 は、当該 I C チップ 4 2 0 の長辺方向の略中央位置に設けられたバンプが I C チップ 4 2 0 と導通しないダミーバンプ B 3 とされている。即ち出力側バンプ B 2 がダミーバンプ B 3 を挟んで 2 つの領域に分かれた形で設けられている。そして、ダミーバンプ

B 3 が設けられた領域には樹脂膜 4 3 2 が配され、出力側バンプ B 2 が設けられた 2 つの領域にそれぞれ A C F 4 3 0 が配されている。

[0060] アレイ基板 4 1 1 B と I C チップ 4 2 0 との間に介在する 4 つの A C F 4 3 0 が上記のような配置とされることで、4 つの A C F 4 3 0 は平面視において I C チップ 4 2 0 の実装面 4 2 0 A の四隅と重畳しており、4 つの A C F 4 3 0 の間には平面視において略十字状の隙間が生じている。換言すれば、4 つの A C F 4 3 0 は、I C チップ 4 2 0 の実装面 4 2 0 A のうち短辺をなす端辺に沿った方向（Y 軸方向）及び長辺をなす端辺に沿った方向（X 軸方向）の両者において互いに離間した形で配されている。そして、この略十字状の隙間を塞ぐ形で樹脂膜 4 3 2 が配されている。このような構成とされることで、本実施形態では、4 つの A C F 4 3 0 の硬化収縮時に、上記短辺をなす端辺に沿った方向（Y 軸方向）だけでなく、上記長辺をなす端辺に沿った方向（X 軸方向）においても、A C F 4 3 0 の硬化収縮に伴って A C F 4 3 0 が I C チップ 4 2 0 をアレイ基板 4 1 1 B 側に引き付ける力が、当該樹脂膜 4 3 2 が配された領域において緩和される。その結果、A C F 4 3 0 の硬化収縮時における I C チップ 4 2 0 の反りをより効果的に抑制することができる。

[0061] なお、出力側バンプ B 2 に挟まれる形で設けられたダミーバンプ B 3 は、金属製とされることで I C チップ 4 2 0 の放熱性を向上させる機能や、その先端がアレイ基板 4 1 1 B と当接することでアレイ基板 4 1 1 B に対する I C チップ 4 2 0 の位置（アレイ基板 4 1 1 B と I C チップ 4 2 0 との間の距離）を調整する機能を果たす。このように本実施形態では、入力側バンプ B 1 及び出力側バンプ B 2 が設けられた領域においてアレイ基板 4 1 1 B と I C チップ 4 2 0 との間の導通を図るとともに、ダミーバンプ B 3 が設けられた領域においてダミーバンプ B 3 としての機能を確保しながら、I C チップ 4 2 0 の反りを抑制することができる。

[0062] <実施形態 5>

図 1 4 及び図 1 5 を参照して実施形態 5 を説明する。実施形態 5 は、アレ

イ基板 5 1 1 B と I C チップ 5 2 0 との間に介在する 2 つの A C F 5 3 0 の間の隙間に配された樹脂膜の種類が実施形態 1 のものと異なっている。その他の構成については実施形態 1 と同様であるため、構造、作用、及び効果の説明は省略する。なお、図 1 4 及び図 1 5 において、それぞれ図 4 及び図 5 の参照符号に数字 5 0 0 を加えた部位は、実施形態 1 で説明した部位と同一である。

[0063] 本実施形態では、図 1 4 及び図 1 5 に示すように、I C チップ 5 2 0 の入力側バンプ B 1 と出力側バンプ B 2 とをそれぞれ覆う形で配された 2 つの A C F 5 3 0 の間の隙間を塞ぐ形で、当該 2 つの A C F 5 3 0 よりも硬化収縮率が小さい他の種類の A C F (樹脂膜の一例) 5 3 1 が配されている。なお、入力側バンプ B 1、出力側バンプ B 2、及び上記 2 つの A C F 5 3 0 の配置態様については、実施形態 1 のものと同様である。上記他の種類の A C F 5 3 1 は、上記 2 つの A C F 5 3 0 と同様に、熱硬化性樹脂 5 3 1 A と、この熱硬化性樹脂 5 3 1 A 中に分散配合された多数の導電性粒子 5 3 1 B と、からなっており、熱硬化性樹脂 5 3 1 A の種類や当該熱硬化性樹脂 5 3 1 A に添加される硬化剤の種類、添加量が上記 2 つの A C F 5 3 0 と異なっている。

[0064] 本実施形態では、このような構成とされることで、液晶パネルの製造過程において、上記 2 つの A C F 5 3 0 と上記他の種類の A C F 5 3 1 とを同じ工程でアレイ基板 5 1 1 B 上に配することができる。このため、アレイ基板 5 1 1 B に対して I C チップ 5 2 0 を接続した後に上記 2 つの A C F 5 3 0 の間に充填等によって樹脂膜を配する場合と比べて製造工程を短縮化することができる。

[0065] なお、上述した実施形態 1 から実施形態 5 では、隣り合う A C F の間に配された樹脂膜が膜間部材の一例であり、この樹脂膜のうち外部に臨む部位を除く部位に配された樹脂膜が低収縮率部の一例である。

[0066] <実施形態 6>

図 1 6 を参照して実施形態 6 を説明する。実施形態 6 は、アレイ基板 6 1

1 Bと1 Cチップ6 2 0との間の一部に内部空間S 1が設けられている点で実施形態1のものと異なっている。その他の構成については実施形態1と同様であるため、構造、作用、及び効果の説明は省略する。なお、図1 6において、図6の参照符号に数字6 0 0を加えた部位は、実施形態1で説明した部位と同一である。

[0067] 本実施形態では、図1 6に示すように、アレイ基板6 1 1 Bと1 Cチップ6 2 0との間において2つのACF 6 3 0の間に生じる隙間のうち、外部に臨む部位にのみ当該部位を塞ぐ形でそれぞれ樹脂膜6 3 2が配されている。即ちアレイ基板6 1 1 Bと1 Cチップ6 2 0との間に内部空間（低収縮率部の一例）S 1が設けられている。各ACF 6 3 0及び各樹脂膜6 3 2の材料は実施形態1のものと同様であり、各樹脂膜6 3 2は各ACF 6 3 0よりも硬化収縮率が小さいものとされている。なお、この内部空間S 1には空気が充填されているから、各ACF 6 3 0よりも内部空間S 1における硬化収縮率が小さいのは当然である。また本実施形態では、樹脂膜6 3 2と内部空間S 1とを組み合わせたものが膜間部材の一例である。

[0068] 上記のような構成とされた本実施形態のアレイ基板6 1 1 Bでは、液晶パネルの製造工程において、アレイ基板6 1 1 Bと1 Cチップ6 2 0との間に介在する2つのACF 6 3 0の硬化収縮時に、ACF 6 3 0の硬化収縮に伴ってACF 6 3 0が1 Cチップ6 2 0をアレイ基板6 1 1 B側に引き付ける力が、上記内部空間S 1において緩和されるとともに、上記樹脂膜6 3 2が配された領域においても緩和される。その結果、アレイ基板と1 Cチップとの間のACFを配すべき領域において、1 Cチップが単一のACFを介してアレイ基板に電氣的に接続される従来の構成と比べて、ACF 6 3 0の硬化収縮時における1 Cチップ6 2 0の反り量が小さいものとなり、従来の構成と比べて1 Cチップ6 2 0の反りを抑制することができる。

[0069] さらに本実施形態では、上述したように、アレイ基板6 1 1 Bと1 Cチップ6 2 0との間において2つのACF 6 3 0の間に生じる隙間のうち外部に臨む部位が樹脂膜6 3 2によって塞がれるので、アレイ基板6 1 1 Bと1 C

チップ620との間における外部に臨む部位にはACF630と樹脂膜632とのいずれかが介在する形となり、アレイ基板611BにおけるICチップ620の実装領域とICチップ620の実装面620Aとの間、即ちアレイ基板611BとICチップ620との接続箇所に水や塵等が浸入することを防止ないし抑制することができる。このように本実施形態の構成においても、ACF630を介してアレイ基板611Bと電氣的に接続されるICチップ620の反りを抑制しながら、アレイ基板611BとICチップ620との接続箇所の防塵、防湿及び防水を図ることができる。

[0070] 上記の各実施形態の変形例を以下に列挙する。

(1) 上記の各実施形態では、アレイ基板とICチップとの間に介在する複数のACFが、ICチップの実装面のいずれかの端辺に沿った方向において互いに離間した形で配された構成を例示したが、これに限定されない。アレイ基板とICチップとの間の導通を図ることができれば、アレイ基板とICチップとの間に介在する複数のACFが、ICチップの実装面のいずれかの端辺に沿わない方向において互いに離間した形で配された構成であってもよい。

[0071] (2) 上記の各実施形態では、アレイ基板とICチップとの間に介在する複数のACFが同一種類のものとされた例を示したが、アレイ基板とICチップとの間に介在する複数のACFが異なる種類のものとされてもよい。即ち、アレイ基板とICチップとの間に介在する複数のACFについて、それらを構成する熱硬化性樹脂の種類、導電性粒子の種類、含有率が異なってもよい。

[0072] (3) 上記の各実施形態以外にも、アレイ基板とICチップとの間に配される複数のACFの配置態様については、適宜に変更可能である。

[0073] (4) 上記の各実施形態では、回路基板の一例として液晶パネルを構成するアレイ基板を例示したが、これに限定されない。本発明は、ACFを介して基板上に電子部品が実装される様々な回路基板について適用することが可能である。

[0074] (5) 上記の実施形態6では、各樹脂膜が各ACFよりも硬化収縮率が小さいものとされた構成を例示したが、実施形態6において、2つのACFの間において樹脂膜に対する内部空間の割合が十分に大きければ、各樹脂膜が各ACFよりも硬化収縮率が大きいものとされてもよい。この場合であっても、2つのACFの効果収縮時に、ACFがICチップをアレイ基板側に引き付ける力が内部空間によって緩和されるので、従来の構成と比べてICチップの反りを抑制することができる。

[0075] 以上、本発明の各実施形態について詳細に説明したが、これらは例示に過ぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例を様々に変形、変更したものが含まれる。

符号の説明

[0076] 10...液晶表示装置、11...液晶パネル、11A...カラーフィルタ基板、11A1, 11B1...ガラス基板、11B, 111B, 211B, 311B, 411B, 511B、611B...アレイ基板、14...バックライト装置、20, 120, 220, 320, 420, 520、620...ICチップ、22...コントロール基板、24, 224, 324, 424, 524...フレキシブル基板、30, 130, 230, 330, 430, 530, 531、631...ACF、32, 132, 232, 332, 432、632...樹脂膜（膜間部材）、134...封止材、B1...入力側バンプ、B2...出力側バンプ、B3...ダミーバンプ、S1...内部空間（膜間部材）、T1...外部接続端子部、T2...パネル側入力端子部、T3...パネル側出力端子部、T4...基板側端子部

請求の範囲

- [請求項1] 基板と、
 前記基板上に配された電子部品と、
 前記基板と1つの前記電子部品との間に介在して両者を電氣的に接続する複数の異方性導電膜であって、互いに離間した形で配された複数の異方性導電膜と、
 前記基板と1つの前記電子部品との間において隣り合う前記異方性導電膜の間に生じる隙間に配され、該隙間の少なくとも外部に臨む部位を塞ぐ形で配された少なくとも一つの樹脂膜と、前記異方性導電膜よりも硬化収縮率が小さい低収縮率部と、を有する膜間部材と、
 を備える回路基板。
- [請求項2] 前記樹脂膜と前記低収縮率部とが同一の材料で形成されている、請求項1に記載の回路基板。
- [請求項3] 前記電子部品は平面視矩形状をなし、
 前記複数の異方性導電膜は、平面視矩形状の前記電子部品のいずれかの端辺に沿った方向において互いに離間した形で配されている、請求項1又は請求項2に記載の回路基板。
- [請求項4] 平面視における前記電子部品の中心位置と前記基板との間に前記低収縮率部が配されている、請求項3に記載の回路基板。
- [請求項5] 前記電子部品には、前記基板側に向かって突出するとともに前記電子部品と導通するバンプと、前記基板側に向かって突出するとともに前記電子部品と導通しないダミーバンプと、が設けられ、
 前記複数の異方性導電膜は少なくとも前記バンプが設けられた領域に配されている、請求項1から請求項4のいずれか1項に記載の回路基板。
- [請求項6] 前記電子部品が封止材で覆われている、請求項1から請求項5のいずれか1項に記載の回路基板。
- [請求項7] 請求項1から請求項6のいずれか1項に記載の回路基板を備える表

示パネルであって、

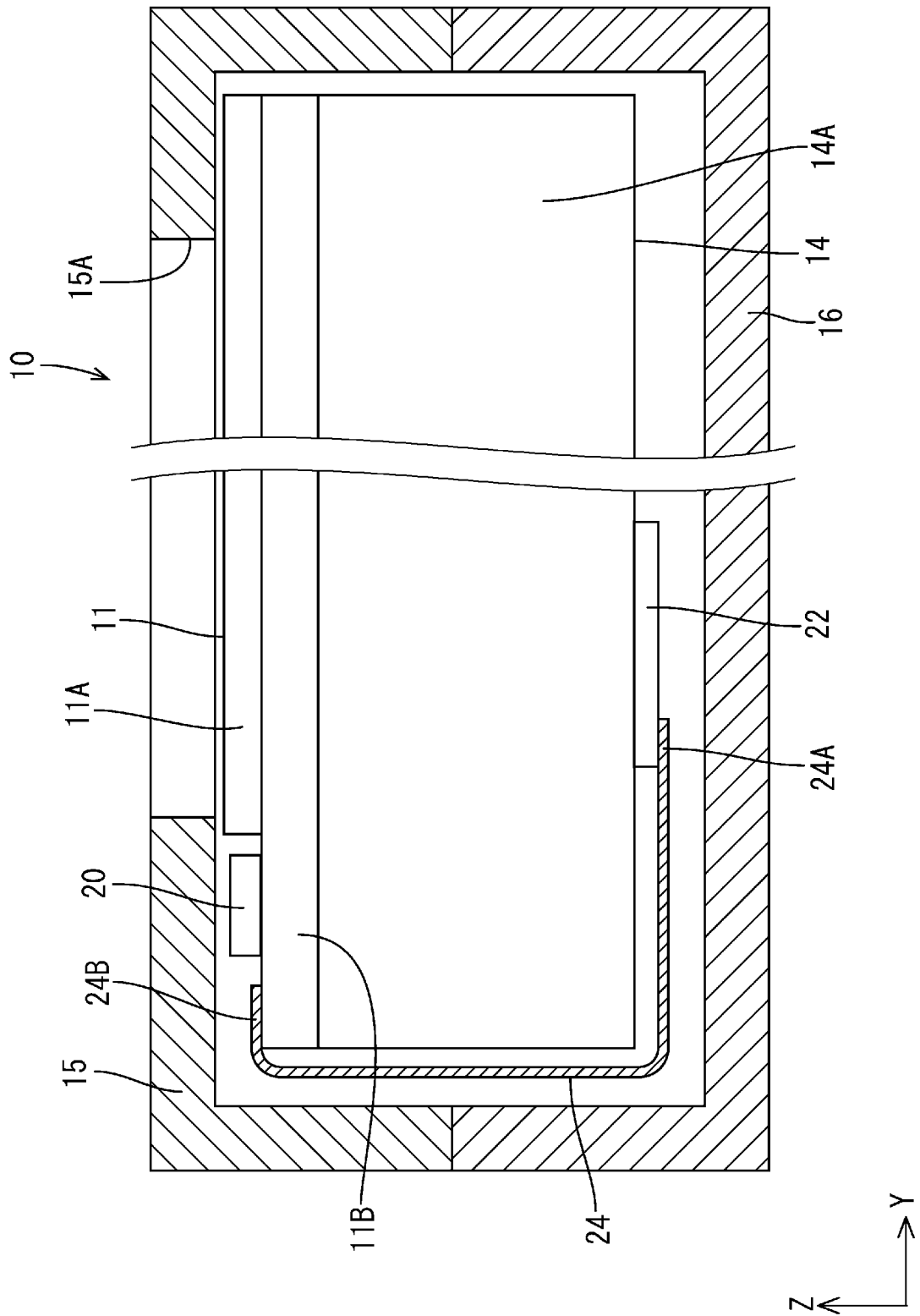
前記基板は、画像を表示する表示領域と画像を表示しない非表示領域とを有し、

前記電子部品は、前記基板の前記非表示領域に配される表示パネル。
。

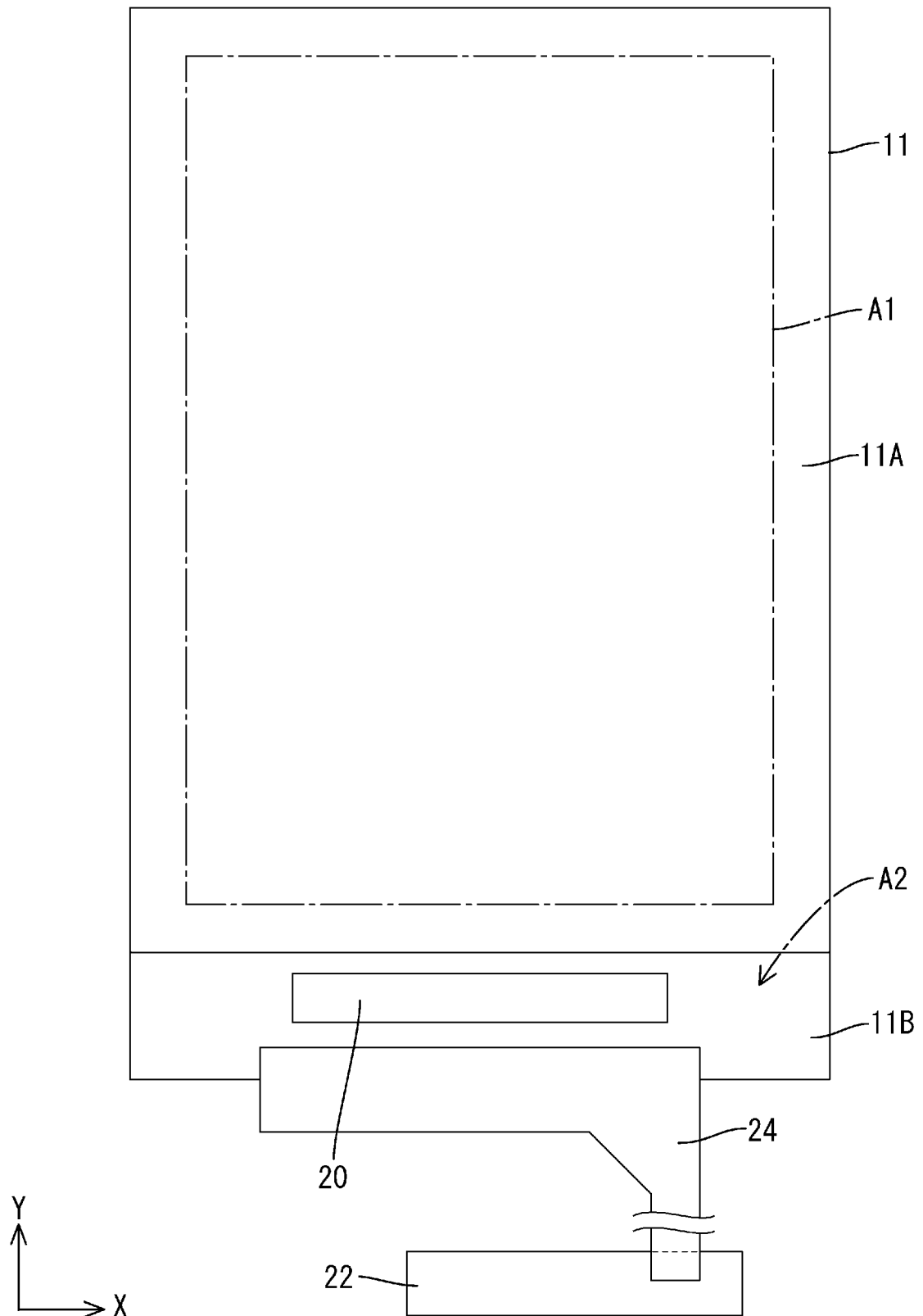
[請求項8] 前記基板の前記非表示領域に接続されたフレキシブル基板を備え、
複数の前記異方性導電膜のうち一つの前記異方性導電膜が、前記基板と前記フレキシブル基板との間に至るまで延在して配されて該基板と該フレキシブル基板とを電氣的に接続するものとされている、請求項7に記載の表示パネル。

[請求項9] 照明装置と、該照明装置からの光を利用して表示を行う請求項7又は請求項8に記載の表示パネルと、を備え、
前記電子部品は前記表示パネルを駆動するＩＣチップである表示装置。

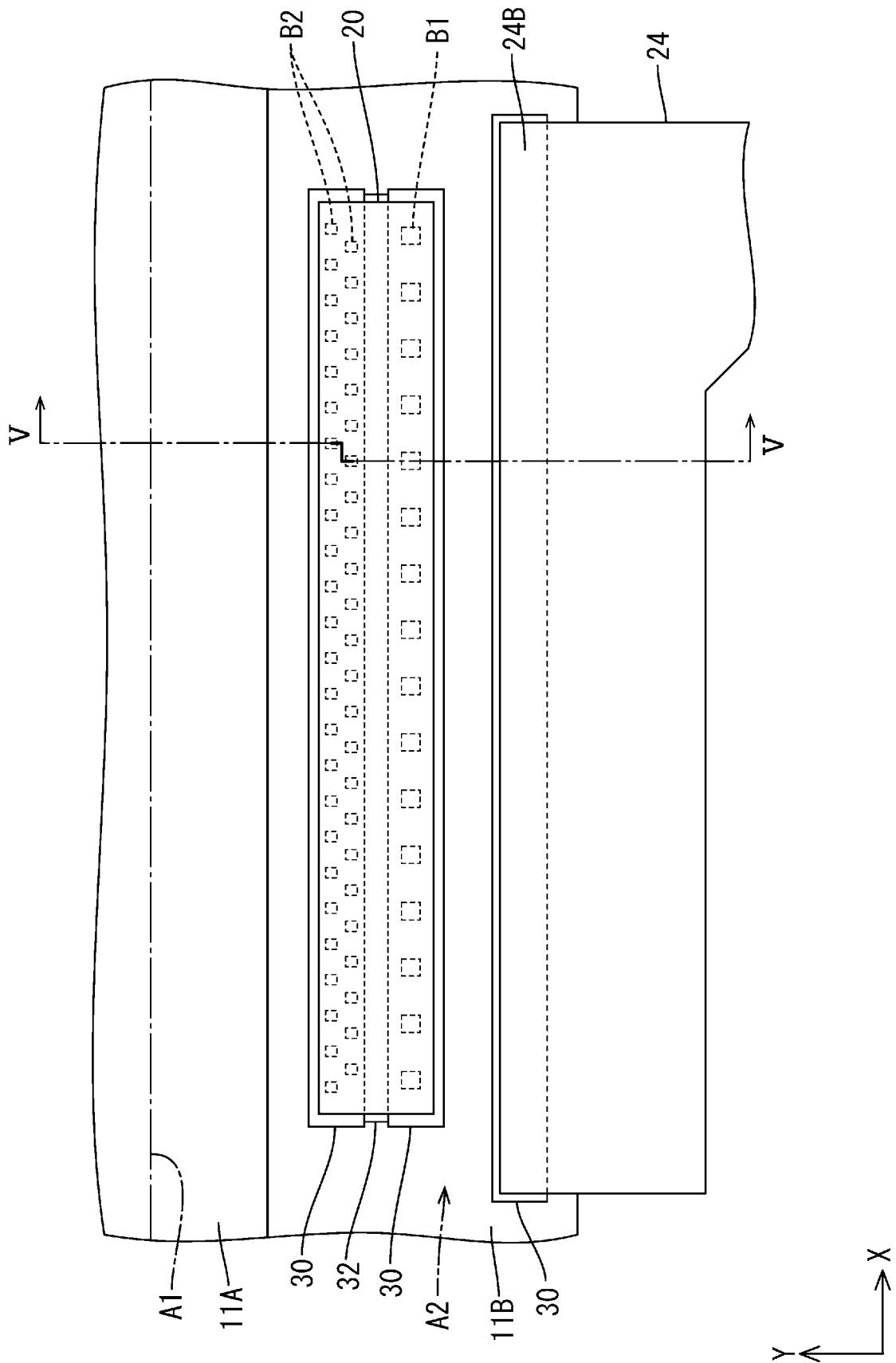
[図1]



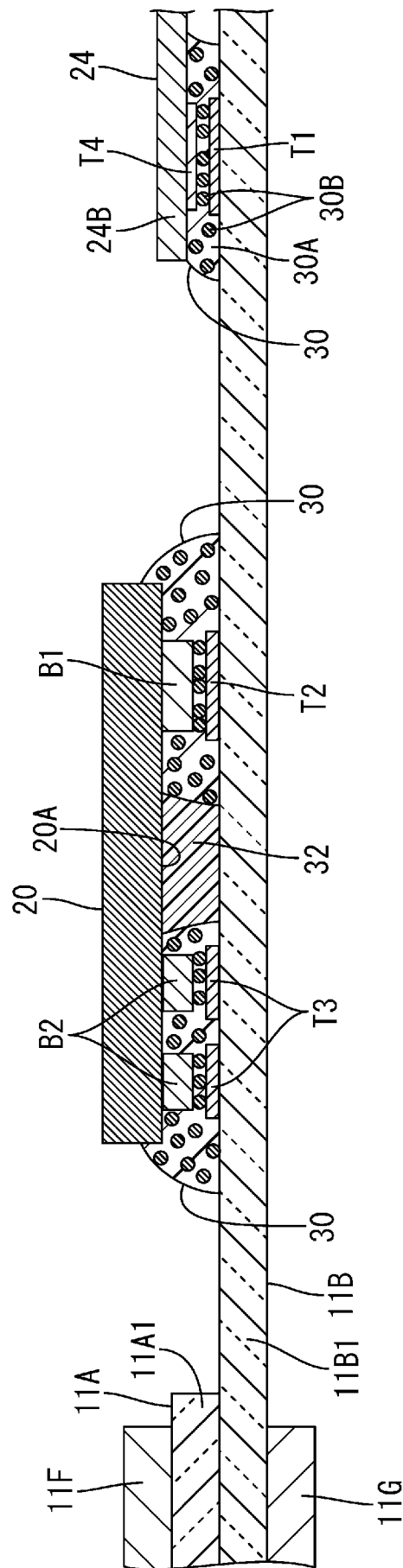
[図2]



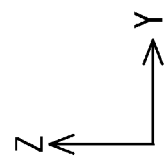
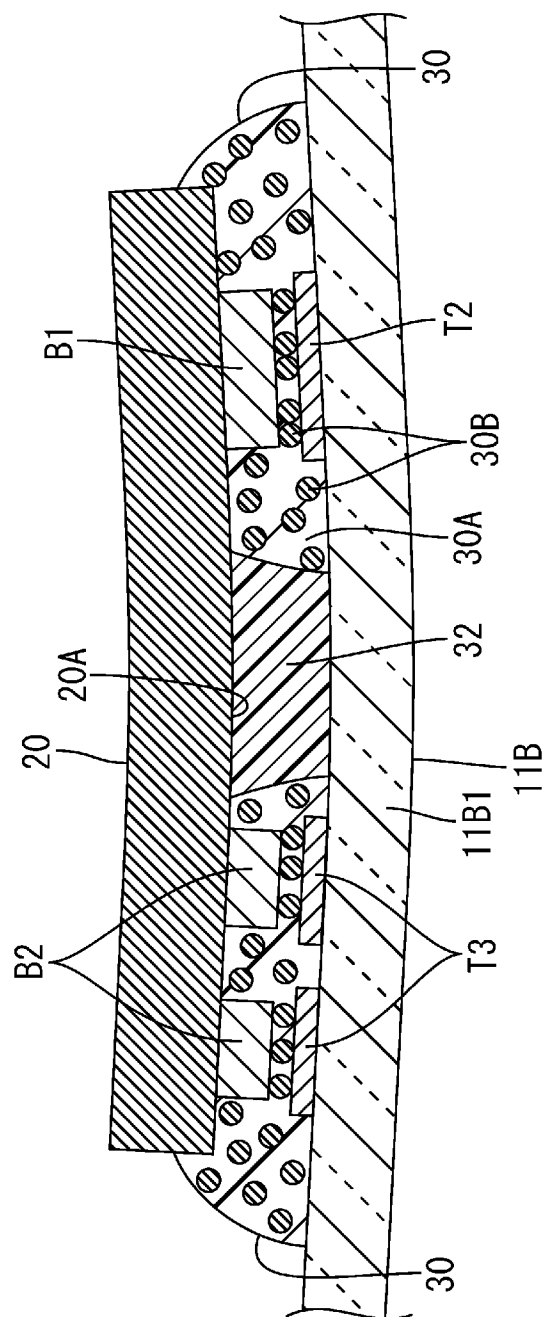
[図4]



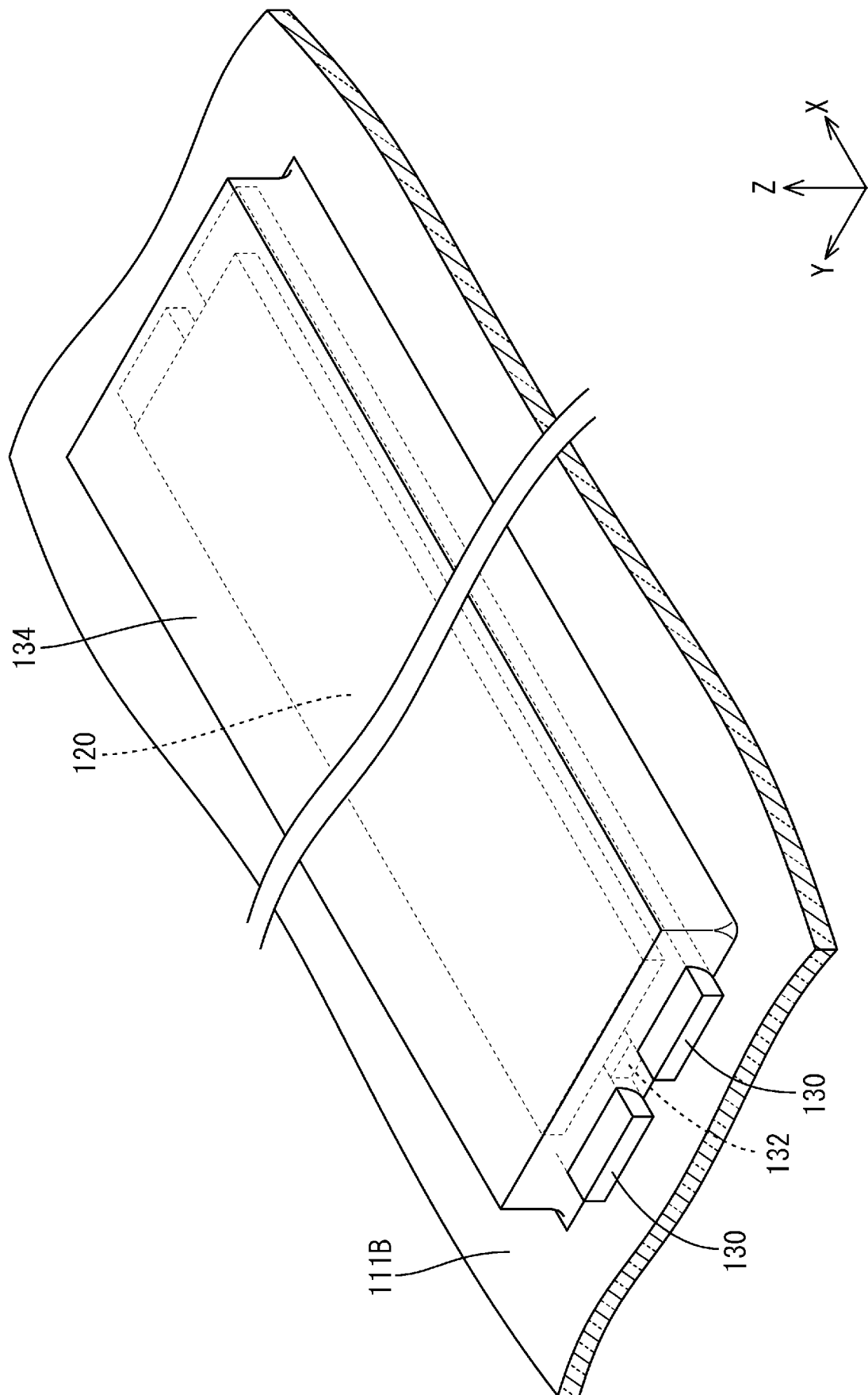
[図5]



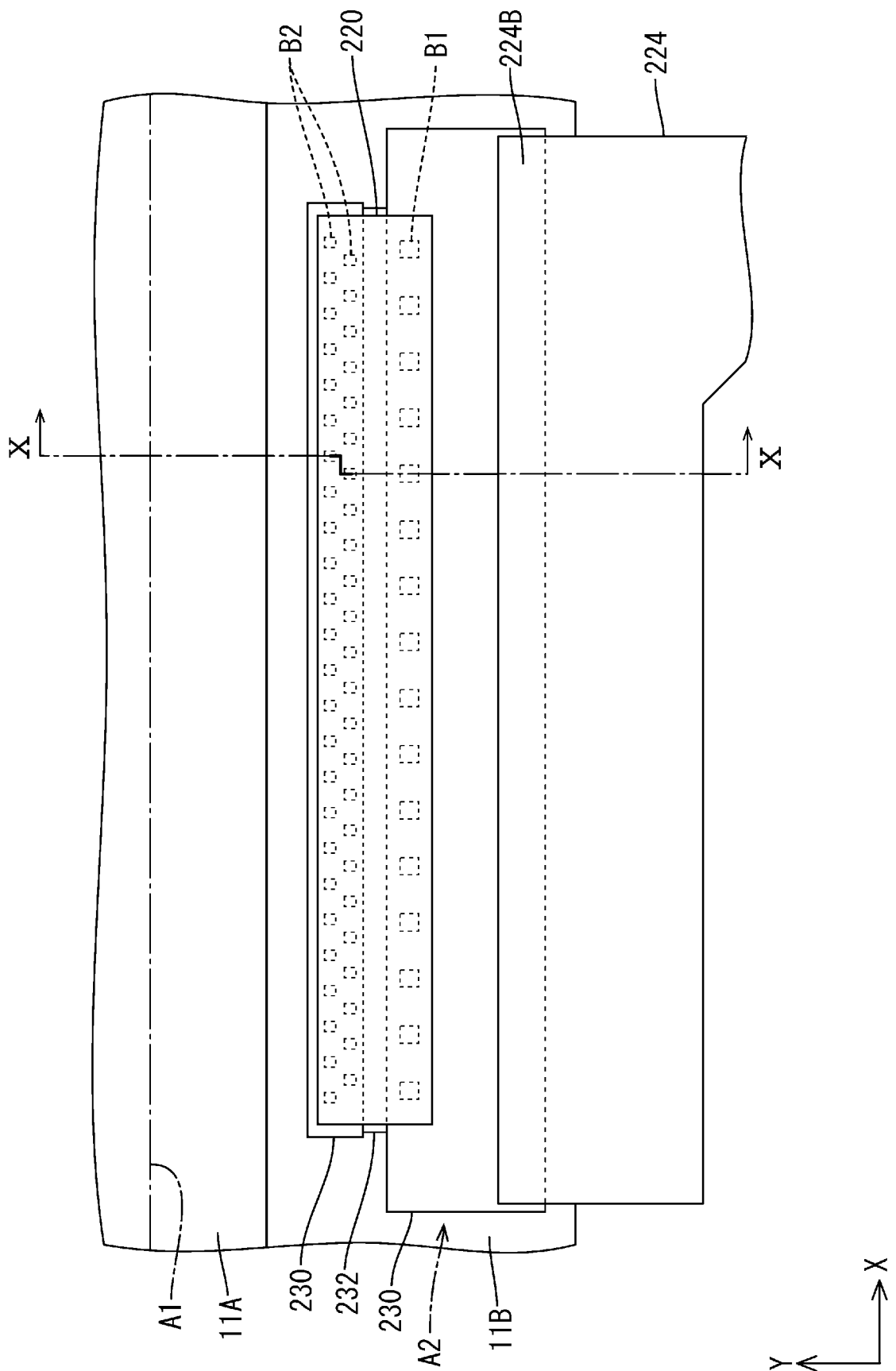
[図7]



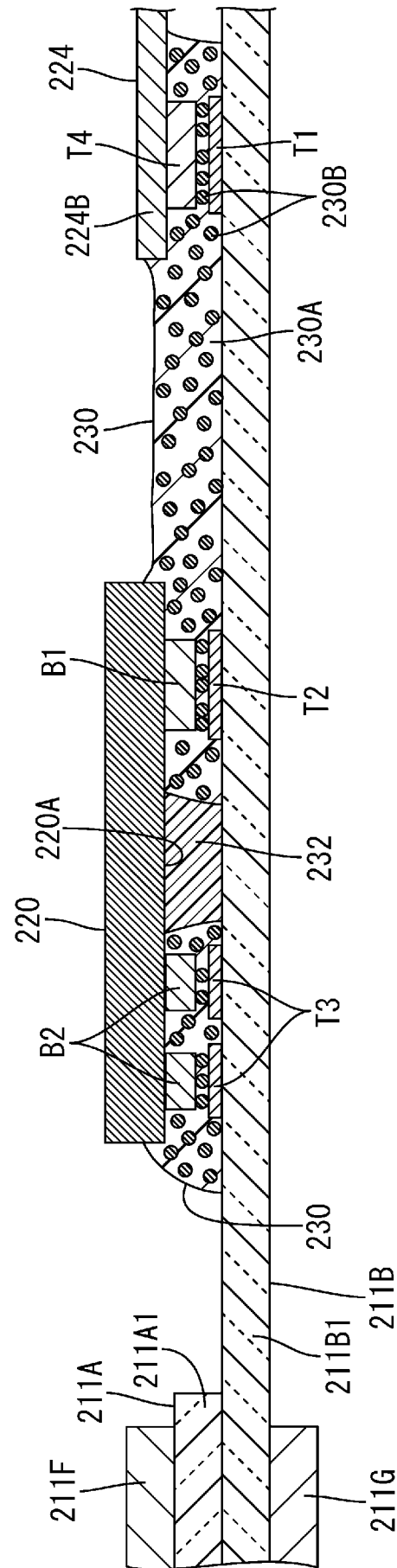
[図8]



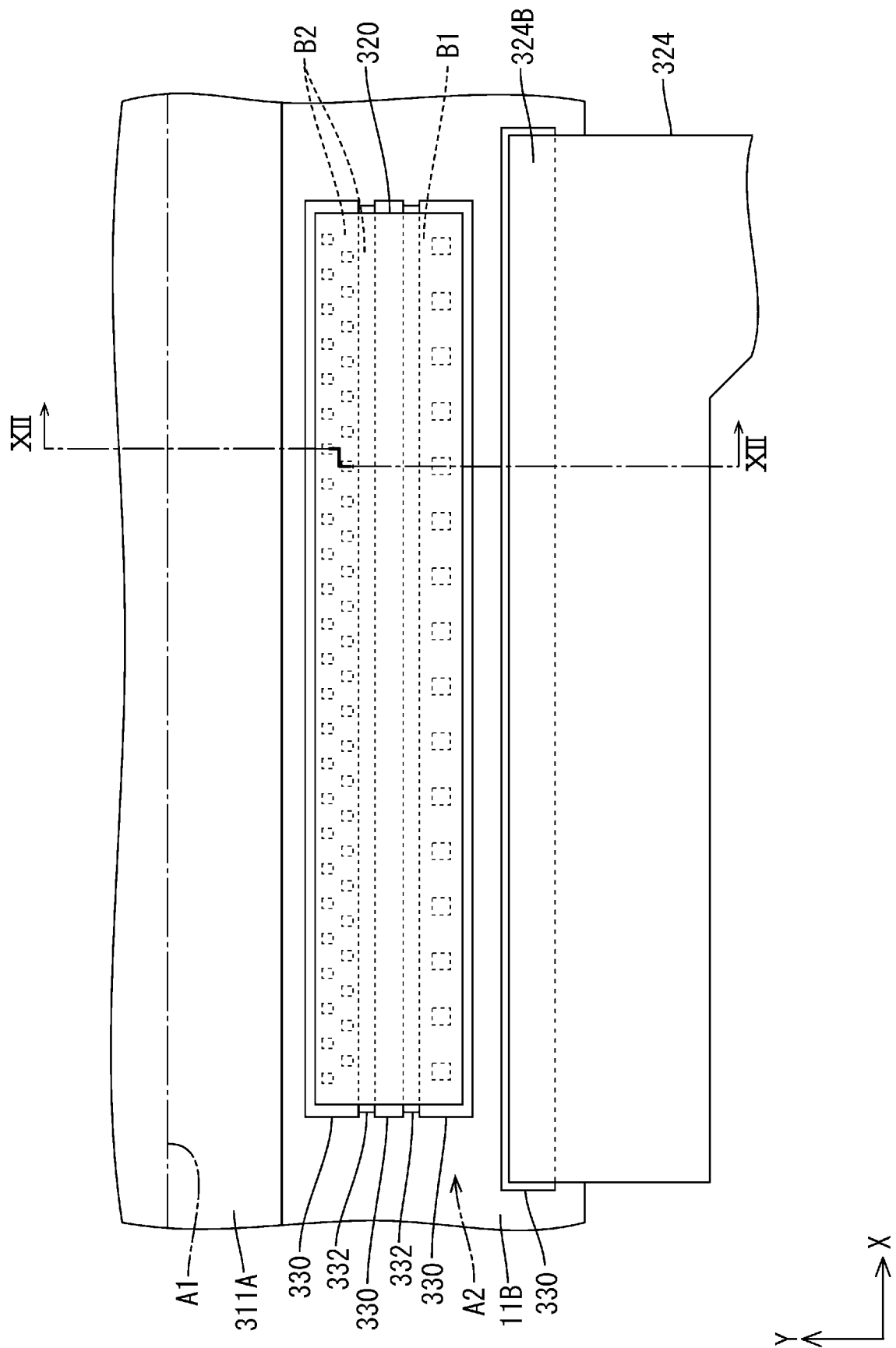
[図9]



[図10]



[図11]



[図12]

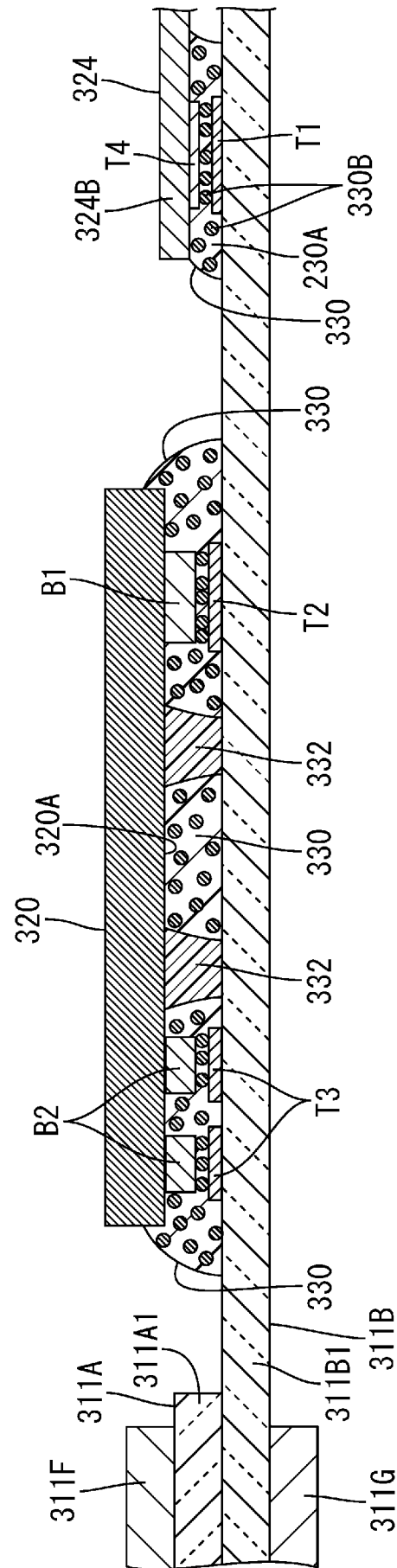
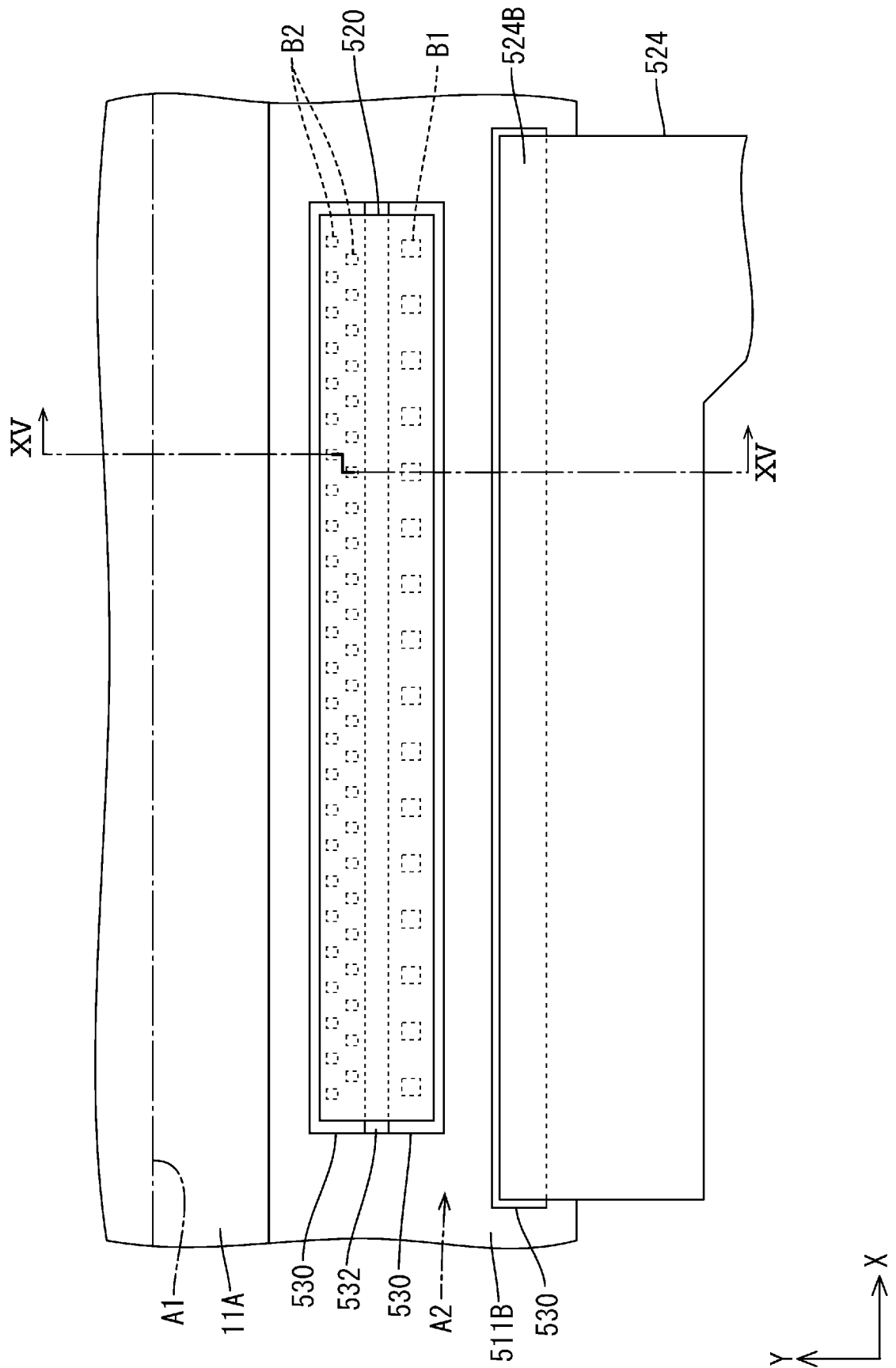
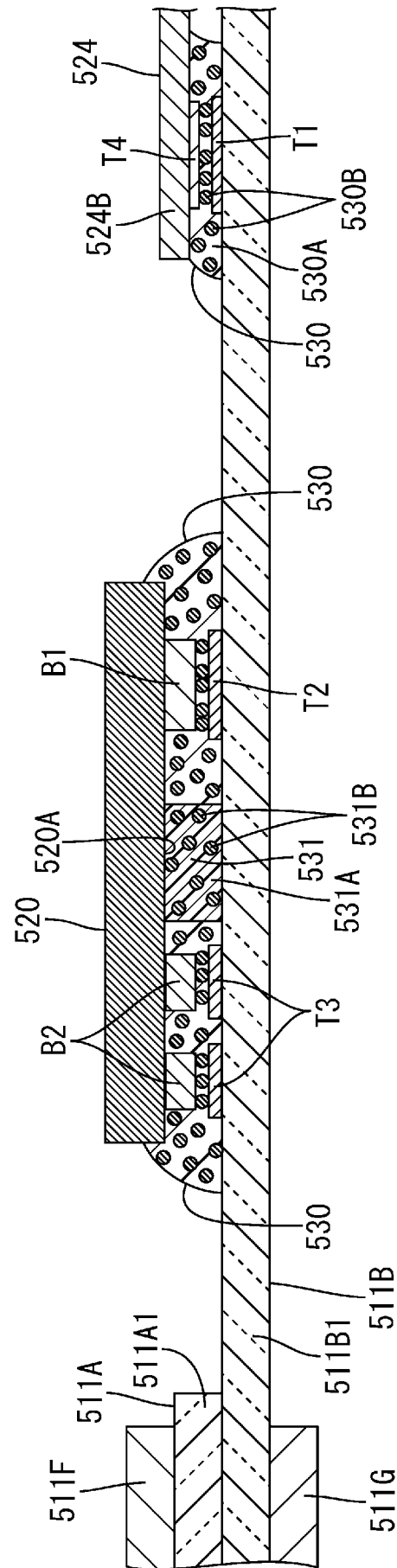


Figure 1 is a perspective view of a device 100. The device 100 has a top surface 424 and a bottom surface 424B. The top surface 424 features a central rectangular area 430. Within this area 430, there are two rows of circular elements 432. The bottom surface 424B also features a central rectangular area 430, which contains two rows of circular elements 432. A dashed line B3 indicates a cross-section through the device 100. A coordinate system with X and Y axes is shown in the bottom right corner.

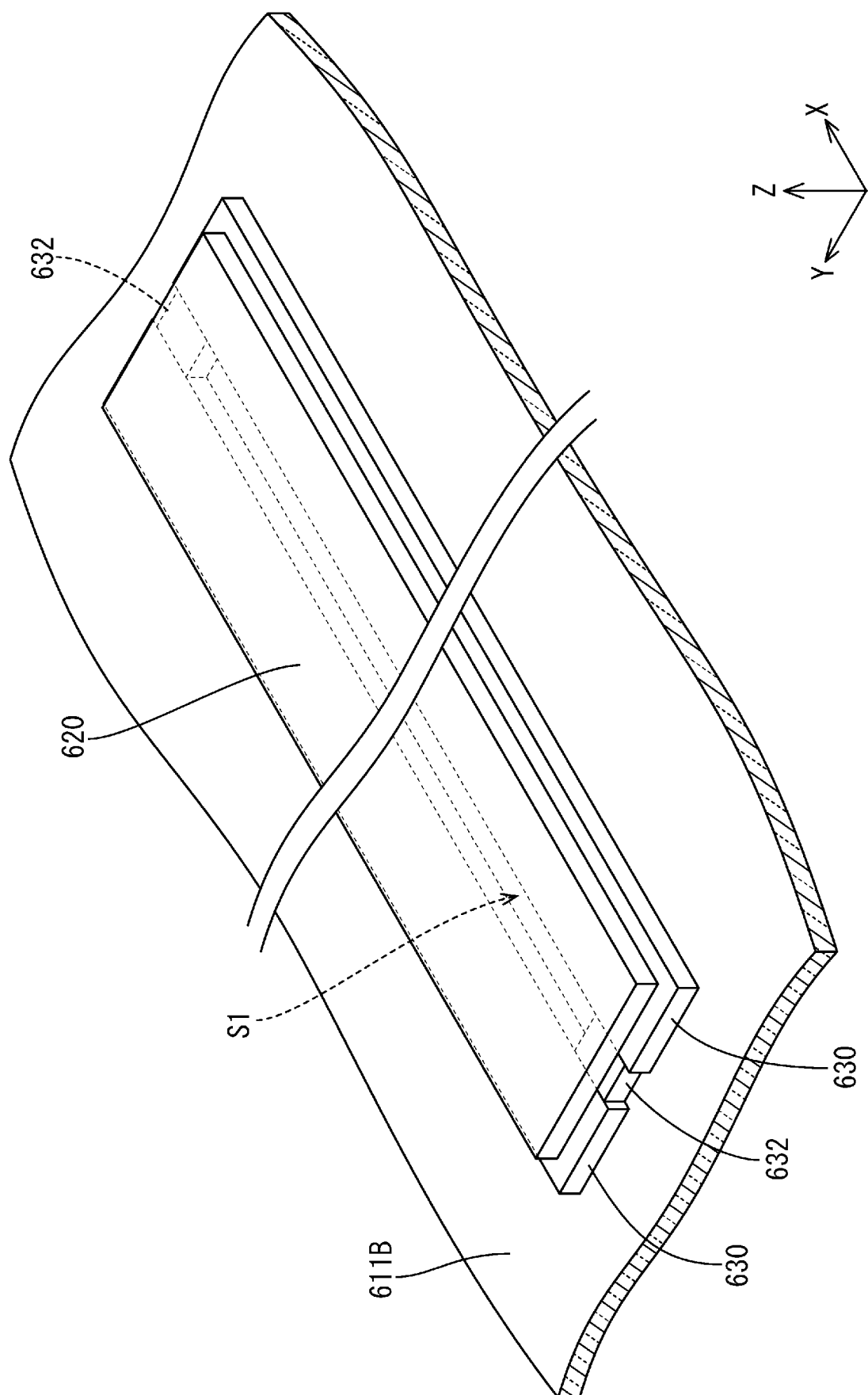
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/067704

A. CLASSIFICATION OF SUBJECT MATTER

H01L23/12(2006.01)i, G02F1/1345(2006.01)i, G09F9/00(2006.01)i, H01L21/60(2006.01)i, H01L23/15(2006.01)i, H05K1/18(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/12, G02F1/1345, G09F9/00, H01L21/60, H01L23/15, H05K1/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-170854 A (Hitachi Cable, Ltd.), 14 June 2002 (14.06.2002), all pages; all drawings (Family: none)	1-9
A	JP 2000-323523 A (Sony Corp.), 24 November 2000 (24.11.2000), all pages; all drawings (Family: none)	1-9
A	JP 2009-192796 A (Seiko Instruments Inc.), 27 August 2009 (27.08.2009), all pages; all drawings (Family: none)	1-9

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
07 August 2015 (07.08.15)

Date of mailing of the international search report
18 August 2015 (18.08.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L23/12(2006.01)i, G02F1/1345(2006.01)i, G09F9/00(2006.01)i, H01L21/60(2006.01)i, H01L23/15(2006.01)i, H05K1/18(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L23/12, G02F1/1345, G09F9/00, H01L21/60, H01L23/15, H05K1/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2002-170854 A（日立電線株式会社）2002.06.14, 全ページ, 全図（ファミリーなし）	1-9
A	JP 2000-323523 A（ソニー株式会社）2000.11.24, 全ページ, 全図（ファミリーなし）	1-9
A	JP 2009-192796 A（セイコーインスツル株式会社）2009.08.27, 全ページ, 全図（ファミリーなし）	1-9

☐ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 7 . 0 8 . 2 0 1 5

国際調査報告の発送日

1 8 . 0 8 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

深沢 正志

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 1

5 D

5 8 9 3