



[12] 发明专利申请公开说明书

[21] 申请号 200510052753.8

[43] 公开日 2005 年 9 月 14 日

[11] 公开号 CN 1667751A

[22] 申请日 2005.3.10

[21] 申请号 200510052753.8

[30] 优先权

[32] 2004.3.10 [33] US [31] 10/798,608

[71] 申请人 奥特拉股份有限公司

地址 美国加利福尼亚州

[72] 发明人 J·特纳

[74] 专利代理机构 上海专利商标事务所有限公司

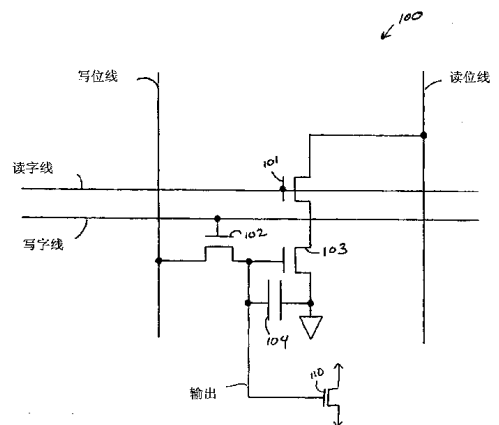
代理人 钱慰民

权利要求书 7 页 说明书 10 页 附图 5 页

[54] 发明名称 动态 RAM 存储方法

[57] 摘要

本发明提供动态 RAM (DRAM) 单元。 可以从 DRAM 单元中读取数据而存储在单元中的电荷不漏出。 在读取循环中, 电流在读位线和供电电压之间通过, 且电荷不直接从 DRAM 存储节点中漏出。 每个 DRAM 单元都包括少量的晶体管。 DRAM 单元可以用于将配置数据存储在可编程集成电路 (IC) 上。 在可编程 IC 上使用选通栅极在芯片上驱动信号。 以全供电电压将存储在 DRAM 单元中的数据直接提供给选通栅极来防止信号劣化。



1. 包括 DRAM 单元阵列的集成电路，其特征在于，每个 DRAM 单元都包括：

第一个晶体管，它的栅极耦连到读字线，而漏极耦连到读位线；
串联在所述第一个晶体管和供电电压之间的第二个晶体管；及
在所述第二个晶体管的栅极和写位线之间耦连的第三个晶体管，所述第三个晶体管的栅极耦连到写字线，
其中所述写字线不与读字线直接相连。

2. 如权利要求 1 所述的集成电路，其特征在于，所述集成电路是场可编程门阵列，且所述第二个晶体管的栅极耦连到场可编程门阵列中的选通栅极。

3. 如权利要求 2 所述的集成电路，其特征在于，所述选通栅极是耦连到场可编程门阵列上的互连线的可编程路由连接器。

4. 如权利要求 2 所述的集成电路，其特征在于，使用所述选通栅极来配置由场可编程门阵列上的逻辑电路执行的逻辑。

5. 如权利要求 1 所述的集成电路，其特征在于，还包括：
和所述第二个晶体管的栅极耦连的电容器。

6. 如权利要求 5 所述的集成电路，其特征在于，所述电容器是平面电容器或沟槽电容器。

7. 如权利要求 5 所述的集成电路，其特征在于，所述电容器是用纳米氧化物制造的准静态 DRAM 电容器。

8. 如权利要求 1 所述的集成电路，其特征在于，还包括：
CMOS 逆变器，它的一个输入耦连到所述第二个晶体管的栅极，
其中所述集成电路是可编程集成电路，且 CMOS 逆变器的输出驱动可编程

地耦连到可编程集成电路上的互连线的选通栅极。

9. 如权利要求 8 所述的集成电路，其特征在于，所述第三个晶体管是 p 通道场效应晶体管，且 CMOS 逆变器的输入不直接连接到 N 型掺杂的半导体区域。

10. 如权利要求 1 所述的集成电路，其特征在于，还包括：
读出放大器，其输入耦连到读位线；
多路复用器，其第一个输入耦连到所述读出放大器的输出；及
耦连在所述多路复用器的输出和写位线之间的驱动器。

11. 如权利要求 10 所述的集成电路，其特征在于，还包括：
数据移位寄存器，它耦连到所述多路复用器的第二个输入；及
错误检测电路，它耦连到所述数据移位寄存器的输出，所述错误检测电路对存储在 DRAM 单元中数据执行错误检测。

12. 包括 DRAM 单元阵列的集成电路，其特征在于，每个 DRAM 单元都包括：
第一个晶体管，它的栅极耦连到读字线，而漏极耦连到读位线；
逆变器，它的输出耦连到所述第一个晶体管的源极；及
第二个晶体管，它耦连在所述逆变器的输入和写位线之间，所述第二个晶体管的栅极耦连到写字线。

13. 如权利要求 12 所述的集成电路，其特征在于，所述集成电路是可编程集成电路，且所述逆变器的输出耦连到选通栅极。

14. 如权利要求 12 所述的集成电路，其特征在于，所述第二个晶体管是 p 通道晶体管，且所述逆变器的输入不直接连接到 N 型掺杂的半导体区域。

15. 如权利要求 12 所述的集成电路，其特征在于，还包括耦连到所述逆变器的输入的电容器。

16. 如权利要求 15 所述的集成电路，其特征在于，所述电容器为平面电容器或沟槽电容器。

17. 如权利要求 15 所述的集成电路，其特征在于，所述电容器是用纳米晶体氧化物制造的准静态 DRAM 电容器。

18. 如权利要求 12 所述的集成电路，其特征在于，还包括：
读出放大器，它的输入耦连到读位线；及
多路复用器，它耦连在所述读出放大器的输出和写位线之间。

19. 将数据存储 DRAM 单元中并从中存取数据的方法，其特征在于，所述方法包括：

将第一个电压加在写字线上来打开第一个晶体管；

将第二个电压加在耦连到所述第一个晶体管的漏极的写位线上，以在第二个晶体管的栅极处存储电荷；

将第三个电压加在写字线上来关闭所述第一个晶体管；

将第四个电压加在读字线上来打开第三个晶体管，所述第二个晶体管和第三个晶体管串联；及

在耦连到所述第三个晶体管的漏极的读位线上读出第五个电压，如果存储在所述第二个晶体管的栅极处的电荷处于第一个逻辑状态，则所述第二个和第三个晶体管在读位线和供电电压之间传导电流，

其中所述写字线不直接连接到所述读字线。

20. 如权利要求 19 所述的方法，其特征在于，所述电容器耦连到所述第二个晶体管的栅极来存储电荷。

21. 如权利要求 20 所述的方法，其特征在于，所述第五个选通栅极晶体管的栅极耦连到所述电容器和所述第二个晶体管的栅极，所述选通栅极连接两个可编程路由线路的片段。

22. 如权利要求 19 所述的方法，其特征在于，所述逆变器的输入耦合到所述第二个晶体管的栅极。

23. 如权利要求 22 所述的方法，其特征在于，所述第一个晶体管为 p 通道晶体管。

24. 如权利要求 19 所述的方法，其特征在于，所述在读位线上读出第五个电压还包括：

使用读出放大器放大所述第五个电压；及

将读出放大器的输出信号传送到写位线来刷新存储在所述第二个晶体管的栅极处的电荷。

25. 如权利要求 19 所述的方法，其特征在于，还包括：
检测存储在 DRAM 单元中的数据中的错误。

26. 将数据存储存储在 DRAM 单元中并从中存取数据的方法，其特征在于，所述方法包括：

将第一个电压加在写字线上来打开第一个晶体管；

将第二个电压加在耦合到所述第一个晶体管的漏极的写位线上，以在逆变器的输入处存储电荷；

将第三个电压加在写字线上来关闭所述第一个晶体管；

将第四个电压加在读字线上来打开第二个晶体管，所述第二个晶体管耦合到所述逆变器的输出；及

在耦合到所述第二个晶体管的漏极的读位线上读出第五个电压，如果存储在所述逆变器的输入处的电荷处于第一个逻辑状态，则所述第二个晶体管在读位线和逆变器的输出之间传导电流。

27. 如权利要求 26 所述的方法，其特征在于，所述第一个晶体管是 p 通道晶体管，所述第二个晶体管是 n 通道晶体管。

28. 如权利要求 26 所述的方法，其特征在于，还包括：

耦连所述逆变器的输出到选通栅极，

其中所述 DRAM 单元是 DRAM 单元存储器阵列的一部分，且所述存储器阵列和所述选通栅极是可编程集成电路的一部分。

29. 如权利要求 26 所述的方法，其特征在于，所述在读位线上读出第五个电压还包括：

使用读出放大器放大所述第五个电压；

使用多路复用器来选择所述读出放大器的输出信号；及

将所述多路复用器的输出信号传送到写位线来刷新存储在所述逆变器的输入处的电荷。

30. 如权利要求 29 所述的方法，其特征在于，还包括：

检测存储在 DRAM 单元中的数据中的错误。

31. 校验存储在一行 DRAM 单元中的数据的方法，其特征在于，所述方法包括：

将第一个电压加在读字线上，以在该行 DRAM 单元中打开第一组晶体管；

使用读出放大器在耦连到所述第一组晶体管的漏极的读位线上读出第二组电压，对所述第一组晶体管中的每一个来说，如果存储在 DRAM 单元中的电荷处于第一个逻辑状态，则它在读位线和供电电压之间传导电流；

在移位寄存器中接收所述读出放大器的输出信号；

通过所述移位寄存器将所述输出信号移至错误检测电路；及

使用错误检测电路检测数据中的错误。

32. 如权利要求 31 所述的方法，其特征在于，所述每个 DRAM 单元还包括：

第二个晶体管，串联在第一个晶体管和所述供电电压之间；及

第三个晶体管，耦连在所述第二个晶体管的栅极和写位线之间，所述第三个晶体管的栅极耦连到写字线。

33. 如权利要求 31 所述的方法，其特征在于，所述每个 DRAM 单元还包括：

逆变器，它的输出耦连到所述第一个晶体管的源极；及

第二个晶体管，耦连在所述逆变器的输入和写位线之间，第二个晶体管的栅极耦连到写字线。

34. 刷新和校验存储在 DRAM 单元阵列中的数据的方法，其特征在于，所述方法包括：

将第一个电压加在读字线上来打开一行 DRAM 单元中的第一组晶体管；

使用读出放大器放大耦连到所述第一组晶体管的漏极的读位线上的第二组电压，对所述第一组晶体管中的每一个来说，如果存储在 DRAM 单元中的电荷处于第一个逻辑状态，则它在读位线和供电电压之间传导电流；

将第三个电压加在写字线上来打开第二组晶体管，其中的每个晶体管都耦连到存储表示一位数据的电荷的节点；

将读出放大器的输出信号传送到写位线来刷新所述存储在节点中的电荷；

及

使用所述读出放大器的输出信号，检测存储在该行 DRAM 单元中的数据中的错误，

其中对存储在节点中的电荷同时执行所述错误检测和刷新。

35. 如权利要求 34 所述的方法，其特征在于，所述每个 DRAM 单元还包括：

第三个晶体管，串联在第一个晶体管和供电电压之间，

其中所述第二组晶体管中的每一个耦连在第三个晶体管的栅极和一根写位线之间。

36. 如权利要求 34 所述的方法，其特征在于，所述每个 DRAM 单元还包括：

逆变器，它的输出耦连到所述第一个晶体管的源极；

其中所述第二组晶体管中的一个耦连在逆变器的输入和写位线之间。

37. 刷新存储在集成电路中的 DRAM 单元阵列中的数据的方法，其特征在于，所述方法包括：

将电压加在写字线上来打开一行 DRAM 单元内的每个 DRAM 单元中的写晶体管；

将刷新数据信号从集成电路外部的源移至数据移位寄存器中；

使用多路复用器选择存储在数据移位寄存器中的所述刷新数据信号；及将所述刷新数据信号传送到写位线来刷新存储在该行 DRAM 单元中的电荷信号，其中每个写晶体管都耦连到一根写位线。

动态 RAM 存储方法

技术领域

发明涉及 DRAM 单元，更特别地，涉及将数据存储 DRAM 单元中和存取其中的数据的方法。

背景技术

动态随机存取存储器（DRAM）单元的阵列是作为静态随机存取存储器（SRAM）存储技术的替代品提供的。DRAM 存储给定数据字节量所需的晶体管数量比 SRAM 设备少得多。

可以使用标准的 CMOS 技术或其他众所周知的处理技术来制造 DRAM 单元。一种类型的 DRAM 单元包括较小的存储电容器，它与一个存取晶体管连接。这样的 DRAM 单元比典型的 SRAM 单元小得多。

DRAM 单元在存储电容器上动态地存储数据。因为电荷会从电容器中漏出，所以必须定期刷新单元。典型的 DRAM 刷新循环包括寻址单元、读出其内容（即，逻辑高或逻辑低），及将该信息写回单元的步骤。为了刷新 DRAM 单元，读出电路在写回数据之前执行读取操作。读出电路通常包括读出放大器。

当从单晶体管 DRAM 单元中读取数据时，从存储电容器中直接汲取电荷。例如，存储的高电压将降到高的供电电压之下。因为读取操作会干扰存储在单元电容器的电荷的量，必须同步存储器阵列的操作来避免在刷新循环期间读取单元中的数据。这需要更多的电路，并会限制电路的操作速度。

已在很多集成电路应用中使用了 DRAM 技术。例如，可以使用 DRAM 单元而不是 SRAM 单元来作为可编程逻辑设备（PLD）的可编程元件。

PLD 通常要求存储器单元以全供电电压值存储电荷。当存储在存储器中的电荷在读取循环期间劣化时，PLD 的操作会受到负面影响。

因此，希望能够提供输出全供电电压值的 DRAM 单元。也希望能够提供在读取循环期间电荷不从存储节点流走，因此存储的可以将电荷保持在供电电压的 DRAM 单元。

发明内容

本发明提供动态 RAM (DRAM) 单元, 它包括 DRAM 存储和读取方法。可以从本发明的 DRAM 单元中读取数据而所存储的表示该数据的电荷不漏出。在读取循环期间, 电流在存储的电荷与供电电压之间通过, 且电荷不直接从 DRAM 存储节点漏出。本发明的 DRAM 单元也包括少量的晶体管 (如, 3—5 个晶体管)。

根据某些实施例, 可以在可编程的集成电路 (IC) 上的存储器阵列中使用本发明的 DRAM 单元来存储配置数据。在可编程的 IC 上, 选通栅极将可编程互连线的不同片段连接在一起。选通栅极可以使多路复用器分流各种逻辑功能。以全供电电压值直接向选通栅极提供存储在 DRAM 单元中的数据来防止信号劣化。

根据其他实施例, 本发明的 DRAM 单元对软错误较不敏感。使用 p 通道读存取晶体管来存取存储在 DRAM 单元中的数据。p 通道晶体管从存储节点中消除所有 N 型连接, 这可以降低可能导致软错误的电离例子, 如 alpha 粒子和宇宙射线。

本发明的其他目标、特性和优点将通过下面的详细说明和附图阐明, 在附图中, 类似的引用编号在所有附图中均表示类似的特性。

附图说明

图 1 展示本发明的一个实施例的具有电容器的三晶体管 DRAM 单元;

图 2 展示本发明的另一个实施例的四晶体管缓冲 DRAM 单元;

图 3 展示本发明的另一个实施例的五晶体管缓冲 DRAM 单元;

图 4 展示本发明的一个实施例的 DRAM 存储器单元的阵列与相关的刷新电路的框图;

图 5 是可以实现本发明的实施例的可编程逻辑设备的简化框图; 及

图 6 是可以实现本发明的实施例的电子系统的框图。

具体实施方式

图 1 展示本发明的一个实施例的三晶体管 DRAM 单元 100。DRAM 单元 100 包括 n-通道场效应晶体管 101、102 和 103。DRAM 单元 100 也包括电容器 104。下面描述 DRAM 单元 100 的操作。

通过将写字线 (WL) 升高到高供电电压 (V_{CC}) 打开晶体管 102, 可以把数据位存储在 DRAM 单元 100 中。当晶体管 102 为开时, 晶体管 103 的栅极连接到写位线。通过将所选的电压加到写数据线现在可以在晶体管 103 的栅极处把数据存储到电容器 104 上。例如, 可以驱动写位线为逻辑高或逻辑低, 以在电容器 104 上存储逻辑信号。

一旦已将数据位存储在 DRAM 单元 100 中, 写字线上的电压降低为接地来关闭晶体管 102。当晶体管 102 关闭时, 电容器 104 上存储的电压开始衰减。为了将电容器 104 上电压保持在供电电压或使其接近供电电压, 需要定期刷新 DRAM 单元 100。

通过将读字线 (WL) 的电压升高到高供电电压打开晶体管 101, 可以从 DRAM 单元 100 中读取数据位。当晶体管 101 为开时, 电流可以通过读位线和晶体管 103 之间的晶体管 101。如果在电容器 104 上存储了逻辑高电压, 则打开晶体管 103。

通过读出电路设置读位线上的偏压。当晶体管 101 打开时, 电流从读位线通过晶体管 101 和 103 流到低功率电源 (地)。读位线上的电压下降。读出放大器读出读位线上的电压下降并调整其输出信号。相应地解释读出放大器的输出信号。

如果在电容器 104 上存储了逻辑低电压, 则晶体管 103 关闭。当读字线打开晶体管 101 时, 电流通过晶体管 101 和 103 流到零电位。读出放大器不读出读位线上的电压变化, 且相应地解释读出放大器稳定的输出信号。

可以重复读取存储在 DRAM 单元 100 中的数据位而在读处理期间电荷不从电容器 104 中漏出。因为电荷存储在晶体管 103 的栅极, 所以在读取循环期间没有电荷从电容器 104 流到读位线。另外, 晶体管 102 在每个读取循环期间保持关闭, 因为两根单独的字线向晶体管 101 和 102 的栅极提供偏压。结果, 相对于在每个读取循环期间为了读取存储的数据都会从 DRAM 电容器中漏出电荷的很多现有技术的 DRAM 来说, 本发明能够提供优点。

刷新循环通常在每个读取循环之后执行。可以使用读位线、读出放大器和写位线来执行刷新。在读位线上从 DRAM 单元中读取数据, 并由读出放大器加以放大。通过写位线反过来对 DRAM 单元应用读出放大器的输出信号。

根据一个实施例, 电容器 104 可以是使用被用于构成电容器电介质的纳米晶体氧化物制造的准静态 DRAM 电容器。与标准的电容器相比, 此类电容器

存储电荷的时间更长，这允许 DRAM 单元 100 以很低的刷新频率工作。电容器 104 也可以是简单的栅极氧化物电容器、平面电容器，或沟槽电容器。

可编程集成电路（IC）是 DRAM 单元 100 的应用的一个例子。可编程集成电路包括可编程逻辑设备（PLD）、场可编程门阵列（FPGA）、可编程逻辑阵列、可配置逻辑阵列等等。可编程的集成电路可以包括按行列排列的 DRAM 单元 100 的阵列。配置数据可以存储在 DRAM 单元阵列中。可以使用配置数据对可编程集成电路上的可编程逻辑块和可编程路由资源进行编程。

选通栅极控制可编程 IC 中的可编程互连和逻辑功能。例如，选通栅极可以耦连可编程 IC 上的两个不同的可编程互连线路片段。作为另一个例子，几个选通栅极可以选择或取消选择用于确定逻辑功能的电路（如，寄存器或查找表）。

当使用 DRAM 单元 100 在可编程 IC 中存储配置数据时，存储在电容器 104 中电压通过图 1 中的输出终端直接驱动一个或多个选通栅极 110。因为电容器 104 上的电压直接驱动选通栅极 110，所以将选通栅极 110 的栅极电压驱动为高或低供电电压（或接近它）。

在很多可编程的 IC 中，很重要的一点是驱动选通栅极的栅极为全供电电压值（特别是供电电压较低时）来最小化选通栅极的接通电阻。具有较大接通电阻的选通栅极趋向于劣化在连接线上发送的信号。

在可编程 IC 中使用 DRAM 单元 100 时，通过上述的输出终端从单元中读出数据位，并如上所述将其发送到一个或多个选通栅极。可以使用读字和读位线来校验存储在 DRAM 单元中的数据位，以确定单元是否正常工作。也可以使用读字和读位线来刷新电容器 104 上的电荷。

图 2 展示本发明的 DRAM 单元 200 的另一个实施例。DRAM 单元 200 包括四个晶体管，其中包括 n 通道晶体管 201 和 p 通道晶体管 202。DRAM 单元 200 也在 CMOS 逆变器 203 中包括了 n 通道晶体管和 p 通道晶体管。下面说明 DRAM 单元 200 的操作。

通过把写字线（WL）降低到低供电电压（地或更低）来打开 p 通道晶体管 202，可以将数据位存储在 DRAM 单元 200 中。当晶体管 202 打开时，逆变器 203 的输入耦连到写位线。现在可以通过把选择的电压加到写位线将数据存储在逆变器 203 中。

例如，可以将写位线升高到逻辑高电压，以在逆变器 203 的输出存储逻

辑低电压。可以将写位线升高到逻辑低电压，以在逆变器 203 的输出存储逻辑高电压。当写循环完成时，将写字线上的电压升高到高供电电压来关闭晶体管 202。取决于在其输入处的逻辑状态，CMOS 逆变器 203 将输出终端耦合到高或低供电电压。

也可以使用 DRAM 单元 200 在可编程 IC 中存储配置数据。在可编程 IC 应用中，如上所述，输出终端耦合到选通栅极 110。因为，逆变器 203 驱动输出处的电压为高或低的供电电压，所以耦合到输出的选通栅极或者完全打开或者完全关闭，以防止信号劣化。

一旦关闭了晶体管 202，则切断逆变器 203 的输入节点与供电电压的连接，且电荷开始衰减。因此，需要重复的刷新循环来保持存储在逆变器 203 的输入处的电压。逆变器 203 的两个电容器中的输入电容器在刷新循环之间的较短时间存储电荷。可以将附加的电容器增加到逆变器 203 的输入，如电容器 104。

通过升高读字线 (WL) 上的电压到高供电电压来打开晶体管 201，可以从 DRAM 单元 200 中读取数据位。当读字线上的电压较高时，电流通过晶体管 201，这影响读位线上的偏压。可以将读位线上的偏压预充电为中间电压，以将受读取操作干扰的电荷共享限制在输出节点上。

耦合到读位线的读出电路读出读位线上的偏压中的变化来确定存储在输出节点上的电压是高还是低。如果在可编程 IC 中使用 DRAM 单元 200，则可以使用读位和读字线来进行数据校验，可操作性校验，和刷新循环。

可以通过输出终端或通过读位线从 DRAM 单元 200 中读取数据位，而不干扰存储在逆变器 203 的输出处的电荷。CMOS 逆变器 203 将存储在其输入终端处的电荷与在其输出终端处的电压隔离。

DRAM 单元 200 的另一个优点是，它不需要单元 100 中的附加电容器。然而，可以将附加的电容器加到逆变器 203 的输入。同样，单元 200 需要 4 个晶体管，其中的两个是大面积 p 通道晶体管。单元 200 的附加优点是通过高和低供电电压直接驱动输出节点处的电压。

图 3 展示本发明的 DRAM 单元 300 的另一个实施例。DRAM 单元 300 包括五个晶体管，其中包括 n 通道晶体管 301-302 和 p 通道晶体管 303。DRAM 单元 300 也在 CMOS 逆变器 304 中包括了 n 通道晶体管和 p 通道晶体管。下面说明 DRAM 单元 300 的操作。

通过将写字线降低到低供电电压 (地或更低) 来打开 p 通道晶体管 303，

可以把数据位存储在 DRAM 单元 300 中。当晶体管 303 打开时，逆变器 304 的输入和晶体管 302 的栅极耦连到写位线。通过将选择的电压加到写位线，可以把数据位存储在逆变器 304 中。

例如，可以将写位线升高到逻辑高电压，以在逆变器 304 的输出处存储逻辑低电压。可以将写位线驱动为低电压，以在逆变器 304 的输出处存储逻辑高电压。取决于在其输入处的逻辑状态，逆变器 304 将输出终端耦连到高或低供电电压。

在写入循环结束时，将写字线上的电压升高到逻辑高电压来关闭晶体管 303。当晶体管 303 关闭时，存储在晶体管 302 的栅极处的电压开始衰减。为了将晶体管 302 的栅极处的电压保持在供电电压或接近供电电压，需要定期刷新 DRAM 单元 300。

通过将读字线 (WL) 上的电压升高到高供电电压来打开晶体管 301，可以从 DRAM 单元 300 中读取数据位。当晶体管 302 打开时，电流可以流过读位线和晶体管 302 之间的晶体管 301。如果在晶体管 302 的栅极处存储了逻辑高电压，则晶体管 302 为开。因此，当读字线打开晶体管 301 时，电流可以通过晶体管 301 和 302 在读位线和地之间流动。读出放大器读出读位线上的电压的改变并调整其输出。相应地解释读出放大器的输出信号中的改变。

如果在晶体管 302 的栅极处存储了逻辑低电压，则晶体管 302 为关闭。因此，当读字线打开晶体管 301 时，电流不通过晶体管 301 和 302 流到零电位。读出放大器不读出读位线中的电压改变，且相应地解释读出放大器的稳定的输出信号。

对上面的实施例来说，可以重复读取存储在 DRAM 单元 300 中的数据位，而电荷在读处理期间不从晶体管 302 的栅极中漏出。在读取循环期间，没有电荷从晶体管 302 的栅极的流到读位线。同样，在 DRAM 单元 300 中的读取循环期间，在输出节点不会发生读取干扰电荷共享。

DRAM 单元 300 不需要附加的电容器。然而，如果需要的话，可以把附加的电容器加到 DRAM 单元 300 中的逆变器 304 的输入。

DRAM 单元 300 也可以用于在可编程 IC 中存储配置数据。可编程 IC 内的存储器块可以包括 DRAM 单元 100、200 或 300 的阵列。在可编程 IC 中，通过逆变器 304 将存储在 DRAM 单元 300 中的数据位传送到选通栅极。逆变器 304 使选通栅极的栅极为全供电电压值，而不会在输出节点发生读取干扰电荷

共享。

相对于很多现有技术的 SRAM 存储器单元，DRAM 单元 200 和 300 具有改进的对软错误的抗扰性。例如当 alpha 粒子或宇宙射线影响 DRAM 单元时，会有软错误发生。这样的影响导致存储在 DRAM 单元中的电荷发生改变，例如，从逻辑高改变为逻辑低。

在 DRAM 单元 200 中，写存取 p 通道晶体管 202 消除了来自逆变器 203 的输入处的存储节点的所有 N 型连接。单元 200 的此种特性可以提供改进的软错误抗扰性。在单元 300 中，写存取 p 通道晶体管 303 消除了来自逆变器 304 的输入处的存储节点的所有 N 型连接来提供改进的软错误抗扰性。p 通道晶体管通常在 N 阱扩散区域中构成，这样的区域提供对 alpha 粒子或宇宙射线冲击带来的基片电流的某种程度的隔离。

在单元 100 中，可以通过选择适当的电容器 104 的值来减少软错误。例如，沟槽电容器可以在小的单元中实现大的电容。

DRAM 单元 200 提供和 DRAM 单元 300 相同的很多优点，它使用 4 个晶体管而不 5 个，这样可以提供面积更小的存储器阵列。DRAM 单元 200 中没有晶体管和耦连到数据存储节点的晶体管 302 对应。因为没有这样的晶体管，单元 200 在存储节点上的电容比单元 300 小。

图 4 展示本发明的一个实施例的 DRAM 单元的阵列 400 及相关电路。阵列 400 包括 DRAM 单元构成的几个行和列。阵列 400 的 DRAM 单元可以是如图 1、图 2 或图 3 那样设计的单元。

DRAM 单元 400 包括位线数据移位寄存器 401 和行地址控制块 408。通常将数据从外部源移至寄存器 401 中。通过时钟信号 CLK 控制寄存器 401。寄存器 401 耦连到多路复用器 404 的第一个输入。通过选择信号（未示出）控制多路复用器 404。驱动器 406 将来自多路复用器 404 输出的信号传送到写位线。

读出放大器 403 放大读位线上的信号。在锁存器中存储读出放大器 403 输出信号。锁存器在读位线和 DRAM 单元中存储的信号去耦之后保存放器 403 的输出信号。通过时钟信号 CLK 控制锁存器。

行地址控制块 408 接收地址和控制信号。块 408 解码地址信号。使用地址信号来选择使用读和写字线的 DRAM 存储器单元的行。控制信号控制块 408 的操作。

在写入循环期间，行地址控制块 408 通过加电压到写字线来选择一行存

存储器单元。选择信号使得多路复用器 404 耦连寄存器 401 和驱动器 406。将数据位从寄存器 401 传输至写位线，并将其存储在相应的 DRAM 存储器单元中。DRAM 存储器单元的输出终端按如上所述方式直接驱动选通栅极。

在刷新循环期间，行地址控制块 408 驱动一根读字线来设置选择的一行 DRAM 单元为读取模式。将选择的存储器单元行中存储的数据位通过读位线传输到读出放大器 403。读出放大器 403 放大读位线上的信号。将放大器 403 的输出信号存储在锁存器中。锁存器输出耦连到多路复用器 404 的第二个输入。

然后行地址控制块 408 驱动写字线来设置选择的一行 DRAM 单元为写入模式。选择信号使得多路复用器 404 通过驱动器 406 将读出放大器 403 的输出信号传送到写位线上。通过传送到写位线的信号来刷新存储器单元的存储节点。然后行地址控制块 408 选择下一行存储器单元来刷新它们存储的电荷。处理继续进行，直到已刷新了存储在存储器单元中的所有电荷信号。

根据另一个实施例，可以使用从外部源接收的数据来执行刷新循环。通过外部数据输入从外部源向寄存器 401 提供刷新数据。多路复用器 404 通过驱动器 406 将外部数据信号传送到写位线。通过传送到写位线上的信号来刷新存储在 DRAM 存储器单元中的电荷。

根据另一个实施例，阵列 400 可以校验存储在 DRAM 存储器单元中的数据信号的完整性。阵列 400 包括检测错误并执行数据校验的错误检测电路 411。例如，错误检测电路 411 可以执行循环冗余校验（CRC）功能。CRC 对熟悉技术的人来说是众所周知的数据错误检测处理。电路 411 也可以使用众所周知的错误纠正技术来纠正数据错误。

当刷新每行存储器单元中的数据时，如图 4 所示，将读出放大器 403 的输出信号传送到寄存器 401 和校验线连接。然后将放大器 403 的输出信号转移到错误检测电路 411，它识别任何数据位错误。数据校验和错误检测处理可以和上述的任何一个刷新处理同时执行。

图 5 展示可以使用本发明的方法的一种可编程 IC 架构的例子。PLD 600 包括可编程逻辑阵列块（或 LAB）602 的二维阵列，它通过各种长度和速度的行列互连的网络互连。LAB 602 包括多个（如，10 个）逻辑元件（或 LE）。

PLD 600 也包括分布式存储器结构，这包括在整个阵列中提供的各种大小的 RAM 块。例如，RAM 块包括 512 位块 604、4K 块 606 和提供 512K 位 RAM 的 MegaRAM 块 608。存储器块 604、606 和 608 中的任何一个都可以包

括本发明的 DRAM 存储器单元，如在图 1—3 中所示的那些存储器单元。

这些存储器块也可以包括移位寄存器和 FIFO 缓冲。PLD 600 进一步包括数字信号处理 (DSP) 块 610，例如，可以用它来实现具有加法或减法特性的乘法器。在此例中，位于设备外围的 I/O 元件 (IOE) 612 支持很多单端和不同的 I/O 标准。应理解，在此描述的 PLD 600 仅用于展示，且可以在很多不同类型的 PLD、FPGA 等等设备中实现本发明。

图 5 所示类型的 PLD 提供很多实现系统级别解决方案所需的资源，本发明也可以有益于其中 PLD 是几个组件之一的系统。图 6 展示典型数字系统 700 的框图，在其中可以实现本发明。系统 700 可以是经编程的数字计算机系统、数字信号处理系统、专门的数字交换网络，或其他处理系统。再者，这样的系统可以设计用于广泛的应用，如电信系统、汽车系统、控制系统、消费者电子产品、个人计算机、因特网通讯和联网等等。进一步来说，可以在单块主板上、在多块板上，或在多个外壳内提供系统 700。

系统 700 包括通过一根或多根总线互连的处理单元 702、存储器单元 704 及 I/O 单元 706。根据本示范实施例，在处理单元 702 中嵌入可编程的逻辑设备 (PLD) 708。在图 6 的系统内，PLD 708 可以服务于很多不同的目的。例如，PLD 708 可以是处理单元 702 的逻辑构件，用于支持其内部和外部操作。可以对 PLD 708 编程来实现在系统操作中执行其特殊角色所需的逻辑功能。PLD 708 可以通过连接 710 专门耦连到存储器 704 并通过连接 712 耦连到 I/O 单元 706。

处理单元 702 可以将数据传送到适当的系统组件，以用于处理或存储、执行存储在存储器 704 中的程序，或通过 I/O 单元接收和发送数据，或执行类似功能。处理单元 702 可以是中央处理单元 (CPU)、微处理器、浮点协处理器、图形协处理器、硬件控制器、微控制器、编程用作控制器的可编程逻辑设备、网络控制器等等。进一步来说，在很多实施例中，通常不需要 CPU。

例如，可以用一个或多个 PLD 708，而不是 CPU，来控制逻辑操作。在一个实施例中，PLD 708 充当可重配置的处理器，可以根据处理特定计算任务的需要对它重新编程。另外，可编程逻辑设备 708 自身可以包括嵌入的微处理器。存储器单元 704 可以是随机存取存储器 (RAM)、只读存储器 (ROM)、固定或移动的磁盘媒体、PC 卡闪存存储器、磁带，或任何其他存储装置，或这些存储装置的任何组合。

虽然已参考其特定实施例在此对本发明进行了说明，可以对本发明进行一定范围内的修改、各种改变和替换。在某些情况下，可以使用本发明的某些特性，而不对应地使用其他特性，而不偏离本发明如所述的范围。因此，可以做出很多修改来适应特殊的配置或所揭示的方法，而不偏离本发明的核心范围及精神。应理解，本发明不限于在此揭示的特定实施例，相反本发明将包括落在权利要求范围之内内的所有实施例及等价技术方案之中。

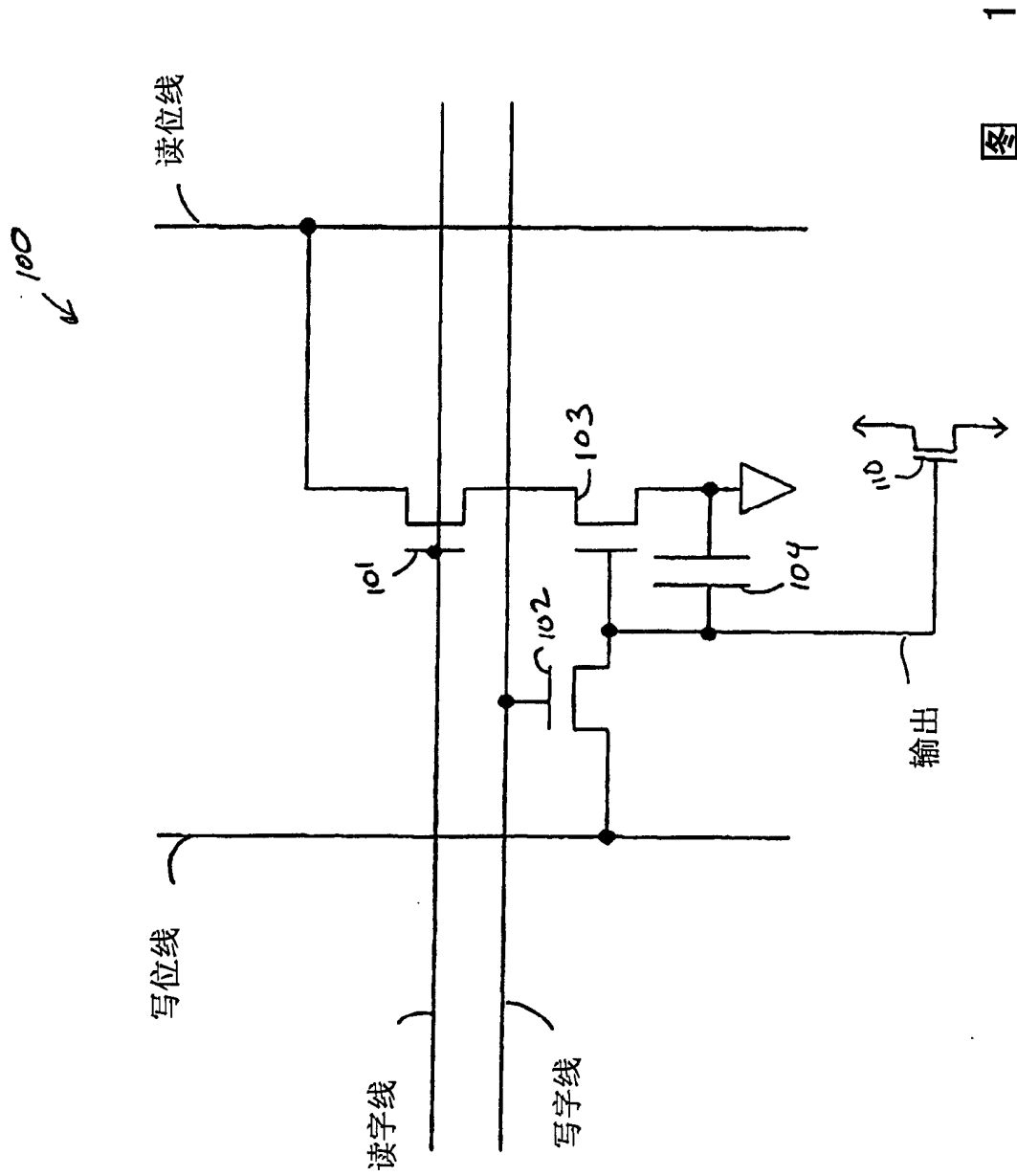


图 1

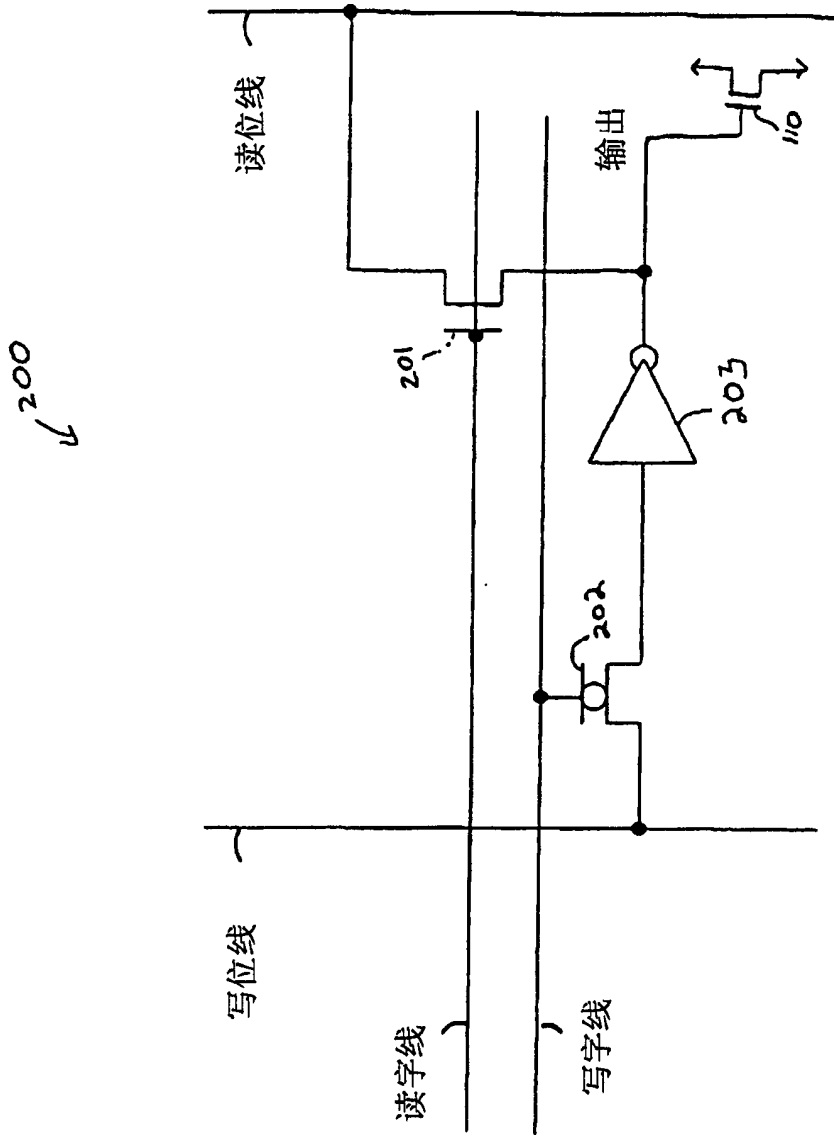


图 2

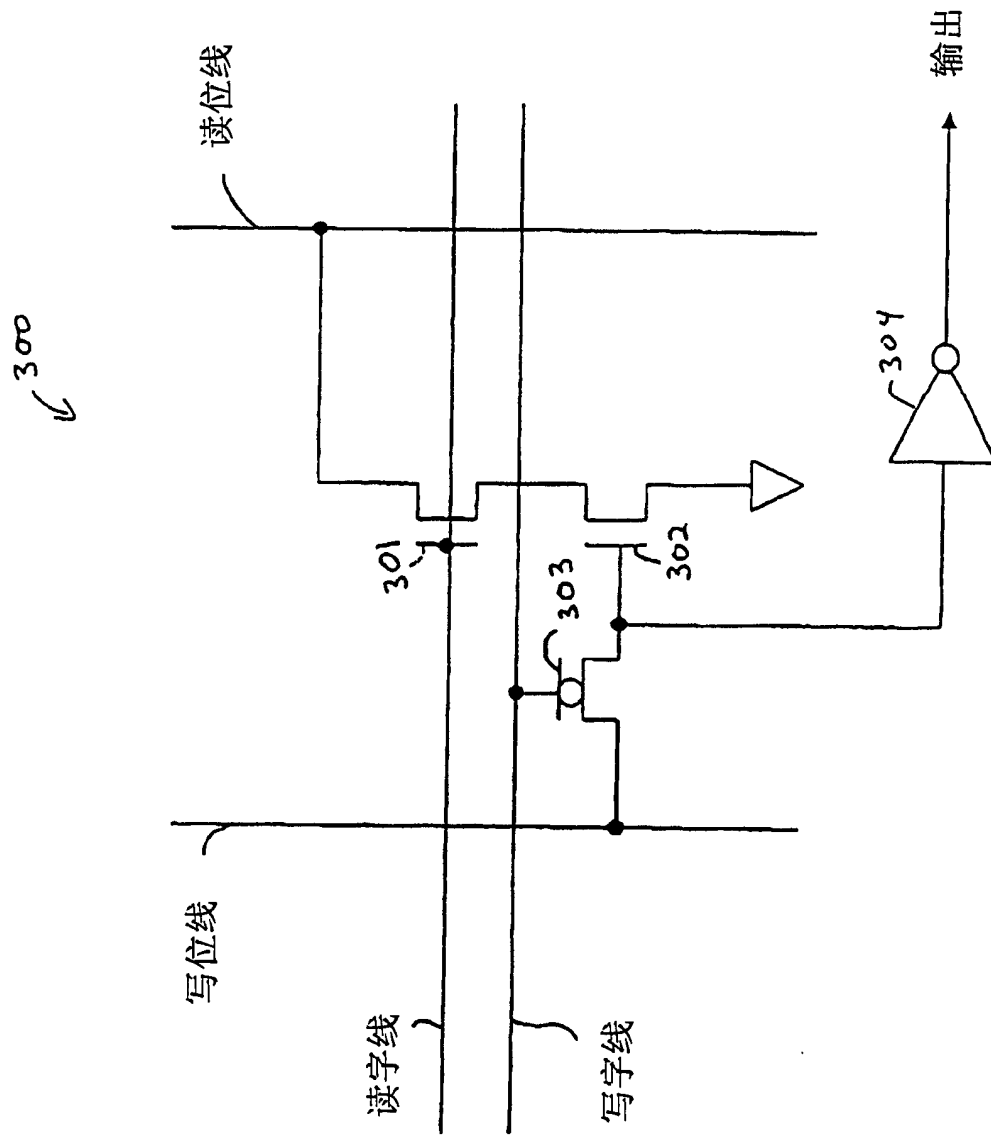


图 3

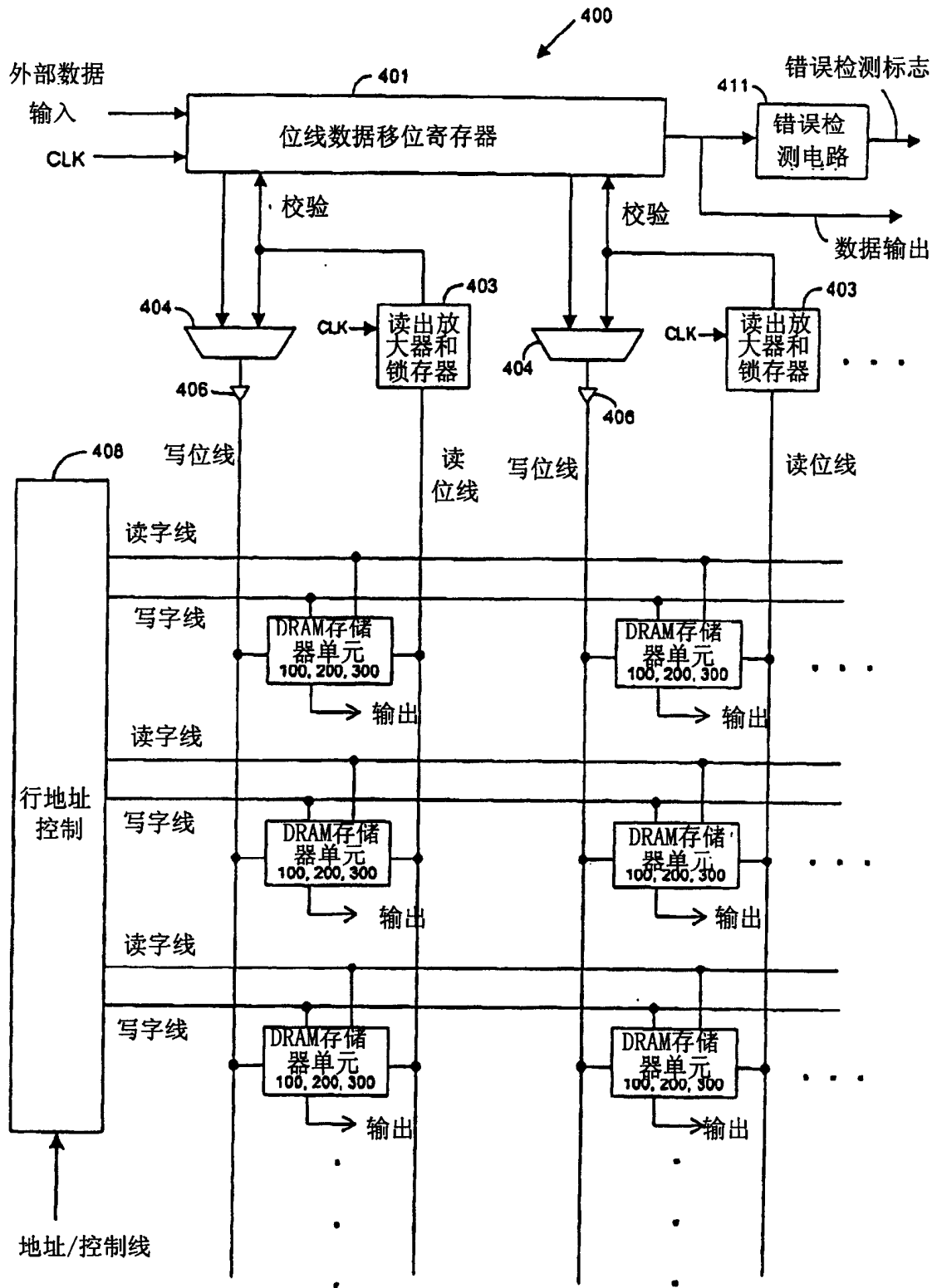
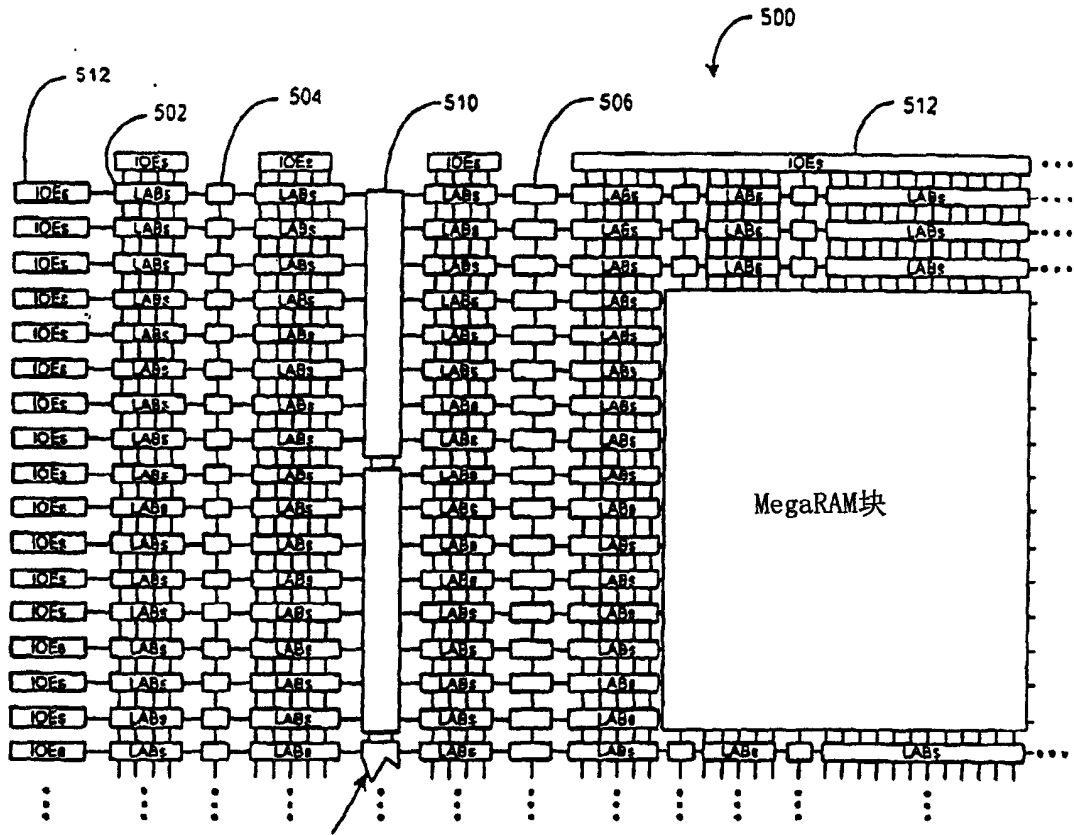


图 4



DSP块

图 5

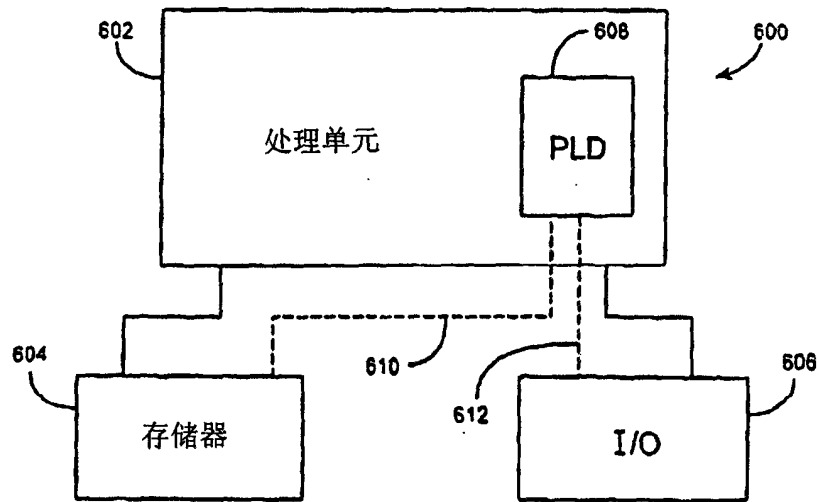


图 6