[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
H01L 27/11
H01L 27/10

[12] 发明专利说明书

[21] ZL 专利号 97122212.6

[43] 授权公告日 2003 年 4 月 30 日

[11] 授权公告号 CN 1107350C

[22] 申请日 1997.11.5 [21] 申请号 97122212.6

[30] 优先权

[32] 1997. 3.10 [33] JP [31] 55015/1997

[71] 专利权人 三菱电机株式会社

地址 日本东京都

[72] 发明人 本田裕己

审查员 赵百令

[74] 专利代理机构 中国专利代理(香港)有限公司

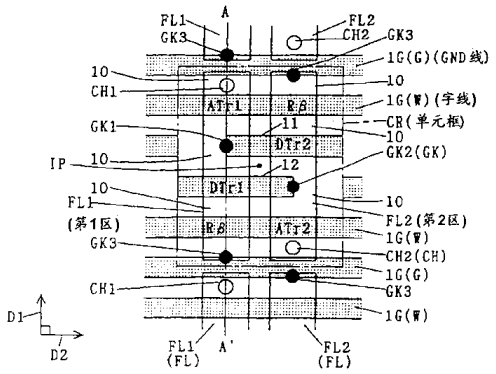
代理人 杨 凯 叶恺东

权利要求书 5 页 说明书 17 页 附图 10 页

[54] 发明名称 半导体存储器的布局结构

[57] 摘要

一种半导体 SRAM 存储器的布局结构，其特征在于：备有第 1 导电型的基底层；以及在上述基底层的表面上和上述基底层内，沿位线方向和与上述位线方向垂直的字线方向形成的多个静态随机存取存储器，上述多个静态随机存取存储器分别在上述位线方向和上述字线方向上以平移方式配置，形成相同的布局，在由此产生的区域内将接地线用的第 1 层的多晶硅布线层与字线用的第 1 层的多晶硅布线层一起平行于字线方向形成，将驱动晶体管的栅电极和元件形成区域的连接孔也用作元件形成区域与接地线布线层的连接孔。



ISSN1008-4274

1. 一种半导体 SRAM 存储器的布局结构，其特征在于：

备有第 1 导电型的基底层；以及在上述基底层的表面上和上述基底层内，沿位线方向和与上述位线方向垂直的字线方向形成的多个静态随机存取存储器，

上述多个静态随机存取存储器分别在上述位线方向和上述字线方向上以平移方式配置，形成相同的布局，

在由此产生的区域内将接地线用的第 1 层的多晶硅布线层与字线用的第 1 层的多晶硅布线层一起平行于字线方向形成，将驱动晶体管的栅电极和元件形成区域的连接孔也用作元件形成区域与接地线布线层的连接孔。

2. 根据权利要求 1 所述的半导体 SRAM 存储器的布局结构，其特征在于：上述多个静态随机存取存储器各自的上述布局从该静态随机存取存储器的中心点观察时呈点对称。

3. 根据权利要求 2 所述的半导体 SRAM 存储器的布局结构，其特征在于，还备有：

在上述基底层的上述表面上作为上述多个静态随机存取存储器的每一个的层间绝缘膜而形成的绝缘层；

在上述层间绝缘膜上沿上述位线方向彼此相对形成的、在上述位线方向上配置成一列的上述多个静态随机存取存储器公用的第 1 和第 2 位线布线层，

上述多个静态随机存取存储器分别备有：

在上述基底层的上述表面上和上述基底层内，只在位于上述第 1 位线布线层的正下方形成该静态随机存取存储器的框内沿上述位线方向形成的第 1 元件形成区域；

在上述基底层的上述表面上和上述基底层内，只在位于上述第 2 位线布线层的正下方形成该静态随机存取存储器的框内沿上述位线方向形成的第 2 元件形成区域，该第 2 元件形成区域与上述第 1 元件形成区域彼此相对。

4. 根据权利要求 3 所述的半导体 SRAM 存储器的布局结构，其特征在于：

如将上述多个静态随机存取存储器内的任意静态随机存取存储器和与上述位线方向邻接的静态随机存取存储器分别定义为第1和第2邻接静态随机存取存储器，则上述多个静态随机存取存储器分别备有：

在上述第1元件形成区域内的上述基底层的上述表面内和上述基底层内，从上述第1邻接静态随机存取存储器一侧开始依次形成岛状的、具有第2导电型的扩散层的第1、第2、第3扩散层形成区域；

在上述第2元件形成区域内的上述基底层的上述表面内和上述基底层内，从上述第2邻接静态随机存取存储器一侧开始依次形成岛状的、具有第2导电型的扩散层的第4、第5、第6扩散层形成区域；

使上述绝缘层内形成的、在上述第1邻接静态随机存取存储器一侧的上述第1元件形成区域的端部形成的上述第1扩散层形成区域与上述第1位线布线层进行导电连接的第1接触孔部分；

使上述绝缘层内形成的、在上述第2邻接静态随机存取存储器一侧的上述第2元件形成区域的端部形成的上述第4扩散层形成区域与上述第2位线布线层进行导电连接的第2接触孔部分。

5. 根据权利要求4所述的半导体SRAM存储器的布局结构，其特征在于，还备有：

在上述绝缘层内位于上述多个静态随机存取存储器中的任意静态随机存取存储器的上述第1接触孔部分和上述任意静态随机存取存储器的上述第1邻接静态随机存取存储器的上述第2接触孔部分之间的上述基底层的上述表面上沿上述字线方向形成的接地布线层，该布线层向包含该任意静态随机存取存储器的上述字线方向上排列的上述多个静态随机存取存储器供给公用的接地电位。

6. 根据权利要求5所述的半导体SRAM存储器的布局结构，其特征在于：

上述多个静态随机存取存储器各自的上述第1元件形成区域在上述第2邻接静态随机存取存储器一侧的端部和上述第2元件形成区域在上述第1邻接静态随机存取存储器一侧的端部分别形成的上述第3和第6扩散层形成区域和位于其附近的上述接地布线层之一互相直接地进行导电连接。

7. 根据权利要求6所述的半导体SRAM存储器的布局结构，其特征在于，上述多个静态随机存取存储器分别备有：

将上述第1和第2扩散层形成区域作为其第1和第2电极层的第1存

取晶体管；

将上述第 4 和第 5 扩散层形成区域作为其第 1 和第 2 电极层的第 2 存取晶体管，

上述半导体存储器还备有：

用与上述接地布线层相同的材料形成的第 1 字线布线层，该布线层作为上述任意静态随机存取存储器的上述第 1 存取晶体管的字线，该布线层位于该静态随机存取存储器框内的上述第 1 元件形成区域中用上述第 1 和第 2 扩散层形成区域夹住的上述基底层的上述表面上的上述绝缘层内，位于上述第 1 元件形成区域中第 6 扩散层形成区域上的上述绝缘层内，以及位于上述第 1 和第 2 元件形成区域以外的部分中上述基底层的上述表面上的上述绝缘层内，以便沿上述字线方向横跨各静态随机存取存储器；

用与上述接地布线层相同的材料形成的第 2 字线布线层，该布线层作为上述任意静态随机存取存储器的上述第 2 存取晶体管的字线，该布线层位于该静态随机存取存储器框内的上述第 1 元件形成区域中上述第 3 扩散层形成区域上的上述绝缘层内，位于上述第 2 元件形成区域中用上述第 4 和第 5 扩散层形成区域夹住的上述基底层的上述表面上的上述绝缘层内，以及位于上述第 1 和第 2 元件形成区域以外的部分中上述基底层的上述表面上的上述绝缘层内，以便沿上述字线方向横跨各静态随机存取存储器。

8. 根据权利要求 4～7 的任一项所述的半导体 SRAM 存储器的布局结构，其特征在于，还备有：

电源电位布线层，该布线层向位于上述多个静态随机存取存储器中的任意静态随机存取存储器的上述第 1 接触孔部分和上述任意静态随机存取存储器的上述第 1 邻接静态随机存取存储器的上述第 2 接触孔部分之间的上述绝缘层内沿上述字线方向形成的、且沿包含该任意静态随机存取存储器的上述字线方向上排列的上述多个静态随机存取存储器供给公用的电源电位。

9. 根据权利要求 8 所述的半导体 SRAM 存储器的布局结构，其特征在于，上述多个静态随机存取存储器还分别备有：

第 1 电阻层，它是在该静态随机存取存储器的上述第 2 接触孔部分和该静态随机存取存储器的上述第 2 邻接静态随机存取存储器的上述第 1 接触孔部分之间形成的上述电源电位布线层之一从位于上述第 1 元件形成区域上的该电源电位布线层的部分经上述绝缘层内朝向上述位线方向延长

而形成的，在中途具有第 1 电阻部分;

第 2 电阻层，它是在该静态随机存取存储器的上述第 1 接触孔部分和该静态随机存取存储器的上述第 1 邻接静态随机存取存储器的上述第 2 接触孔部分之间形成的上述电源电位布线层之一从位于上述第 2 元件形成区域上的该电源电位布线层的部分经上述绝缘层内朝向上述位线方向延长而形成的，在中途具有第 2 电阻部分。

10. 根据权利要求 9 所述的半导体 SRAM 存储器的布局结构，其特征在于，上述多个静态随机存取存储器分别备有:

第 1 驱动晶体管用的栅电极层，该栅电极层横跨上述第 1 和第 2 元件形成区域沿上述字线方向形成，且在上述第 1 元件形成区域内在用上述第 2 和第 3 扩散层形成区域夹住的上述基底层的上述表面的正上方的上述绝缘膜内形成，在上述第 2 元件形成区域内与上述第 5 扩散层形成区域直接进行导电连接，它是由与上述接地布线层相同的材料构成的;

第 2 驱动晶体管用的栅电极层，该栅电极层横跨上述第 1 和第 2 元件形成区域沿上述字线方向形成，且在上述第 2 元件形成区域内在用上述第 5 和第 6 扩散层形成区域夹住的上述基底层的上述表面的正上方的上述绝缘膜内形成，在上述第 1 元件形成区域内与上述第 2 扩散层形成区域直接进行导电连接，它是由与上述接地布线层相同的材料构成的;

第 1 埋入接触点部分，该接触点部分在上述第 1 元件形成区域内的上述第 2 驱动晶体管用的栅电极层的正上方的上述绝缘层内的位置处形成，对延长到该位置而形成的上述第 1 高电阻层的端部和上述第 2 驱动晶体管用的栅电极层进行导电连接;

第 2 埋入接触点部分，该接触点部分在上述第 2 元件形成区域内的上述第 1 驱动晶体管用的栅电极层的正上方的上述绝缘层内的位置处形成，对延长到该位置而形成的上述第 2 高电阻层的端部和上述第 1 驱动晶体管用的栅电极层进行导电连接。

11. 根据权利要求 4 或 7 所述的半导体 SRAM 存储器的布局结构，其特征在于，上述多个静态随机存取存储器分别备有:

从形成上述第 1 和第 2 接触孔部分的各个底面的上述第 1 和第 4 扩散层形成区域的各个表面朝向该扩散层内部形成的上述第 1 导电型的另外的扩散层。

12. 根据权利要求 3 所述的半导体 SRAM 存储器的布局结构，其特征

在于:

与包含上述位线方向和上述字线方向的平面平行的横剖面有关的上述第1和第2元件形成区域的各自的形状的宽度被设定为沿上述位线方向变窄。

13. 根据权利要求12所述的半导体SRAM存储器的布局结构，其特征在于:

与上述横剖面有关的上述第1和第2元件形成区域的各自的形状被设定为相对于上述位线方向为线对称。

14. 根据权利要求11所述的半导体SRAM存储器的布局结构，其特征在于，上述第3和第6扩散层形成区域都备有:

成为晶体管的源/漏区的、上述第2导电型的另外的2个扩散层。

半导体存储器的布局结构

技术领域

本发明涉及 SRAM（静态随机存取存储器）等半导体存储器中的多个静态随机存取存储器的布局技术。

背景技术

在图 13、图 14 中示出了高电阻负载型的 SRAM 的布局结构的平面图。在「J.R.Pfiester etc. "A symmetric Vss cross -under bitcell technology for 64Mb SRAMs" ,IEEE IEDM94, PP.623～626, '94」中公开了相同的布局。如图 13 所示，配置了区 FLP、栅极埋入接触点 GKP、栅极用的第 1 层多晶硅布线层 1GP、第 1 埋入接触点 1BP、地（GND）线用的第 2 层多晶硅布线层 2GP，由此，形成存取晶体管 ATrP1、ATrP2 用的字线、驱动晶体管 DTrP1、DTrP2 的栅极层、GND 线。此外，通过在栅极形成前注入杂质，使区 FLP 与第 1 层多晶硅布线层 1GP 交叉的区域 Rα变成低电阻的区域。

再者，如图 14 所示，配置了第 2 埋入接触点 2B、V_{CC} 线用的第 3 层多晶硅布线层 3GP、位线或$\overline{\text{位线}}$接触用的接触孔 CHP、位线和$\overline{\text{位线}}$用的铝层 ALP、$\overline{\text{ALP}}$，由此，形成高电阻和 V_{CC} 线（通过是否注入杂质在制造时将两者分开）以及位线/$\overline{\text{位线}}$。在两图 13、14 中，符号 CRP 表示一个静态随机存取存储器框。

通过以上的布局结构，可在半导体衬底上实现高电阻负载型的 SRAM 电路（参照图 1）。

本布局因为对称性好，所以具有以下的优点。即，

① 如果各图形在左右、上下发生偏移，则这一点对晶体管的特性有很大的影响，但在本布局中由于对称地形成了各图形，故静态随机存取存储器可稳定地工作。

此外，② 由于各图形的形状基本上是直线的，故具有工艺方面的稳定性良好的优点。这是因为，横剖面形状为四角形的图形可容易地形成，但如果在图形的横剖面形状为非四角形的情况下，要正确地形成这样的图形是困难的，在本布局中，这种非四角形的图形很少。

再者，③ 字线 1GP（存取晶体管的栅极）和驱动晶体管的栅极的纵向是同一方向，即，由于字线 1GP 和驱动晶体管用的栅极层都在字线方向上平

行地呈直线地延伸，故具有下述优点：制造时栅极长度的可控性良好，可得到稳定的晶体管特性。这是因为现实情况是这样的：栅极图形虽通过光刻工序来形成，但此时对于长方形的掩模图形来说，抗蚀剂图形受到来自基底区图形的光的反射的影响，无论怎样都变成圆形，而且，其形状不稳定。但是，如本布局那样，相对于基底区图形，栅极层和字线 1GP 在相同的方向上呈直线地延伸时，可减少这种变成圆形的影响。

但是，图 13、图 14 中作为例子示出的现有的布局结构中，带来下述的问题。

其第一个问题是，在上述技术中，需要在半导体衬底上形成各层的多晶硅布线层（1GP、2GP、3GP）和铝布线层 ALP、ALP，即，3 层多晶硅布线层和 1 层金属布线层，合计 4 层布线层，但这样一来工艺过程必然变长，装置的成本必然提高。

其第二个问题是，在上述布局中，其多个图形以直线状来形成，但关于 V_{CC} 线用的第 3 层多晶硅布线层 3G，如图 14 所示，设有非直线形状的部分。在图 14 中用虚线包围的多晶硅布线层 3GP 有棱角的部分 3GR 即是该非直线形状的部分。这种形状例如在图 15（a）、（b）的平面图中示意性地示出的那样，造成抗蚀剂图形 RP2 与布局图形 RP1 的不一致。实际上在上述部分 3GR 中，如图 15（b）所示，抗蚀剂在光刻工序中不能完全脱落而留下一部分的结果是，抗蚀剂图形 RP2 变成圆形。这样一来，图 14 的高电阻部分 3GP 的可控性显著下降。这是因为，尽管是根据第 3 层多晶硅布线层 3GP 的以直线状延伸的高电阻形成部分 3HGR 中具有多少薄层部分的面积来预测在该处应形成的高电阻的值从而进行布局设计，但如图 15 所示，如高电阻形成部分 3HGR 的角部变成圆形，实质上是该部分 3HGR 的直线部分减少，则高电阻部分 3GP 的电阻值比预测值减少，在制造时不能完全预测该电阻值实际上是多少。这一点是现有的布局结构中遗留下来的应解决的问题。

其第三个问题是，如图 16 中示意性地示出的那样，由于必须除掉对于第 2 埋入接触点 2B 的覆盖裕量 A、第 3 层多晶硅布线层 3GP 的间隙(clearance)C、以及同一层 3GP 和接触孔 CHP 的分离裕量 D，故作为 V_{CC} 布线的多晶硅布线层 3GP 的宽度 W 变小。因此，V_{CC} 布线的电阻变大，在该处产生电位差，从而不能正确地供给电源电位 V_{CC} 。

其第四个问题是，原来电阻值应该很小的布线层，即 GND 布线层的电阻

值增大了。这是因为，关于栅极线乃至字线，为了降低其电阻，例如用 WSi/多晶硅那样的复合层来构成，但一般来说，为了上述目的也将这种构成应用于 GND 布线层，即使在现有的布局中，也是这样做的。但是，如这样做的话，在现有的布局中，由于在第 1 层布线层 1GP 的上方形成 GND 线用的第 2 层布线层 2GP，故连接孔的台阶高度增大，第 1 埋入接触点 1BP 的深度势必变深，在该处产生达到不能忽略的那种程度的栓电阻。这一点在以后将更详细地说明。

发明内容

本发明的主要的着眼点在于，在维持现有的布局结构所具有的上述的优点①～③的同时，可完全克服上述从第一到第四个问题。

另外，本发明的一个重要的目的还在于提供一种能高效率地实现新的 SRAM 静态随机存取存储器的电路的布局结构。

再者，本发明的一个次要的目的在于，适当地形成区的形状，满足对于各静态随机存取存储器内的晶体管实际要求的性能，进而也关注在完全满足这样的要求时静态随机存取存储器的小型化。

与本发明的第 1 方面有关的半导体 SRAM 存储器的布局结构的特征在于：备有第 1 导电型的基底层；在上述基底层的表面上和上述基底层内沿位线方向和与上述位线方向垂直的字线方向形成的多个静态随机存取存储器，上述多个静态随机存取存储器分别在上述位线方向和上述字线方向上以平移方式配置，形成相同的布局。

与本发明的第 2 方面有关的半导体 SRAM 存储器的布局结构的特征在于：在本发明的第 1 方面所述的半导体存储器的布局结构中，上述多个静态随机存取存储器各自的上述布局从该静态随机存取存储器的中心点观察时呈点对称。

与本发明的第 3 方面有关的半导体 SRAM 存储器的布局结构的特征在于，在本发明的第 2 方面所述的半导体存储器的布局结构中，还备有：在上述基底层的上述表面上作为上述多个静态随机存取存储器的每一个的层间绝缘膜而形成的绝缘层；在上述层间绝缘膜上沿上述位线方向彼此相对形成的、在上述位线方向上配置成一列的上述多个静态随机存取存储器公用的第 1 和第 2 位线布线层，上述多个静态随机存取存储器分别备有：在上述基底层的上述表面上和上述基底层内，只在位于上述第 1 位线布线层的正下方形成该静态随机存取存储器的框内沿上述位线方向形成的第 1 元件形成区

域；在上述基底层的上述表面上和上述基底层内，只在位于上述第2位线布线层的正下方形成该静态随机存取存储器的框内沿上述位线方向形成的第2元件形成区域，该第2元件形成区域与上述第1元件形成区域彼此相对。

与本发明的第4方面有关的半导体SRAM存储器的布局结构的特征在于，在本发明的第3方面所述的半导体存储器的布局结构中，如将上述多个静态随机存取存储器内的任意静态随机存取存储器和与上述位线方向邻接的静态随机存取存储器分别定义为第1和第2邻接静态随机存取存储器，则上述多个静态随机存取存储器分别备有：在上述第1元件形成区域内的上述基底层的上述表面内和上述基底层内，从上述第1邻接静态随机存取存储器一侧开始依次形成岛状的、具有第2导电型的扩散层的第1、第2、第3扩散层形成区域；在上述第2元件形成区域内的上述基底层的上述表面内和上述基底层内，从上述第2邻接静态随机存取存储器一侧开始依次形成岛状的、具有第2导电型的扩散层的第4、第5、第6扩散层形成区域；使上述绝缘层内形成的、在上述第1邻接静态随机存取存储器一侧的上述第1元件形成区域的端部形成的上述第1扩散层形成区域与上述第1位线布线层进行导电连接的第1接触孔部分；使上述绝缘层内形成的、在上述第2邻接静态随机存取存储器一侧的上述第2元件形成区域的端部形成的上述第4扩散层形成区域与上述第2位线布线层进行导电连接的第2接触孔部分。

与本发明的第5方面有关的半导体SRAM存储器的布局结构的特征在于，在本发明的第4方面所述的半导体存储器的布局结构中还备有：在上述绝缘层内位于上述多个静态随机存取存储器中的任意静态随机存取存储器的上述第1接触孔部分和上述任意静态随机存取存储器的上述第1邻接静态随机存取存储器的上述第2接触孔部分之间的上述基底层的上述表面上沿上述字线方向形成的接地布线层，该接地布线层向包含该任意静态随机存取存储器的上述字线方向上排列的上述多个静态随机存取存储器供给公用的接地电位。

与本发明的第6方面有关的半导体SRAM存储器的布局结构的特征在于，在本发明的第5方面所述的半导体存储器的布局结构中，上述多个静态随机存取存储器各自的上述第1元件形成区域在上述第2邻接静态随机存取存储器一侧的端部和上述第2元件形成区域在上述第1邻接静态随机存取存储器一侧的端部分别形成的上述第3和第6扩散层形成区域和位于其附近的上述接地布线层之一互相直接地进行导电连接。

与本发明的第 7 方面有关的半导体 SRAM 存储器的布局结构的特征在于，在本发明的第 6 方面所述的半导体存储器的布局结构中，上述多个静态随机存取存储器分别备有：将上述第 1 和第 2 扩散层形成区域作为其第 1 和第 2 电极层的第 1 存取晶体管；将上述第 4 和第 5 扩散层形成区域作为其第 1 和第 2 电极层的第 2 存取晶体管，上述半导体存储器还备有：用与上述接地布线层相同的材料形成的第 1 字线布线层，该布线层作为上述任意静态随机存取存储器的上述第 1 存取晶体管的字线，该布线层位于该静态随机存取存储器框内的上述第 1 元件形成区域中用上述第 1 和第 2 扩散层形成区域夹住的上述基底层的上述表面上的上述绝缘层内，位于上述第 1 元件形成区域中第 6 扩散层形成区域上的上述绝缘层内，以及位于上述第 1 和第 2 元件形成区域以外的部分中上述基底层的上述表面上的上述绝缘层内，以便沿上述字线方向横跨各静态随机存取存储器；用与上述接地布线层相同的材料形成的第 2 字线布线层，该布线层作为上述任意静态随机存取存储器的上述第 2 存取晶体管的字线，该布线层位于该静态随机存取存储器框内的上述第 1 元件形成区域中用上述第 3 扩散层形成区域上的上述绝缘层内，且在上述第 2 元件形成区域中用上述第 4 和第 5 扩散层形成区域夹住的上述基底层的上述表面上的上述绝缘层内，位于上述第 1 和第 2 元件形成区域以外的部分中上述基底层的上述表面上的上述绝缘层内，以便沿上述字线方向横跨各静态随机存取存储器。

与本发明的第 8 方面有关的半导体 SRAM 存储器的布局结构的特征在于，在本发明的第 4 至 7 的任一方面所述的半导体存储器的布局结构中，还备有：电源电位布线层，该布线层向位于上述多个意静态随机存取存储器中的任意静态随机存取存储器的上述第 1 接触孔部分和上述任意静态随机存取存储器的上述第 1 邻接静态随机存取存储器的上述第 2 接触孔部分之间的在上述绝缘层内沿上述字线方向形成、且沿包含该任意静态随机存取存储器的上述字线方向上排列的上述多个静态随机存取存储器供给公用的电源电位。

与本发明的第 9 方面有关的半导体 SRAM 存储器的布局结构的特征在于，在本发明的第 8 方面所述的半导体存储器的布局结构中，上述多个静态随机存取存储器还分别备有：第 1 电阻层和第 2 电阻层，上述第 1 电阻层是在该静态随机存取存储器的上述第 2 接触孔部分和该静态随机存取存储器的上述第 2 邻接静态随机存取存储器的上述第 1 接触孔部分之间形成的上述

电源电位布线层之一从位于上述第 1 元件形成区域上的该电源电位布线层的部分经上述绝缘层内朝向上述位线方向延长而形成的，在中途具有第 1 电阻部分；上述第 2 电阻层是在该静态随机存取存储器的上述第 1 接触孔部分和该静态随机存取存储器的上述第 1 邻接静态随机存取存储器的上述第 2 接触孔部分之间形成的上述电源电位布线层之一从位于上述第 2 元件形成区域上的该电源电位布线层的部分经上述绝缘层内朝向上述位线方向延长而形成的，在中途具有第 2 电阻部分。

与本发明的第 10 方面有关的半导体 SRAM 存储器的布局结构的特征在于，在本发明的第 9 方面所述的半导体存储器的布局结构中，上述多个静态随机存取存储器分别备有：第 1 驱动晶体管用的栅电极层，该栅电极层横跨上述第 1 和第 2 元件形成区域沿上述字线方向形成，且在上述第 1 元件形成区域内在用上述第 2 和第 3 扩散层形成区域夹住的上述基底层的上述表面的正上方的上述绝缘膜内形成，在上述第 2 元件形成区域内与上述第 5 扩散层形成区域直接进行导电连接，它是由与上述接地布线层相同的材料构成的；第 2 驱动晶体管用的栅电极层，该栅电极层横跨上述第 1 和第 2 元件形成区域沿上述字线方向形成，且在上述第 2 元件形成区域内在用上述第 5 和第 6 扩散层形成区域夹住的上述基底层的上述表面的正上方的上述绝缘膜内形成，在上述第 1 元件形成区域内与上述第 2 扩散层形成区域直接进行导电连接，它是由与上述接地布线层相同的材料构成的；第 1 埋入接触点部分，该接触点部分在上述第 1 元件形成区域内的上述第 2 驱动晶体管用的栅电极层的正上方的上述绝缘层内的位置处形成，对延长到该位置而形成的上述第 1 高电阻层的端部和上述第 2 驱动晶体管用的栅电极层进行导电连接；第 2 埋入接触点部分，该接触点部分在上述第 2 元件形成区域内的上述第 1 驱动晶体管用的栅电极层的正上方的上述绝缘层内的位置处形成，对延长到该位置而形成的上述第 2 高电阻层的端部和上述第 1 驱动晶体管用的栅电极层进行导电连接。

与本发明的第 11 方面有关的半导体 SRAM 存储器的布局结构的特征在于，在本发明的第 4 或 7 方面所述的半导体存储器的布局结构中，上述多个静态随机存取存储器分别备有：从形成上述第 1 和第 2 接触孔部分的各个底面的上述第 1 和第 4 扩散层形成区域的各个表面朝向该扩散层内部形成的上述第 1 导电型的另外的扩散层。

与本发明的第 12 方面有关的半导体 SRAM 存储器的布局结构的特征在

于，在本发明的第 3 方面所述的半导体存储器的布局结构中，与包含上述位线方向和上述字线方向的平面平行的横剖面有关的上述第 1 和第 2 元件形成区域的各自的形状的宽度被设定为沿上述位线方向变窄。

与本发明的第 13 方面有关的半导体 SRAM 存储器的布局结构的特征在于，在本发明的第 12 方面所述的半导体存储器的布局结构中，与上述横剖面有关的上述第 1 和第 2 元件形成区域的各自的形状被设定为相对于上述位线方向为线对称。

与本发明的第 14 方面有关的半导体 SRAM 存储器的布局结构的特征在于，在本发明的第 11 方面所述的半导体存储器的布局结构中，上述第 3 和第 6 扩散层形成区域都备有：成为晶体管的源/漏区的上述第 2 导电型的另外的 2 个扩散层。

附图说明

图 1 是表示高电阻负载型的 SRAM 静态随机存取存储器的电路图。

图 2 是表示本发明的实施例 1 的半导体存储器的布局结构的平面图。

图 3 是表示本发明的实施例 1 的半导体存储器的布局结构的平面图。

图 4 是表示本发明的实施例 1 的半导体存储器的布局结构的剖面图。

图 5 是对 GND 接触点结构进行比较用的剖面图。

图 6 是表示层叠型 SRAM 静态随机存取存储器的电路图。

图 7 是表示本发明的实施例 2 的 SRAM 静态随机存取存储器的布局结构的平面图。

图 8 是对 PNP 型的晶体管的剖面结构进行比较用的图。

图 9 是表示区形状的平面图。

图 10 是表示区形状的平面图。

图 11 是表示区形状的平面图。

图 12 是表示区形状的平面图。

图 13 是表示高电阻负载型的 SRAM 静态随机存取存储器的现有的布局结构的平面图。

图 14 是表示高电阻负载型的 SRAM 静态随机存取存储器的现有的布局结构的平面图。

图 15 是示意性地表示用于形成高电阻层的布局的抗蚀剂的最终形状的平面图。

图 16 是用于指出现有技术的问题的说明图。

具体实施方式

图 1 是表示适合于实现本实施例 1 的半导体存储器的 SRAM 的电路图，涉及迄今已知的高电阻负载型的 SRAM 的电路。各个符号的意义如下。即，BIT、$\overline{BIT}$ 分别表示位线（第 1 位线）、$\overline{位线}$（第 2 位线），ATr1、ATr2 分别表示第 1 和第 2 存取晶体管，W 表示字线，V_{CC} 表示高电源电位，GND 表示接地电位，R1、R2 分别表示第 1、第 2 高电阻，DTr1、DTr2 分别表示第 1 和第 2 驱动晶体管，N1～N5 表示后面说明的对应于布局结构方面的各个连接孔的节点。再有，所谓“高电阻”意味着具有大的电阻值的负载电阻。

图 2 和图 3 是表示与用于实现图 1 的 SRAM 的本实施例有关的布局结构的平面图。此外，图 4 是关于图 2 和图 3 中示出的 A－A’ 线的第 1 区的纵剖面图。与第 2 区有关的纵剖面图是将图 4 中示出的结构翻转后得到的图。在这些图中，D1 表示位线方向（位线方向），D2 表示与位线方向垂直的字线方向（字线方向）。此外，这些图中的符号 ATr1、ATr2、DTr1、DTr2 表示与图 1 对应的各个晶体管的形成区域，特别是沟道区及其上面的栅氧化膜区以及栅电极区。

符号 1G（G）表示 GND 线用的 WSi/多晶硅布线层，符号 1G（W）表示字线用的 WSi/多晶硅布线层，但由于这些布线层 1G（G）、1G（W）的任一个都是在相同的工序中形成的第 1 层布线层，所以对其加以统称时，就称为第 1 层（WSi/多晶硅布线层）布线层 1G。这里，之所以作成 WSi/多晶硅布线层，是为了使字线（从而使 GND 线）的布线电阻变成低电阻。此外，符号 2G 是高电位电源 VCC 布线用的多晶硅布线层，也称为第 2 层（多晶硅）布线层。

各静态随机存取存储器的连接孔 GK 由 3 种连接孔 GK1～GK3 构成。即，第 1 连接孔 GK1 是第 1 区 FL1（或 N 型扩散层 10）与第 2 驱动晶体管 DTr2 的栅布线层 11 的连接孔。此外，第 2 连接孔 GK2 是第 2 区 FL2（或 N 型扩散层 10）与第 1 驱动晶体管 DTr1 的栅布线层 12 的连接孔。此外，第 3 连接孔 GK3 是对应的区 FL（或 N 型扩散层 10）与第 1 层 GND 布线层 1G（G）的连接孔。

此外，第 1 和第 2 接触孔 CH1、CH2 是对应的区 FL（或 N 型扩散层 10）与第 3 层的位线用的铝布线层 BIT、$\overline{BIT}$ 的接触孔。对这些接触孔 CH1、CH2 加以统称时，就称为接触孔 CH。此外，对接触孔 CH 和埋入该接触孔

CH 中的栓层加以统称时，就定义为“接触部分”。

上述连接孔 GK1～GK3、接触孔 CH 与图 1 中的各个节点 N1～N5 的对应关系如下所述。即，节点 N1 对应第 1 接触孔 CH1，节点 N2 对应第 2 接触孔 CH2，节点 N3 对应第 1 连接孔 GK1，节点 N4 对应第 2 连接孔 GK2，节点 N5 对应第 3 连接孔 GK3。

此外，对第 1、第 2 区 FL1、FL2 加以统称时，定义为区 FL。这里，所谓“区”，相当于所谓的“元件形成区域”。以下，在这个意义上使用区 FL 这个术语。

此外，符号 CR 表示 1 个静态随机存取存储器框。

此外，图 3 中示出的符号 100 是第 1 导电型（这里是 P 型）的半导体衬底或阱，也称为“基底层”。此外，N 型在这里相当于第 2 导电型。

此外，图 4 中的 IF1、IF2 分别是第 1 和第 2 层间绝缘膜（例如，SiO2 膜），对其加以统称时，就称为层间绝缘膜 IF。

此外，图 4 中的高电阻部分 R1、R2 表示图 1 中的高电阻负载 R1、R2 的形成区域部分，它们分别是在高电源电位 V_{CC} 的布线层 2G 的一部分，即沿位线方向 D1 平行于基底表面延长的高电阻形成层 2G1、2G2 中，通过形成不注入杂质的区域形成的。这一点与现有技术相同。

此外，图 3 中的符号 AL、$\overline{AL}$ 分别是对应于图 1 的位线（BIT）、位线（$\overline{BIT}$）的第 3 层铝布线层。

此外，符号 1B1、1B2 分别表示第 1 和第 2 埋入接触点，对其加以统称时，都称为埋入接触点 1B。此外，对埋入接触点 1B 和其中形成的栓层（参照图 4、图 5（b））加以统称时，定义为“埋入接触部分”。

此外，在图 4 中，介于连接到第 1 接触孔 CH1 的扩散层 10 和 GND 布线层 1G（G）之间的是相当于栅氧化膜的绝缘膜。

在本实施例中，从已经说明的图 2～图 4 可知，在 1 个静态随机存取存储器框 CR 内，在基底层 100 的表面内和基底层 100 内，以岛状分布形成 6 个 N 型的扩散层 10。如对这些扩散层 10 标以编号并加以区别来定义的话，则如下所述。即，在图 4 中，将成为连接到第 1 区 FL 内第 1 邻接静态随机存取存储器一侧的第 1 接触孔的第 1 存取晶体管 ATr1 的第 1 电极层的扩散层 10 定义为“第 1 扩散层形成区域”，将成为其右侧的第 1 存取晶体管 ATr1 的第 2 电极层和第 1 驱动晶体管 DTr1 的第 1 电极层的扩散层 10 定义为“第 2 扩散层形成区域”，将成为第 1 驱动晶体管 DTr1 的第 2 电极层的、而且

用第 3 连接孔 GK3 直接连接到接地布线层 1G（G）的扩散层 10 定义为“第 3 扩散层形成区域”。另一方面，在第 2 区 FL2 中，将与第 2 邻接静态随机存取存储器一侧的第 2 接触孔 CH2 连接的、成为第 2 存取晶体管 ATr2 的第 1 电极层的扩散层 10 定义为“第 4 扩散层形成区域”，将本身是上述晶体管 ATr2 的第 2 电极层而且也是第 2 驱动晶体管 DTr2 的第 1 电极层的扩散层 10 定义为“第 5 扩散层形成区域”，将本身是上述晶体管 DTr2 的第 2 电极层而且在第 1 邻接静态随机存取存储器一侧的连接孔 GK3 中直接与接地布线层 1G（G）连接的扩散层 10 定义为“第 6 扩散层形成区域”。

若与已经说明的图 13、图 14 的现有例比较，图 2～图 4 中示出的本实施例的半导体存储器的布局结构的特征如下所述。

即，① 其第 1 特征在于，将以往在上下方向上邻接的各个静态随机存取存储器中兼用的接触孔 CH 和区 FL 在相邻的上下各个静态随机存取存储器中分离开，将相邻的各个静态随机存取存储器在第 1 和字线方向 D1、D2 的任一方向上作成平移配置的结构。由此，各个静态随机存取存储器具有各个静态随机存取存储器固有的 2 个接触孔 CH1、CH2 和 2 个区 FL1、FL2。

② 其第 2 特征在于，在通过采用上述①的结构而产生的该静态随机存取存储器的第 1 接触孔 CH1 与上侧的邻接静态随机存取存储器（称为第 1 邻接静态随机存取存储器）的第 2 接触孔 CH2 之间的基底层 100 的表面上的区域和该静态随机存取存储器的第 2 接触孔 CH2 与下侧的邻接静态随机存取存储器（称为第 2 邻接静态随机存取存储器）的第 1 接触孔 CH1 之间的基底层 100 的表面上的区域中，将以往只不过作为字线用的第 1 层的 WSi/多晶硅布线层 1G 作为 GND 线用的布线层（简单地称为 GND 布线层）1G（G）来配置。这里，用符号 1G 统称第 1 层布线层。由于第 1 层布线层 1G 与以往同样地作为字线 1G（W）来使用，故为了抑制图 1 的字线 W 的延迟（由存取晶体管的寄生电容和字线的电阻成分产生的延迟）必须作成电阻值小的布线层。因此，将布线层 1G（G）作为 WSi/多晶硅布线层来形成。因而，在本实施例中，由于在与该布线层 1G（W）相同的工序中，而且使用与该布线层 1G（W）相同的材料来形成 GND 布线层 1G（G），故 GND 布线层 1G（G）称为低电阻布线层。而且，本实施例仍然具有现有技术的优点，即两层，1G（G）、1G（W），平行于字线方向 D2 以直线状来配置。

③ 其第三特征在于，GND 布线层 1G（G）与区 FL（或 N 型扩散层 10）的连接孔利用连接第 2 和第 1 驱动晶体管 DTr1、DTr2 的栅电极层 11、12

和对应的区 FL1、FL2 的第 1、第 2 连接孔 GK1、GK2 而形成。该连接孔是上述的第 3 连接孔 GK3。这些连接孔 GK1～GK3 在相同的工序中制造。由此，第 3 连接孔 GK3 中的台阶高度只是栅氧化膜的厚度（约～10 nm），与现有技术的情况下的连接孔 1BP（台阶高度 100nm～150nm）相比小 1 个数量级，故成为低的台阶高度。本发明中的台阶高度是几乎可忽略的值。因此在本实施例中，由于上述连接孔 GK2 内的栓电阻显著变小，故可得到更小的电阻值，即具有低电阻的接触电阻（参照图 5（a）、（b）（但是在本图中以简化方式来说明））。对这一点更具体地说明如下。

如图 5（a）的现有例所示，在现有技术的布局结构中，刻蚀中止层用的层间绝缘膜 IFP（SiO_2）的厚度必须为 100～150 nm。因此，使连接孔 1BP 的深度变浅是有限度的。因而，GND 布线层 2GP 的电位原来应为 0V，但由于该部分 1BP 的台阶高度中的栓电阻而产生电位差，故存在静态随机存取存储器的稳定性受到损害的问题。

与此相反，如采用图 5（b）中以放大的方式示出的本发明的布局结构，由于在 GND 线中使用 WSi/多晶硅结构的字线布线层 1G(W)，故通过 GND 布线层 1G（G）本身的低电阻和连接孔 GK3 中的下降到可忽略不计程度的栓电阻的相乘效应，可实现电阻值极小的 GND 布线。

通过采用以上的新的布局结构，相对于以往需要 4 层布线（1GP、2GP、3GP、ALP（$\overline{ALP}$））的情况，在本实施例中只需要 3 层布线（1G、2G、AL（$\overline{AL}$）），不需要形成第 4 层布线层，即使在连接孔的数目方面，也可从以往的 4 种（GKP、1BP、2B、CHP）减少到 3 种（GK、1B、CH）。因此，本实施例的布局结构在全部维持现有的布局结构的上述优点①～③的情况下，可谋求减少布线层和连接孔的数目、显著地降低成本。即，由于字线布线层 1G（W）（各存取晶体管 ATr1、ATr2 的栅极）、各驱动晶体管 DTr1、DTr2 的栅极层 12、11 和 GND 布线层 1G（G）的纵方向（字线方向 D2）全部相同（平行），因此如前所述，栅长的可控性良好，而且 GND 布线层的形状的可控性也较为理想，故可得到具有稳定的晶体管特性和稳定的很小的电阻值的 GND 布线层。

此外，在上下方向上邻接的静态随机存取存储器相互间的接触孔 CH 之间产生的区域（富裕区域）中，可再配置第 2 层多晶硅布线层 2G（V_{CC} 布线）。因此，如图 3 所示，成为 V_{CC} 布线的第 2 层布线层 2G 的主要部分 2GM 不会产生用图 15 说明的现有技术中的那种角部变成圆形的现象，在形成大

致呈直线形状的同时，能形成从各个区 FL 上的主要部分 2GM 的部分在位线方向 D1 上平行于基底表面伸出的（第 1、第 2）高电阻层 2G1、2G2，使之对于该布线层 2G 的主要部分 2GM（V_{CC} 布线）大致以直角的角度交叉，能使成为 V_{CC} 布线的主要部分 2GM 和高电阻层 2G1、2G2 成为稳定的形状。即，通过作成上述稳定的形状，在制造时可正确地预测在该部分 2G1、2G2 中可形成多少薄层部分的区域，可在相当于高电阻层 2G1、2G2 的部分中制造按照设计所要求的高电阻负载 R1、R2。

通过以上做法，可实现稳定的 V_{CC} 布线（2GM）的电阻的降低和高电阻层 2G1、2G2 中的稳定的高电阻值（R1、R2）。

另外，由于在本实施例中没有现有技术（图 14）中在连接孔 2B 和接触孔 CHP 之间设置的第 3 层布线层 3GP（V_{CC} 布线），故本发明中也可得到下述优点：可充分地取得第 2 层布线层 2G 对于连接孔 1B 的裕量 A（图 3）。

由以上所述可知，在本实施例中，也将各静态随机存取存储器对于位线方向以平移方式配置，使各静态随机存取存储器内的布局结构以图 2 所示的中心点 IP 为中心形成点对称，使各静态随机存取存储器具有 2 个相对于邻接静态随机存取存储器独立的区 FL 和接触孔 CH。由此可达到下述目的：（1）通过减少工序、布线层、连接孔的数目来降低成本，（2）降低 GND 布线层的电阻，（3）降低 GND 接触（栓电阻）的电阻，（4） V_{CC} 布线层本身的电阻的稳定，（5）高电阻部分（R1、R2）的稳定，（6）连接孔 1B 的覆盖裕量（裕量 A）的扩大，（7）提高第 1 层布线层 1G 的尺寸的可控性。

（实施例 2）

图 6 中示出的电路结构是与本申请人的申请有关的特愿平 8－325699 号的发明（平成 8 年 12 月 5 日申请）中示出的新的（非众所周知的）SRAM 的电路。图 6 中构成的 SRAM 是称之为“叠层型”的 SRAM，① 在第 1 位线 BIT 和第 1 存取晶体管 ATr1 的一侧的源/漏区之间、以及在第 2 位线 BIT 和第 2 存取晶体管 ATr2 的一侧的源/漏区之间分别设置第 1、第 2 双极型晶体管 BTr1、BTr2，同时，② 将第 1 和第 2 存取晶体管 ATr1、ATr2 的栅极分别连接到第 1 和第 2 字线 WL1、WL2 上，再者，③ 在第 1 驱动晶体管 DTr1 的另一侧的源/漏区和 GND 之间、以及在第 2 驱动晶体管 DTr2 的另一侧的源/漏区和 GND 之间分别设置 N 型的第 1、第 2 MOS 晶体管 MTr1、MTr2，分别将晶体管 MTr1、MTr2 的栅极连接到第 2 和第 1 字线

WL2、WL1 上。

在本实施例中，其目的不在于对图 6 的新的 SRAM 电路的结构作进一步的改进，主要的着眼点在于提供在半导体衬底上实现图 6 的电路时的布局技术。特别是在本实施例中，主要的打算是全部原封不动地利用作为实施例 1 而公开的布局结构，不仅能实现图 1 所示电路中的 SRAM，而且能实现图 6 所示电路中的 SRAM。

因而，关于图 6 所示电路的工作，这里不详细叙述。但是，如果用一句话来概括图 6 所示电路的工作的特征，则如下所述。即，双极型晶体管 BTr1、BTr2 根据该静态随机存取存储器的存储信息，驱动对应的位线 BIT、BIT 的电位电平，其结果是，即使在低电源电压下也可高速地读出数据。

现在，如参照已经叙述的图 2、图 3 的布局结构进行考虑，则① 如从成为各接触孔 CH 的底面的半导体衬底至基底层 100 的表面直到位于其下方的 N 型扩散层 10 的一部分形成 P 型的发射极层（第 1 导电型的另外的扩散层），由于可将上述 N 型扩散层 10 和其下方的 P 型的半导体衬底 100 分别作为基极层和集电极层来使用，故由此可实现图 6 中的 PNP 型的晶体管 BTr1、BTr2。而且，② 可将图 2 中未使用的区域 Rβ 用于图 6 的 MOS 晶体管 MTr1、MTr2。因此，不将区域 Rβ 正下方的第 3 扩散层形成区域作为一个 N 型扩散层，而是可将该区域通过 P 型的基底层分割为 2 个 N 型扩散层。因而，通过只对图 2、图 3 的布局进行上述改进①、②，就可容易地将图 6 所示电路中的 SRAM 作为实际的器件来实现。即，图 6 所示电路中的 SRAM 由 8 个晶体管和 2 个高电阻构成，它与由 4 个晶体管和 2 个高电阻构成的图 1 所示电路中的 SRAM 相比，尽管晶体管的使用数目变成 2 倍，但基本上采用图 2～图 4 的布局结构作为图 6 所示电路用的布局结构，通过在其中加上上述修正①、②，就可在完全不改变静态随机存取存储器尺寸和布线数目、连接孔数目的情况下，极为有效地在半导体衬底 100 上和半导体衬底 100 内对图 6 中示出的 SRAM 的静态随机存取存储器进行布局。当然，在这里也可同样地得到实施例 1 中叙述的布局方面的全部效果。

图 7 中示出了这样的布局结构的（沿图 2 中的 A－A’ 线的）纵剖面图。

图 8 中以放大的方式示出了在图 7 内 PNP 型的晶体管 BTr1 的形成区域部分 Rγ 。其中，图 8（a）示出了，为了比较起见假定使用图 13、图 14 中示出的现有的布局技术，打算实现图 6 中的 PNP 型晶体管时可能完成的结构，图 8（b）是本发明的应用例。从图 8（a）、（b）可理解，即使假定打

算应用现有的布局，但此时由于邻接的静态随机存取存储器和该静态随机存取存储器公用同一个基区，故根本不能实现图 6 的电路。

此外，在本实施例中，第 1 MOS 晶体管 MTr1 的第 1、第 2 电极层（10）与其间的沟道部分（100）合在一起的整体相当于“第 3 扩散层形成区域”。同样，“第 6 扩散层形成区域”是包含第 2 MOS 晶体管 MTr2 的第 1、第 2 电极层（10）和沟道部分（100）的概念。

（附记）

在本实施例 1、2 中，用高电阻 R1、R2 实现图 1 和图 6 的负载元件，但也可代之以用 MOSFET 来实现负载元件，或可通过再形成多晶硅层用薄膜晶体管（TFT）来形成上述负载元件。此时，代替高电阻 R1、R2 的高电阻部分为 TFT 的沟道区和源/漏区。

此外，在图 6 的电路中，作成使用 N 型的 MOS 晶体管和 PNP 型的晶体管的情况下的布局结构，但也可代之以将本发明应用于通过 P 型的 MOS 晶体管和 NPN 型的晶体管的组合构成上述图 6 的电路的情况下的布局结构。

（实施例 3）

以下的各实施例涉及改进区形状的技术。在其他结构方面没有改进。

在实施例 1、2 中，作为区 FL 的形状，采用其横剖面（指的是在包含位线方向 D1 和字线方向 D2 的平面中切断半导体存储器时得到的剖面）形状为完全的四角形的区形状。但是，该结构是观念上的结构，实际上在图 1 的 SRAM 的电路的情况下，为了提高驱动晶体管 DTr1、DTr2 的驱动力和降低存取晶体管 ATr1、ATr2 的驱动力而将β比设定得较大，使得相当于驱动晶体管 DTr1、DTr2 的形成区域的区 FL 的宽度 W_D 与相当于存取晶体管 ATr1、ATr2 的形成区域的区 FL 的宽度 W_A 的关系符合 $W_D > W_A$ 的关系式。因而，为了满足该关系式，区 FL 的横剖面形状成为图 9 中示出的那种在字线方向 D2 上有一些弯曲的形状，即，沿位线方向 D1 其横剖面形状的宽度逐渐变窄(如果从反方向看，可以说其宽度呈逐渐变宽的形状)。

由此，在增大晶体管的β比的同时，可完全发挥上述的实施例 1 的效果。

（实施例 4）

另一方面，在图 6 中的 SRAM 的电路的情况下，没有必要使β比很大，还不如为了确保 PNP 型的晶体管 BTr1、BTr2 的收集极－发射极间的耐压，有必要选取接触孔部分和区 FL 的壁面的足够的裕量 B（图 10）。

因此，在本实施例中，将区 FL 的形状作成其横剖面如图 10 中示出的那

种结构。因而，$W_D < W_A$ 。由此，在确保区裕量 B 达到实用上必要的值以确保 PNP 型的晶体管的收集极－发射极间的耐压的同时，也可完全满足实施例 2 中叙述的效果。

（实施例 5）

但是，如象图 9、图 10 那样构成区 FL 的形状的话，每一个静态随机存取存储器的大小反而增大，从而产生新的问题。因此，在本实施例中，例如在应用图 1 和图 4 的电路的情况下，如图 11 和图 12 的平面图所示，分别将各区 FL 的横剖面形状作成① 在位线方向 D1 上线对称，同时，② 沿位线方向 D1 使宽度 W 逐步变小/变大。如果假想地设定图 11、图 12 中示出的静态随机存取存储器的中心点为 PS，这种各静态随机存取存储器内的区 FL 的结构，可以说是在该中心点 PS 的周围配置成点对称的结构。

通过采用这种结构，在实现实施例 1 和 3 或实施例 2 和 4 的效果的同时，可有效地防止各静态随机存取存储器的尺寸的增大，可实现尺寸最小的、最合适的静态随机存取存储器的布局结构。

如采用本发明的第 1 方面所述的发明，由于在第 1 和字线方向上都作成平移配置的布局结构，故可使各静态随机存取存储器的布局互相独立，而且可将各静态随机存取存储器的布局的结构设定为完全相同的结构。因而，与只在字线方向上作成平移配置的现有技术的情况相比，可简化各静态随机存取存储器的布局结构，可使各静态随机存取存储器具有减少各静态随机存取存储器的布局中的布线层和连接孔的数目的余地。

如采用本发明的第 2 方面所述的发明，由于将各静态随机存取存储器的布局结构设定为点对称，故可向各静态随机存取存储器提供用于减少各静态随机存取存储器的布局中的布线层、连接孔的数目的余地乃至结构，具有可简化工艺和结构的可能性。

如采用本发明的第 3 方面所述的发明，由于不采用如以往那样使各静态随机存取存储器公用元件形成区域的结构，而是对每个静态随机存取存储器设置 2 个独立的元件形成区域，故可产生在相邻的静态随机存取存储器间的基底表面上和基底表面内未形成元件形成区域的部分，即所谓余地部分，可将该余地部分用作各静态随机存取存储器的另外的布线层。

如采用本发明的第 4 方面所述的发明，由于不采用如以往那样在相邻的静态随机存取存储器之间公用联结位线和元件形成区域的接触孔部分的结构，而是对每个静态随机存取存储器设置 2 个独立的接触孔部分，故可在相

邻的一个静态随机存取存储器的第 1 接触孔部分和另一个静态随机存取存储器的第 2 连接孔部分之间提供可设置对两静态随机存取存储器而言都是必要的布线层的部分。如果利用该余地部分，则可减少 1 层布线层。

如采用本发明的第 5 方面所述的发明，由于可在第 1 接触孔部分和第 2 接触孔部分间的基底表面上设置接地布线层作为第 1 层布线层，故与设置接地布线层作为第 2 层布线层的现有技术相比，可减少布线层的数目。因而，可简化各静态随机存取存储器的布局结构及其工艺。而且，在本发明中，由于与现有技术相同，接地布线层与字线方向平行地形成，故也可照样充分且灵活地利用现有的布局具有的优点，即可在工艺方面稳定地形成接地布线层。

如采用本发明的第 6 方面所述的发明，由于采用直接连接接地布线层与各静态随机存取存储器的元件形成区域内的扩散层的结构，故与现有技术相比，可将连接部分的台阶高度作得很小，可使台阶部分中产生的栓电阻减少到几乎可忽略的数量级。而且，因为本发明的上述连接是第 1 层部分与元件形成区域的连接，故在工艺方面可原封不动地利用该连接孔中用于连接该静态随机存取存储器中的晶体管的栅极层与元件形成区域的连接孔，因此，在工艺方面可减少工序数目，同时在结构方面可减少 1 个连接孔。

如采用本发明的第 7 方面所述的发明，由于接地布线层和字线用同样的材料而且互相平行于字线方向作为第 1 层布线层，故在工艺方面可同时形成接地布线层和字线，可简化工艺。而且在布局结构方面，可原封不动地继承现有例具有的优点。即，由于字线的电阻减少，故也可使接地布线层本身的电阻减少，同时，由于以平行的方式布线，故可得到形状稳定的字线和接地布线层。

如采用本发明的第 8 方面所述的发明，可将各静态随机存取存储器的电源电位布线层作为第 2 层布线层来设置。而且，由于平行于字线方向配置该布线层，故在工艺方面不产生现有技术的那种宽度变窄的部分，可容易地实现稳定的形状，故与现有技术相比可显著地减少各静态随机存取存储器的电源电位布线层本身的电阻。

如采用本发明的第 9 方面所述的发明，由于各静态随机存取存储器中的各高电阻部分的布线方式是垂直于对应的电源电位布线层，故在工艺方面可不产生在交叉部分处宽度减少的现象，可按照布局图形形成该交叉部分。因此，由于各高电阻层的形状、尺寸可变得稳定，故可得到能正确地按照设计

实现各高电阻层的电阻值的优点。

如采用本发明的第 10 方面所述的发明，由于在各静态随机存取存储器内形成在位线方向上延伸的 2 个高电阻层，除此以外的布线层不在同一平面内，故可扩大各埋入接触部分与对应的高电阻层的端部之间的距离，即增大各埋入接触部分的覆盖裕量。由此，可稳定地实现各埋入接触部分的形状。

如采用本发明的第 11 方面所述的发明，由于在各接触孔部分正下方的第 2 导电型的扩散层中设置第 1 导电型的扩散层，故在各接触孔部分的正下方依次形成第 1 导电型的层、第 2 导电型的层和第 1 导电型的基底层。因而，在该部分形成双极型晶体管。由此，例如原封不动地利用高电阻负载型的 SRAM 的布局结构，可实现叠层型的 SRAM 的布局结构。因而，可有效地用一个布局结构作为多种类型的半导体存储器的布局结构。

如采用本发明的第 12 方面所述的发明，由于使各静态随机存取存储器的各元件形成区域的宽度尺寸在位线方向上变窄，可实现各种半导体存储器中所需要的各晶体管的特性。例如，在高电阻负载型的 SRAM 中，在提高驱动晶体管的驱动力的同时，可降低存取晶体管的驱动力。此外，在叠层型的 SRAM 中，可在不增大β比的情况下确保 PNP 型的双极型晶体管的收集极－发射极间的耐压等。

如采用本发明的第 13 方面所述的发明，在维持本发明的第 12 方面的发明的上述效果的同时，具有能减少各静态随机存取存储器的尺寸的效果。

如采用本发明的第 14 方面所述的发明，由于可在第 3 和第 6 扩散层形成区域中形成晶体管，故本发明具有下述效果：在不根本改变可应用于高电阻负载型的 SRAM 的布局结构的情况下，利用该布局结构可容易地实现叠层型的 SRAM 的布局结构。

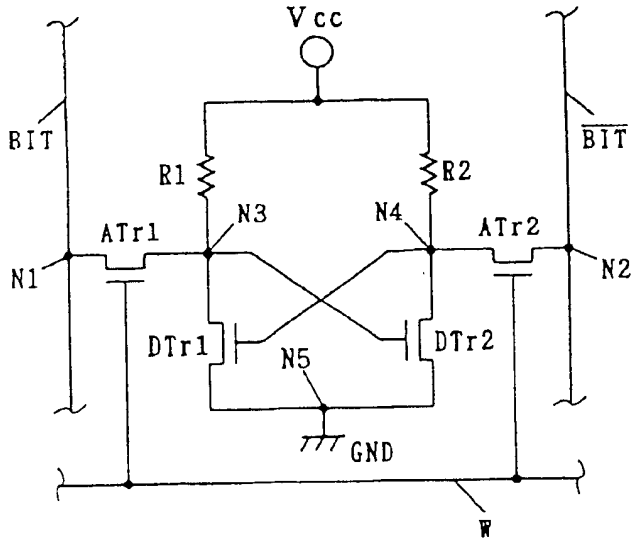

Vcc
BIT
$\overline{BIT}$
R1
R2
N3
N4
ATr1
ATr2
N1
N2
DTr1
DTr2
N5
GND
W

图 1

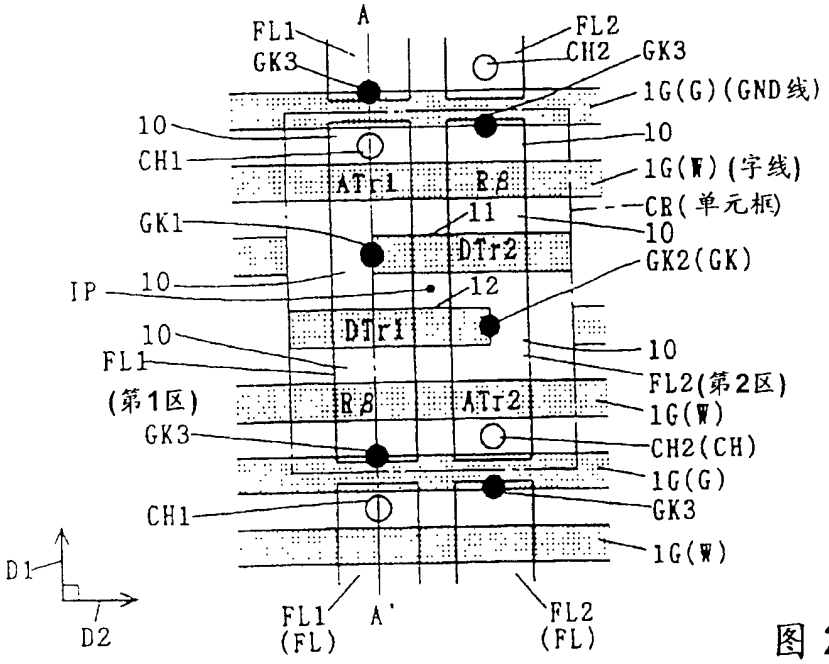

A
FL1
GK3
FL2
CH2
GK3
1G(G)(GND线)
10
CH1
10
1G(W)(字线)
ATr1
RB
CR(单元框)
11
GK1
10
DTr2
GK2(GK)
IP
10
12
DTr1
10
FL1
10
FL2(第2区)
(第1区)
RB
ATr2
1G(W)
GK3
CH2(CH)
1G(G)
CH1
GK3
1G(W)
D1
D2
FL1
(FL)
A'
FL2
(FL)

图 2

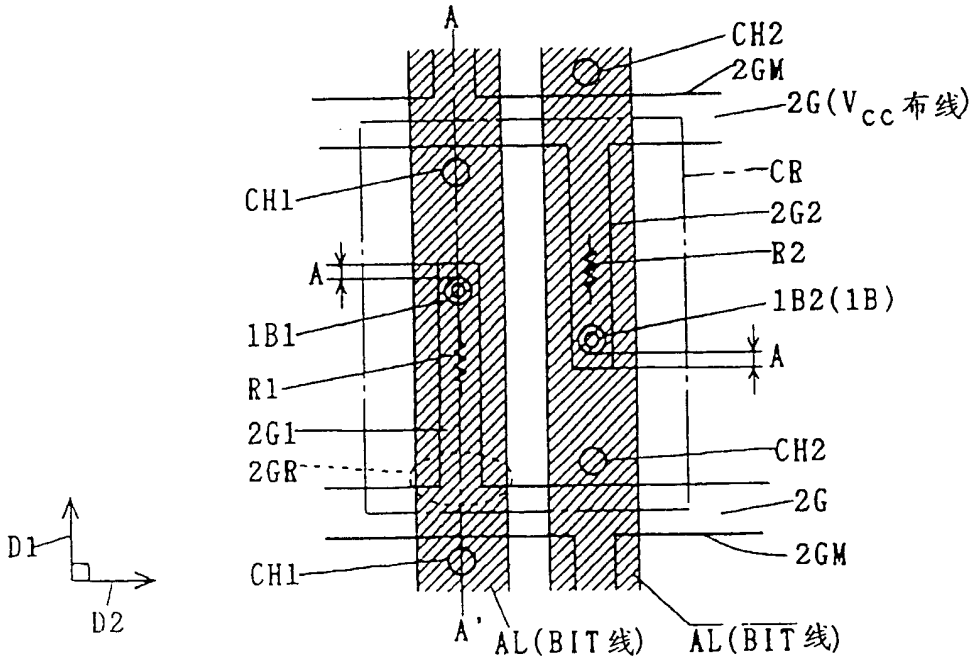

A
CH2
2GM
2G(Vcc布线)
CR
CH1
2G2
R2
A
1B2(1B)
1B1
A
R1
2G1
2GR
CH2
2G
2GM
CH1
A'
AL(BIT线)
AL(BIT线)
D1
D2

图 3

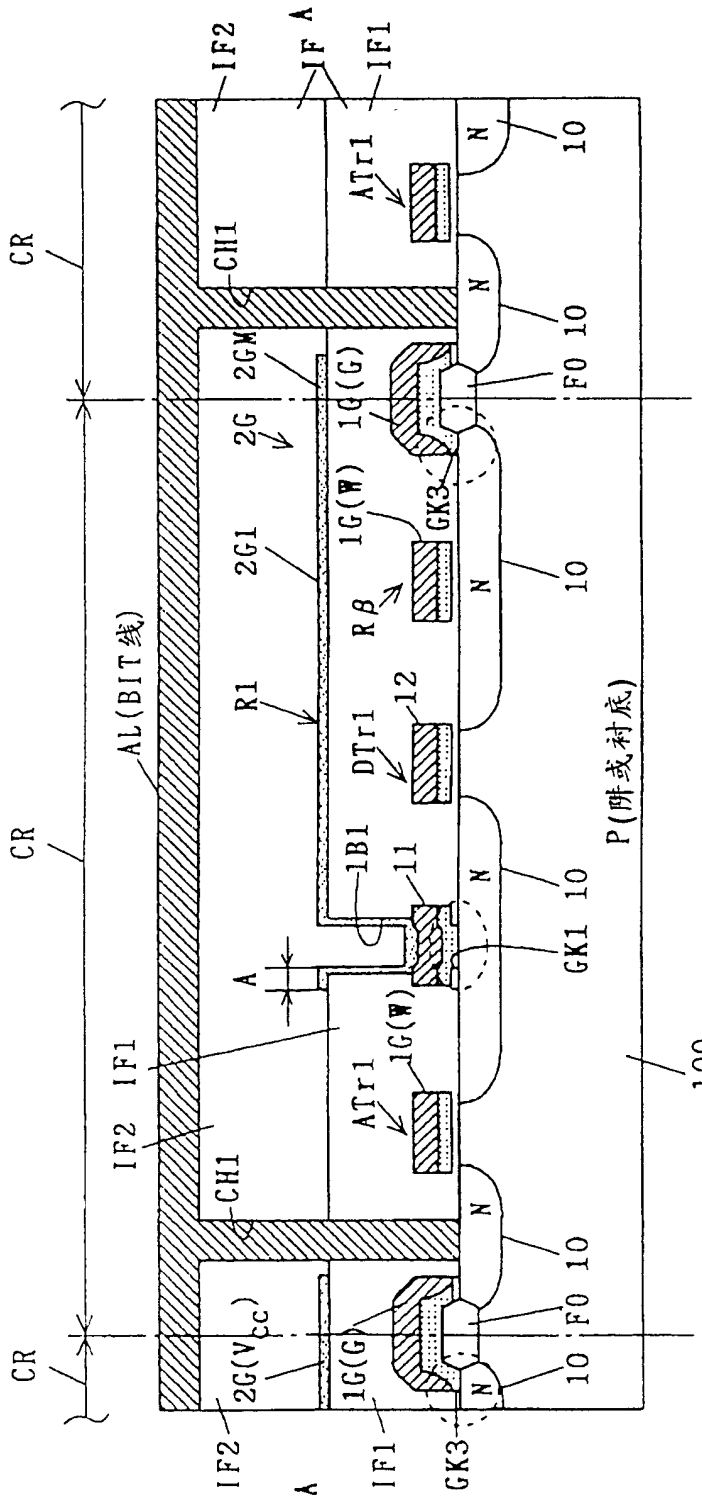
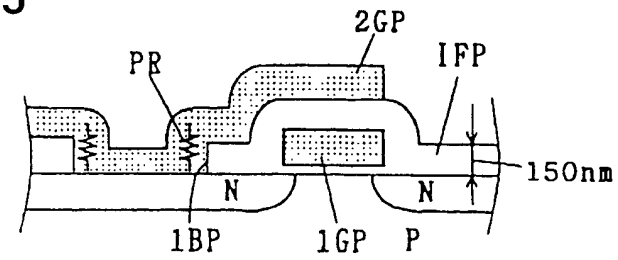

CR
CR
CR
IF2
IF
A
IF1
ATr1
CH1
2GM
2G
1G(G)
1G(W)
GK3
2G1
Rβ
R1
DTr1
12
AL(BIT线)
1B1
11
GK1
A
IF1
IF2
ATr1
1G(W)
CH1
2G(Vcc)
1G(G)
IF2
IF1
GK3
A
N
10
F0
P(阱或衬底)
100

图 4

图 5

（a）现有技术



（b）本发明

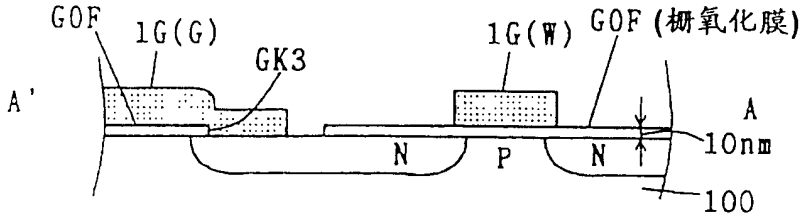
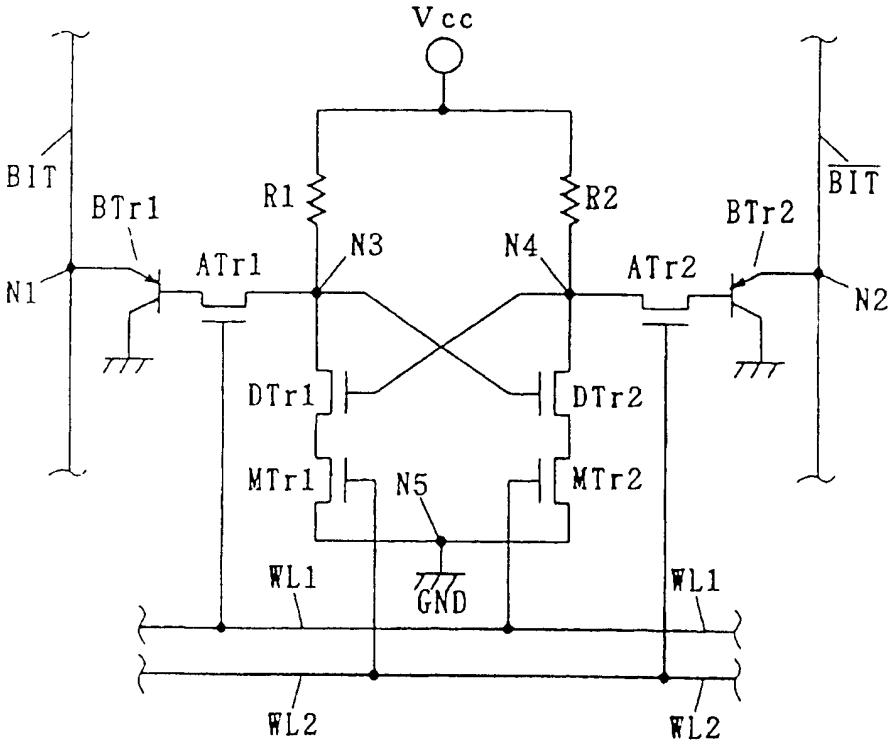


图 6



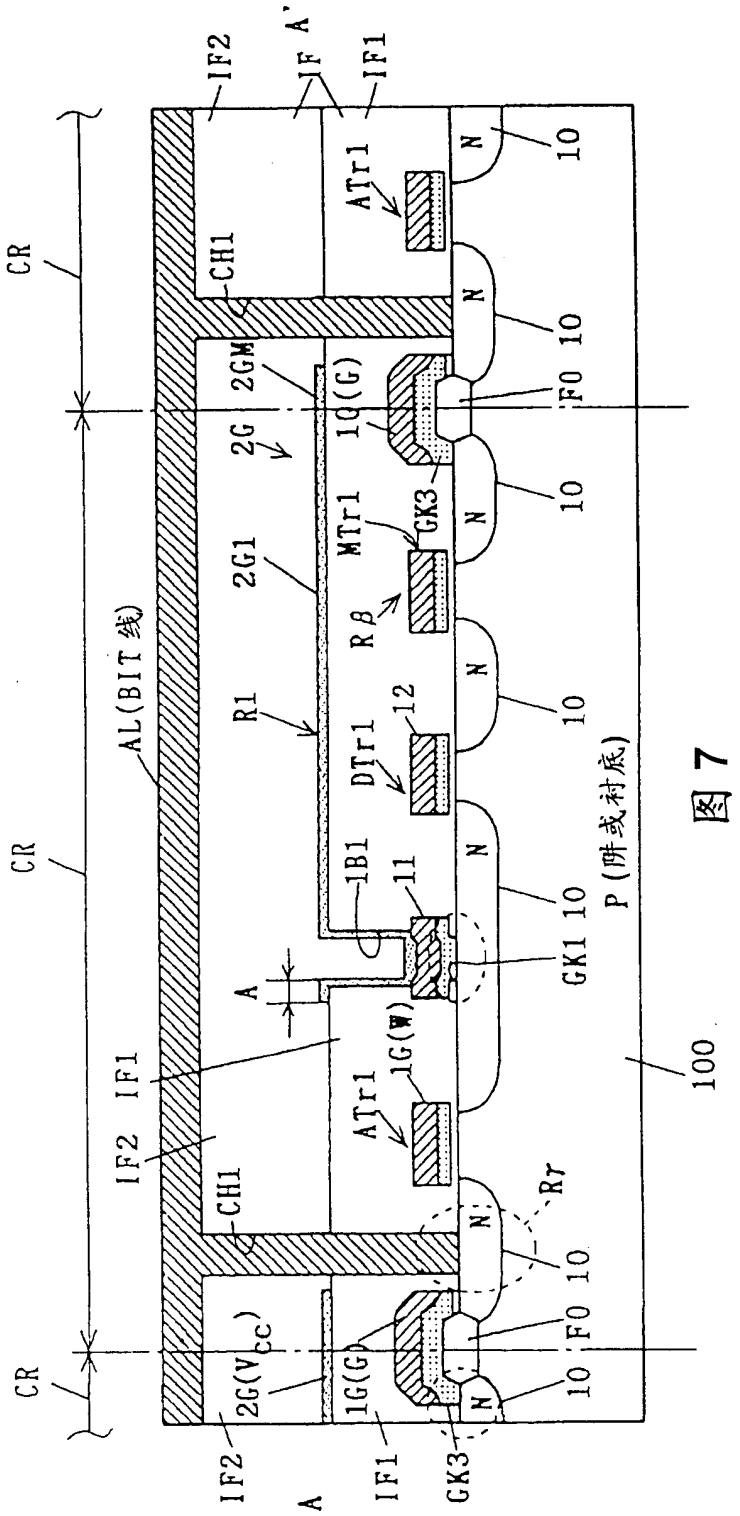
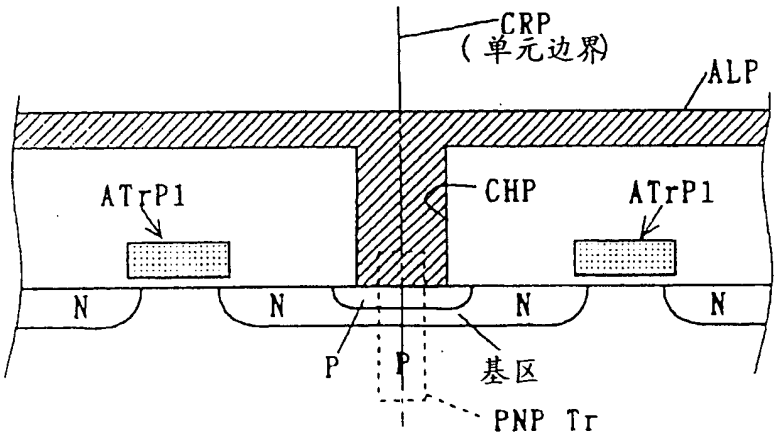

IF2
IF
A'
IF1
CR
CH1
ATr1
N
10
2GM
2G
1G(G)
F0
GK3
MTr1
2G1
Rβ
R1
DTr1
12
AL(BIT线)
1B1
11
GK1
P(阱或衬底)
A
1G(W)
100
Rr
N'
2G(Vcc)
IF2
A
IF1
GK3

图 7

（ａ）现有技术



（ｂ）本发明

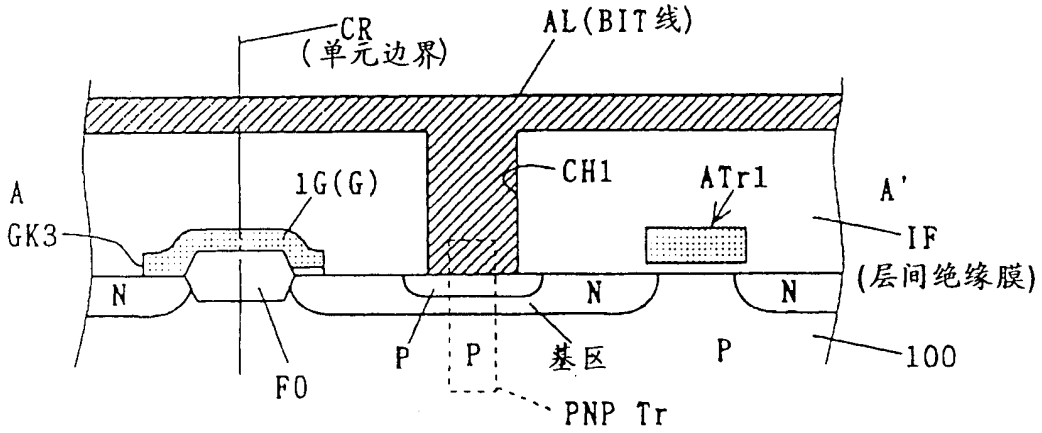


图 8

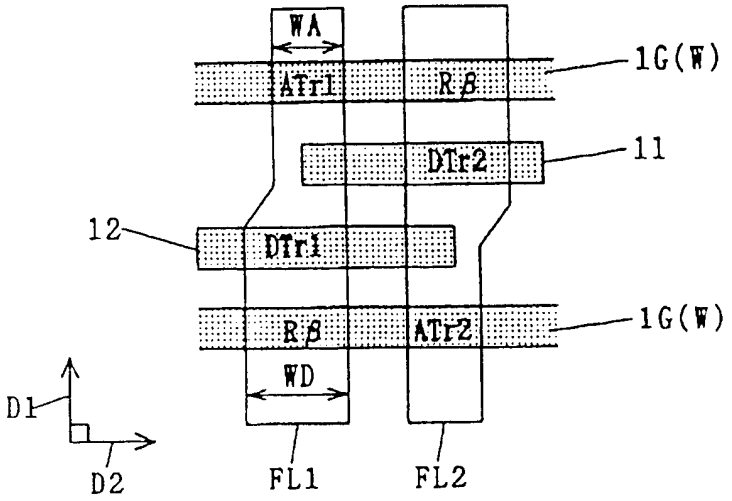

WA
ATr1
Rβ
1G(W)
DTr2
11
12
DTr1
Rβ
ATr2
1G(W)
WD
D1
D2
FL1
FL2

图 9

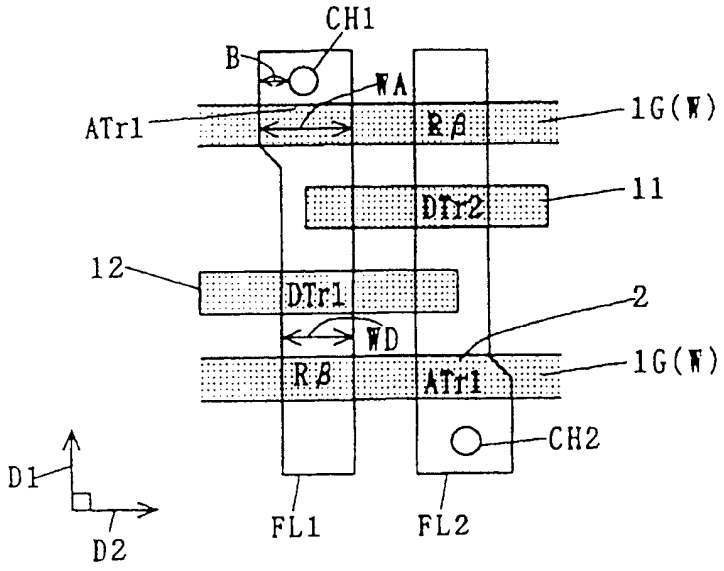

CH1
B
WA
ATr1
Rβ
1G(W)
DTr2
11
12
DTr1
2
WD
Rβ
ATr1
1G(W)
CH2
D1
D2
FL1
FL2

图 10

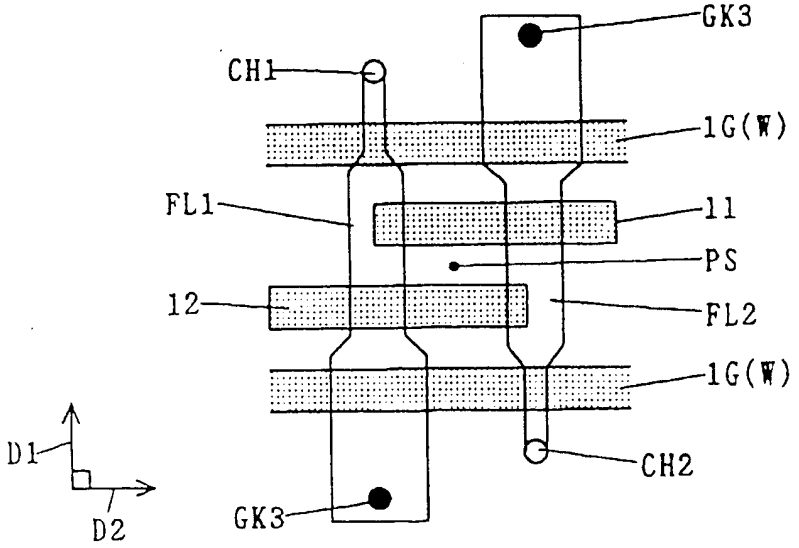

GK3
CH1
1G(W)
FL1
11
PS
12
FL2
1G(W)
CH2
GK3
D1
D2

图 11

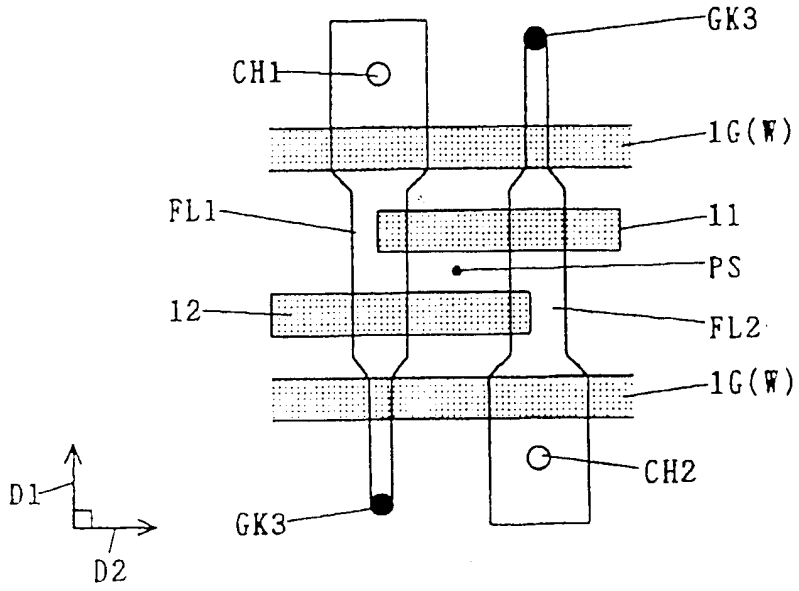

GK3
CH1
1G(W)
FL1
11
PS
12
FL2
1G(W)
CH2
GK3
D1
D2

图 12

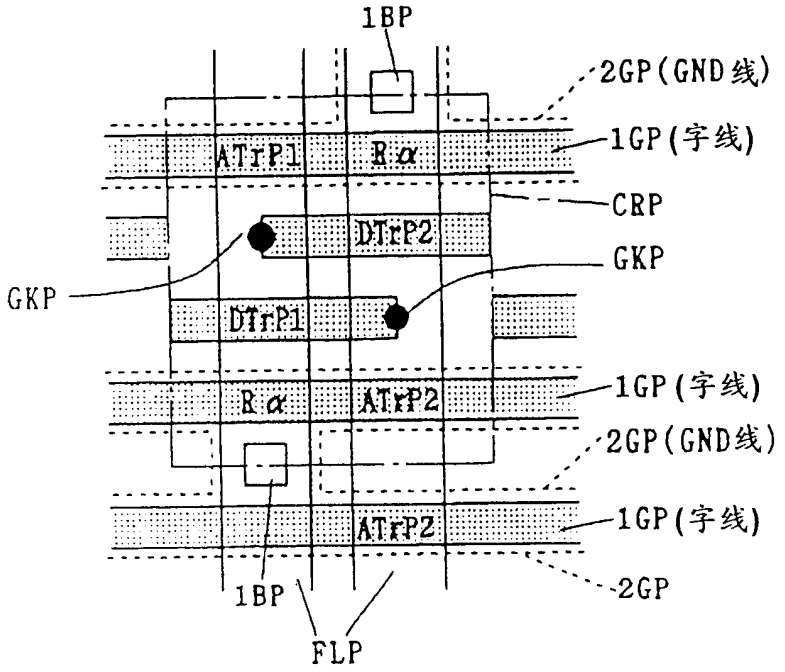

1BP
2GP(GND线)
1GP(字线)
ATrP1
Rα
CRP
DTrP2
GKP
GKP
DTrP1
1GP(字线)
Rα
ATrP2
2GP(GND线)
1GP(字线)
ATrP2
2GP
1BP
FLP

图13

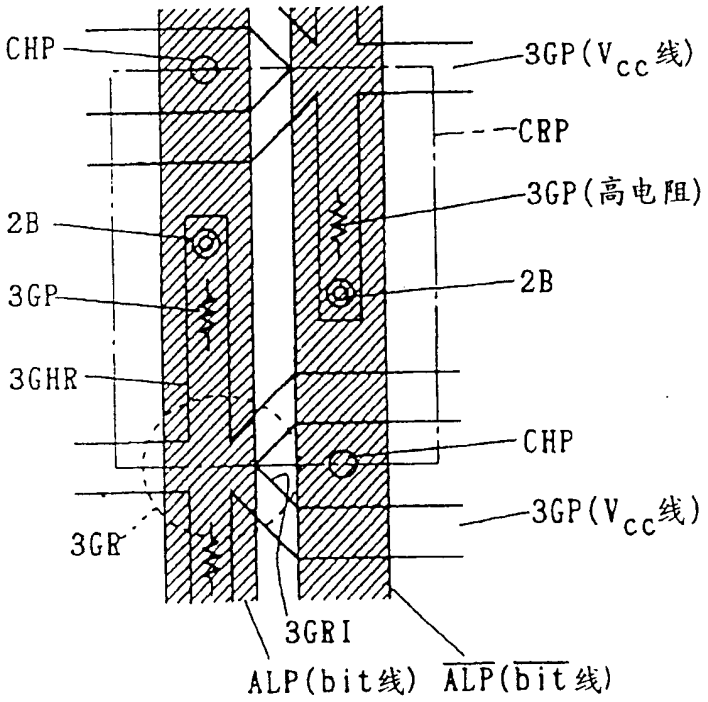

CHP
3GP(Vcc线)
CRP
3GP(高电阻)
2B
2B
3GP
3GHR
CHP
3GP(Vcc线)
3GR
3GRI
ALP(bit线)
ALP(bit线)

图14

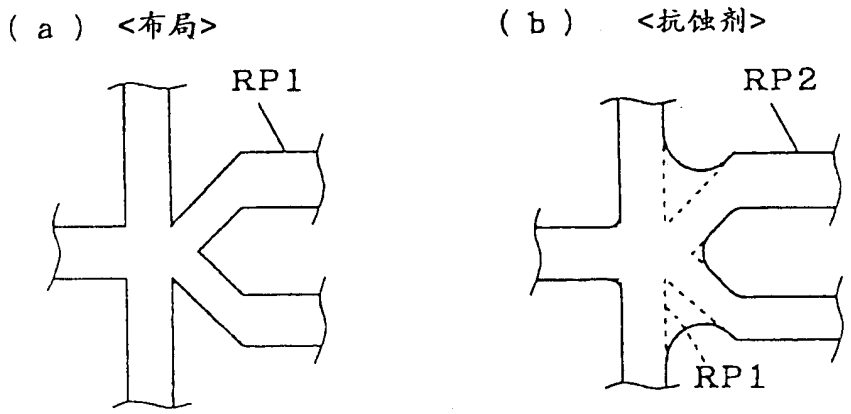


图15

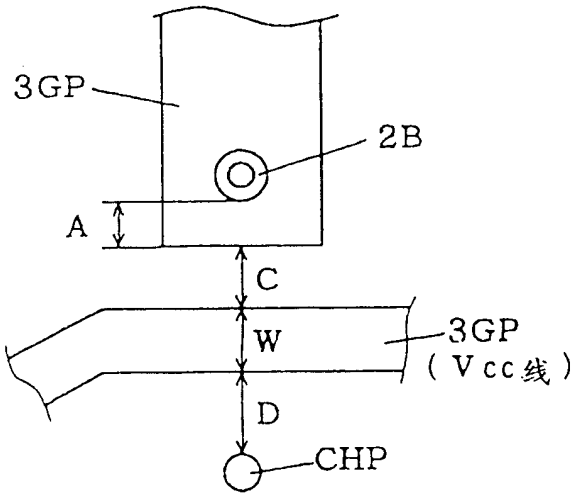


图16