

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 23/28	(11) 공개번호 특1998-044211	(43) 공개일자 1998년09월05일
(21) 출원번호 특1996-062258	(22) 출원일자 1996년12월06일	
(71) 출원인 엘지반도체 주식회사	문정환 충청북도 청주시 흥덕구 향정동 1번지	
(72) 발명자 김선동	충청북도 청주시 흥덕구 가경동 766 형석아파트 204동 1104호	
(74) 대리인 박장원		

심사청구 : 있음

(54) 반도체 패키지 및 그 제조방법

요약

본 발명은 반도체 패키지 및 그 제조방법에 관한 것으로, 종래에는 외부 단자의 역할을 하게 되는 아웃 리드를 패키지 몸체의 양측 외부로 돌출시키고 와이어 본딩에 의해 칩을 이너 리드와 연결시키는 것이므로 패키지를 소형화시키는데 한계가 있었고, 패키지의 적층이 불가능한 문제점이 있었다. 또한, 상기와 같은 점은 전자제품의 크기가 점차 소형으로 되는 추세에 방해 요소가 되는 단점이 있었던 바, 본 발명은 반도체 칩에 범프를 형성하여 이너 리드와 연결시키고, 반도체 칩의 신호를 패키지의 외부로 전달하는 아웃 리드를 패키지의 상면에 밀착되어 노출하도록 형성함으로써, 적층이 가능하면서도 와이어 본딩 없이 칩을 직접 리드 패턴과 연결하여 패키지의 크기를 줄여 인쇄 회로 기판에 실장되는 면적을 최소화할 수 있는 것이다.

대표도

도3

명세서

도면의 간단한 설명

- 도 1은 종래 패키지가 실장된 상태를 보인 종단면도,
- 도 2는 본 발명에 따른 패키지를 도시한 분해 사시도,
- 도 3a 내지 도 3e는 본 발명에 따른 패키지의 제조 방법을 나타낸 공정수순도,
- 도 4는 본 발명의 다른 실시예를 보인 것으로 비어 홀이 형성된 패키지를 도시한 분해 사시도,
- 도 5는 본 발명에 따른 패키지가 적층된 상태를 도시한 종단면도.

도면의 주요 부분에 대한 부호의 설명

- 1; 서브 스트레이트2; 필름 테이프
- 3; 칩4; 범프
- 5; 이너 리드 본딩6; 제1절곡부
- 7; 제2절곡부8; 포팅부
- 9; 아웃 리드 본딩10; 비어 홀
- 11; 본딩부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 패키지 및 그 제조방법에 관한 것으로, 특히 패키지의 크기를 줄이고 패키지 상태로 적층이 가능한 구조로 제작하여 인쇄회로 기판의 패키지 실장면적을 최소화한 반도체 패키지 및 그 제조

방법에 관한 것이다.

일반적으로 종래의 패키지는, 도 1에 도시한 바와 같이, 베이스 메탈(base metal)(1a) 내측에 절연성 접착제로 칩(3a)이 부착되어 있고, 그 반도체 칩(3a)의 주위를 둘러가며 다수개의 연결 단자(5a)를 부착하고, 상기 연결단자(5a)와 칩(3a)을 와이어(4a)로 연결하여 전기적인 접속을 이루고 있으며, 반도체 칩(3a)과 와이어(4a)가 고정될 수 있도록 포팅액을 부어 형성한 몰딩부(8a)로 구성되어 있다.

상기 연결 단자(5a)는 와이어(4a)와 연결되고 몰딩부(8a)의 내부에 삽입되는 이너 리드(inner lead)와 패키지 몸체의 외부로 설치되어 있는 아웃 리드(outer lead)로 구성된다.

상기와 같이 구성되어 있는 일반적인 반도체 패키지의 제조 방법을 살펴보면 다음과 같다.

일반적인 반도체 패키지는 베이스 메탈(1a)의 상부에 접착제를 이용하여 반도체 칩(3a)을 부착하는 다이 본딩 공정을 수행하는 단계와, 상기 반도체 칩(3a)과 이너리드를 금속 와이어(4a)로 연결하여 전기적인 접속이 되도록 하는 와이어 본딩 공정을 수행하는 단계와, 상기 반도체 칩(3a), 금속 와이어(4a), 이너 리드를 포함하는 일정면적을 몰딩 컴파운드로 몰딩하는 몰딩공정을 수행하는 단계와, 트리밍/포밍 공정을 수행하는 단계의 순서로 제조되는 것이다.

상기와 같이 제조된 패키지는 상기 아웃 리드를 인쇄 회로 기판(100)에 형성되어 있는 패드(101)에 솔더시켜 사용한다.

발명이 이루고자하는 기술적 과제

그러나, 종래의 반도체 패키지는 외부 단자의 역할을 하게 되는 아웃 리드를 패키지 몸체의 양측 외부로 돌출시켜야 하고, 와이어 본딩에 의해 칩(3a)을 이너 리드와 연결시키는 것이므로 패키지를 소형화시키는데 한계가 있고, 패키지의 적층이 불가능한 문제점이 있었다.

또한, 상기와 같은 점은 전자 제품의 크기가 점차 소형으로 되는 추세에 방해 요소가 되므로 이에 대한 보완이 요구되어 왔다.

이와 같은 점을 감안하여 안출한 본 발명의 목적은 반도체 칩에 범프를 형성하여 이너 리드와 연결시키고, 반도체 칩의 신호를 패키지의 외부로 전달하는 아웃 리드를 패키지의 상면에 밀착되어 노출하도록 형성함으로써, 와이어 본딩 없이 칩을 직접 리드 패턴과 연결하여 패키지의 크기를 줄여 인쇄 회로 기판에 실장되는 면적을 최소화할 수 있는 반도체 패키지를 제공하는데 그 목적이 있는 것이다.

발명의 구성 및 작용

이와 같은 목적을 달성하기 위해서 본 발명은 상방향으로 절곡된 제1절곡부와 내측방향으로 절곡된 제2절곡부를 구비한 서브 스트레이트와, 상기 서브 스트레이트의 상측 외부 단자가 되는 아웃 리드와 이너 리드를 포함한 다수개의 리드 패턴이 구비되어 서브 스트레이트에 부착되는 양면 테이프와, 하면에 상기 이너 리드와 접촉가능한 다수개의 범프가 구비된 반도체 칩과, 상기 칩과 이너 리드를 포함하는 일정면적을 덮도록 몰딩하는 몰딩부로 구성된 것을 특징으로 하는 반도체 패키지가 제공된다.

상기 양면 테이프의 리드 패턴과 서브 스트레이트의 리드 패턴 부착부위는 비아 홀이 형성된다.

상기와 같은 본 발명의 목적을 달성하기 위한 제조 방법에 있어서는, 서브 스트레이트에 리드 패턴이 형성된 양면 테이프를 부착시키는 단계와, 상기 서브 스트레이트에 부착된 리드 패턴에 범프가 형성된 반도체 칩을 부착하는 칩 본딩 공정을 수행하는 단계와, 상기 반도체 칩을 감싸도록 서브 스트레이트를 1차 절곡시키는 벤딩 공정을 수행하는 단계와, 상기 몰딩부를 감싸도록 서브 스트레이트를 2차 절곡시키는 벤딩 공정을 수행하는 단계의 순서로 제조되는 것을 특징으로 하는 반도체 패키지 제조 방법이 제공된다.

이하, 상기와 같이 구성되어 있는 본 발명의 반도체 패키지를 첨부한 도면에 도시한 실시예에 따라 상세히 설명하면 다음과 같다.

본 발명의 반도체 패키지는, 첨부한 도 2에 도시한 바와 같이, 상방향과 내측방향으로의 2차 절곡부(6,7)가 형성된 서브 스트레이트(1)와, 상기 서브 스트레이트(1)의 상측 외부 단자가 되도록 다수개의 리드 패턴(5,9)이 구비되어 서브 스트레이트(1)에 부착되는 양면 테이프(2)와, 하면에 상기 리드 패턴(5,9)과 접촉가능한 다수개의 범프(4)가 구비된 반도체 칩(3)과, 상기 칩(3)과 이너 리드(5)를 포함하는 일정면적을 덮도록 몰딩하는 몰딩부(8)로 구성된다.

상기와 같이 구성되어 있는 본 발명의 반도체 패키지의 제조 방법을 도 3a 내지 도 3e를 참조하여 설명하면 다음과 같다.

본 발명의 반도체 패키지는 서브 스트레이트(1)에 리드 패턴(5,9)이 형성된 양면테이프(2)를 부착시키는 단계(도 3a)와, 상기 서브 스트레이트(1)에 부착된 리드 패턴(5,9)에 범프(4)가 형성된 반도체 칩(3)을 부착하는 칩 본딩 공정을 수행하는 단계(도 3b)와, 상기 반도체 칩(3)을 감싸도록 서브 스트레이트(1)를 1차 절곡시키는 벤딩 공정을 수행하는 단계(도 3c)와, 상기 반도체 칩(3), 이너 리드(5)를 포함하는 일정 면적을 몰딩하는 몰딩 공정을 수행하는 단계(도 3d)와, 상기 몰딩부(8)를 감싸도록 서브 스트레이트(1)를 2차 절곡시키는 벤딩 공정을 수행하는 단계(도 3e)의 순서로 제조되는 것이다.

상기 서브 스트레이트(1)는 그 재질이 유연한 것으로서, 서브 스트레이트(1)의 중앙부는 상기 반도체 칩(3)이 부착될 공간이 될 수 있는 직사각형 형상이고, 상기 직사각형부의 4개변은 1차 절곡부(6)가 되며, 이 1차 절곡부(6)에서 소정 길이만큼 연장된 연장부가 형성된다.

상기 양면 테이프(2)는 다수개의 리드 패턴(5,9)이 앞, 뒷면으로 형성되어 있고, 서브 스트레이트(1)에

상면에 부착된 후 서브 스트레이트(1)의 4개 연장부 끝단을 감싸면서 서브 스트레이트(1) 하면의 일정부분에 부착가능하도록 서브 스트레이트(1)의 연장부보다 더 연장된 형상이다.

상기 반도체 칩(3)은 그 일면에 형성된 다수개의 범프(4)가 상기 양면 테이프(2)에 형성된 리드 패턴(5,9)과 접촉되어 전기적 접속이 가능하게 된다.

또한, 상기 칩(3)을 리드 패턴(5,9)에 부착시키고 서브 스트레이트(1)를 벤딩한 후 칩(3)과 이너 리드(5)를 포함하는 일정면적을 덮도록 몰딩하고 나서 2차 벤딩을 하면 상기 서브 스트레이트(1)의 하면을 감싸는 리드 패턴(9)이 패키지의 상면에 노출되므로 아웃 리드가 된다.

첨부한 도 4는 본 발명의 반도체 패키지의 다른 실시예를 보인 것으로, 상기 양면 테이프(2)의 리드 패턴(5,9)과 서브 스트레이트(1)의 리드 패턴(5,9) 부착부위에 비아 홀(10)이 형성된다.

상기 양면 테이프(2)의 리드 패턴(5,9)과 서브 스트레이트(1)의 리드 패턴(5,9) 부착부위에 형성된 비아 홀(10)은 칩(3)의 범프(4)와 아웃 리드(9)간의 전기적인 접속을 가능하게 하므로, 도 5에 도시한 바와 같이, 다수개의 패키지를 적층시킬 수 있게 된다.

발명의 효과

본 발명의 반도체 패키지에 의하면 반도체 칩의 신호를 패키지의 외부로 전달하는 아웃 리드를 패키지의 상면에 밀착되어 노출하도록 형성함으로써, 적층이 가능하면서도 와이어 본딩 없이 칩을 직접 리드 패턴과 연결하여 패키지의 크기를 줄여 인쇄 회로 기판에 실장되는 면적을 최소화할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1

상방향으로 절곡된 제1절곡부와 내측방향으로 절곡된 제2절곡부를 구비한 서브 스트레이트와, 상기 서브 스트레이트의 상측 외부 단자가 되는 아웃 리드와 이너 리드를 포함한 다수개의 리드 패턴이 구비되어 서브 스트레이트에 부착되는 양면테이프와, 하면에 상기 이너 리드와 접촉가능한 다수개의 범프가 구비된 반도체 칩과, 상기 칩과 이너 리드를 포함하는 일정면적을 몰딩하는 몰딩부로 구성된 것을 특징으로 하는 반도체 패키지.

청구항 2

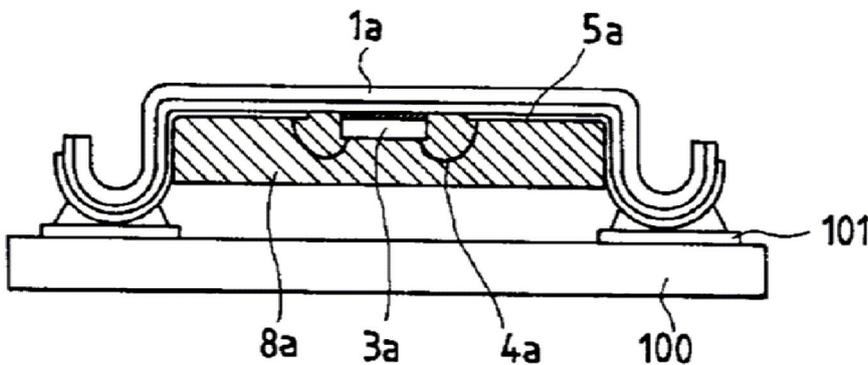
제1항에 있어서, 상기 양면 테이프의 리드 패턴과 서브 스트레이트의 리드 패턴 부착부위는 비아 홀이 형성되는 것을 특징으로 하는 반도체 패키지.

청구항 3

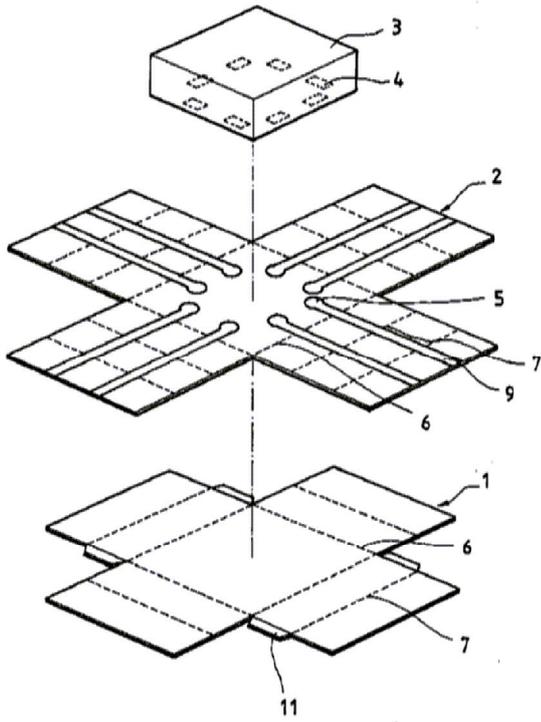
서브 스트레이트에 리드 패턴이 형성된 양면 테이프를 부착시키는 단계와, 상기 서브 스트레이트에 부착된 리드 패턴에 범프가 형성된 반도체 칩을 부착하는 칩 본딩공정을 수행하는 단계와, 상기 반도체 칩을 감싸도록 서브 스트레이트를 1차 절곡시키는 벤딩 공정을 수행하는 단계와, 상기 반도체 칩, 이너 리드를 포함하는 일정면적을 몰딩하는 몰딩 공정을 수행하는 단계와, 상기 몰딩부를 감싸도록 서브 스트레이트를 2차 절곡시키는 벤딩 공정을 수행하는 단계의 순서로 제조되는 것을 특징으로 하는 반도체 패키지 제조 방법.

도면

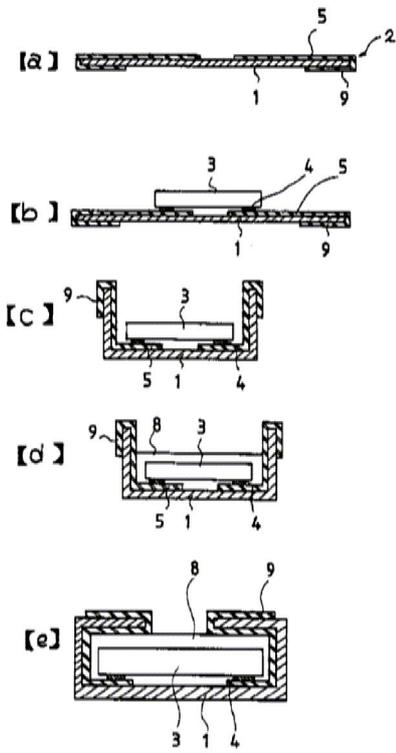
도면1



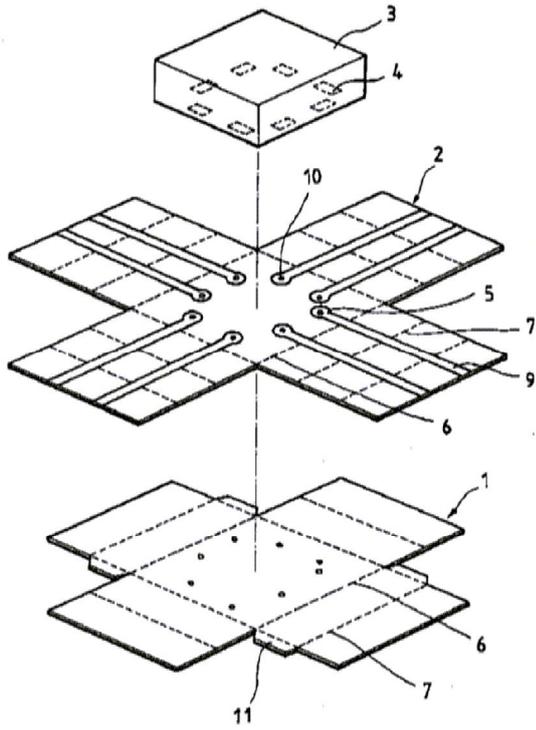
도면2



도면3



도면4



도면5

