

# 發明專利說明書

200529296

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93139513

※申請日期：93年12月17日

※IPC分類：H01L<sup>23</sup>/48

## 一、發明名稱：

(中) 具有薄膜電容器結構之積體電路封裝基底

(英) An integrated circuit package substrate having a thin film capacitor structure

## 二、申請人：(共 1 人)

1. 姓名：(中) 英特爾股份有限公司  
(英) INTEL CORPORATION

代表人：(中) 1. 大衛 賽門  
(英) 1. SIMON, DAVID

地址：(中) 美國加州聖大克拉瑞密遜學院路二二〇〇號  
(英) 2200 Mission College Blvd., Santa Clara, CA 95052, USA

國籍：(中英) 美國 U.S.A.

## 三、發明人：(共 1 人)

1. 姓名：(中) 聖吉斯 巴蘭杜斯  
(英) PALANDUZ, CENGIZ

國籍：(中) 土耳其  
(英) TURKEY

## 四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利  主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 美國 ; 2003/12/23 ; 10/746,665  有主張優先權

# 發明專利說明書

200529296

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93139513

※申請日期：93年12月17日

※IPC分類：H01L<sup>23</sup>/48

## 一、發明名稱：

(中) 具有薄膜電容器結構之積體電路封裝基底

(英) An integrated circuit package substrate having a thin film capacitor structure

## 二、申請人：(共 1 人)

1. 姓名：(中) 英特爾股份有限公司  
(英) INTEL CORPORATION

代表人：(中) 1. 大衛 賽門  
(英) 1. SIMON, DAVID

地址：(中) 美國加州聖大克拉瑞密遜學院路二二〇〇號  
(英) 2200 Mission College Blvd., Santa Clara, CA 95052, USA

國籍：(中英) 美國 U.S.A.

## 三、發明人：(共 1 人)

1. 姓名：(中) 聖吉斯 巴蘭杜斯  
(英) PALANDUZ, CENGIZ

國籍：(中) 土耳其  
(英) TURKEY

## 四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利  主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 美國 ; 2003/12/23 ; 10/746,665  有主張優先權

(1)

## 九、發明說明

### 【發明所屬之技術領域】

本發明係有關一種積體電路封裝的基底中包含之電容結構。

### 【先前技術】

通常係在晶圓基底上製造積體電路。然後將晶圓基底“切割”或“分割”成若干個別的晶粒，而每一晶粒具有一各別的積體電路。然後將該晶粒黏著在通常具有一中間互連基底的一封裝基底上。該等一個或多個基底將結構的剛性提供給所形成的積體電路封裝。封裝基底也提供自晶粒的接點至其上安裝有該積體電路封裝的一載體基底上的接點之  $x-y$  變換。

可經由該等一個或多個基底中之導體而提供信號進出該晶粒。當經由該等導體而傳輸信號時，通常發生被稱為電阻-電容-電感延遲的信號延遲。為了減少電阻-電容-電感延遲，通常在接近晶粒處設有一電容。該電容係被用來作為在接近積體電路處的一電力儲存器。

分立式的電容有較大的尺寸，且因而佔用一基底上的較大面積。我們了解薄膜電容佔用較小的面積，因而可形成較多的電容。在製造一基底時，製造薄膜電容也可能比將分立式電容安裝到基本上簡單。

必須在一基底的基部結構中製造若干通孔，且必須形成用來連接一薄膜電容結構的電源及接地層之若干導電通

(2)

孔。多年中，此種通孔的形成方式已是半導體工業的一受關注之事項。因此，將所有的努力用在諸如矽等的低 k 值材料中之鑽孔。矽是一種易碎的材料，因而使其難以在矽中鑽孔。必須個別地鑽出每一孔，因而降低了產出率。

## 【發明內容】

本發明係有關積體電路封裝的諸如封裝基底或互連基底等的基底之製造。利用其中具有複數個通孔的一生料形成一基部結構。然後燒結該生料，使該生料變成一燒結陶瓷材料，並使該基部結構變成具有若干通孔的一燒結陶瓷基部結構。在該燒結陶瓷基部結構的每一通孔中形成一導電通孔。在該燒結陶瓷基部結構上形成一電容結構。將該電容結構的電源及接地層連接到該等通孔。因此，可在無須在諸如矽基底等易碎基底中鑽出通孔之情形下，形成一電容結構，並將該電容結構連接到該等通孔。該燒結陶瓷材料也具有一低熱膨脹係數，且於製造該電容結構時可耐受高溫處理狀況，而且具有低製造成本。

## 【實施方式】

現在將說明一積體電路封裝的諸如一封裝基底或一互連基底等的一基底之製造。利用其中具有複數個通孔的一生料形成一基部結構。然後燒結該生料，使該生料變成一燒結陶瓷材料，並使該基部結構變成具有若干通孔的一燒結陶瓷基部結構。在該燒結陶瓷基部結構的每一通孔中形

(3)

成一導電通孔。在該燒結陶瓷基部結構上形成一電容結構。將該電容結構的電源及接地層連接到該等通孔。因此，可在無須在諸如矽基底等的易碎基底中鑽出通孔之情形下，形成一電容結構，並將該電容結構連接到該等通孔。該燒結陶瓷材料也具有一低熱膨脹係數，且於製造該電容結構時可耐受高溫處理狀況，而且具有低製造成本。

附圖中之圖 1 示出根據本發明的一實施例之一方法而建構出的一互連基底（10）。該互連基底（10）包含一基部結構（12）、若該導電通孔（14）、具有一高 k 值介質材料的一電容結構（16）、一低 k 值介質材料（18）、以及若干接觸墊（20）。

開始時係利用一未經燒結的生料製造基部結構（12）。該生料是呈現基部結構（12）的形狀之封裝，然後衝穿出通過該生料的若干通孔（22）。生料的處理、封裝、及衝穿是此項技術中習知的。在生料中衝穿出孔的一項優點在於：該生料不會如矽基底等的其他基底這樣地易碎。然後將該生料燒結，使該生料變成一燒結陶瓷材料，並使基部結構（12）變成一燒結陶瓷基部結構（12）。燒結陶瓷基部結構（12）然後具有該等通孔（22）。該等通孔（22）包括一電源通孔（22P）、一接地通孔（22G）、以及若干信號通孔（22S）。每一通孔（22）自水平燒結陶瓷基部結構（12）的一下表面延伸通過一上表面。

然後在燒結陶瓷基部結構（12）的整個上表面之上形成低 k 值介質材料（18）。低 k 值介質材料（18）因而覆

(4)

蓋了電源、接地、及信號通孔（22P）、（22G）、及（22S）。通常係由介電常數在三與四之間的二氧化矽構成低 k 值介質材料（18）。

然後在低 k 值介質材料（18）中產生圖樣。例如，可先覆蓋低 k 值介質材料（18）的一部分，然後燒掉露出的各部分，而在該低 k 值介質材料（18）中產生圖樣。被燒掉（或蝕刻掉）的該等部分是該低 k 值介質材料位於電源及接地通孔（22P）及（22G）之上的那些部分。也燒掉（或蝕刻）低 k 值介質材料（18）中之開孔，使信號通孔（22S）垂直地延伸通過低 k 值介質材料（18）。

然後在燒結陶瓷基部結構（12）上的低 k 值介質材料（18）被燒掉（或蝕刻掉）處形成電容結構（16）。亦即，在燒結陶瓷基部結構（12）的上表面中具有電源及接地通孔（22P）及（22G）的一區域上形成電容結構（16）。電容結構（16）包含電源及接地平面（24）及（26）、以及一介質層（28）。通常係由銅或製成該等電源及接地層。係由介電常數在 300 與 900 之間（但是介電常數也可以高達 3000）的一高 k 值介質材料構成該介質層（28）。在接地平面（26）的頂部上形成一絕緣層（30），以便增添一第二電容，且係由與介質層（28）相同的材料構成該絕緣層（30）。可爲了額外的電容而加入更多層。在所有的該等平面（24）及（26）、以及該等層（28）及（30）中產生圖樣，使電源及接地通孔（22P）及（22G）垂直地延伸通過整個電容結構（16）。諸如電

(5)

容結構（16）等的薄膜電容結構之製造是此項技術中習知的。

然後以導電通孔（14）填滿通孔（22）。通常係利用諸如銅、銀、或鎢及鉬的一合金等的一導電金屬形成該等導電通孔（14）。例如，可在通孔（22）內濺鍍沈積、電鍍、或印製該等導電通孔。導電通孔（14）包括分別在電源、接地、及信號通孔（22P）、（22G）、及（22S）中之電源、接地、及信號導電通孔（14P）、（14G）、及（14S）。電源導電通孔（14P）與電源平面（24）接觸，且並未被連接到接地平面（26）。接地導電通孔（14G）與接地平面（26）接觸，且並未被連接到電源平面（24）。每一信號導電通孔（14S）係在電氣上與所有其他的導電通孔（14P）、（14G）、及（14S）分離。

然後在電容結構（16）及低 k 值介質材料（18）上形成該等接觸墊（20）。每一接觸墊（20）係位於一各別的導電通孔（14）上，且係在電氣上被連接到該導電通孔（14）。

圖 2 示出在根據本發明的一實施例的一積體電路封裝（34）。該積體電路封裝（34）進一步包含一載體基底（36）、一封裝基底（38）、一晶粒（40）、以及各別組的內連接構件（42）、（44）、及（46）。

封裝基底（38）具有一基部結構（48）、基部結構（48）內之複數條導電線路（50）、基部結構（48）的一下表面上之複數個接觸墊（52）、以及基部結構（48）的

(6)

一上表面上之複數個接觸墊 (54)。係由一低 k 值介質材料構成基部結構 (48)。在該特定的例子中，每一導電線路 (50) 將一各別的接觸墊 (52) 連接到一各別的接觸墊 (54)。某些導電線路 (50) 具有被一水平線路 (60) 連接的兩個垂直通孔 (56) 及 (58)。水平線路 (60) 的加入可讓接觸墊 (54) 偏離接觸墊 (52)。導電線路 (50) 因而可進行自接觸墊 (52) 至接觸墊 (54) 的 x-y 變換。

如圖所示，互連基底 (10) 進一步具有在一燒結陶瓷基部結構 (12) 的一下表面上之複數個接觸墊 (62)。並沒有自互連基底 (10) 的下面上的接觸墊 (62) 至互連基底 (10) 的上面上的接觸墊 (20) 之 x-y 變換。每一接觸墊 (62) 匹配一各別的接觸墊 (54)，且一各別的內連接構件 (44) 將一各別的接觸墊 (62) 與一各別的接觸墊 (54) 連接。

晶粒 (40) 具有在該晶粒的一下表面中形成之一積體電路。在晶粒 (40) 的一下表面上形成了複數個接觸墊 (64)，且該等複數個接觸墊 (64) 係在電氣上連接到該積體電路。每一接觸墊 (64) 匹配一各別的接觸墊 (20)，且一各別的內連接構件 (46) 將一各別的接觸墊 (64) 連接到一各別的接觸墊 (20)。因而可看出：並無自接觸墊 (64) 至接觸墊 (54) 的 x-y 變換，且有自接觸墊 (54) 至接觸墊 (52) 的一 x-y 變換。

載體基底 (36) 具有一各別的基部結構 (66)、以及在基部結構 (66) 的一上表面上形成的複數個接觸墊



(7)

(68)。每一接觸墊(52)與一各別的接觸墊(68)對準，且一各別的導電內連接構件(42)將每一接觸墊(52)連接到一各別的接觸墊(68)。

圖3示出根據本發明的另一實施例的一方法而製造之一封裝基底(138)。封裝基底(138)包含與圖1所示之互連基底(10)的燒結陶瓷基部結構(12)、電容結構(16)、及接觸墊(20)相同之一燒結陶瓷基部結構(112)、一電容結構(116)、一低k值介質材料(118)、以及若干接觸墊(120)。封裝基底(138)與互連基底(10)不同之處在於：提供了用來代替導電通孔(14)的導電線路(150)。

每一導電線路包含兩個垂直通孔(156)及(158)、以及連接垂直通孔(156)及(158)的一水平線路(160)。係在各階段中形成燒結陶瓷基部結構(112)，使水平線路(160)被埋入燒結陶瓷基部結構(112)的一上表面之下。水平線路(160)可讓垂直通孔(156)及(158)在水平上相互偏離。水平線路(160)因而可進行自垂直通孔(156)至垂直通孔(158)的x-y變換。

圖4示出一積體電路封裝(134)，該積體電路封裝(134)包含該封裝基底(138)、一載體基底(136)、一載體基底(136)、以及一晶粒(140)。晶粒(140)及載體基底(136)與圖2所示之積體電路封裝(34)的晶粒(40)及載體基底(36)相同。積體電路封裝(134)與積體電路封裝(34)不同之處在於：在晶粒

(8)

(140) 與封裝基底 (138) 之間並無中間互連基底。在圖 2 所示之積體電路封裝 (34) 中，互連基底 (10) 在接近晶粒 (40) 處提供了一電容結構 (16)，且封裝基底 (38) 提供了一  $x-y$  變換。在圖 4 所示之積體電路封裝 (134) 中，相反地，封裝基底 (138) 在接近晶粒 (140) 處提供了一電容結構 (116)，並提供了  $x-y$  變換。

雖然已說明了某些實施例且在附圖中示出了該等實施例，但是我們當了解：這些實施例只是舉例說明，並非對本發明加以限制，且本發明並不限於所示出及說明的特定結構及配置，這是因為對此項技術具有一般知識者可作出各種修改。

#### 【圖式簡單說明】

前文中已參照各附圖而舉例說明了本發明，這些附圖有：

圖 1 是根據本發明而製造的一互連基底之一橫斷面側視圖；

圖 2 是包含圖 1 所示之互連基底的一積體電路封裝之一橫斷面側視圖；

圖 3 是根據本發明的一實施例而製造的一封裝基底之一橫斷面側視圖；以及

圖 4 是包含圖 3 所示之封裝基底的一積體電路封裝之一橫斷面側視圖。

(9)

## 【主要元件符號說明】

10：互連基底

12,48,66：基部結構

14：導電通孔

16,116：電容結構

18,118：低 k 值介質材料

20,52,54,62,64,68,120：接觸墊

22：通孔

22P：電源通孔

22G：接地通孔

22S：信號通孔

24：電源平面

26：接地平面

28：介質層

30：絕緣層

14P：電源導電通孔

14G：接地導電通孔

14S：信號導電通孔

34,134：積體電路封裝

36,136：載體基底

38,138：封裝基底

40,140：晶粒

42,44,46：內連接構件

# 200529396

(10)

50,150 : 導電線路

56,58,156,158 : 垂直通孔

60,160 : 水平線路

112 : 燒結陶瓷基部結構

## 五、中文發明摘要

發明之名稱：具有薄膜電容器結構之積體電路封裝基底

本發明係有關積體電路封裝的諸如封裝基底或互連基底等的基底之製造。利用其中具有複數個通孔的一生料形成一基部結構。然後燒結該生料，使該生料變成一燒結陶瓷材料，並使該基部結構變成具有若干通孔的一燒結陶瓷基部結構。在該燒結陶瓷基部結構的每一通孔中形成一導電通孔。在該燒結陶瓷基部結構上形成一電容結構。將該電容結構的電源及接地層連接到該等通孔。因此，可在無須在諸如矽基底等易碎基底中鑽出通孔之情形下，形成一電容結構，並將該電容結構連接到該等通孔。該燒結陶瓷材料也具有一低熱膨脹係數，且於製造該電容結構時可耐受高溫處理狀況，而且具有低製造成本。

## 六、英文發明摘要

發明之名稱：An integrated circuit package substrate having a thin film capacitor structure

This invention relates to the manufacture of a substrate, such as a package substrate or an interposer substrate, of an integrated circuit package. A base structure is formed from a green material having a plurality of via openings therein. The green material is then sintered so that the green material becomes a sintered ceramic material and the base structure becomes a sintered ceramic base structure having the via openings. A conductive via is formed in each via opening of the sintered ceramic base structure. A capacitor structure is formed on the sintered ceramic base structure. The power and ground planes of the capacitor structure are connected to the vias. As such, a capacitor structure can be formed and connected to the vias without the need to drill vias openings in brittle substrates such as silicon substrates. The sintered ceramic material also has a low coefficient of thermal expansion and can resist high temperature processing conditions when manufacturing the capacitor structure, and is inexpensive to manufacture.

(1)

## 十、申請專利範圍

1. 一種建構一積體電路封裝的至少一部分之方法，包含下列步驟：

以具有複數個通孔的生料形成基部結構；

燒結該生料，使該生料變成燒結陶瓷材料，並使該基部結構變成具有複數通孔的燒結陶瓷基部結構；

在該燒結陶瓷基部結構的每一通孔中形成導電通孔，該等導電通孔至少包含電源及接地通孔；以及

在該燒結陶瓷基部結構上形成一電容結構，該電容結構包含導電電源及接地平面、以及在該電源與接地平面之間的一介質層，該電源及接地層係分別被電連接到至少該等電源通孔中之一個電源通孔及該等接地通孔中之一接地通孔。

2. 如申請專利範圍第 1 項之方法，其中該等通孔包含信號通孔，每一信號通孔係在電氣上與該電源及接地平面分離。

3. 如申請專利範圍第 2 項之方法，其中係由具有一高  $k$  值的一介質材料製成該電容結構的該介質層，且基底具有第一及第二部分，該第一部分具有該高  $k$  值介質材料，且該第二部分並未具有該高  $k$  值介質材料，且係在該第二部分中形成該等信號通孔。

4. 如申請專利範圍第 1 項之方法，進一步包含下列步驟：

將其上設有該電容結構而共同地形成互連基底之該基

(2)

部結構安裝於封裝基底上；以及

將具有微電子電路形成於其中的晶粒安裝至該互連基底。

5.如申請專利範圍第 4 項之方法，進一步包含下列步驟：

在該封裝基底上形成複數個導電構件，用以連接到一載體基底。

6.一種積體電路封裝的基底，包含：

燒結陶瓷基部結構，該燒結陶瓷基部結構具有形成於其中的複數個通孔；

在每一通孔中之導電通孔，該等導電通孔至少包含電源及接地通孔；以及

在該燒結陶瓷基部結構上的電容結構，該電容結構包含導電電源及接地平面、以及在該電源及接地平面之間的一介質層，該電源及接地平面係分別電連接到該等電源及接地通孔的至少其中之一。

7.如申請專利範圍第 6 項之基底，其中該等通孔包含信號通孔，每一信號通孔係在電氣上與該電源及接地平面分離。

8.如申請專利範圍第 7 項之基底，其中係由具有高  $k$  值的介質材料製成該電容結構的該介質層，該基底具有第一及第二部分，該第一部分具有該高  $k$  值介質材料，且該第二部分並未具有該高  $k$  值介質材料，且係在該第二部分中形成該等信號通孔。

(3)

9. 一種積體電路晶粒的封裝基底，包含：

基部結構，該基部結構具有若干水平介質層及在兩個該等介質層之間的至少一水平層之金屬導體，該基部結構中具有複數個垂直延伸的通孔；

在每一通孔中之導電通孔，該等導電通孔至少包含電源及接地導電通孔；以及

在該基部結構上的電容結構，該電容結構包含水平電源及接地平面、以及在該電源及接地平面之間的一水平介質層，該電源及接地平面係分別電連接到該等電源及接地通孔的至少其中之一。

10. 如申請專利範圍第 9 項之封裝基底，其中係由燒結陶瓷材料製成該基部結構。

11. 如申請專利範圍第 9 項之封裝基底，其中該等通孔包含信號通孔，每一信號通孔係在電氣上與該電源及接地平面分離。

12. 如申請專利範圍第 11 項之封裝基底，其中該等電源、接地、及信號通孔係分別連接到該電容結構的電源、接地、及信號導體。

13. 如申請專利範圍第 9 項之封裝基底，進一步包含：

在該基部結構上的第一複數個接點；以及

在該電容結構上的第二複數個接點，該等金屬導體產生自該等第一複數個接點至該等第二複數個接點的 x-y 變換。



(4)

14.一種積體電路封裝，包含：

基底，包括燒結陶瓷基部結構，該燒結陶瓷基部結構具有形成於其中的複數個通孔；

在每一通孔中之一導電通孔，該等導電通孔至少包含電源及接地通孔；

在該燒結陶瓷基部結構上的電容結構，該電容結構包含導電電源及接地平面、以及在該電源及接地平面之間的一介質層，該電源及接地平面係分別電連接到該等電源及接地通孔的至少其中之一；以及

晶粒，該晶粒具有於其中形成的積體電路，且被安裝在該基底上。

15.如申請專利範圍第 14 項之積體電路封裝，其中該基底是互連基底，該積體電路封裝進一步包含：

封裝基底，而該互連基底係被安裝至該封裝基底。

16.如申請專利範圍第 15 項之積體電路封裝，其中該等通孔係在沒有  $x-y$  變換的情形下被連接到該封裝基底上的各接點。

17.如申請專利範圍第 14 項之積體電路封裝，其中該等通孔包含信號通孔，每一信號通孔係在電氣上與該電源及接地平面分離。

18.一種積體電路封裝，包含：

基底，包括基部結構，該基部結構具有若干水平介質層、及在兩個該等介質層之間的至少一水平層的金屬導體，且該基部結構中具有複數個垂直延伸的通孔；

(5)

在每一通孔中之導電通孔，該等導電通孔至少包含電源及接地通孔；

在該基部結構上的電容結構，該電容結構包含水平電源及接地平面、以及在該電源及接地平面之間的一水平介質層，該電源及接地平面係分別電連接到該等電源及接地通孔的至少其中之一；以及

晶粒，該晶粒具有於其中形成的積體電路，且被安裝在該基底上。

19.如申請專利範圍第 18 項之積體電路封裝，其中係由燒結陶瓷材料製成該基部結構。

20.如申請專利範圍第 18 項之積體電路封裝，其中該等通孔包含信號通孔，每一信號通孔係在電氣上與該電源及接地平面分離。

21.如申請專利範圍第 20 項之積體電路封裝，其中該等信號、接地、及信號通孔係分別被連接到該等金屬導體的信號、接地、及信號導體。

22.如申請專利範圍第 18 項之積體電路封裝，其中係在沒有介於中間的互連基底之情形下將該晶粒安裝到該基底。

圖1

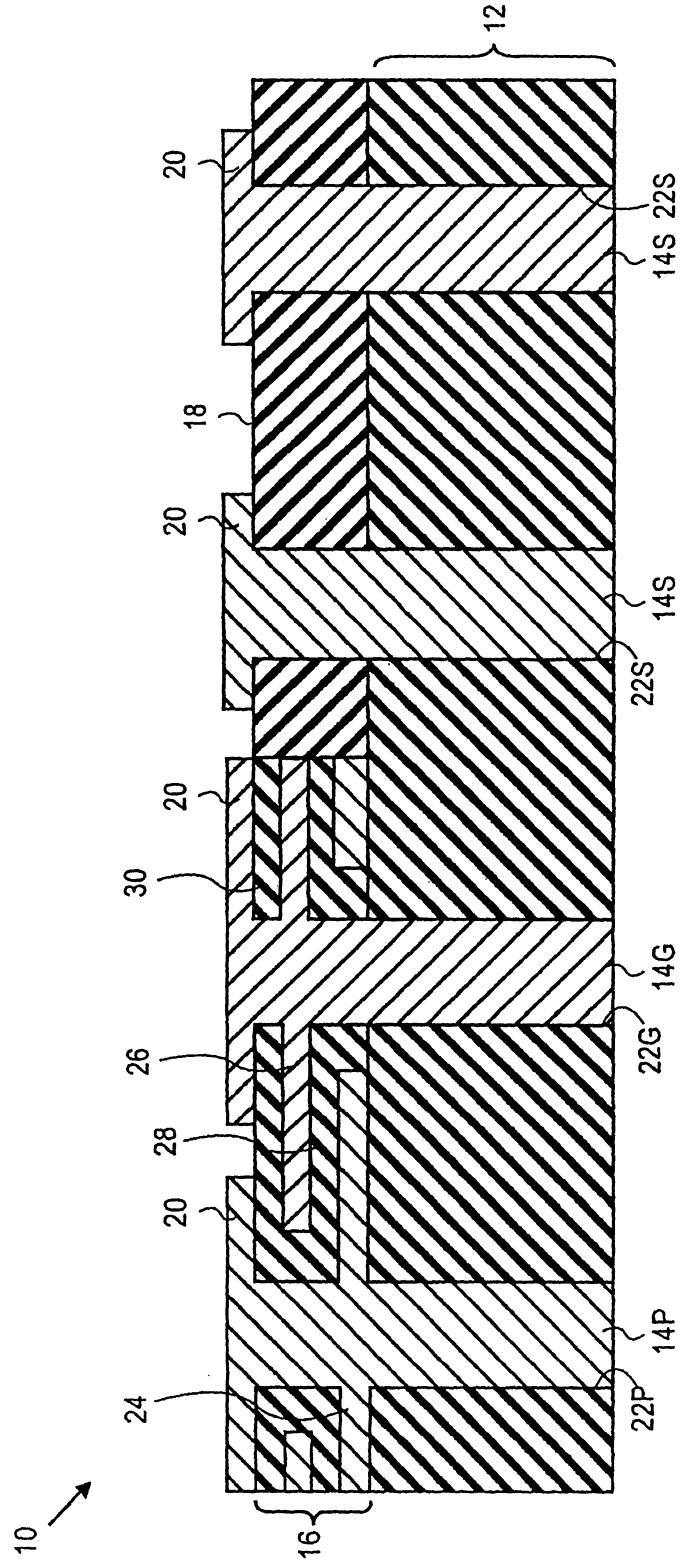


圖2

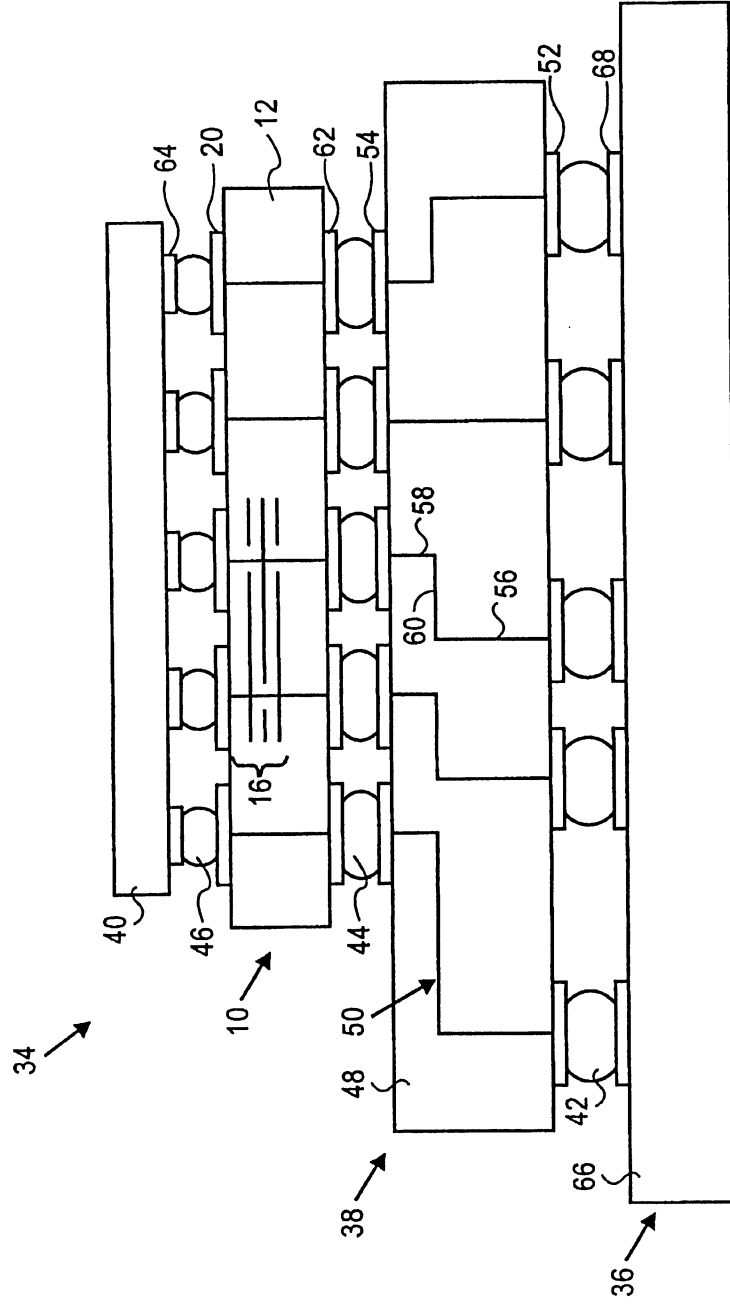


圖3

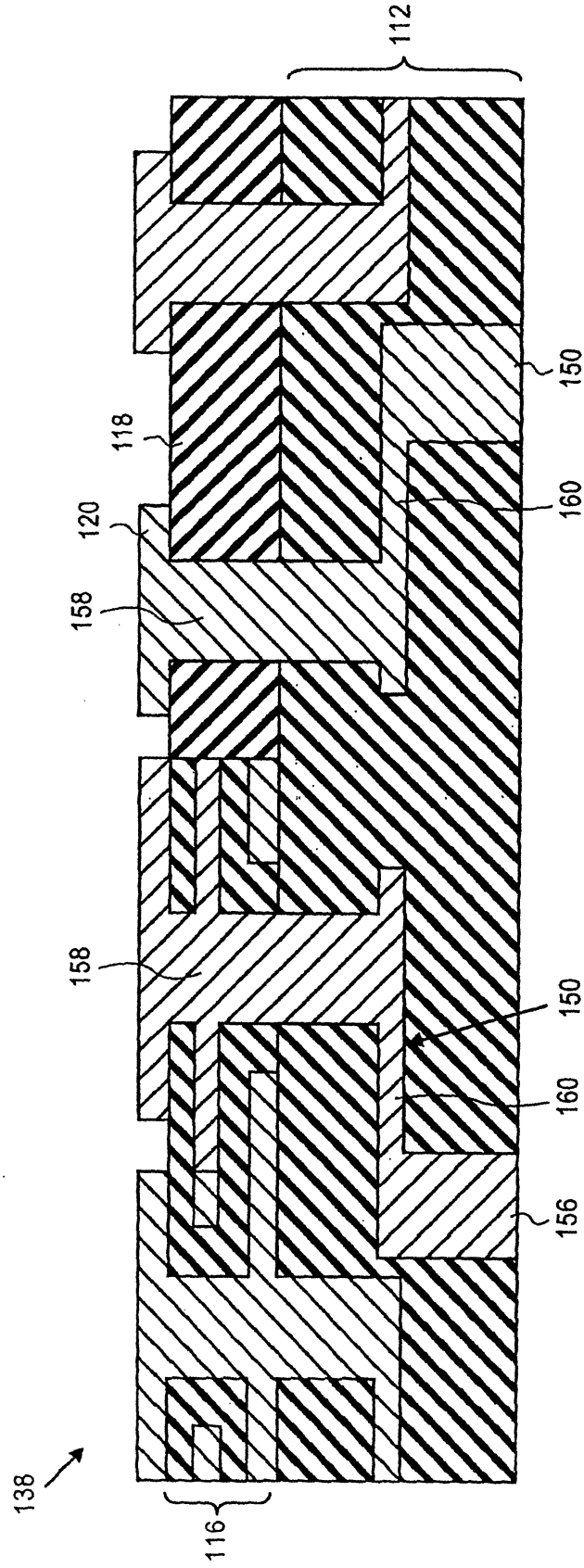
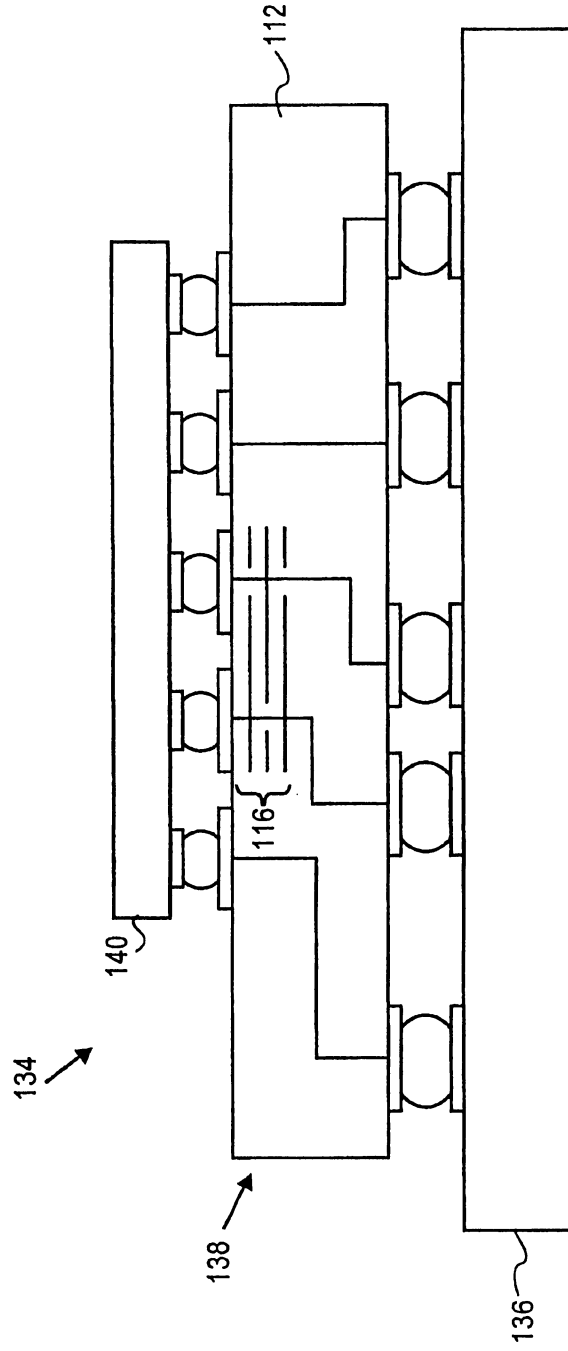


圖4



七、指定代表圖：

(一)、本案指定代表圖為：第( 1 )圖

(二)、本代表圖之元件代表符號簡單說明：

- 10：互連基底
- 12：基部結構
- 16：電容結構
- 18：低 k 值介質材料
- 20：接觸墊
- 22P：電源通孔
- 22G：接地通孔
- 22S：信號通孔
- 24：電源平面
- 26：接地平面
- 28：介質層
- 30：絕緣層
- 14P：電源導電通孔
- 14G：接地導電通孔
- 14S：信號導電通孔

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無