СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

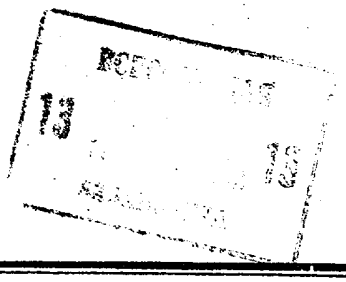
(19) SU (11) 1234841 A1

(51) 4 G 06 F 11/26

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3830181/24-24
(22) 25.12.84
(46) 30.05.86. Бюл. № 20
(72) В.Н.Тупкало, С.Ф.Теслюк, Е.Г.Набока, Ю.А.Ванжула и Н.Т.Калашник
(53) 681.3(088.8)

(56) Авторское свидетельство СССР № 548862, кл. G 06 F 11/26, 1975.
Авторское свидетельство СССР № 627479, кл. G 06 F 11/26, 1974.

(54) УСТРОЙСТВО ДЛЯ КОНТРОЛЯ ЛОГИЧЕСКИХ БЛОКОВ

(57) Изобретение относится к вычислительной технике и может быть использовано при тестовой диагностике логических блоков. С целью повышения достоверности контроля оно содержит генератор тактовых импульсов, синхронизирующий работу устройства, триггер, который задает рабочий интервал времени, счетчик, дешифратор и шифратор, участвующие в формировании тестов, регистр, который хранит информацию о последующем тесте, схему сравнения, которая фиксирует момент совпадения данных с регистра и со счетчика и запрещает дальнейшее формирование тестов. Диагностирование логического блока происходит традиционно - путем сравнения реакции с эталоном на каждом выходе в блоке сравнения. Если на каком-либо выводе контролируемого логического блока обнаружен сбой (или сбои), на каждом выводе логического блока это будет зафиксировано счетчиками группы, показания счетчиков выводятся на индикацию в моменты, определяемые схемой сравнения или блоком дешифрации. Последняя содержит дешифраторы группы, каждый из которых служит для выявления ситуации переполнения счетчиков группы. Эти сигналы с дешифраторов поступают на элемент ИЛИ, через который и происходит сброс триггера, выявления показаний счетчиков группы и начального сброса счетчика и счетчиков группы. 5 ил.

(19) SU (11) 1234841 A1

Изобретение относится к вычислительной технике и дискретной автоматике и может быть использовано при построении аппаратурных средств контроля и диагностики дискретных блоков на этапах выходного контроля, а также при эксплуатации.

Цель изобретения - повышение достоверности контроля.

На фиг. 1 изображена функциональная блок-схема устройства; на фиг. 2 - блок поразрядного сравнения; на фиг. 3 - блок дешифрации; на фиг. 4 - схема сравнения; на фиг. 5 - шифратор.

Устройство (фиг. 1) содержит элементы И 1-3, счетчик 4, генератор 5 тактовых импульсов, триггер 6, элемент ИЛИ-НЕ 7, эталонный блок 8, контролируемый логический блок 9, блок 10 поразрядного сравнения, группу счетчиков 11, блок 12 дешифрации, блок 13 индикации, регистр 14, кнопку 15 начальной установки, кнопку 16 пуска, схему 17 сравнения, элемент НЕ 18, счетчик 19, дешифратор 20, шифратор 21.

Блок поразрядного сравнения (фиг. 2) содержит группу сумматоров 22 по модулю два.

Блок дешифрации (фиг. 3) содержит группу дешифраторов 23, элемент ИЛИ 24.

Схема сравнения (фиг. 4) содержит группу сумматоров 25 по модулю два, элемент ИЛИ 26.

Устройство работает следующим образом.

При замыкании контактов кнопки 15 начальной установки сигнал логического нуля поступает на инверсные входы сброса счетчиков 11 группы, счетчика 19, а также через элементы И 1 и 2 - соответственно на инверсный вход триггера 6 и инверсный вход сброса счетчика 4. Установка в нуль указанных элементов определяет исходное состояние устройства, при котором за счет исключения возможности прохождения импульсов генератора 5 тактовых импульсов на счетный вход счетчика 4 отсутствует динамическое изменение сигналов во всех точках устройства. Перед началом работы устройства в регистр 14 заносится код наперед заданного числа, определяющего количество тестовых наборов в тесте контролируемого логического блока 9, а на наборном поле шифратора (фиг. 5) вручную устанавливаются эти наборы в том порядке их последующего считывания, который также определяется тестом контролируемого логического блока 9.

Процесс испытания контролируемого логического блока 9 начинается в момент замыкания контактов кнопки 16 пуска. При этом сигналом логического нуля триггер 6 переводится в единичное состояние, открывается элемент И 3, и непрерывная последовательность импульсов с выхода генератора 5 тактовых импульсов поступает на счетный вход счетчика 4. Счетчик 4 на своих выходах формирует параллельный код, значения которого последовательно меняются. Данный код одновременно поступает на группу входов схемы 17 сравнения и группу информационных входов дешифратора 20, который последовательно во времени формирует единичные сигналы возбуждения шифратора 21 (фиг. 5). С выходов последнего тестовые наборы в установленной очередности (в очередности возбуждения шин шифратора) поступают на входы эталонного 8 контролируемого 9 блоков. Результаты поразрядных сравнений выходных реакций блоков 8 и 9, формируемые блоком 10 поразрядного сравнения (фиг. 2), накапливаются в счетчиках 11 группы. При этом накапливаемая информация в каждом отдельном счетчике группы снимается и в виде параллельного двоичного кода подается на соответствующие группы информационных входов блока 13 индикации и соответствующие входы блока 12 дешифрации. В момент поступления на счетный вход счетчика 4 количества импульсов, равного заданному количеству тестовых наборов в тесте контролируемого блока 9, происходит сравнение кодов на всех входах схемы 17 сравнения, что вызывает появление сигнала логического нуля на его выходе. Последнее приводит к возникновению положительного перепада сигнала (переход из "0" в "1") на счетном входе счетчика 19 и, следовательно, содержимое данного счетчика увеличивается на единицу. Одновременно с этим происходит изменение сигнала на выходе элемента И 2 из "1" в "0", и счетчик 4 обнуляется, что приводит к несовпадению кодов, которое зафиксирует схема 17 сравнения, и значение ее выходного сигнала изменяется с "0"

в "1". На этом процесс формирования и прогона одного тестового цикла (одной последовательности кодовых наборов, составляющих тест) завершается, и с приходом очередного импульса на счетный вход счетчика 4 данный процесс автоматически возобновляется. Так происходит до тех пор, пока не возникнет одна из следующих ситуаций в процессе проверки контролируемого блока 9.

Первая ситуация. Контролируемый блок 9 работоспособен. В этом случае устройство заканчивает свою работу в момент переполнения счетчика 19, т.е. после окончания повторения последовательности кодовых наборов (теста) заданного количества раз, равного h . При этом появление единичного сигнала на выходе переполнения счетчика 19 приводит к появлению на выходе элемента ИЛИ-НЕ 7 нулевого сигнала, а на выходе элемента И 1 – нулевого. В результате триггер 6 устанавливается в нулевое состояние и поступление импульсов с выхода генератора 5 тактовых импульсов на счетный вход счетчика 4 прекращается, а по нулевому сигналу на входе синхронизации блока 13 индикации высвечивается нулевое содержимое счетчиков 11 группы.

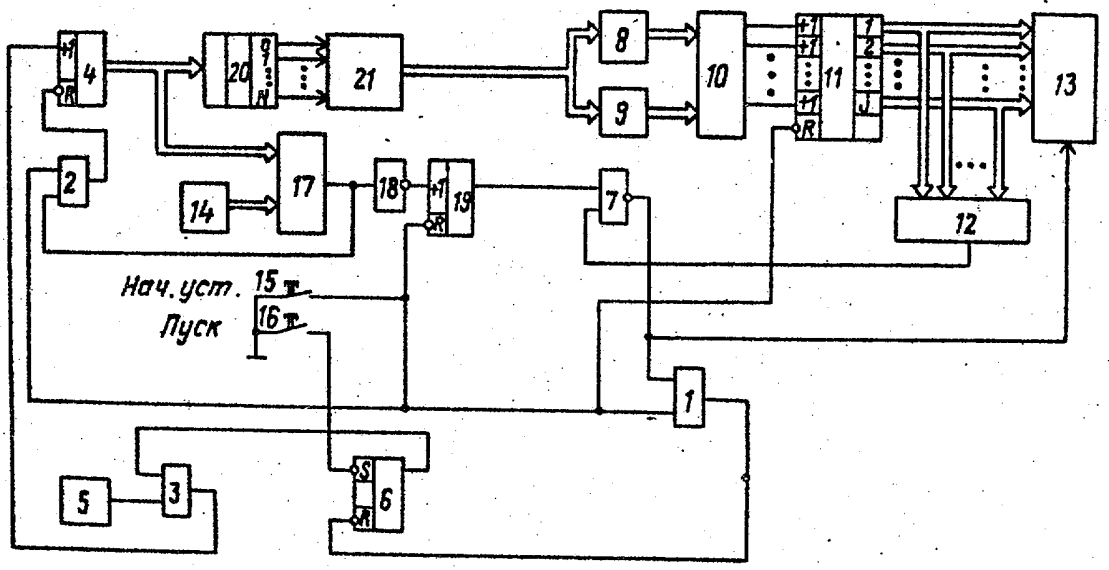
Вторая ситуация. Контролируемый блок 9 работает неустойчиво, и, следовательно, имеются эпизодические сбои сигналов на его выходах. В данном случае переполнение счетчика 19 происходит раньше, чем переполнение любого из счетчиков 11 группы, поскольку число повторений теста выбрано равным числу условия переполнения счетчиков группы 11. После окончания работы устройства на индикаторах блока 13 индикации по одному или нескольким выходам счетчиков 11 группы будут высвечиваться ненулевые числа, равные количеству сбоев по соответствующему выходу контролируемого блока 9, причем эти числа меньше числа h .

Третья ситуация. В контролируемом блоке 9 имеется устойчивая неисправность (отказ). В этом случае переполнение счетчиков 11 группы и счетчика 19 происходит одновременно. При этом на входах элемента ИЛИ-НЕ 7 появляются сигналы, что вызывает на его выходе установление нулевого сигнала. Работа устройства прекращается, и на одном или нескольких (в зависимости от характера проявления неисправности) индикаторах блока 13 индикации будет число, равное h .

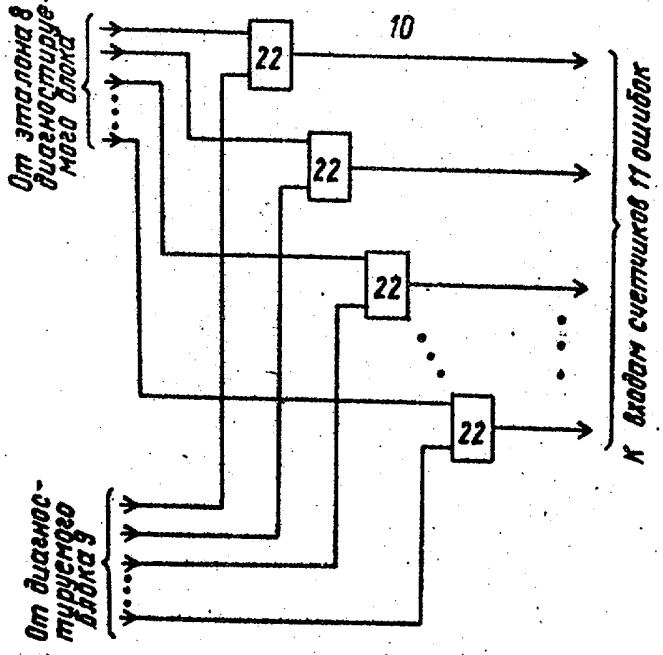
Формула изобретения

Устройство для контроля логических блоков, содержащее генератор тактовых импульсов, первый счетчик, блок поразрядного сравнения, кнопку пуска, кнопку начальной установки, группу счетчиков, эталонный блок, блок дешифрации и блок индикации, причем первая группа информационных входов блока порязрядного сравнения соединена с группой выходов эталонного блока, вторая группа информационных входов блока поразрядного сравнения соединена с группой выходов контролируемого логического блока, выходы блока поразрядного сравнения соединены со счетными входами соответствующих счетчиков группы, группы разрядных выходов которых соединены с группами информационных входов блока индикации и с соответствующими группами информационных входов блока дешифрации, *отличающееся* тем, что, с целью повышения достоверности контроля, оно содержит дешифратор, шифратор, регистр, схему сравнения, второй счетчик, элемент ИЛИ-НЕ, элемент НЕ, три элемента И, триггер, а блок дешифрации содержит группу дешифраторов и элемент ИЛИ; причем выход генератора тактовых импульсов соединен с первым входом первого элемента И, выход которого соединен со счетным входом первого счетчика, группа разрядных выходов которого соединена с группой информационных входов дешифратора и с первой группой информационных входов схемы сравнения, вторая группа информационных входов которой срединена с группой выходов регистра, выходы дешифратора соединены с информационными входами шифратора, выходы которого соединены с информационными входами эталонного блока и контролируемого логического блока, выход схемы сравнения соединен с первым входом второго элемента И и через элемент НЕ со счетным входом второго счетчика, выход переполнения которого соединен с первым входом элемента ИЛИ-НЕ, выход которого соединен с первым входом третьего эле-

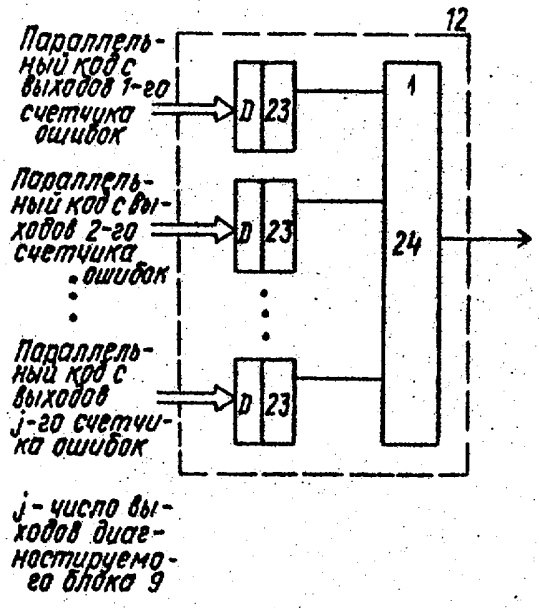
мента И и входом синхронизации блока индикации, инверсный вход сброса первого счетчика соединен с выходом второго элемента И, второй вход которого подключен через кнопку начальной установки, к шине нулевого потенциала устройства и соединен с инверсным входом сброса второго счетчика, вторым входом третьего элемента И и инверсными входами сброса счетчиков группы, второй вход первого элемента И соединен с выходом триггера, инверсный единичный вход которого подключен через кнопку пуска к шине нулевого потенциала устройства, выход третьего элемента И соединен с инверсным нулевым входом триггера, группы информационных входов блока дешифрации соединены с группами информационных входов соответствующих дешифраторов группы, n -е выходы которых (где n - максимальное число ошибок, снимаемых с каждого вывода контролируемого логического блока) соединены с соответствующими входами элемента ИЛИ, выход которого соединен с вторым входом элемента ИЛИ-НЕ.



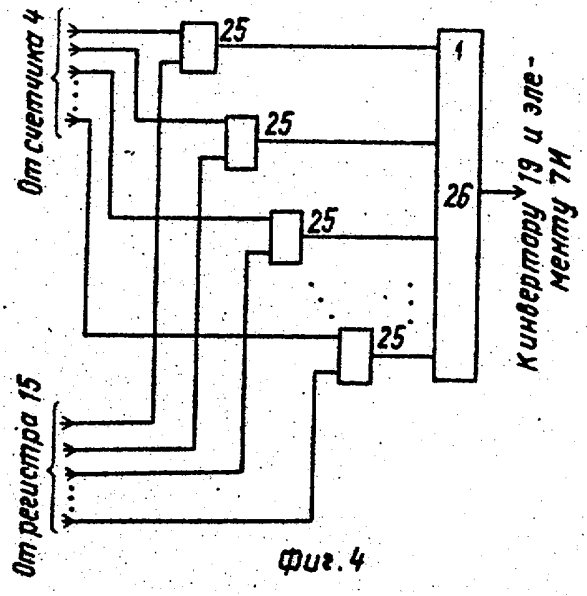
Фиг.1



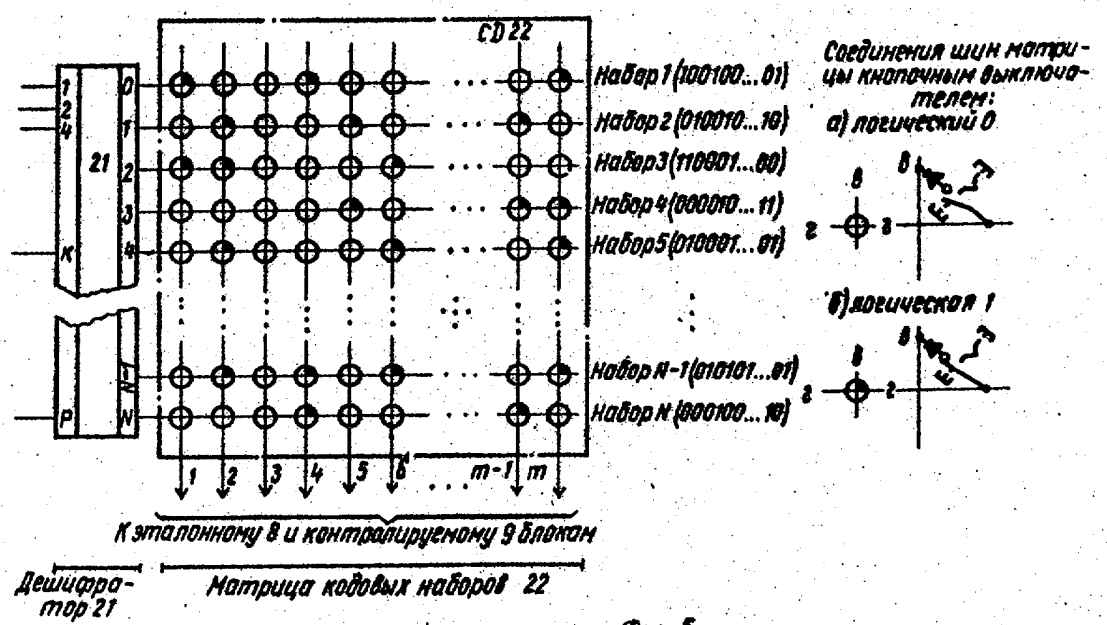
Фиг.2



Фиг.3



Фиг.4



Фиг.5

Составитель А. Сиротская
Редактор Е. Копча
Техред М.Ходанич
Корректор Г. Решетник

Заказ 2986/51
Тираж 671
Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4