

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：P3100239

※ 申請日期：93-1-6

※IPC 分類：G11C 11/56, H01L 49/30

壹、發明名稱：(中文/日文)

非揮發性磁性記憶裝置及其製造方法
半導体基板に形成された選択用トランジスタ、

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商新力股份有限公司
SONY CORPORATION

代表人：(中文/英文)

安藤 國威
ANDO, KUNITAKE

住居所或營業所地址：(中文/英文)

日本東京都品川區北品川六丁目七番35號
7-35, KITASHINAGAWA 6-CHOME, SHINAGAWA-KU, TOKYO,
JAPAN

國 籍：(中文/英文)

日本 JAPAN

參、發明人：(共 1 人)

姓 名：(中文/英文)

元吉 真
MOTOYOSHI, MAKOTO

住居所地址：(中文/英文)

日本東京都品川區北品川六丁目七番35號
7-35, KITASHINAGAWA 6-CHOME, SHINAGAWA-KU, TOKYO,
JAPAN

國 籍：(中文/英文)

日本 JAPAN

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書
規定之期間，其日期為： 年 月 日。

☒ 本案申請前已向下列國家(地區)申請專利：

1. 日本；2003年01月06日；特願2003-000485

2.

3.

4.

5.

☒ 主張國際優先權(專利法第二十四條)：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本；2003年01月06日；特願2003-000485

2.

3.

4.

5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序
註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明係關於非揮發性磁性記憶裝置及其製造方法，更詳言之，係關於所謂TMR(Tunnel Magnetoresistance；隧道磁阻)型之MRAM(Magnetic Random Access Memory：磁性隨機存取記憶體)之非揮發性磁性記憶裝置及其製造方法。

【先前技術】

隨著資訊通信機器，尤其是攜帶式終端機等個人用小型機器之快速普及，對於構成此等機器之記憶體及邏輯元件等各種半導體裝置，要求高積體化、高速化、低電力化等更進一步之高性能化。尤其，非揮發性記憶體更被認為是處於電腦化時代所必要而不可或缺之元件。發生電源之消耗及故障、伺服器與網路因任何障礙而切斷時，仍可藉非揮發性記憶體保存及保護重要之資訊。又，最近之攜帶式機器採用使不用的電路區塊處於待機狀態，盡可能地抑制耗電之設計，但如能實現可兼用作為高速之工作記憶體與大容量儲存記憶體之非揮發性記憶體，即可消除電力消耗與記憶體之浪費。又，如能實現高速且大容量之非揮發性記憶體，則連接通電源時，可在瞬間啟動之「立即通電」機能也可達成。

作為非揮發性記憶體，有使用半導體材料之快閃記憶體、使用強介質型非揮發性半導體記憶體(FERAM,Ferroelectric Random Access Memory)等。但，快閃記憶體之寫入速度屬於微秒層級，有寫入速度較慢之缺點。另一方面，有人指出在

FERAM 中，可改寫次數為 $10^{12} \sim 10^{14}$ ，欲將 SRAM(Static Random Access Memory；靜態隨機存取記憶體)及 DRAM(Dynamic Random Access Memory；動態隨機存取記憶體)置換成 FERAM 時，FERAM 之改寫次數會變得不充分，且有難以施行強介質層之微細加工之問題。

作為不具有此等缺點之非揮發性記憶體，所謂 MRAM(Magnetic Random Access Memory：磁性隨機存取記憶體)之非揮發性磁性記憶裝置頗受注目。初期之 MRAM 係以使用 GMR(Giant magnetoresistance：巨磁阻)效應之自旋式電子管為基礎所構成，但由於負載之記憶單元電阻較低，只有 $10 \sim 100 \ \Omega$ ，讀出時之單位位元之耗電力較大，而有難以大容量化之缺點。

另一方面，使用 TMR(Tunnel Magnetoresistance；隧道磁阻)效應之 MRAM 在開發初期，其電阻變化率在室溫雖只有 $1 \sim 2\%$ 程度，但近年來已可獲得接近於 20% 之電阻變化率，使得使用 TMR 效應之 MRAM 備受注目。TMR 型之 MRAM 由於構造單純，定標容易，且藉磁矩旋轉執行記錄，改寫速度大增。甚至於在存取時間方面，預料將非常高速，據稱已可在 100 MHz 下執行動作。

以往之 TMR 型之 MRAM(以下簡稱 MRAM)之模式的局部剖面圖如圖 34 所示。此 MRAM 係由 MOS 型 FET 形成之選擇用電晶體 TR 與隧道磁阻元件 130 所構成。

隧道磁阻元件 130 具有第 1 強磁性體層 131、132、隧道絕緣膜 133、第 2 強磁性體層之疊層構造。第 1 強磁性體層更具

體而言，例如由下而上具有反強磁性體層131與強磁性體層(又稱固著層、磁化固定層132)之2層構成，利用作用於此等2層間之交換互相作用而具有強的一方向之磁各向異性。磁化方向較容易旋轉之第2強磁性體層又稱自由層或記錄層134。隧道絕緣膜133負責切斷記錄層134與磁化固定層132間之電性耦合，並使隧道電流通之任務。連接MRAM與MRAM之位元線BL係形成於層間絕緣層126上。設於位元線BL與記錄層134之間之表面塗膜135具有構成位元線BL之原子與構成記錄層134之原子之相互擴散之防止、接觸電阻之降低及記錄層134之氧化防止之作用。圖中，參照號碼136係連接於反強磁性體層131之下面之引出電極。

另外，在隧道磁阻元件130下方，經由層間絕緣層124配置寫入字元線RWL。又，寫入字元線RWL之延伸方向(第1方向)與位元線BL之延伸方向(第2方向)通常成正交。

另一方面，選擇用電晶體TR係形成於被元件分離區域111所圍成之矽半導體基板110之部分，被層間絕緣層121所覆蓋。而，一方之源極/汲極區域114B係經由鎢插塞122、接觸墊123、鎢插塞125而連接於隧道磁阻元件130之引出電極136。又，他方之源極/汲極區域114A係經由鎢插塞115而連接至感測線116。圖中，參照符號112係表示閘極電極，參照符號113係表示閘極絕緣膜。

在MRAM陣列中，MRAM被配置於位元線BL及寫入字元線RWL構成之格子之交點。

在對此種構成之MRAM之資料寫入中，將電流通至位元

線BL及寫入字元線RWL，利用其結果所形成之合成磁場改變第2強磁性體層(記錄層134)之磁化方向時，可將「1」或「0」記錄於第2強磁性體層(記錄層134)。

另一方面，資料之讀出係使選擇用電晶體TR成為通電狀態，將電流通至位元線BL，利用感測線116檢出磁阻效應所引起之隧道電流變化以施行讀出。記錄層134與磁化固定層132之磁化方向相等時，為低電阻(將此狀態例如設定為「0」)，記錄層134與磁化固定層132之磁化方向反平行時，為高電阻(將此狀態例如設定為「1」)。

圖35係表示MRAM之星形曲線。將電流通至位元線BL及寫入字元線RWL，依據其結果所形成之合成磁場，將資料寫入構成MRAM之隧道磁阻元件130。利用流過位元線BL之寫入電流形成記錄層134之容易磁化軸方向之磁場(H_{EA})，利用流過寫入字元線RWL之電流形成記錄層134之難以磁化軸方向之磁場(H_{HA})。又，雖然也與MRAM之構成有關，但有時也利用流過位元線BL之寫入電流形成記錄層134之難以磁化軸方向之磁場(H_{HA})，利用流過寫入字元線RWL之電流形成記錄層134之容易磁化軸方向之磁場(H_{EA})。

星形曲線表示合成磁場(施加至記錄層134之磁場 H_{HA} 與磁場 H_{EA} 之磁場向量之合成)所引起之記錄層134之磁化方向之反轉臨限值，產生相當於星形曲線之外側(OUT_1 、 OUT_2)之合成磁場時，會發生記錄層134之磁化方向之反轉，並施行資料之寫入。另一方面，產生相當於星形曲線之內部(IN)

之合成磁場時，不會發生記錄層134之磁化方向之反轉。又，在通電流之寫入字元線RWL及位元線BL之交點以外之MRAM中，由於也會被施加寫入字元線RWL或位元線BL單獨產生之磁場，故此磁場大小達到一方向反轉磁場 H_K 以上時[圖35之虛線外側之區域(OUT_2)]，構成交點以外之MRAM之記錄層134之磁化方向也會反轉。因此，合成磁場僅在星形曲線之外側而位於圖35之虛線內側之區域(OUT_1)內時，才可對所選擇之MRAM施行選擇寫入。

如以上所述，TMR型MRAM雖具有高速・高積體化容易之優點，但也具有寫入用之消耗電流大於其他記憶裝置之缺點。TMR型MRAM之資料係利用通至位元線BL之電流與通至寫入字元線RWL之電流所形成之合成磁場來施行寫入，但記錄層134之磁化方向之反轉磁場為20~200奧斯特(Oe)程度，反轉所需之電流亦達數十毫安。欲將此種大電流值在將TMR型MRAM使用於攜帶式機器時，將成大問題。更由於需要大電流驅動用之驅動器，故驅動器所佔面積會增大而可能成為阻礙高積體化之原因。

又，從高積體化方面而言，位元線與寫入字元線之線寬被要求接近於取決於微影技術之最小線寬。假設位元線BL及寫入字元線RWL(以下有時將此等線總稱為配線)之線寬為0.3 μm ，配線之厚為0.5 μm 時，流過配線之電流之電流密度為 $6 \times 10^6 \text{ A/cm}^2$ ，即使使用銅(實用電流密度： $0.5 \times 10^6 \text{ A/cm}^2 \sim 1 \times 10^6 \text{ A/cm}^2$)作為構成配線之材料，電遷移引起之配線壽命之短化、可靠性之降低也成大問題。而且，在MRAM

之微細化過程中，強磁性體之反轉磁場會增加，配線之尺寸也必須縮小，故配線可靠性之問題更大。

加之，由於MRAM之微細化，磁通之洩漏會使磁場作用到鄰接之MRAM，而產生干擾問題。

在美國專利第5940319號揭示之MRAM中，位於隧道磁阻元件之上方及/或下方之配線未面向隧道磁阻元件之部分係被磁通集中之材料所覆蓋。此美國專利所揭示之MRAM之模式的局部剖面圖如圖36所示。又，在圖36所示之MRAM中，在寫入字元線RWL中適用磁通集中構造。即，寫入字元線RWL之側面及下面係被高透磁性材料層140所覆蓋。藉此，提高對記錄層134之磁通集中效應。

又，在具有圖34及圖36所示之以往之MRAM中，將隧道磁阻元件附近之磁通分布之模擬結果分別顯示於圖37及圖38。在此，在圖37及圖38中，以TMR表示隧道磁阻元件。

[專利文獻1]美國專利第5940319號

【發明內容】

發明所欲解決之問題

作為妨礙MRAM之高積體化之原因之一，有在隧道磁阻元件130下方經由層間絕緣層124形成寫入字元線RWL。即，為達成MRAM之高積體化，換言之，為實現最小單元尺寸，有必要將隧道磁阻元件130之寬控制在寫入字元線RWL之寬以下。但，一般，在形成寫入字元線RWL之微影工序與形成隧道磁阻元件130之微影工序中，有光罩對準偏差存在，故難以實現最小單元尺寸。

在美國專利第5940319號揭示之MRAM中，雖具有可提高對記錄層134之磁通之集中效應，但因寫入字元線RWL與記錄層134處於分離狀態，故磁通集中效應並不充分，其結果，有消耗電流未能充分降低之問題。又，如上所述，寫入字元線RWL與形成隧道磁阻元件130係以不同之光罩步驟形成，不僅難以實現最小單元尺寸，且發生光罩對準偏差時，有星形曲線成為非對稱，導致寫入特性之誤差變大之問題。

因此，本發明之第1目的在於提供具有可實現最小單元尺寸之構造之TMR型MRAM及其製造方法。又，本發明之第2目的在於除第1目的外，提供具有可提高對記錄層之磁通集中效應之構造之TMR型MRAM及其製造方法。

解決問題之手段

達成上述第1目的用之本發明之非揮發性磁性記憶裝置(更具體而言，係指TMR型MRAM)之特徵在於包含：

- (A)選擇用電晶體，其係形成於半導體基板者；
- (B)下層層間絕緣層，其係覆蓋選擇用電晶體者；
- (C)第1連接孔，其係形成於設於下層層間絕緣層之第1開口部內，且與選擇用電晶體連接者；
- (D)第1配線，其係形成於下層層間絕緣層上，在第1方向延伸，且包含導電層者；
- (E)隧道磁阻元件，其係經由絕緣膜形成於第1配線上，且由下而上包含第1強磁性體層、隧道絕緣膜、第2強磁性體層之疊層構造者；

(F)上層層間絕緣層，其係覆蓋隧道磁阻元件、下層層間絕緣層及第1配線之延伸部者；及

(G)第2配線，其係形成於上層層間絕緣層上，電性連接於隧道磁阻元件之頂面，且在異於第1方向(例如正交)之第2方向延伸者；

隧道磁阻元件之下面係經由形成於至少設於絕緣膜及第1配線之第2開口部內且與第1配線電性絕緣之第2連接孔，電性連接於第1連接孔；

沿著第2方向之隧道磁阻元件、絕緣膜及第1配線各自之寬度係大略相同。

在具有此種構造之本發明之非揮發性磁性記憶裝置中，由於沿著第2方向之隧道磁阻元件、絕緣膜及第1配線各自之寬度大略相同，故可實現最小單元尺寸，且不會有星形曲線成為非對稱，導致寫入特性之誤差變大之問題。

又，在本發明之非揮發性磁性記憶裝置中，有時在沿著第2方向之隧道磁阻元件之兩側面形成有側壁，此時，包含沿著第2方向之側壁之隧道磁阻元件、絕緣膜及第1配線之各寬度相同。由於包含此種形態，故沿著第2方向之隧道磁阻元件、絕緣膜及第1配線之各寬度以「大略」相同加以表現。又，沿著第2方向之隧道磁阻元件、絕緣膜及第1配線各自之寬度雖有時因非揮發性磁性記憶裝置之製造工序之加工條件等之誤差而不能嚴格地達到相同寬度，但為了包含此狀態而使用「大略」相同之表現方式。

又，第2配線雖電性連接於隧道磁阻元件之頂面，但在此

種構成中，也包含第2配線間接地連接於隧道磁阻元件之頂面之形態。

在本發明之非揮發性磁性記憶裝置中，為達成上述第2目的；

前述第1配線係由下而上包含第1高透磁性材料層、及前述導電體層；

在沿著第1方向之前述隧道磁阻元件、前述絕緣膜及該第1配線之各側面，形成包含絕緣材料之側壁；

側壁係可構成第2高透磁性材料層所覆蓋。

又，具有此種構成之本發明之非揮發性磁性記憶裝置為方便起見，稱為第1構成之非揮發性磁性記憶裝置。在此第1構成之非揮發性磁性記憶裝置中，在沿著隧道磁阻元件、絕緣膜及第1配線之各側面形成側壁，在側壁上形成第2高透磁性材料層，故可使磁通有效地集中於第2強磁性體層，其結果，可充分降低消耗電流。

或者，在本發明之非揮發性磁性記憶裝置中，為達成上述第2目的；

前述第1配線係由下而上包含第1高透磁性材料層及前述導電體層；

在沿著第1方向之前述隧道磁阻元件、前述絕緣膜及該第1配線之各側面，形成包含絕緣材料之第1側壁；

以覆蓋沿著第1方向之前述第1強磁性體層、該絕緣膜及該第1配線之各側面之方式，在該第1側壁上形成包含絕緣材料之第2側壁；

該第1側壁及該第2側壁係可構成被第2高透磁性材料層所覆蓋。

又，具有此種構成之本發明之非揮發性磁性記憶裝置為方便起見，稱為第2A構成之非揮發性磁性記憶裝置。在此第2A構成之非揮發性磁性記憶裝置中，在沿著隧道磁阻元件、絕緣膜及第1配線之各側面形成側壁，在側壁上形成第2高透磁性材料層，故可使磁通有效地集中於第2強磁性體層，其結果，可充分降低消耗電流。且側壁係由第1側壁與第2側壁所構成，故若將第1側壁厚度形成充分薄，即可縮短第2高透磁性材料層與第2強磁性體層間之距離，故可使磁通有效地集中於第2強磁性體層。

或者，在本發明之非揮發性磁性記憶裝置中，為達成上述第2目的；

前述第1配線係由下而上包含第1高透磁性材料層及前述導電體層；

在沿著第1方向之前述第1強磁性體層、前述絕緣膜及該第1配線之各側面，形成包含絕緣材料之第1側壁；

以覆蓋沿著第1方向之前述隧道磁阻元件、該絕緣膜及該第1配線之各側面之方式，在該第1側壁上形成包含絕緣材料之第2側壁；

該第2側壁係可構成被第2高透磁性材料層所覆蓋。

又，具有此種構成之本發明之非揮發性磁性記憶裝置為方便起見，稱為第2B構成之非揮發性磁性記憶裝置。在此第2B構成之非揮發性磁性記憶裝置中，也在沿著隧道磁阻

元件、絕緣膜及第1配線之各側面形成側壁，在側壁上形成第2高透磁性材料層，故可使磁通有效地集中於第2強磁性體層，其結果，可充分降低消耗電流。且側壁係由第1側壁與第2側壁所構成，故若將第2側壁厚度形成充分薄，即可縮短第2高透磁性材料層與第2強磁性體層間之距離，故可使磁通有效地集中於第2強磁性體層。

或者，在本發明之非揮發性磁性記憶裝置中，為達成上述第2目的；

前述第1配線係由下而上包含第1高透磁性材料層及前述導電體層；

在沿著第1方向之前述隧道磁阻元件之側面形成包含絕緣材料之側壁；

該側壁、以及前述絕緣膜及該第1配線之各側面亦可構成被第2高透磁性材料層所覆蓋。

又，具有此種構成之本發明之非揮發性磁性記憶裝置為方便起見，稱為第3構成之非揮發性磁性記憶裝置。在此第3構成之非揮發性磁性記憶裝置中，在隧道磁阻元件之側面形成側壁，在側壁上形成第2高透磁性材料層，故可使磁通有效地集中於第2強磁性體層，其結果，可充分降低消耗電流。且第1高透磁性材料層之側面與第2高透磁性材料層相接，故可使磁通更有效地集中於第2強磁性體層。

達成上述第1目的用之本發明之第1形態之非揮發性磁性記憶裝置(更具體而言，係指TMR型MRAM)之製造方法之特徵在於製造本發明之非揮發性磁性記憶裝置者；且包含

以下工序：

- (a)工序，其係在半導體基板形成選擇用電晶體者；
- (b)工序，其係在全面形成下層層間絕緣層者；
- (c)工序，其係在下層層間絕緣層設第1開口部，在該第1開口部內形成連接於選擇用電晶體之第1連接孔者；
- (d)工序，其係在下層層間絕緣層上形成導電體層及絕緣膜者；
- (e)工序，其係在位於第1連接孔上方之至少絕緣膜及導電體層之部分形成第2開口部，在該第2開口部內形成與導電體層電性絕緣，且連接於第1連接孔之第2連接孔者；
- (f)工序，其係在絕緣膜上至少形成包含電性連接於第2連接孔之第1強磁性體層、隧道絕緣膜及第2強磁性體層之疊層構造者；
- (g)工序，其係將疊層構造、絕緣膜及導電體層圖案化成為在第1方向延伸之帶狀形狀，以獲得包含導電體層且在第1方向延伸之第1配線者；
- (h)工序，其係選擇地除去圖案化成為帶狀之疊層構造，以形成利用第1及第2強磁性體層夾著隧道絕緣膜而成之隧道磁阻元件者；
- (i)工序，其係在全面形成上層層間絕緣層者；及
- (j)工序，其係在上層層間絕緣層上形成電性連接於第2強磁性體層，且向異於第1方向(例如正交)之第2方向延伸之第2配線者。

又，第1強磁性體層雖電性連接於第2連接孔，但在此種

構成中，也包含第1強磁性體層間接地連接於第2連接孔之形態。另外，第2配線雖電性連接於第2強磁性體層，但在此種構成中，也包含第2配線間接地連接於第2強磁性體層之形態。

在本發明之第1形態之非揮發性磁性記憶裝置之製造方法中，由於在(g)工序中，將疊層構造、絕緣膜及導電體層圖案化成為在第1方向延伸之帶狀形狀，故微影工序之光罩對準偏差不會存在，而可實現最小單元尺寸。

達成上述第1目的及第2目的用之本發明之第2形態之非揮發性磁性記憶裝置(更具體而言，係指TMR型MRAM)之製造方法之特徵在於製造本發明之第1構成之非揮發性磁性記憶裝置者；且包含以下工序：

- (a)工序，其係在半導體基板上形成選擇用電晶體者；
- (b)工序，其係在全面形成下層層間絕緣層者；
- (c)工序，其係在下層層間絕緣層設第1開口部，在該第1開口部內形成連接於選擇用電晶體之第1連接孔者；
- (d)工序，其係在下層層間絕緣層上形成第1高透磁性材料層、導電體層及絕緣膜者；
- (e)工序，其係在位於第1連接孔上方之至少絕緣膜、導電體層及第1高透磁性材料層部分形成第2開口部，在該第2開口部內形成與導電體層電性絕緣，且連接第1連接孔之第2連接孔者；
- (f)工序，其係在絕緣膜上至少形成包含電性連接於第2連接孔之第1強磁性體層、隧道絕緣膜及第2強磁性體層之

疊層構造者；

(g)工序，其係將疊層構造、絕緣膜、導電體層及第1高透磁性材料層圖案化成為在第1方向延伸之帶狀形狀，以獲得包含導電體層及第1高透磁性材料層且在第1方向延伸之第1配線者；

(h)工序，其係在疊層構造、絕緣膜、導電體層及第1高透磁性材料層各自之側面形成側壁者；

(i)工序，其係在側壁上形成第2高透磁性材料層者；

(j)工序，其係選擇地除去圖案化成為帶狀之疊層構造及側壁，以形成利用第1及第2強磁性體層夾著隧道絕緣膜而成之隧道磁阻元件者；

(k)工序，其係在全面形成上層層間絕緣層者；及

(l)工序，其係在上層層間絕緣層上形成電性連接於第2強磁性體層，且在異於第1方向(例如正交)之第2方向延伸之第2配線者。

又，第1強磁性體層雖電性連接於第2連接孔，但在此種構成中，也包含第1強磁性體層間接地連接於第2連接孔之形態。另外，第2配線雖電性連接於第2強磁性體層，但在此種構成中，也包含第2配線間接地連接於第2強磁性體層之形態。

在本發明之第2形態之非揮發性磁性記憶裝置之製造方法中，由於在(g)工序中，將疊層構造、絕緣膜、導電體層及第1高透磁性材料層圖案化成為在第1方向延伸之帶狀形狀，故微影工序之光罩對準偏差不會存在，而可實現最小

單元尺寸。且在上述(h)工序中，在疊層構造、絕緣膜、導電體層及第1高透磁性材料層各自之側面形成側壁，在上述(i)工序中，在側壁上形成第2高透磁性材料層者，故可使磁通有效地集中於第2強磁性體層，其結果，可充分降低消耗電流。

在本發明之第2形態之非揮發性磁性記憶裝置之製造方法中；

側壁係包含第1側壁與第2側壁之疊層構造；

在前述(h)工序中，可構成以覆蓋疊層構造、絕緣膜、導電體層及第1高透磁性材料層各自之側面之方式形成第1側壁，接著，以覆蓋第1強磁性體層、絕緣膜、導電體層及第1高透磁性材料層各自之側面之方式在第1側壁上形成第2側壁。

採用此種構成，可製造本發明之第2A構成之非揮發性磁性記憶裝置。而，若採用此構成，將第1側壁厚度形成充分薄，即可縮短第2高透磁性材料層與第2強磁性體層間之距離，故可使磁通有效地集中於第2強磁性體層。

或者，在本發明之第2形態之非揮發性磁性記憶裝置之製造方法中；

側壁係包含第1側壁與第2側壁之疊層構造；

在前述(h)工序中，可構成以覆蓋第1強磁性體層、絕緣膜、導電體層及第1高透磁性材料層各自之側面之方式形成第1側壁，接著，以覆蓋疊層構造、絕緣膜、導電體層及第1高透磁性材料層各自之側面之方式在第1側壁上形成第2

側壁。

採用此種構成，可製造本發明之第2B構成之非揮發性磁性記憶裝置。而，若採用此構成，將第2側壁厚度形成充分薄，即可縮短第2高透磁性材料層與第2強磁性體層間之距離，故可使磁通更有效地集中於第2強磁性體層。

達成上述第1目的及第2目的用之本發明之第3形態之非揮發性磁性記憶裝置(更具體而言，係指TMR型MRAM)之製造方法之特徵在於製造本發明之第3構成之非揮發性磁性記憶裝置者；且包含以下工序：

(a)工序，其係在半導體基板上形成選擇用電晶體者；

(b)工序，其係在全面形成下層層間絕緣層者；

(c)工序，其係在下層層間絕緣層設第1開口部，在該第1開口部內形成連接於選擇用電晶體之第1連接孔者；

(d)工序，其係在下層層間絕緣層上形成第1高透磁性材料層、導電體層及絕緣膜者；

(e)工序，其係在位於第1連接孔上方之至少絕緣膜、導電體層及第1高透磁性材料層部分形成第2開口部，在該第2開口部內形成與導電體層電性絕緣，且連接第1連接孔之第2連接孔者；

(f)工序，其係在絕緣膜上至少形成包含電性連接於第2連接孔之第1強磁性體層、隧道絕緣膜及第2強磁性體層之疊層構造者；

(g)工序，其係將疊層構造圖案化成為在第1方向延伸之帶狀形狀者；

(h)工序，其係在疊層構造之側面形成側壁者；

(i)工序，其係以疊層構造及側壁為掩模，將絕緣膜、導電體層及第1高透磁性材料層圖案化為沿著第1方向延伸之帶狀形狀，以獲得包含導電體層及第1高透磁性材料層且向第1方向延伸之第1配線者；

(j)工序，其係在側壁上、以及絕緣膜、導電體層及第1高透磁性材料層各自之側面，形成第2高透磁性材料層者；

(k)工序，其係選擇地除去圖案化成帶狀之疊層構造及側壁，以形成利用第1及第2強磁性體層夾著隧道絕緣膜而成之隧道磁阻元件者；

(l)工序，其係在全面形成上層層間絕緣層者；及

(m)工序，其係在上層層間絕緣層上，形成電性連接於第2強磁性體層，且在異於第1方向(例如正交)之第2方向延伸之第2配線者。

又，第1強磁性體層雖電性連接於第2連接孔，但在此種構成中，也包含第1強磁性體層間接地連接於第2連接孔之形態。另外，第2配線雖電性連接於第2強磁性體層，但在此種構成中，也包含第2配線間接地連接於第2強磁性體層之形態。

在本發明之第3形態之非揮發性磁性記憶裝置之製造方法中，由於在上述(g)工序中，將疊層構造層圖案化為在第1方向延伸之帶狀形狀，在上述(i)工序中，以疊層構造及側壁為掩模，將絕緣膜、導電體層及第1高透磁性材料層圖案化為在第1方向延伸之帶狀形狀，故微影工序之光罩對

準偏差不會存在，而可實現最小單元尺寸。且在上述(h)工序中，在疊層構造之側面形成側壁，在上述(j)工序中，在側壁上、以及絕緣膜、導電體層及第1高透磁性材料層各自之側面，形成第2高透磁性材料層，故成為第1高透磁性材料層之側面與第2高透磁性材料層相接之狀態，可使磁通更有效地集中於第2強磁性體層，其結果，可充分降低消耗電流。

在包含第1之構成、第2A之構成、第2B之構成、第3之構成之本發明之非揮發性磁性記憶裝置、本發明之第1形態~第3形態之非揮發性磁性記憶裝置之製造方法(以下有時將此等總稱為本發明)中，第1強磁性體層更具體而言，例如由下而上最好具有反強磁性體層與強磁性體層(又稱固著層、磁化固定層)之2層構成，可利用作用於此等2層間之交換互相作用而具有強的一方向之磁各向異性。磁化方向較容易旋轉之第2強磁性體層又稱自由層或記錄層。隧道絕緣膜負責切斷第2強磁性體層(記錄層)與磁化固定層間之磁性耦合，並使隧道電流通之任務。

強磁性體層(固著層、磁化固定層)及第2強磁性體層(記錄層、自由層)例如為遷移金屬磁性元件，具體上可由鎳(Ni)、鐵(Fe)或鈷(Co)構成之強磁性體，或以此等之合金(例如Co-Fe、Co-Fe-Ni、Ni-Fe等)為主成分之強磁性體所構成。又，也可使用所謂半金屬強磁性體材料及CoFe-B等非晶質強磁性體材料。又，作為構成反強磁性體層之材料，例如可列舉鐵-錳合金、鎳-錳合金、鉑-錳合金、銥-錳合金、銩

- 鋅合金、鈷氧化物、鎳氧化物。此等層例如可利用以真空蒸鍍法所例示之物理的氣相生長法(PVD法)、ALD(Atomic Layer Deposition：原子層沉積)法所代表之CVD法形成。

作為形成隧道絕緣膜之材料，例如可列舉鋁氧化物(AlO_x)、鋁氮化物(AlN)、鎂氧化物(MgO)、鎂氮化物、矽氧化物、矽氮化物，更可列舉Ge、 NiO 、 CdO_x 、 HfO_2 、 Ta_2O_5 、BN、ZnS。隧道絕緣膜例如可利用使濺射法所形成之金屬膜氧化或氮化而獲得。更具體而言，作為隧道絕緣膜之材料，例如使用鋁氧化物(AlO_x)時，例如可使用使濺射法所形成之鋁在大氣中氧化之方法、使濺射法所形成之鋁在電漿中氧化之方法、使濺射法所形成之鋁在IPC電漿中氧化之方法、使濺射法所形成之鋁在氧中自然氧化之方法、使濺射法所形成之鋁在氧基中氧化之方法、使濺射法所形成之鋁在氧中自然氧化時照射紫外線之方法、將鋁以反應性濺射法成膜之方法、將氧化鋁以濺射法成膜之方法，或可利用以ALD所代表之CVD法形成隧道絕緣膜。

作為構成第1高透磁性材料層或第2高透磁性材料層之材料，例如可列舉鈷-鐵合金、鎳-鐵合金、非晶質磁性材料等軟磁性材料。此等層例如可利用濺射法、離子束沉積法、真空蒸鍍法所例示之PVD法、ALD法所代表之CVD法、電鍍法形成。

構成第1配線或第2配線之導電體層例如係由鋁、Al-Cu等鋁系合金、銅(Cu)所構成，例如可以濺射法所例示之PVD法、CVD法、電解電鍍法所代表之電鍍法形成。

第1連接孔及第2連接孔可由摻入雜質之多晶矽或鎢、Ti、Pt、Pd、Cu、TiW、TiNW、 WSi_2 、 MoSi_2 等高熔點金屬或金屬矽化物所構成，可依據化學的氣相生長法(CVD)或濺射法所例示之PVD法形成。第2連接孔更可由鈦(Ru)所構成。

疊層構造及絕緣膜、導電體層等之圖案化例如可利用反應性離子蝕刻(RIE)法或離子研磨法法執行。又，有時也可利用所謂剝落法執行圖案化。

選擇用電晶體例如由習知之MIS型FET或MOS型FET、雙極電晶體所構成。

作為構成下層層間絕緣層及上層層間絕緣層之材料，例如可使用氧化矽(SiO_2)、氮化矽(SiN)、 SiON 、SOG、NSG、BPSG、PSG、BSG、FSG、 SiOC 、 SiC 、有機膜(所謂Low-k(低介電常數)材料)或LTO。又，作為構成絕緣膜之材料，除了作為構成下層層間絕緣層及上層層間絕緣層之材料所列舉之材料外，例如也可使用氧化鋁(Al_2O_3)。

作為構成側壁、第1側壁、第2側壁之材料，除了作為構成下層層間絕緣層及上層層間絕緣層之材料所列舉之材料外，例如也可使用氧化鋁(Al_2O_3)，利用濺射法、CVD法、ALD法形成。在構成第1側壁與構成第2側壁之材料之間，有時需要蝕刻選擇比。

在本發明之第1形態~第3形態之非揮發性磁性記憶裝置之製造方法中，雖將與導電體層電性連接之第2連接孔形成於第2開口部內，但為達成此目的，只要以絕緣層覆蓋第2

開口部之側壁即可。絕緣層例如可由例如電漿CVD法等CVD法形成之 SiO_2 等絕緣材料、例如ALD法及濺射法等形成之 Al_2O_3 或 SiN 等絕緣材料構成。

【實施方式】

以下，參照圖式，依據發明之實施形態(以下簡稱實施形態)說明本發明。

(實施形態1)

實施形態1係關於本發明之非揮發性磁性記憶裝置(以下稱MRAM)及本發明之第1形態之MRAM之製造方法。實施形態1之TMR型MRAM之模式的局部剖面圖如圖1所示，隧道磁阻元件周邊之放大之模式的局部剖面圖如圖2所示。

此MRAM具有選擇用電晶體TR、下層層間絕緣層(第1層間絕緣層21及第2層間絕緣層25)、第1連接孔23、第1配線(寫入字元線)31、隧道磁阻元件50、上層層間絕緣層(第3層間絕緣層59)、及第2配線(位元線BL)。

選擇用電晶體TR形成於半導體基板10，由MOS型FET所構成。更具體而言，選擇用電晶體TR係形成於元件分離區域11所圍成之活性區域內，由閘極電極12、閘極絕緣膜13、源極/汲極區域14A、14B所構成。例如 SiO_2 及BPSG形成之第1層間絕緣層21(下層層間絕緣層之下層)係覆蓋著選擇用電晶體TR。鎢形成之第1連接孔23係形成於設於構成下層層間絕緣層之下層之第1層間絕緣層21之第1開口部22內，且連接於選擇用電晶體TR之一方之源極/汲極區域14B。第1連接孔23更連接於形成於第1層間絕緣層21上之

接觸墊24。構成下層層間絕緣層之上層之第2層間絕緣層25係形成於第1層間絕緣層21上。又稱寫入字元線之第1配線31(由Al-Cu合金組成之導電體層32所構成)係形成於第2層間絕緣層25(下層層間絕緣層之上層)上，在第1方向(圖式之紙面垂直方向)延伸。又，選擇用電晶體TR之他方之源極/汲極區域14A係經由接觸孔15連接於感測線16。

隧道磁阻元件50係經由氧化鋁(Al_2O_3)構成之絕緣膜33形成於第1配線31上，由下而上具有第1強磁性體層52、 AlO_x 形成之隧道絕緣膜55、Ni-Fe形成之第2強磁性體層(又稱自由層或記錄層)56之疊層構造。第1強磁性體層52更具體而言，由下而上具有Fe-Mn合金形成之反強磁性體層53、Ni-Fe合金形成之磁化固定層54之2層構造。此磁化固定層54係利用與反強磁性體層53之交換耦合而阻斷(pinning)磁化方向。利用外部施加磁場，第2強磁性體層(記錄層)56之磁化方向可對磁化固定層54之磁化方向成平行或反平行地變化。

上層層間絕緣層(第3層間絕緣層59)係覆蓋著隧道磁阻元件50、第2層間絕緣層25(下層層間絕緣層之上層)及第1配線31之延伸部。又，第2配線之位元線BL係形成於第3層間絕緣層59上，電性連接於隧道磁阻元件50之頂面，且在異於第1方向(具體上為正交)之第2方向(圖式之左右方向)延伸。

隧道磁阻元件50之下面係經由形成於至少設於絕緣膜33及第1配線31(更具體而言，係設於絕緣膜33、第1配線31

及第2層間絕緣層25)之第2開口部41內且與第1配線31被絕緣層42電性絕緣之第2連接孔43，電性連接於第1連接孔23(更具體而言，係連接於接觸墊24)。

而，沿著第2方向之隧道磁阻元件50、絕緣膜33及第1配線31之各自之寬度相同。

實施形態1或後述實施形態2~實施形態5之MRAM之動作、陣列構成基本上相同於以往之MRAM之動作(寫入動作、讀出動作)、陣列構成。

以下，參照第1層間絕緣層21等之模式的局部剖面圖之圖3之(A)、(B)、圖4、圖5、圖6之(A)、(B)、圖7、圖8及圖9之(A)、(B)，說明實施形態1之MRAM之製造方法。

[工序-100]

首先，將具有選擇用電晶體TR機能之MOS型FET形成於矽半導體基板構成之半導體基板10。為達此目的，例如依據公知之方法形成具有淺溝構造之元件分離區域11。又，元件分離區域既可具有LOCOS(矽局部氧化)構造，也可具有LOCOS構造與淺溝構造之組合。其後，例如利用高溫蒸氣氧化法使半導體基板10表面氧化，以形成閘極絕緣膜13。接著，以CVD法全面形成摻入雜質之多晶矽層後，將多晶矽層圖案化而形成閘極電極12。又，如不利用多晶矽層構成閘極電極12，也可改用多晶矽化物或金屬矽化物構成閘極電極12。其次，在半導體基板10施行離子植入，形成LDD構造(未圖示)。其後，以CVD法在全面形成SiO₂層後，蝕刻此SiO₂層而在閘極電極12側面形成閘極側壁(未圖

示)。接著，在半導體基板10施行離子植入後，施行被離子植入之活性化退火處理，以形成源極/汲極區域14A、14B。

[工序-105]

接著，在全面以CVD法形成 SiO_2 構成之下層層間絕緣層之最下層後，以化學的/機械的研磨法(CMP法)研磨下層層間絕緣層之最下層。其後，在源極/汲極區域14A上方之下層層間絕緣層之最下層，依據微影技術及RIE法形成開口部，接著，在含開口部內之下層層間絕緣層之最下層上，以CVD法全面形成摻入雜質之多晶矽層。接著，將下層層間絕緣層之最下層上之多晶矽層圖案化而可在下層層間絕緣層之最下層上形成感測線16。感測線16與源極/汲極區域14A係經由形成於下層層間絕緣層之最下層之接觸孔15被連接。其後，在全面以CVD法形成BPSG構成之下層層間絕緣層之中間層。又，BPSG構成之下層層間絕緣層之中間層形成後，最好在氮氣氣氛中，使下層層間絕緣層之中間層回流處理例如 $900^\circ\text{C} \times 20$ 分鐘。甚至於最好依需要，以例如CMP法對下層層間絕緣層之中間層之頂面施以化學的及機械的研磨，使下層層間絕緣層之中間層平坦化，或以回蝕法，使下層層間絕緣層之中間層平坦化。又，以下，將下層層間絕緣層之最下層與下層層間絕緣層之中間層統一簡稱為第1層間絕緣層21(下層層間絕緣層之下層)。

[工序-110]

其後，在源極/汲極區域14B上方之第1層間絕緣層21，以RIE法形成第1開口部22後，在第1開口部22內形成連接於選

擇用電晶體TR之源極/汲極區域14B之第1連接孔23。第1連接孔23之頂面存在於與第1層間絕緣層21之表面大略相同之平面。利用毯覆性鎢CVD法以鎢填埋第1開口部22，形成第1連接孔23。又，在以鎢填埋第1開口部22之前，最好以例如磁控管濺射法依序將Ti層及TiN層形成於含第1開口部22內之第1層間絕緣層21上。在此，形成Ti層及TiN層之理由係為獲得歐姆性之低接觸電阻、防止毯覆性鎢CVD法對半導體基板10之損傷之發生及提高鎢之密接性。在圖式中，省略Ti層及TiN層之圖示。又，第1層間絕緣層21上之鎢層、TiN層、Ti層也可利用化學的/機械的研磨法(CMP法)除去。又，也可使用摻入雜質之多晶矽以取代鎢。

[工序-115]

其後，全面地形成第2層間絕緣層25(下層層間絕緣層之上層)。具體而言，首先，在第1層間絕緣層21上形成與第1連接孔23連接之接觸墊24後，依據HDP(High Density Plasma：高密度電漿)CVD法全面地形成厚1 μm 之 SiO_2 構成之第2層間絕緣層25，接著，施行第2層間絕緣層25之平坦化處理，使接觸墊24上之第2層間絕緣層25厚度成為0.5 μm 。如此，可獲得如圖3之(A)所示之構造。

[工序-120]

其次，在第2層間絕緣層25(下層層間絕緣層之上層)上形成導電體層32及絕緣膜33。具體上，係以濺射法在第2層間絕緣層25上形成厚20 nm之Ti層、厚20 nm之TiN層(此等均未圖示)後，再以濺射法形成厚0.3 μm 之Al-Cu構成之導電

體層 32，於其上依次以濺射法形成厚 10 nm 之 Ti 層、厚 0.1 μm 之 TiN 層(此等均未圖示)後，再以濺射法形成氧化鋁 (Al_2O_3) 構成之厚 50 nm 之絕緣膜 33。如此，可獲得如圖 3 之 (B) 所示之構造。

[工序-125]

其後，在位於第 1 連接孔 23(更具體而言，係接觸墊 24) 上方之至少絕緣膜 33 及導電體層 32(更具體而言，係絕緣膜 33、導電體層 32 及第 2 層間絕緣層 25) 之部分形成第 2 開口部 41，在第 2 開口部 41 內形成電性絕緣於導電體層 32，且連接於第 1 連接孔 23(更具體而言，係接觸墊 24) 之第 2 連接孔 43。

具體而言，全面地形成光阻層 60，依據微影技術在光阻層 60 形成開口 61(參照圖 4)。其後，以 200~300°C 施行熱處理，使光阻層 60 回流以縮小開口 61 之直徑(參照圖 5)。光阻層 60 之開口 61 之直徑之縮小方法不限定於此種方法，例如也可使用在 T.Toyoshima et al., 1998 IEDM, pp 333-336 所報告之方法。又，也可形成開口 61 後，在開口 61 之側壁形成絕緣材料構成之側壁，以縮小開口 61 之直徑。

其次，以光阻層 60 為掩模，逐次蝕刻絕緣膜 33、導電體層 32 及第 2 層間絕緣層 25 而形成第 2 開口部 41 後，除去光阻層 60。如此，可獲得如圖 6 之 (A) 所示之構造。

其後，在含第 2 開口部 41 之全面，以電漿 CVD 法形成 SiO_2 構成之厚 20 nm 之絕緣層 42，接著，利用蝕刻絕緣層 42 而使絕緣層 42 殘留於第 2 開口部 41 之側壁(參照圖 6 之 (B))。又，絕緣層 42 也可由 ALD 法或濺射法等形成之 Al_2O_3 或 SiN 等之

絕緣材料所構成。

其次，在含第2開口部41之全面，以CVD法形成鎢膜後，以CMP法除去絕緣膜33上之鎢膜時，即可在第2開口部41內形成藉絕緣層42而與導電體層32電性絕緣之第2連接孔43(參照圖7)。又，例如也可使用可在315℃程度之低溫成膜之鈦(Ru)等金屬膜，以取代鎢膜。

[工序-130]

其後，在絕緣膜33上形成至少由電性連接於第2連接孔43之第1強磁性體層52、隧道絕緣膜55及第2強磁性體層56構成之疊層構造。

具體而言，利用PVD法逐次形成氮化鈦、鈦或氮化鈦構成之阻擋層51、反強磁性體層53、磁化固定層54、隧道絕緣膜55、第2強磁性體層(記錄層)56與阻擋層51相同材料構成之蓋層(表面塗膜)57。其後，在蓋層57上，依據CVD法形成厚50 nm之鎢或TiN構成之導電材料層58。如此，可獲得圖8所示之構造。隧道絕緣膜55例如由 AlO_x 所構成。隧道絕緣膜55之膜厚非常薄，僅0.5 nm~5 nm，故最好利用ALD法形成或利用濺射法成膜鋁薄膜後，使鋁薄膜電漿氧化而形成，但不限定於此種方法。

[工序-135]

其次，依據微影技術及蝕刻技術，將疊層構造、絕緣膜33及導電體層32圖案化成為在第1方向(圖式之紙面垂直方向)延伸之帶狀形狀。如此，可以獲得由導電體層32所構成且在第1方向延伸之第1配線31(參照圖9之(A))。又，在此

狀態下，第1配線31及絕緣膜33在圖式之紙面垂直方向延伸，且形成於絕緣膜33上之疊層構造也在圖式之紙面垂直方向延伸。

[工序-140]

其後，選擇地除去圖案化成為帶狀之疊層構造，以形成利用第1及第2強磁性體層53、54、56夾著隧道絕緣膜55而成之隧道磁阻元件50。形成隧道磁阻元件50之部分之模式的局部剖面圖如圖9之(A)所示。選擇地除去圖案化成為帶狀之疊層構造後，在隧道磁阻元件50與隧道磁阻元件50之間會殘留第1配線31及絕緣膜33，此狀態之模式的局部剖面圖如圖9之(B)所示。

[工序-145]

接著，在全面以電漿CVD法形成 SiO_2 構成之厚 $0.1\ \mu\text{m}$ 之上層層間絕緣層(第3層間絕緣層59)後，以CMP法使第3層間絕緣層59平坦化而露出導電材料層58。

[工序-150]

其後，在上層層間絕緣層(第3層間絕緣層59)上形成電性連接於第2強磁性體層56(更具體而言，係連接於導電材料層58)，且在與第1方向正交之第2方向(圖式之左右方向)延伸之第2配線(位元線BL)(參照圖1及圖2)。又，此際，也一併形成周邊電路之配線(未圖示)、接合墊(未圖示)。再於全面以電漿CVD法沉積矽氮化膜(未圖示)，在矽氮化膜形成接合墊(未圖示)之開口而完成MRAM之製造工序。

在實施形態1之MRAM中，由於在第2方向之隧道磁阻元

件50、絕緣膜33及第1配線31之各自之寬度相同，故可實現最小單元尺寸，星形曲線成為非對稱，且不會發生寫入特性之誤差增大之問題。

又，在實施形態1之MRAM之製造方法中，在上述[工序-135]中，將疊層構造、絕緣膜33及導電體層32圖案化成為在第1方向延伸之帶狀形狀，故微影工序之光罩對準偏差不會存在，而可實現最小單元尺寸。

(實施形態2)

實施形態2係關於本發明之第1構成之MRAM及本發明之第2形態之MRAM之製造方法。實施形態2之MRAM之模式的局部剖面圖如圖10所示，隧道磁阻元件周邊之放大之模式的局部剖面圖如圖11所示。

在實施形態2之MRAM中，第1配線(寫入字元線)31A係由下而上由第1高透磁性材料層70及導電體層32所構成。而，在沿著第1方向(圖式之紙面垂直方向)之隧道磁阻元件50之側面、絕緣膜33之側面及第1配線31A之側面，形成絕緣材料構成之側壁71，側壁71係被第2高透磁性材料層73所覆蓋。第1高透磁性材料層70及第2高透磁性材料層73係由Ni-Fe合金所構成，側壁71係由氧化鋁(Al_2O_3)所構成。側壁71存在於第2高透磁性材料層73之下部與第1高透磁性材料層70之側面之間。其他構造可構成與實施形態1所說明之MRAM同樣之構造，故省略詳細之說明。又，在實施形態2之MRAM中，在第2方向之隧道磁阻元件50、絕緣膜33及第1配線31A之各自之寬度相同。

以下，參照第1層間絕緣層21等之模式的局部剖面圖之圖12之(A)、(B)、圖13、圖14、圖15之(A)、(B)、圖16、圖17、圖18、圖19及圖20之(A)、(B)，說明實施形態2之MRAM之製造方法。

[工序-200]

首先，在半導體基板10形成選擇用電晶體TR，接著，在全面形成第1層間絕緣層21(下層層間絕緣層之下層)，其後，在第1層間絕緣層21設第1開口部22，在第1開口部22內形成連接於選擇用電晶體TR之第1連接孔23，接著，在全面形成第2層間絕緣層25(下層層間絕緣層之上層)。此等工序實質上與實施形態1之[工序-100]、[工序-105]、[工序-110]、[工序-115]相同，故省略詳細之說明。如此可獲得圖12之(A)所示之構造。

[工序-205]

其次，在第2層間絕緣層25(下層層間絕緣層之上層)上，形成第1高透磁性材料層70、導電體層32及絕緣膜33。具體上，係以濺射法在第2層間絕緣層25上形成厚20 nm之Ti層(未圖示)、厚20 nm之第1高透磁性材料層70、厚20 nm之TiN層(未圖示)後，再以濺射法形成厚0.3 μm 之Al-Cu構成之導電體層32，於其上依次以濺射法形成厚10 nm之Ti層、厚0.1 μm 之TiN層(此等均未圖示)後，以濺射法形成氧化鋁(Al_2O_3)構成之厚50 nm之絕緣膜33。如此，可獲得如圖12之(B)所示之構造。

[工序-210]

其後，在位於第1連接孔23(更具體而言，係接觸墊24)上方之至少絕緣膜33、導電體層32及第1高透磁性材料層70之部分(更具體而言，係絕緣膜33、導電體層32、第1高透磁性材料層70及第2層間絕緣層25之部分)形成第2開口部41，在第2開口部41內形成電性絕緣於導電體層32，且連接於第1連接孔23(更具體而言，係接觸墊24)之第2連接孔43(參照圖13、圖14、圖15之(A)及(B)，以及圖16)。具體而言，實質上只要執行與實施形態1之[工序-125]同樣之工序即可。

[工序-215]

其後，在絕緣膜33上形成至少由第1強磁性體層52、隧道絕緣膜55及第2強磁性體層56構成之疊層構造。具體而言，實質上只要執行與實施形態1之[工序-130]同樣之工序即可。如此，可獲得如圖17所示之構造。

[工序-220]

其次，依據微影技術及蝕刻技術，將疊層構造、絕緣膜33、導電體層32及第1高透磁性材料層70圖案化成為在第1方向(圖式之紙面垂直方向)延伸之帶狀形狀。如此，可以獲得由導電體層32及第1高透磁性材料層70所構成且向第1方向延伸之第1配線31A(參照圖18)。又，在此狀態下，第1配線31A及絕緣膜33在圖式之紙面垂直方向延伸，且形成於絕緣膜33上之疊層構造也在圖式之紙面垂直方向延伸。

[工序-225]

其後，在疊層構造之側面、絕緣膜33之側面、導電體層

32之側面及第1高透磁性材料層70之側面形成側壁71。具體上，可在全面以濺射法形成 Al_2O_3 膜後，蝕刻 Al_2O_3 膜，以形成 Al_2O_3 所構成之側壁71(參照圖19)。又，此外，側壁71也可利用CVD法或ALD法形成之 SiO_2 膜、 SiON 膜、 SiN 膜所構成。側壁71之平均厚度為20 nm。

[工序-230]

接著，在側壁71上形成第2高透磁性材料層73(參照圖20之(A))。具體上，可利用濺射法全面地沉積Ni-Fe構成之高透磁性材料層後，蝕刻高透磁性材料層，而在側壁71上形成第2高透磁性材料層73。

[工序-235]

其後，選擇地除去圖案化成為帶狀之疊層構造及側壁71甚至於第2高透磁性材料層73，以形成利用第1及第2強磁性體層53、54、56夾著隧道絕緣膜55而成之隧道磁阻元件50。形成隧道磁阻元件50之部分之模式的局部剖面圖如圖20之(A)所示。選擇地除去圖案化成為帶狀之疊層構造等後，在隧道磁阻元件50與隧道磁阻元件50之間會殘留第1配線31A及絕緣膜33，此狀態之模式的局部剖面圖如圖20之(B)所示。

[工序-240]

接著，在全面形成上層層間絕緣層(第3層間絕緣層59)，在第3層間絕緣層59上形成電性連接於第2強磁性體層(更具體而言，係連接於導電材料層58)，且在與第1方向正交之第2方向(圖式之左右方向)延伸之第2配線(位元線BL)。

此等工序實質上與實施形態1之[工序-145]及[工序-150]相同。

在實施形態2之MRAM中，也由於在第2方向之隧道磁阻元件50、絕緣膜33及第1配線31A之各自之寬度相同，故可實現最小單元尺寸，星形曲線成為非對稱，且不會發生寫入特性之誤差增大之問題。又，因在隧道磁阻元件50之側面、絕緣膜33之側面及第1配線31A之側面形成側壁71，在側壁71上形成第2高透磁性材料層73，故可使磁通有效地集中於第2強磁性體層56，其結果，可充分降低消耗電流。

又，在實施形態2之MRAM之製造方法中，由於在上述[工序-220]中，將疊層構造、絕緣膜33及第1配線31A圖案化成為在第1方向延伸之帶狀形狀，故微影工序之光罩對準偏差不會存在，而可實現最小單元尺寸。且由於在上述[工序-225]中，在疊層構造之側面、絕緣膜33之側面、導電體層32之側面及第1高透磁性材料層70之側面形成側壁71，在上述[工序-230]中，在側壁71上形成第2高透磁性材料層73，故可使磁通有效地集中於第2強磁性體層56，其結果，可充分降低消耗電流。

又，在實施形態2之MRAM中，模擬隧道磁阻元件50附近之磁通分布之結果如圖21所示。在此，在圖21中，以TMR表示隧道磁阻元件50。由圖21與圖38之比對可知：在實施形態2之MRAM中，磁通更集中於隧道磁阻元件50。

又，圖22係表示圖34所示之以往之MRAM之星形曲線之一部分(以黑圓符號表示)、圖36所示之美國專利第5940319

號揭示之MRAM之星形曲線之一部分(以黑四角符號表示)、實施形態2之MRAM之星形曲線之一部分(以白圓符號表示)及後述實施形態3之MRAM之星形曲線之一部分(以白四角符號表示)。又，隧道磁阻元件50之大小為 $0.4\ \mu\text{m}$ (難以磁化軸方向) $\times 0.8\ \mu\text{m}$ (容易磁化軸方向)。

由圖22亦可知悉：與圖36所示之美國專利第5940319號揭示之MRAM相比，實施形態2之MRAM之第2強磁性體層(記錄層)之磁化方向之反轉臨限值較低，其次所述之實施形態3之MRAM之情形則反轉臨限值又更低。

(實施形態3)

實施形態3係關於本發明之第2A構成之MRAM及本發明之第2形態之MRAM之製造方法之變形。實施形態3之MRAM之模式的局部剖面圖如圖23所示，隧道磁阻元件周邊之放大之模式的局部剖面圖如圖24所示。

在實施形態3之MRAM中，第1配線(寫入字元線)31B係由下而上由第1高透磁性材料層70及導電體層32所構成。而，在沿著第1方向(圖式之紙面垂直方向)之隧道磁阻元件50之側面、絕緣膜33之側面及第1配線31B之側面，形成絕緣材料構成之第1側壁71，再於沿著第1方向之第1強磁性體層52之側面，以覆蓋絕緣膜33之側面及第1配線31B之側面之方式，在第1側壁71上形成絕緣材料構成之第2側壁72。而，第1側壁71及第2側壁72係被第2高透磁性材料層73所覆蓋。第1高透磁性材料層70及第2高透磁性材料層73係由Ni-Fe合金所構成，第1側壁71係由氧化鋁(Al_2O_3)所構成，

第2側壁72係由 SiO_2 所構成。第1側壁71及第2側壁72係存在於第2高透磁性材料層73之下部與第1高透磁性材料層70之側面之間。其他構造可構成與實施形態1所說明之MRAM同樣之構造，故省略詳細之說明。

實施形態3之MRAM係在與實施形態2之[工序-225]同樣之工序中，以覆蓋疊層構造之側面、絕緣膜33之側面、導電體層32之側面及第1高透磁性材料層70之側面之方式形成第1側壁71，接著，以覆蓋第1強磁性體層52之側面、絕緣膜33之側面、導電體層32之側面及第1高透磁性材料層70之側面之方式，形成第2側壁72。第1側壁71可利用執行與實施形態2之[工序-225]同樣之工序而形成。另一方面，第2側壁72可利用以CVD法在全面沉積 SiO_2 膜後，蝕刻 SiO_2 膜而形成。第1側壁71及第2側壁72之構成材料並不限定於 Al_2O_3 、 SiO_2 ，只要使用可取得第2側壁72形成時之蝕刻之蝕刻選擇比之材料之組合即可。又，在執行第2側壁72形成時之蝕刻時，需調整 SiO_2 膜之蝕刻量，使第2側壁72之頂部位於第2強磁性體層56之下方。

除此等之點以外，實施形態3之MRAM可利用與實施形態2同樣之方法製造，故省略詳細之說明。

在實施形態3之MRAM中，在隧道磁阻元件50之側面、絕緣膜33之側面、及第1配線31B之側面形成第1側壁71，以覆蓋第1強磁性體層52之側面、絕緣膜33之側面及第1配線31B之側面之方式，在第1側壁71上形成第2側壁72，在第1及第2側壁71、72上形成第2高透磁性材料層73，故可使磁

通有效地集中於第2強磁性體層56，其結果，可充分降低消耗電流。且側壁係由第1側壁71與第2側壁72所構成，故若將第1側壁71厚度形成充分薄，即可縮短第2高透磁性材料層73與第2強磁性體層56間之距離，故可使磁通有效地集中於第2強磁性體層56。

又，在實施形態3之MRAM中，模擬隧道磁阻元件50附近之磁通分布之結果如圖25所示。在此，在圖25中，以TMR表示隧道磁阻元件50。由圖25與圖21之比對可知：在實施形態3之MRAM中，磁通更集中於隧道磁阻元件50。又，第1側壁71之平均厚度為20 nm，第2側壁72之平均厚度為10 nm。又，如圖22所示，第2強磁性體層(記錄層)56之磁化方向之反轉臨限值更低。

(實施形態4)

實施形態4係關於本發明之第2B構成之MRAM及本發明之第2形態之MRAM之製造方法之變形。實施形態4之MRAM之模式的局部剖面圖如圖26所示，隧道磁阻元件周邊之放大之模式的局部剖面圖如圖27所示。

在實施形態4之MRAM中，第1配線(寫入字元線)31B係由下而上由第1高透磁性材料層70及導電體層32所構成。而，在沿著第1方向(圖式之紙面垂直方向)之第1強磁性體層52之側面、絕緣膜33之側面及第1配線31B之側面，形成絕緣材料構成之第1側壁71，再於沿著第1方向之隧道磁阻元件50之側面，以覆蓋絕緣膜33之側面及第1配線31B之側面之方式，在第1側壁71上形成絕緣材料構成之第2側壁72。而，

第2側壁72係被第2高透磁性材料層73所覆蓋。第1高透磁性材料層70及第2高透磁性材料層73係由Ni-Fe合金所構成，第1側壁71係由SiO₂所構成，第2側壁72係由氧化鋁(Al₂O₃)所構成。第1側壁71及第2側壁72係存在於第2高透磁性材料層73之下部與第1高透磁性材料層70之側面之間。其他構造可構成與實施形態1所說明之MRAM同樣之構造，故省略詳細之說明。

實施形態4之MRAM係在與實施形態2之[工序-225]同樣之工序中，以覆蓋第1強磁性體層52之側面、絕緣膜33之側面、導電體層32之側面及第1高透磁性材料層70之側面之方式形成第1側壁71，接著，以覆蓋疊層構造之側面、絕緣膜33之側面、導電體層32之側面及第1高透磁性材料層70之側面之方式，形成第2側壁72。第1側壁71及第2側壁72實質上可利用與實施形態3之同樣之方法形成。又，在執行第1側壁71形成時之蝕刻時，需調整氧化鋁膜之蝕刻量，使第1側壁71之頂部位於第2強磁性體層56之下方。

除此等之點以外，實施形態4之MRAM可利用與實施形態2同樣之方法製造，故省略詳細之說明。

在實施形態4之MRAM中，在第1強磁性體層52之側面、絕緣膜33之側面及第1配線31B之側面形成第1側壁71，以覆蓋疊層構造之側面、絕緣膜33之側面及第1配線31B之側面之方式，在第1側壁71上形成第2側壁72，在第2側壁72上形成第2高透磁性材料層73，故可使磁通有效地集中於第2強磁性體層56，其結果，可充分降低消耗電流。且側壁係

由第1側壁71與第2側壁72所構成，故若將第2側壁72厚度形成充分薄，即可縮短第2高透磁性材料層73與第2強磁性體層56間之距離，故可使磁通有效地集中於第2強磁性體層56。

(實施形態5)

實施形態5係關於本發明之第3構成之MRAM及本發明之第3形態之MRAM之製造方法。實施形態5之MRAM之模式的局部剖面圖如圖28所示，隧道磁阻元件周邊之放大之模式的局部剖面圖如圖29所示。

在實施形態5之MRAM中，第1配線(寫入字元線)31C係由下而上由第1高透磁性材料層70及導電體層32所構成。而，在沿著第1方向(圖式之紙面垂直方向)之隧道磁阻元件50之側面形成絕緣材料構成之側壁81，側壁81以及絕緣膜33之側面及第1配線31C之側面係被第2高透磁性材料層83所覆蓋。第1高透磁性材料層70及第2高透磁性材料層83係由Ni-Fe合金所構成，側壁81係由氧化鋁(Al_2O_3)所構成。第2高透磁性材料層83之下部與第1高透磁性材料層70之側面相接。即，側壁81不存在於此部分。其他構造可構成與實施形態1所說明之MRAM同樣之構造，故省略詳細之說明。又，在實施形態5之MRAM中，包含沿著第2方向之側壁81之隧道磁阻元件50、絕緣膜33及第1配線31C之各自之寬度相同。

以下，參照第1層間絕緣層21等之模式的局部剖面圖之圖30、圖31、圖32、圖33之(A)及(B)，說明實施形態5之MRAM

之製造方法。

[工序-500]

首先，在半導體基板10形成選擇用電晶體TR，接著，在全面形成第1層間絕緣層21(下層層間絕緣層之下層)，其後，在第1層間絕緣層21設第1開口部22，在第1開口部22內形成連接於選擇用電晶體TR之第1連接孔23，接著，在全面形成第2層間絕緣層25(下層層間絕緣層之上層)。此等工序實質上與實施形態1之[工序-100]、[工序-105]、[工序-110]、[工序-115]相同，故省略詳細之說明。

[工序-505]

其次，在第2層間絕緣層25(下層層間絕緣層之上層)上，形成第1高透磁性材料層70、導電體層32及絕緣膜33。具體上，係執行與實施形態2之[工序-205]同樣之工序。

[工序-510]

其後，在位於第1連接孔23(更具體而言，係接觸墊24)上方之至少絕緣膜33、導電體層32及第1高透磁性材料層70(更具體而言，係絕緣膜33、導電體層32、第1高透磁性材料層70及第2層間絕緣層25)之部分形成第2開口部41，在第2開口部41內形成電性絕緣於導電體層32，且連接於第1連接孔23(更具體而言，係接觸墊24)之第2連接孔43。具體而言，實質上只要執行與實施形態1之[工序-125]同樣之工序即可。

[工序-515]

其後，在絕緣膜33上形成至少由第1強磁性體層52、隧道

絕緣膜55及第2強磁性體層56構成之疊層構造。具體而言，實質上只要執行與實施形態1之[工序-130]同樣之工序即可。又，在實施形態5中，在導電材料層58上形成厚50 nm之SiN構成之保護層90。

[工序-520]

其次，依據微影技術及蝕刻技術，將疊層構造圖案化成在第1方向延伸之帶狀形狀而使絕緣膜33露出(參照圖30)。

[工序-525]

其後，在疊層構造之側面，以電漿CVD法全面地形成厚30 nm之SiN膜後，蝕刻SiN膜而形成SiN構成之側壁81(參照圖31)。

[工序-530]

接著，使用疊層構造(更具體而言，為保護層90)及側壁81作為蝕刻用掩模，使絕緣膜33、導電體層32及第1高透磁性材料層70自我整合地圖案化成在第1方向之帶狀形狀(參照圖32)。如此，即可獲得由導電體層32及第1高透磁性材料層70所構成而沿著第1方向延伸之第1配線31C。

[工序-535]

其後，在側壁81上及絕緣膜33之側面、導電體層32之側面及第1高透磁性材料層70之側面形成第2高透磁性材料層83(參照圖33之(A))。具體上，只要執行與實施形態2之[工序-230]同樣之工序即可。

[工序-540]

其次，選擇地除去圖案化成為帶狀之疊層構造及側壁81

甚至於第2高透磁性材料層83，以形成利用第1及第2強磁性體層53、54、56夾著隧道絕緣膜55而成之隧道磁阻元件50。形成隧道磁阻元件50之部分之模式的局部剖面圖如圖33之(A)所示。選擇地除去圖案化成為帶狀之疊層構造等後，在隧道磁阻元件50與隧道磁阻元件50之間會殘留第1配線31C及絕緣膜33，此狀態之模式的局部剖面圖如圖33之(B)所示。

[工序-545]

接著，在全面形成上層層間絕緣層(第3層間絕緣層59)，在第3層間絕緣層59上形成電性連接於第2強磁性體層(更具體而言，係連接於導電材料層58)，且在與第1方向正交之第2方向(圖式之左右方向)延伸之第2配線(位元線BL)。此等工序實質上與實施形態1之[工序-145]及[工序-150]相同。

在實施形態5之MRAM中，也由於含沿著第2方向之側壁81之隧道磁阻元件、絕緣膜33及第1配線31C之各其寬度相同，故可實現最小單元尺寸，星形曲線成為非對稱，且不會發生寫入特性之誤差增大之問題。又，因在隧道磁阻元件50之側面形成側壁81，在側壁81上形成第2高透磁性材料層83，故可使磁通有效地集中於第2強磁性體層56，其結果，可充分降低消耗電流。且由於第1高透磁性材料層70與第2高透磁性材料層83相接，故可使磁通更有效地集中於第2強磁性體層56。

又，在實施形態5之MRAM之製造方法中，由於在上述[工

序-520]中，將疊層構造圖案化成為在第1方向延伸之帶狀形狀，在上述[工序-530]中，使用保護層90及側壁81作為蝕刻用掩模，使絕緣膜33、導電體層32及第1高透磁性材料層70自我整合地圖案化成為在第1方向之帶狀形狀，故微影工序之光罩對準偏差不會存在，而可實現最小單元尺寸。且由於在上述[工序-525]中，在疊層構造之側面形成側壁81，在上述[工序-535]中，在側壁81上，以及絕緣膜33之側面、導電體層32之側面及第1高透磁性材料層70之側面形成第2高透磁性材料層83，故第1高透磁性材料層70與第2高透磁性材料層83呈現相接狀態，可使磁通更有效地集中於第2強磁性體層56，其結果，可充分降低消耗電流。

以上，已就本發明，依據實施形態予以說明，但本發明並不僅限定於此等實施形態。發明之實施形態中所說明之各層之構成材料、各層之形成方法、MRAM之構造等僅係舉例說明而已，可適當地予以變更。且也可視情形之需要，省略第2層間絕緣層25，將第1連接孔23與第2連接孔43形成為一體。此時，可省略第1連接孔23之形成工序，只要形成與選擇用電晶體連接之第2連接孔即可。

在實施形態1之[工序-140]、實施形態2之[工序-235]、實施形態5之[工序-540]中，雖選擇地除去圖案化成帶狀之疊層構造，以形成利用第1及第2強磁性體層53、54、56夾著隧道絕緣膜55而成之隧道磁阻元件50，但此時，隧道磁阻元件50之平面形狀既可形成相對向之2邊平行於第1方向之矩形，也可形成相對向之2邊平行於第1方向之菱形或平行

四邊形。後者之情形，剩下之2邊不與第2方向平行，可使第2強磁性體層(記錄層)56之磁化方向之反轉高速化。

發明之效應

在本發明之非揮發性磁性記憶裝置中，由於沿著第2方向之隧道磁阻元件、絕緣膜及第1配線之各自之寬度大略相同，，故可實現最小單元尺寸，星形曲線成為非對稱，且不會發生寫入特性之誤差增大之問題。又，由下而上利用第1高透磁性材料層及導電體層構成第1配線(寫入字元線)，利用與第1高透磁性材料層電性耦合之第2高透磁性材料層間接覆蓋隧道磁阻元件之側面，可使磁通有效地集中於第2強磁性體層(記錄層)，其結果，可充分降低消耗電流。

【圖式簡單說明】

圖1係發明之實施形態1之非揮發性磁性記憶裝置之模式的局部剖面圖。

圖2係發明之實施形態1之非揮發性磁性記憶裝置之隧道磁阻元件周邊之放大之模式的局部剖面圖。

圖3之(A)、(B)係發明之實施形態1之非揮發性磁性記憶裝置之製造方法之說明用之第1層間絕緣層等之模式的局部剖面圖。

圖4係接續於圖3之(B)後之發明之實施形態1之非揮發性磁性記憶裝置之製造方法之說明用之第1層間絕緣層等之模式的局部剖面圖。

圖5係接續於圖4後之發明之實施形態1之非揮發性磁性記憶裝置之製造方法之說明用之第1層間絕緣層等之模式

的局部剖面圖。

圖6之(A)及(B)係接續於圖5後之發明之實施形態1之非揮發性磁性記憶裝置之製造方法之說明用之第1層間絕緣層等之模式的局部剖面圖。

圖7係接續於圖6之(B)後之發明之實施形態1之非揮發性磁性記憶裝置之製造方法之說明用之第1層間絕緣層等之模式的局部剖面圖。

圖8係接續於圖7後之發明之實施形態1之非揮發性磁性記憶裝置之製造方法之說明用之第1層間絕緣層等之模式的局部剖面圖。

圖9之(A)及(B)係接續於圖8後之發明之實施形態1之非揮發性磁性記憶裝置之製造方法之說明用之第1層間絕緣層等之模式的局部剖面圖。

圖10係發明之實施形態2之非揮發性磁性記憶裝置之模式的局部剖面圖。

圖11係發明之實施形態2之非揮發性磁性記憶裝置之隧道磁阻元件周邊之放大之模式的局部剖面圖。

圖12之(A)及(B)係發明之實施形態2之非揮發性磁性記憶裝置之製造方法之說明用之第1層間絕緣層等之模式的局部剖面圖。

圖13係接續於圖12之(B)後之發明之實施形態2之非揮發性磁性記憶裝置之製造方法之說明用之第1層間絕緣層等之模式的局部剖面圖。

圖14係接續於圖13後之發明之實施形態2之非揮發性磁

性記憶裝置之製造方法之說明用之第1層間絕緣層等之模式的局部剖面圖。

圖15之(A)及(B)係接續於圖14後之發明之實施形態2之非揮發性磁性記憶裝置之製造方法之說明用之第1層間絕緣層等之模式的局部剖面圖。

圖16係接續於圖15之(B)後之發明之實施形態2之非揮發性磁性記憶裝置之製造方法之說明用之第1層間絕緣層等之模式的局部剖面圖。

圖17係接續於圖16後之發明之實施形態2之非揮發性磁性記憶裝置之製造方法之說明用之第1層間絕緣層等之模式的局部剖面圖。

圖18係接續於圖17後之發明之實施形態2之非揮發性磁性記憶裝置之製造方法之說明用之第1層間絕緣層等之模式的局部剖面圖。

圖19係接續於圖18後之發明之實施形態2之非揮發性磁性記憶裝置之製造方法之說明用之第1層間絕緣層等之模式的局部剖面圖。

圖20之(A)及(B)係接續於圖19後之發明之實施形態2之非揮發性磁性記憶裝置之製造方法之說明用之第1層間絕緣層等之模式的局部剖面圖。

圖21係在發明之實施形態2之非揮發性磁性記憶裝置中，模擬隧道磁阻元件附近之磁通分布之結果之圖。

圖22係表示圖34所示之以往之非揮發性磁性記憶裝置之星形曲線之一部分、圖36所示之美國專利第5940319號揭示

之非揮發性磁性記憶裝置之星形曲線之一部分、發明之實施形態2之非揮發性磁性記憶裝置之星形曲線之一部分及發明之實施形態3之非揮發性磁性記憶裝置之星形曲線之一部分之曲線圖。

圖23係發明之實施形態3之非揮發性磁性記憶裝置之模式的局部剖面圖。

圖24係發明之實施形態3之非揮發性磁性記憶裝置之隧道磁阻元件周邊之放大之模式的局部剖面圖。

圖25係在發明之實施形態3之非揮發性磁性記憶裝置中，模擬隧道磁阻元件附近之磁通分布之結果之圖。

圖26係發明之實施形態4之非揮發性磁性記憶裝置之模式的局部剖面圖。

圖27係發明之實施形態4之非揮發性磁性記憶裝置之隧道磁阻元件周邊之放大之模式的局部剖面圖。

圖28係發明之實施形態5之非揮發性磁性記憶裝置之模式的局部剖面圖。

圖29係發明之實施形態5之非揮發性磁性記憶裝置之隧道磁阻元件周邊之放大之模式的局部剖面圖。

圖30係發明之實施形態5之非揮發性磁性記憶裝置之製造方法之說明用之第1層間絕緣層等之模式的局部剖面圖。

圖31係接續於圖30後之發明之實施形態5之非揮發性磁性記憶裝置之製造方法之說明用之第1層間絕緣層等之模式的局部剖面圖。

圖32係接續於圖31後之發明之實施形態5之非揮發性磁

性記憶裝置之製造方法之說明用之第1層間絕緣層等之模式的局部剖面圖。

圖33之(A)及(B)係接續於圖32後之發明之實施形態5之非揮發性磁性記憶裝置之製造方法之說明用之第1層間絕緣層等之模式的局部剖面圖。

圖34係以往之非揮發性磁性記憶裝置之模式的局部剖面圖。

圖35係表示非揮發性磁性記憶裝置之MRAM之星形曲線之模式圖。

圖36係以往之非揮發性磁性記憶裝置之模式的局部剖面圖。

圖37係在具有圖34所示構造之以往之非揮發性磁性記憶裝置中，模擬隧道磁阻元件附近之磁通分布之結果之圖。

圖38係在具有圖36所示構造之以往之非揮發性磁性記憶裝置中，模擬隧道磁阻元件附近之磁通分布之結果之圖。

【圖式代表符號說明】

TR	選擇用電晶體
BL	第2配線(位元線)
10	半導體基板
11	元件分離區域
12	閘極電極
13	閘極絕緣膜
14A、14B	源極/汲極區域
15	接觸孔

16	感測線
21	下層層間絕緣層(第1層間絕緣層)
22	第1開口部
23	第1連接孔
24	接觸墊
25	下層層間絕緣層(第2層間絕緣層)
31、31A、31B、31C	第1配線(寫入字元線)
32	導電體層
33	絕緣膜
41	第2開口部
42	絕緣層
43	第2連接孔
50	隧道磁阻元件
51	阻擋層
52	第1強磁性體層
53	反強磁性體層
54	磁化固定層
55	隧道絕緣膜
56	第2強磁性體層
57	蓋層
58	導電材料層
59	上層層間絕緣層(第3層間絕緣層)

	層)
60	光阻層
61	開口
70	第1高透磁性材料層
71、72、81	側壁
73、83	第2高透磁性材料層
90	保護層

伍、中文發明摘要：

本發明係用於提供具有可實現最小胞尺寸之構造之TMR (Tunnel Magnetoresistance；隧道磁阻)型之MRAM (Magnetic Random Access Memory：磁性隨機存取記憶體)。MRAM係包含選擇用電晶體TR、下層層間絕緣層21、25、第1連接孔23、形成於下層層間絕緣層25上之第1配線31、經由絕緣膜33形成於第1配線31上之隧道磁阻元件50、上層層間絕緣層59及第2配線BL，隧道磁阻元件50之下面係經由第2連接孔43電性連接於第1連接孔23，沿著第2方向之隧道磁阻元件50、絕緣膜33及第1配線31之各自之寬度大略相同。

陸、日文發明摘要：

【課題】最小セルサイズの実現を可能とする構造を有するTMRタイプのMRAMを提供する。

【解決手段】MRAMは、選択用トランジスタTR、下層層間絶縁層21、25、第1の接続孔23、下層層間絶縁層25上に形成された第1の配線31、第1の配線31上に絶縁膜33を介して形成されたトンネル磁気抵抗素子50、上層層間絶縁層59、及び、第2の配線BLを有し、トンネル磁気抵抗素子50の下面は第2の接続孔43を介して第1の接続孔23に電氣的に接続されており、第2の方向に沿ったトンネル磁気抵抗素子50、絶縁膜33及び第1の配線31のそれぞれの幅は略同じである。

拾、申請專利範圍：

1. 一種非揮發性磁性記憶裝置，其特徵在於包含：

選擇用電晶體，其係形成於半導體基板者；

下層層間絕緣層，其係覆蓋選擇用電晶體者；

第1連接孔，其係形成於設於下層層間絕緣層之第1開口部內，且與選擇用電晶體連接者；

第1配線，其係形成於下層層間絕緣層上，在第1方向延伸，且包含導電層者；

隧道磁阻元件，其係經由絕緣膜形成於第1配線上，且由下而上包含第1強磁性體層、隧道絕緣膜、第2強磁性體層之疊層構造者；

上層層間絕緣層，其係覆蓋隧道磁阻元件、下層層間絕緣層及第1配線之延伸部者；及

第2配線，其係形成於上層層間絕緣層上，電性連接於隧道磁阻元件之頂面，且在異於第1方向之第2方向延伸者；

隧道磁阻元件之下面係經由形成於至少設於絕緣膜及第1配線之第2開口部內且與第1配線電性絕緣之第2連接孔，電性連接於第1連接孔；

沿著第2方向之隧道磁阻元件、絕緣膜及第1配線各自之寬度係大略相同者。

2. 如申請專利範圍第1項之非揮發性磁性記憶裝置，其中

前述第1配線係由下而上包含第1高透磁性材料層、及前述導電體層；

在沿著第1方向之前述隧道磁阻元件、前述絕緣膜及該第1配線之各側面，形成包含絕緣材料之側壁；

側壁係被第2高透磁性材料層所覆蓋者。

3. 如申請專利範圍第1項之非揮發性磁性記憶裝置，其中

前述第1配線係由下而上包含第1高透磁性材料層、及前述導電體層；

在沿著第1方向之前述隧道磁阻元件、前述絕緣膜及該第1配線之各側面，形成包含絕緣材料之第1側壁；

以覆蓋沿著第1方向之前述第1強磁性體層、該絕緣膜及該第1配線之各側面之方式，在該第1側壁上形成包含絕緣材料之第2側壁；

該第1側壁及該第2側壁係被第2高透磁性材料層所覆蓋者。

4. 如申請專利範圍第1項之非揮發性磁性記憶裝置，其中

前述第1配線係由下而上包含第1高透磁性材料層、及前述導電體層；

在沿著第1方向之前述第1強磁性體層、前述絕緣膜及該第1配線之各側面，形成包含絕緣材料之第1側壁；

以覆蓋沿著第1方向之前述隧道磁阻元件、該絕緣膜及該第1配線之各側面之方式，在該第1側壁上形成包含絕緣材料之第2側壁；

該第2側壁係被第2高透磁性材料層所覆蓋者。

5. 如申請專利範圍第1項之非揮發性磁性記憶裝置，其中

前述第1配線係由下而上包含第1高透磁性材料層、及

前述導電體層；

在沿著第1方向之前述隧道磁阻元件之側面形成包含絕緣材料之側壁；

該側壁、及前述絕緣膜及該第1配線之各側面係被第2高透磁性材料層所覆蓋者。

6. 一種非揮發性磁性記憶裝置之製造方法，其特徵在於包含以下工序：

(a)工序，其係在半導體基板上形成選擇用電晶體者；

(b)工序，其係在全面形成下層層間絕緣層者；

(c)工序，其係在下層層間絕緣層設第1開口部，在該第1開口部內形成連接於選擇用電晶體之第1連接孔者；

(d)工序，其係在下層層間絕緣層上形成導電體層及絕緣膜者；

(e)工序，其係在位於第1連接孔上方之至少絕緣膜及導電體層之部分形成第2開口部，在該第2開口部內形成與導電體層電性絕緣，且連接於第1連接孔之第2連接孔者；

(f)工序，其係在絕緣膜上至少形成包含電性連接於第2連接孔之第1強磁性體層、隧道絕緣膜及第2強磁性體層之疊層構造者；

(g)工序，其係將疊層構造、絕緣膜及導電體層圖案化成為在第1方向延伸之帶狀形狀，以獲得包含導電體層且在第1方向延伸之第1配線者；

(h)工序，其係選擇地除去圖案化成為帶狀之疊層構造，以形成利用第1及第2強磁性體層夾著隧道絕緣膜而

成之隧道磁阻元件者；

(i)工序，其係在全面形成上層層間絕緣層者；及

(j)工序，其係在上層層間絕緣層上形成電性連接於第2強磁性體層，且在異於第1方向之第2方向延伸之第2配線者。

7. 一種非揮發性磁性記憶裝置之製造方法，其特徵在於包含：

(a)工序，其係在半導體基板上形成選擇用電晶體者；

(b)工序，其係在全面形成下層層間絕緣層者；

(c)工序，其係在下層層間絕緣層設第1開口部，在該第1開口部內形成連接於選擇用電晶體之第1連接孔者；

(d)工序，其係在下層層間絕緣層上形成第1高透磁性材料層、導電體層及絕緣膜者；

(e)工序，其係在位於第1連接孔上方之至少絕緣膜、導電體層及第1高透磁性材料層部分形成第2開口部，在該第2開口部內形成與導電體層電性絕緣，且連接第1連接孔之第2連接孔者；

(f)工序，其係在絕緣膜上至少形成包含電性連接於第2連接孔之第1強磁性體層、隧道絕緣膜及第2強磁性體層之疊層構造者；

(g)工序，其係將疊層構造、絕緣膜、導電體層及第1高透磁性材料層圖案化成為在第1方向延伸之帶狀形狀，以獲得包含導電體層及第1高透磁性材料層且在第1方向延伸之第1配線者；

(h)工序，其係在疊層構造、絕緣膜、導電體層及第1高透磁性材料層之各側面形成側壁者；

(i)工序，其係在側壁上形成第2高透磁性材料層者；

(j)工序，其係選擇地除去圖案化成為帶狀之疊層構造及側壁，以形成利用第1及第2強磁性體層夾著隧道絕緣膜而成之隧道磁阻元件者；

(k)工序，其係在全面形成上層層間絕緣層者；及

(l)工序，其係在上層層間絕緣層上形成電性連接於第2強磁性體層，且在異於第1方向之第2方向延伸之第2配線者。

8. 如申請專利範圍第7項之非揮發性磁性記憶裝置之製造方法，其中

側壁係包含第1側壁與第2側壁之疊層構造；

在前述(h)工序中，以覆蓋疊層構造、絕緣膜、導電體層及第1高透磁性材料層各自之側面之方式形成第1側壁，接著，以覆蓋第1強磁性體層、絕緣膜、導電體層及第1高透磁性材料層各自之側面之方式在第1側壁上形成第2側壁者。

9. 如申請專利範圍第7項之非揮發性磁性記憶裝置之製造方法，其中

側壁係包含第1側壁與第2側壁之疊層構造；

在前述(h)工序中，以覆蓋第1強磁性體層、絕緣膜、導電體層及第1高透磁性材料層各自之側面之方式形成第1側壁，接著，以覆蓋疊層構造、絕緣膜、導電體層及

第1高透磁性材料層各自之側面之方式在第1側壁上形成第2側壁者。

10. 一種非揮發性磁性記憶裝置之製造方法，其特徵在於包含：

(a)工序，其係在半導體基板上形成選擇用電晶體者；

(b)工序，其係在全面形成下層層間絕緣層者；

(c)工序，其係在下層層間絕緣層設第1開口部，在該第1開口部內形成連接於選擇用電晶體之第1連接孔者；

(d)工序，其係在下層層間絕緣層上形成第1高透磁性材料層、導電體層及絕緣膜者；

(e)工序，其係在位於第1連接孔上方之至少絕緣膜、導電體層及第1高透磁性材料層部分形成第2開口部，在該第2開口部內形成與導電體層電性絕緣，且連接第1連接孔之第2連接孔者；

(f)工序，其係在絕緣膜上至少形成包含電性連接於第2連接孔之第1強磁性體層、隧道絕緣膜及第2強磁性體層之疊層構造者；

(g)工序，其係將疊層構造圖案化成為在第1方向延伸之帶狀形狀者；

(h)工序，其係在疊層構造之側面形成側壁者；

(i)工序，其係以疊層構造及側壁為掩模，將絕緣膜、導電體層及第1高透磁性材料層圖案化成為沿著第1方向延伸之帶狀形狀，以獲得包含導電體層及第1高透磁性材料層且在第1方向延伸之第1配線者；

(j)工序，其係在側壁上、以及絕緣膜、導電體層及第1高透磁性材料層各自之側面，形成第2高透磁性材料層者；

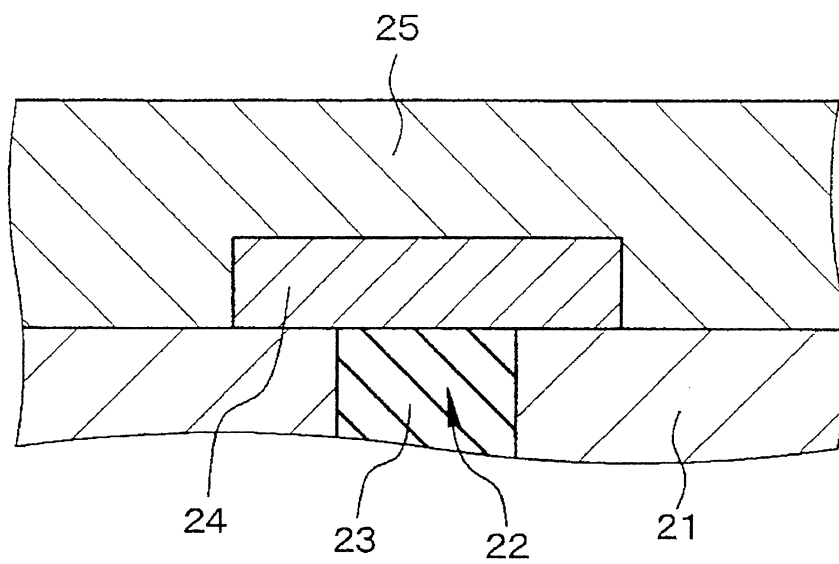
(k)工序，其係選擇地除去圖案化成帶狀之疊層構造及側壁，以形成利用第1及第2強磁性體層夾著隧道絕緣膜而成之隧道磁阻元件者；

(l)工序，其係在全面形成上層層間絕緣層者；及

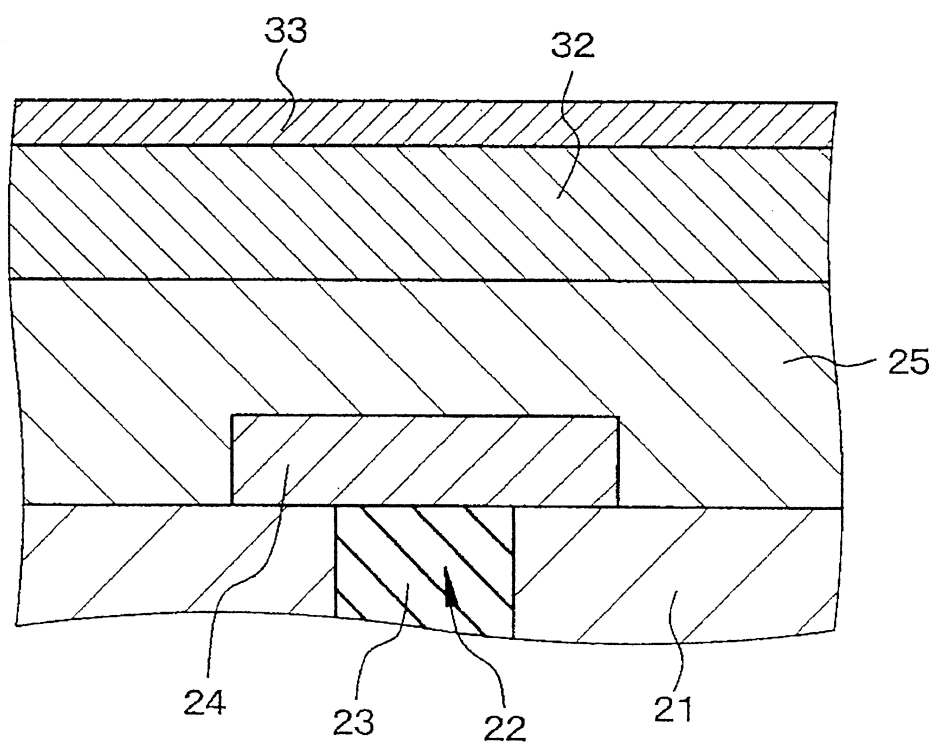
(m)工序，其係在上層層間絕緣層上，形成電性連接於第2強磁性體層，且在異於第1方向之第2方向延伸之第2配線者。

【圖3】

(A) [工序-115]

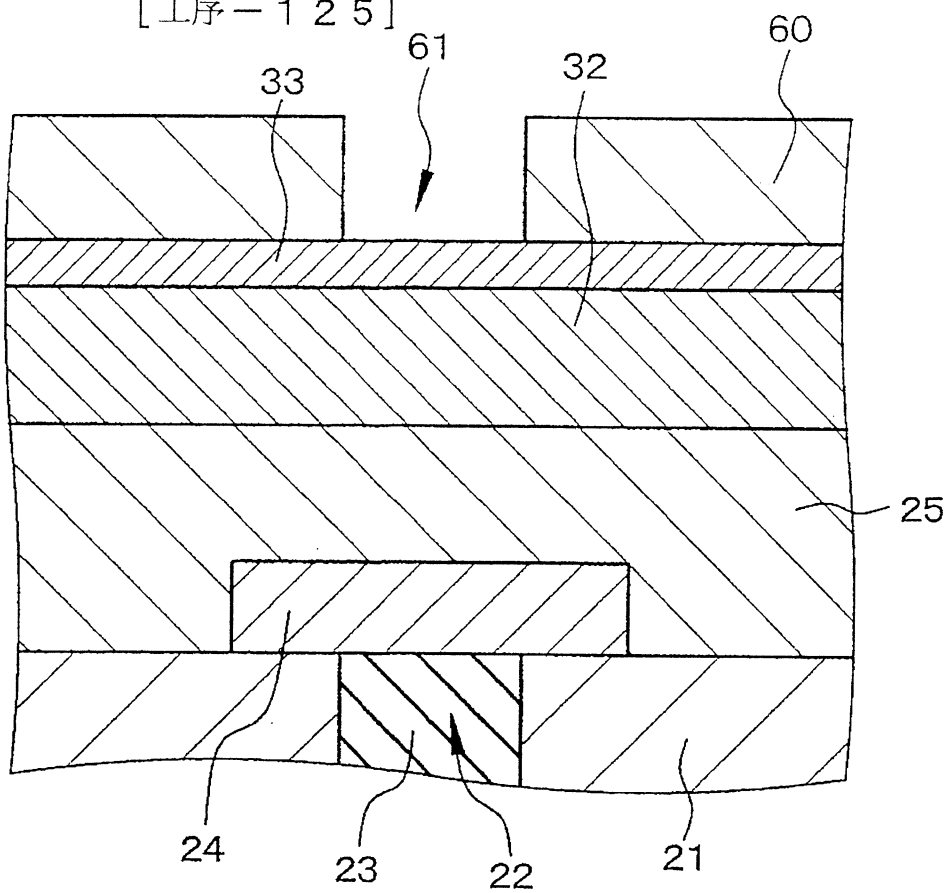


(B) [工序-120]



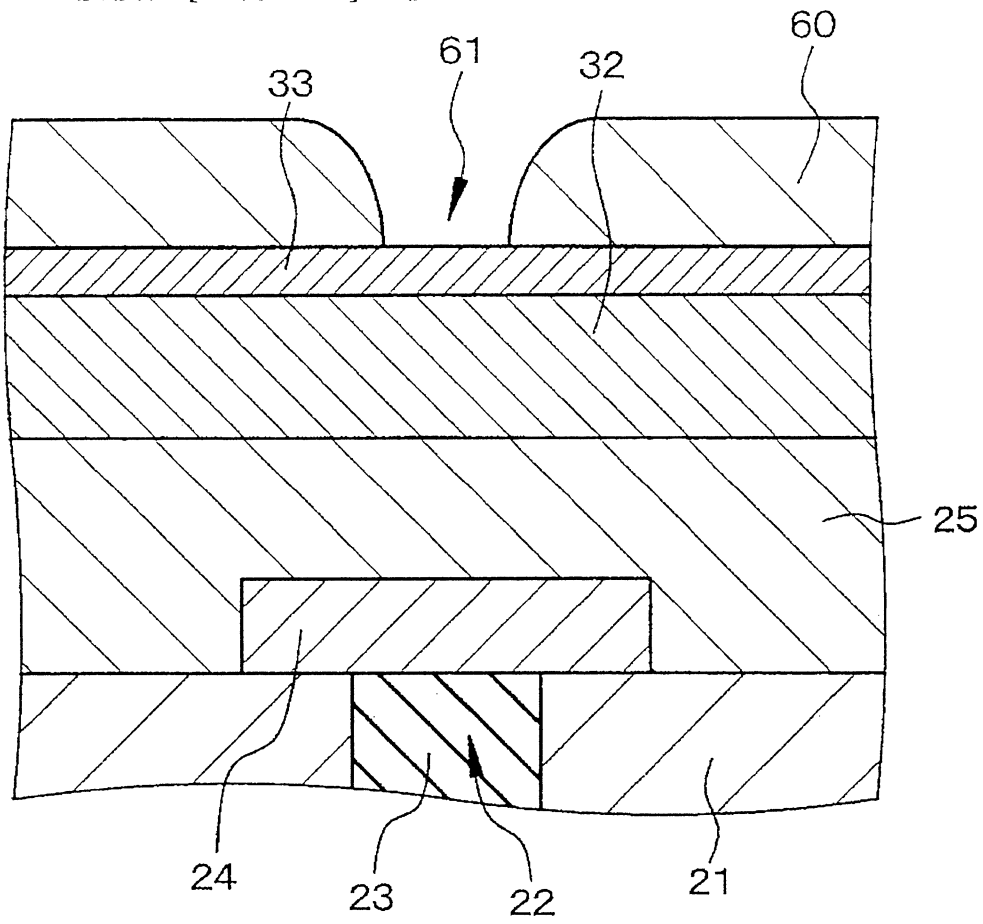
【圖4】

[工序-125]



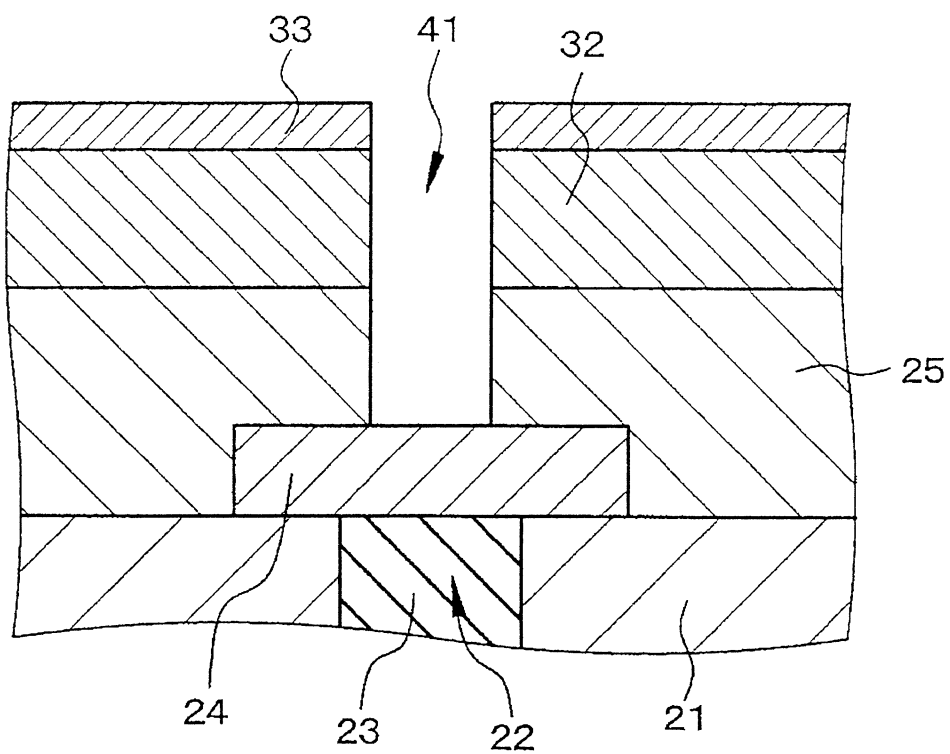
【圖 5】

接續在 [工序 -125] 之後

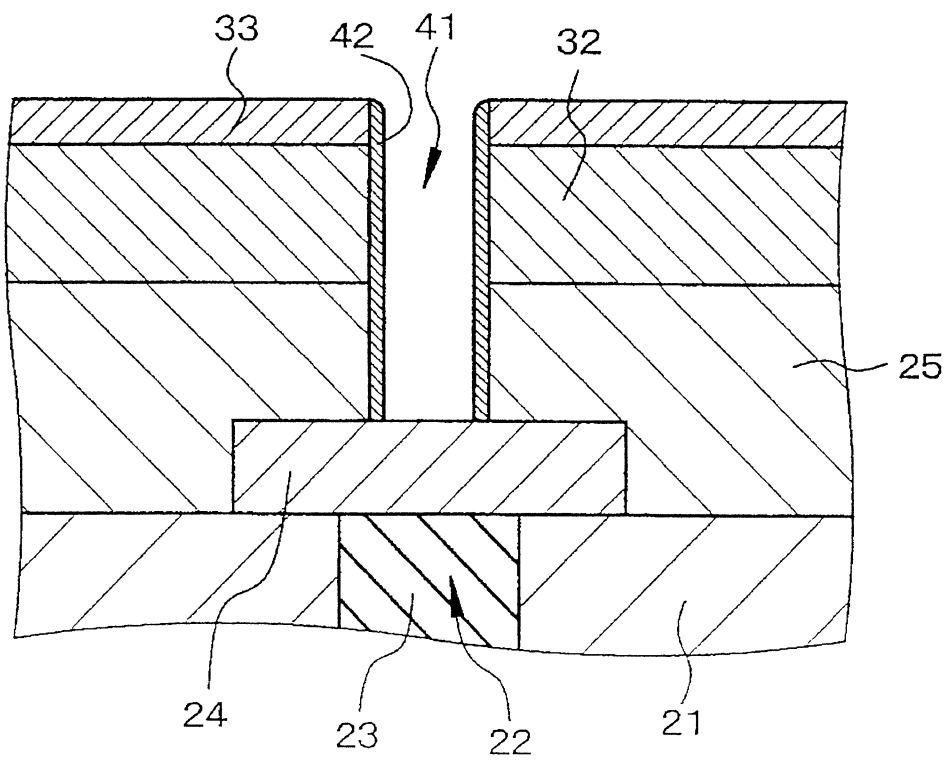


【圖6】

(A) 接續在[工序-125]之後

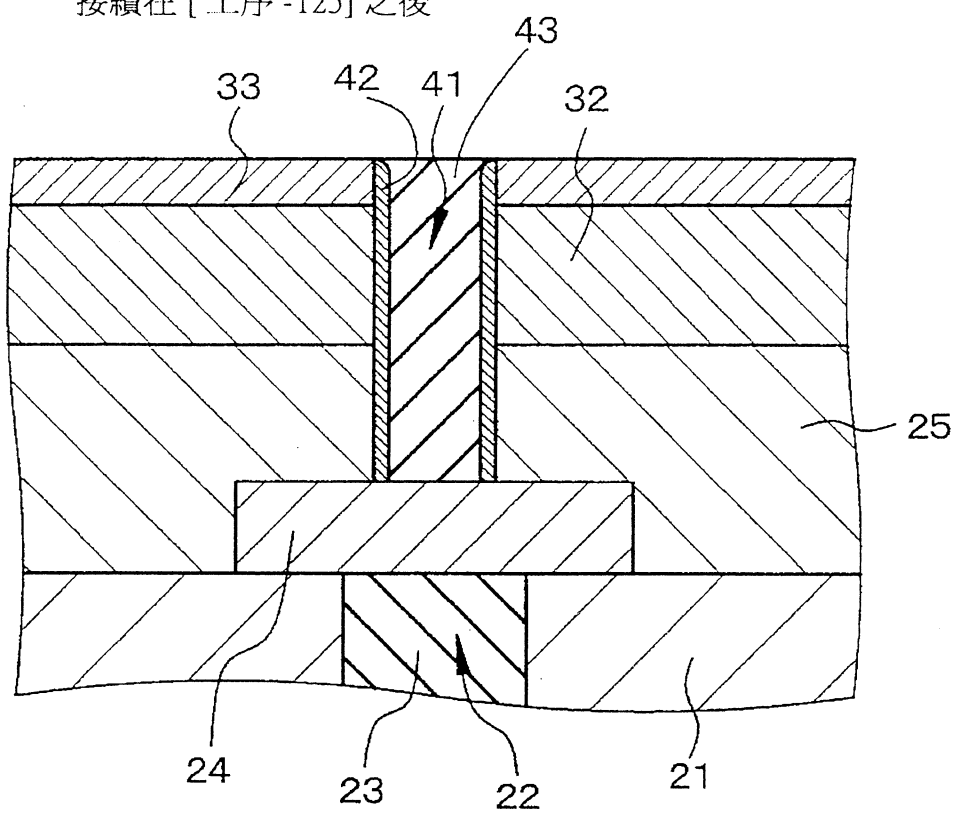


(B) 接續在[工序-125]之後



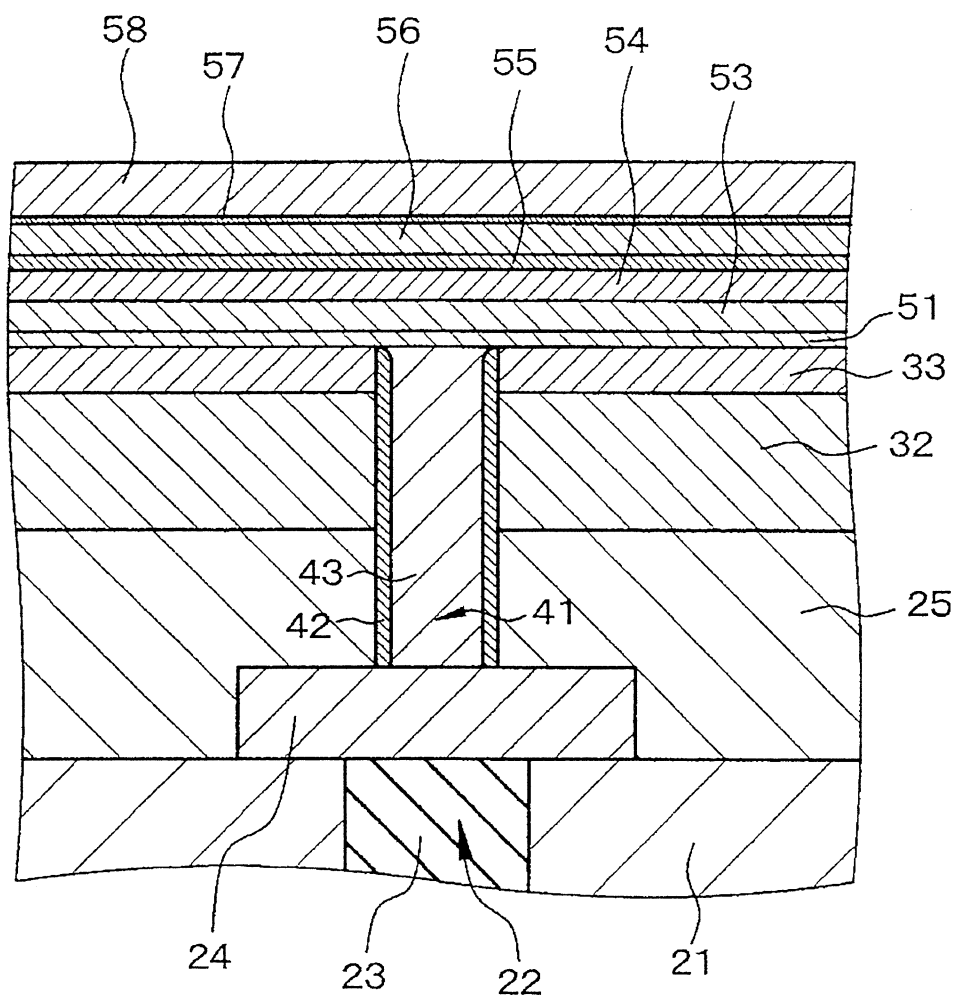
【圖 7】

接續在 [工序 -125] 之後



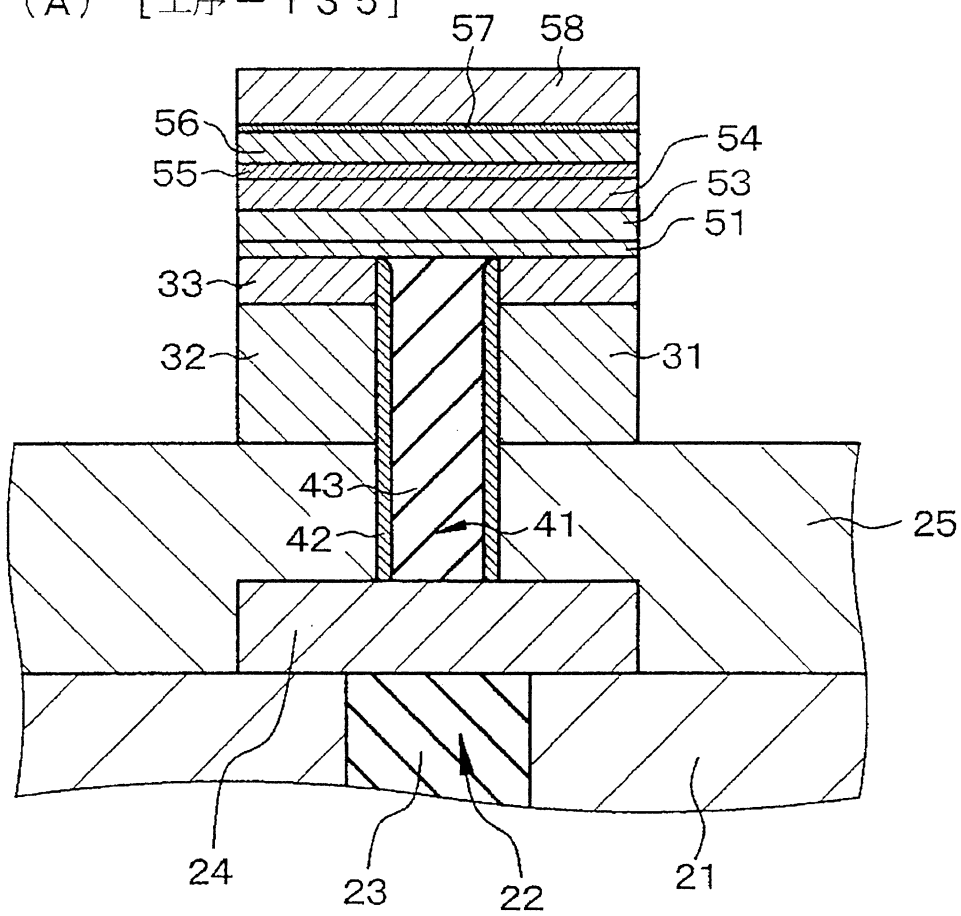
【圖 8】

[工序 - 130]

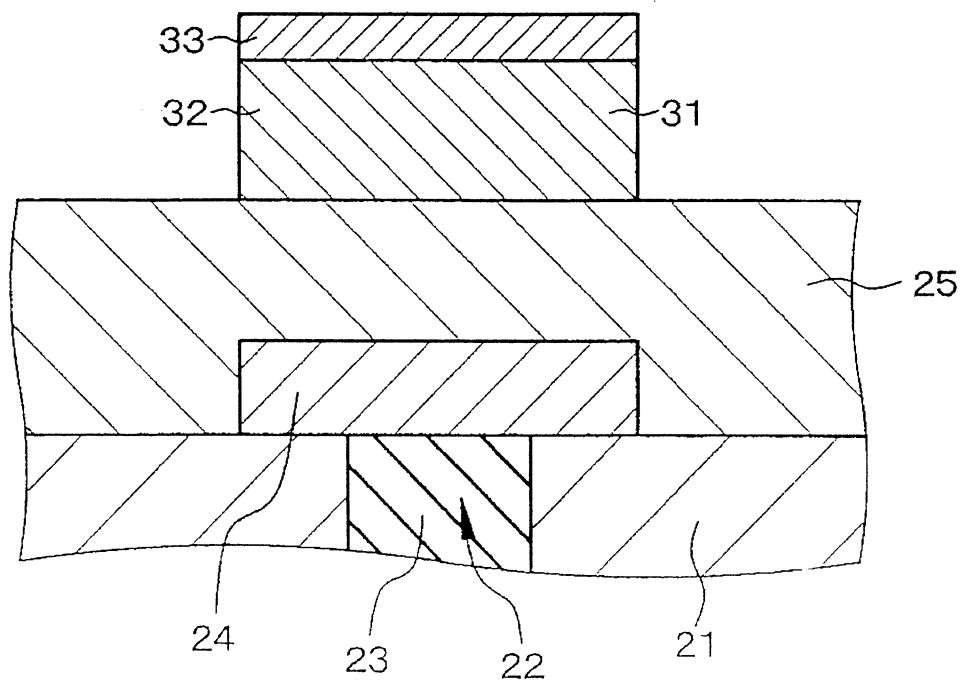


【圖9】

(A) [工序-135]

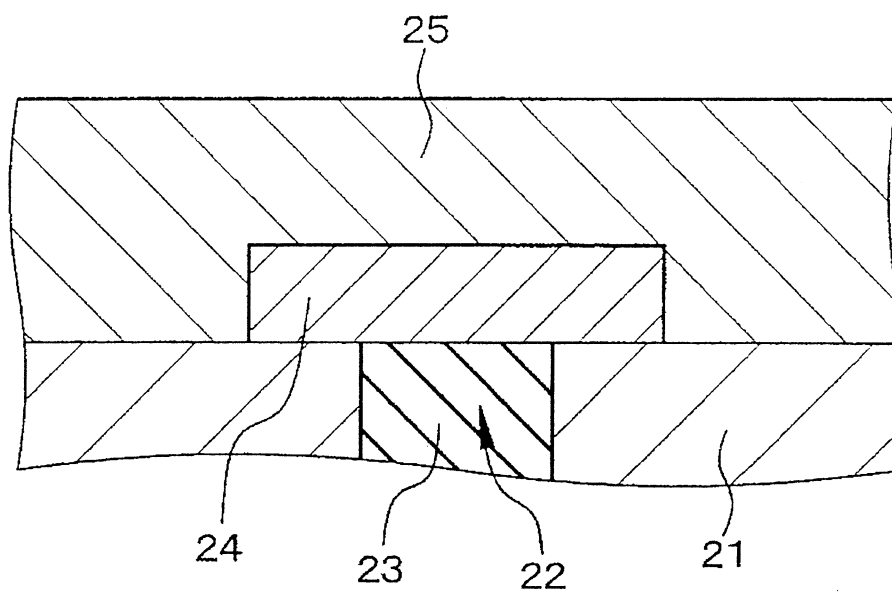


(B) [工序-140]

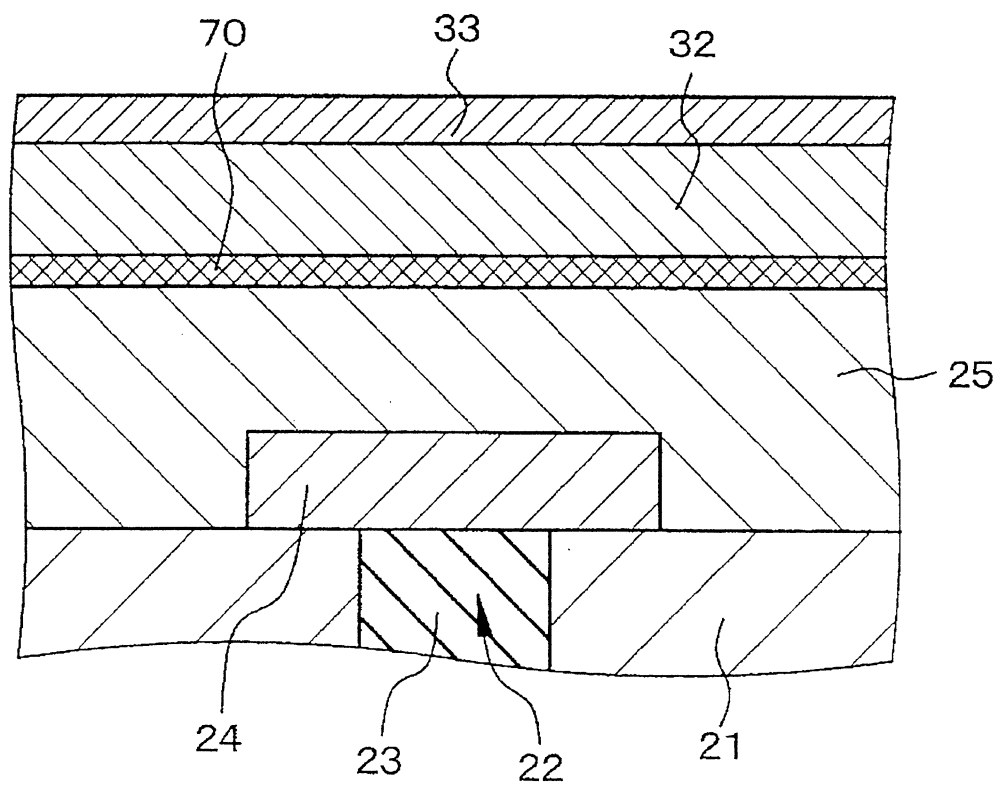


【圖12】

(A) [工序-200]

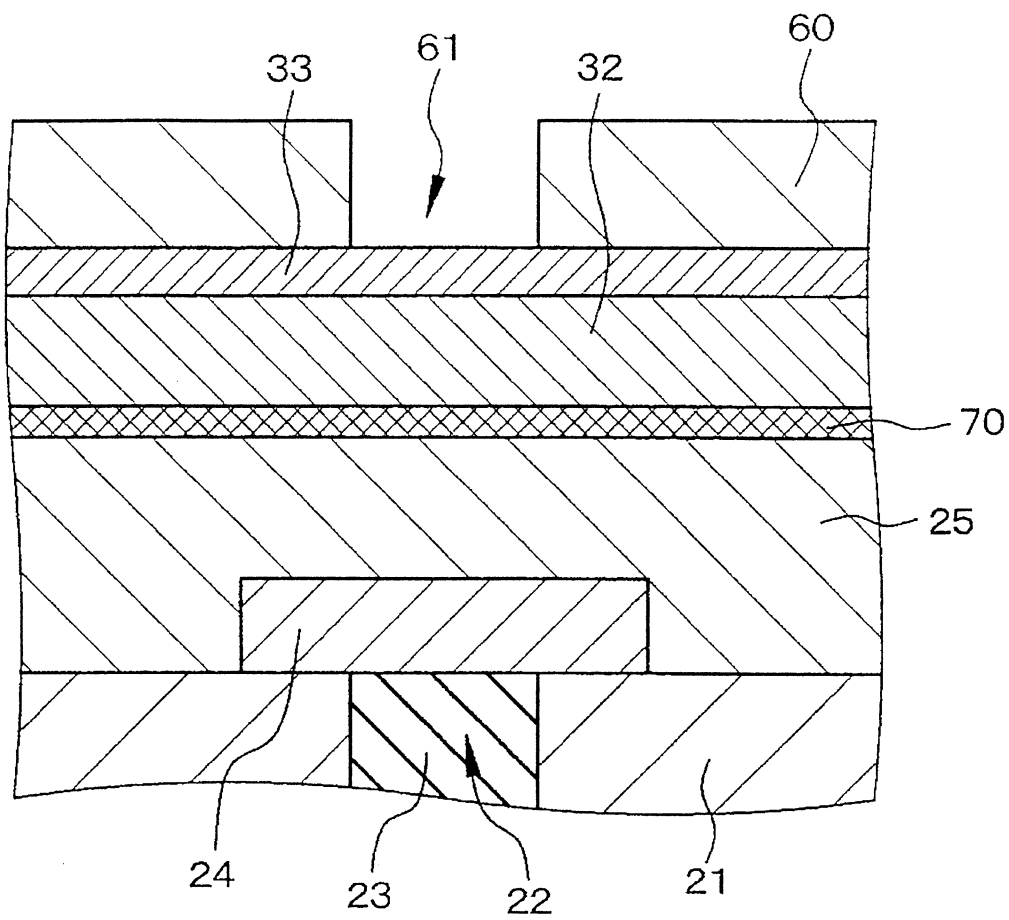


(B) [工序-205]



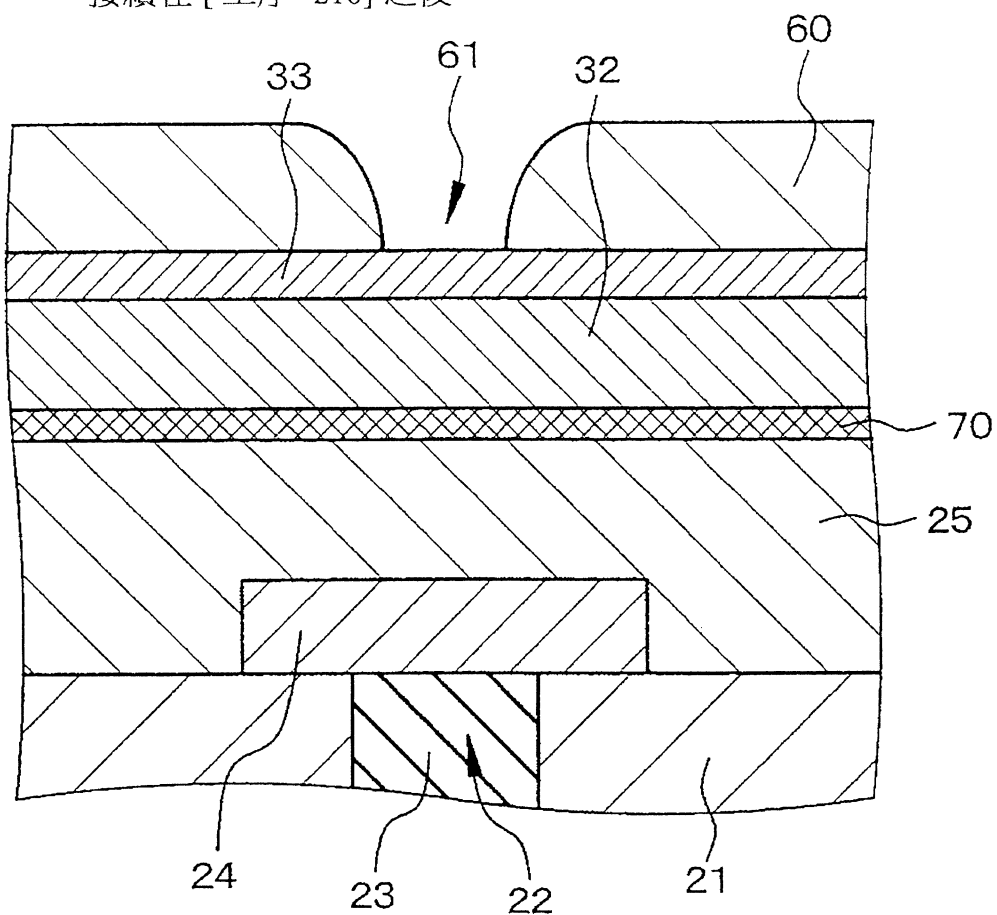
【圖13】

[工序-210]



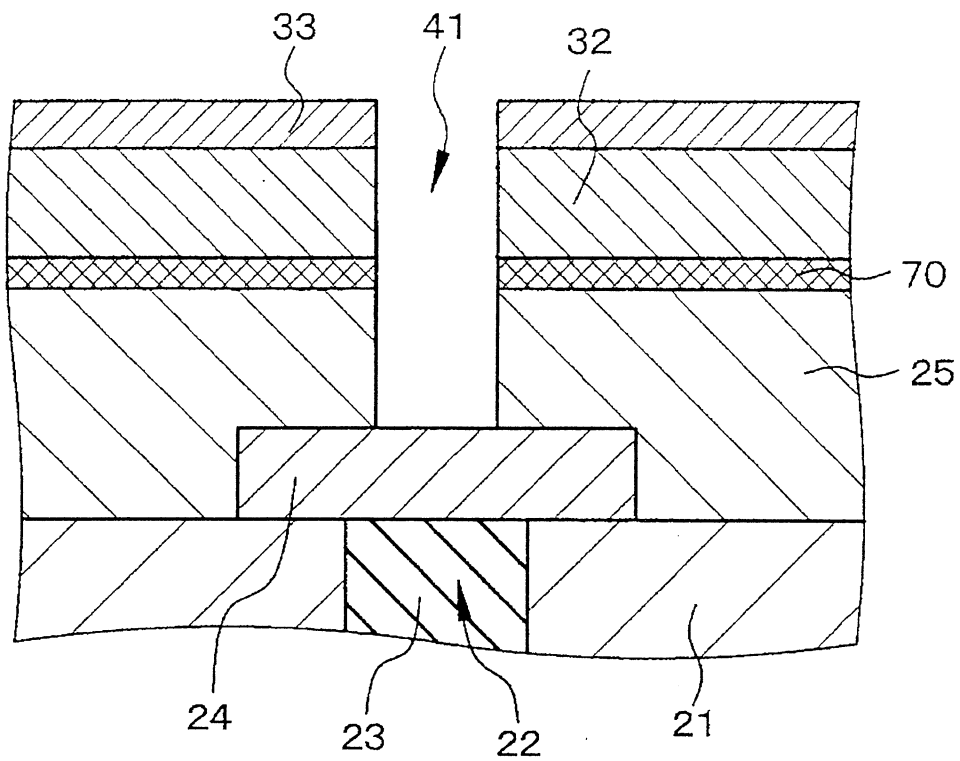
【圖 1 4】

接續在 [工序 -210] 之後

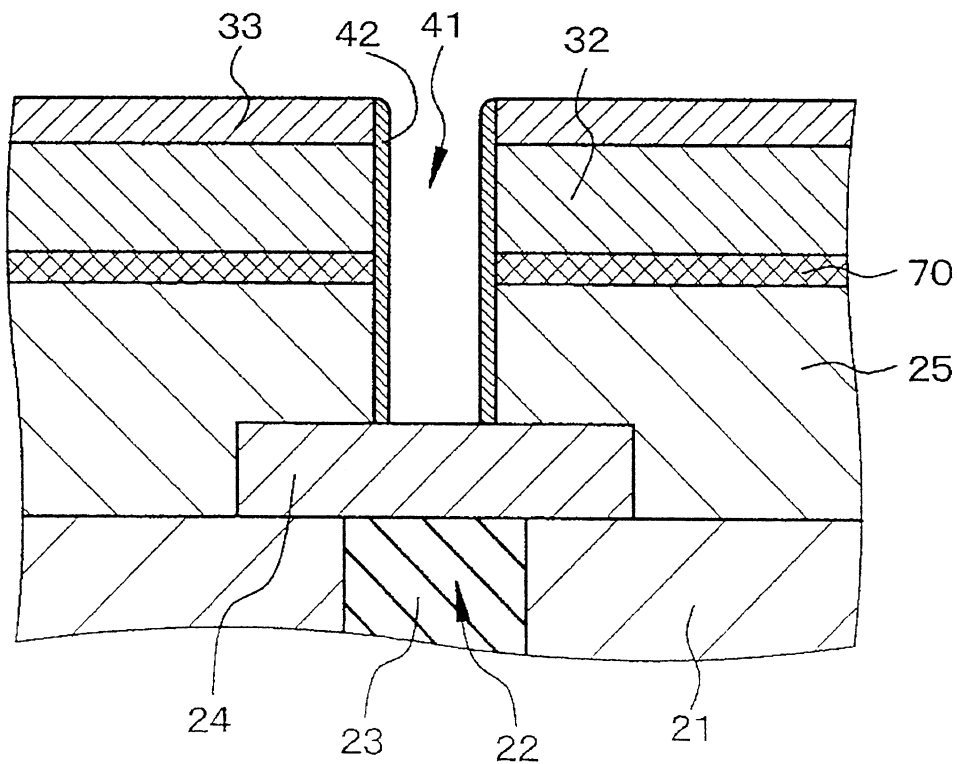


【圖 15】

(A) 接續在 [工序 -210] 之後

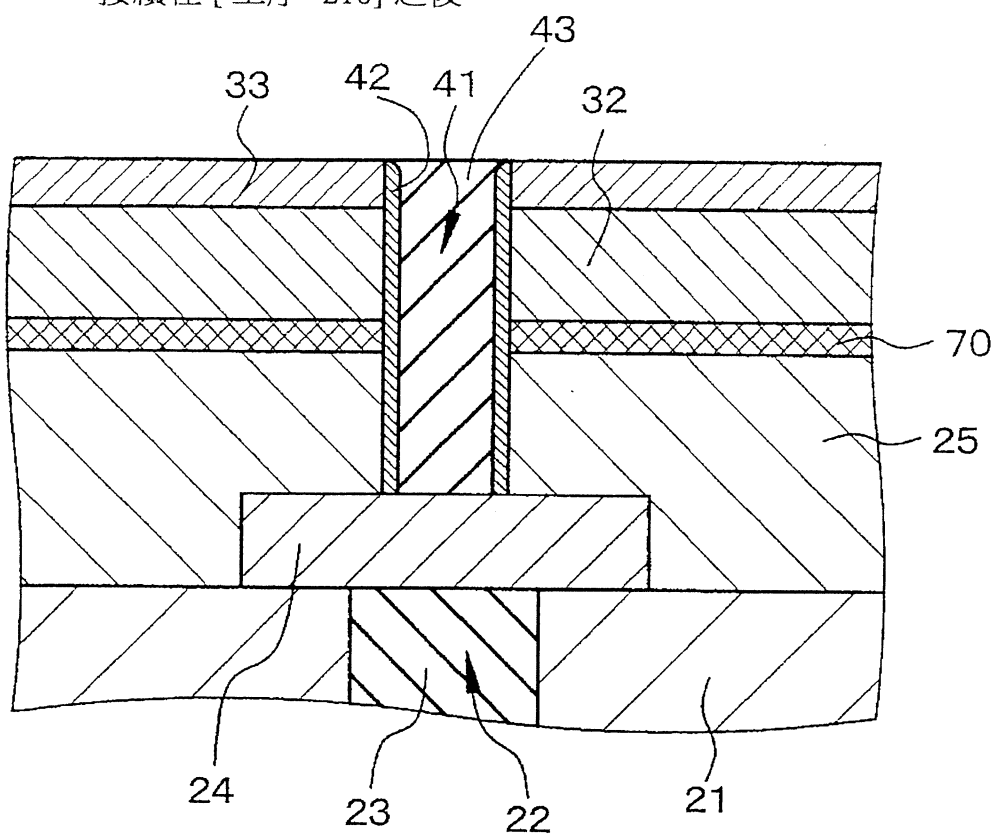


(B) 接續在 [工序 -210] 之後



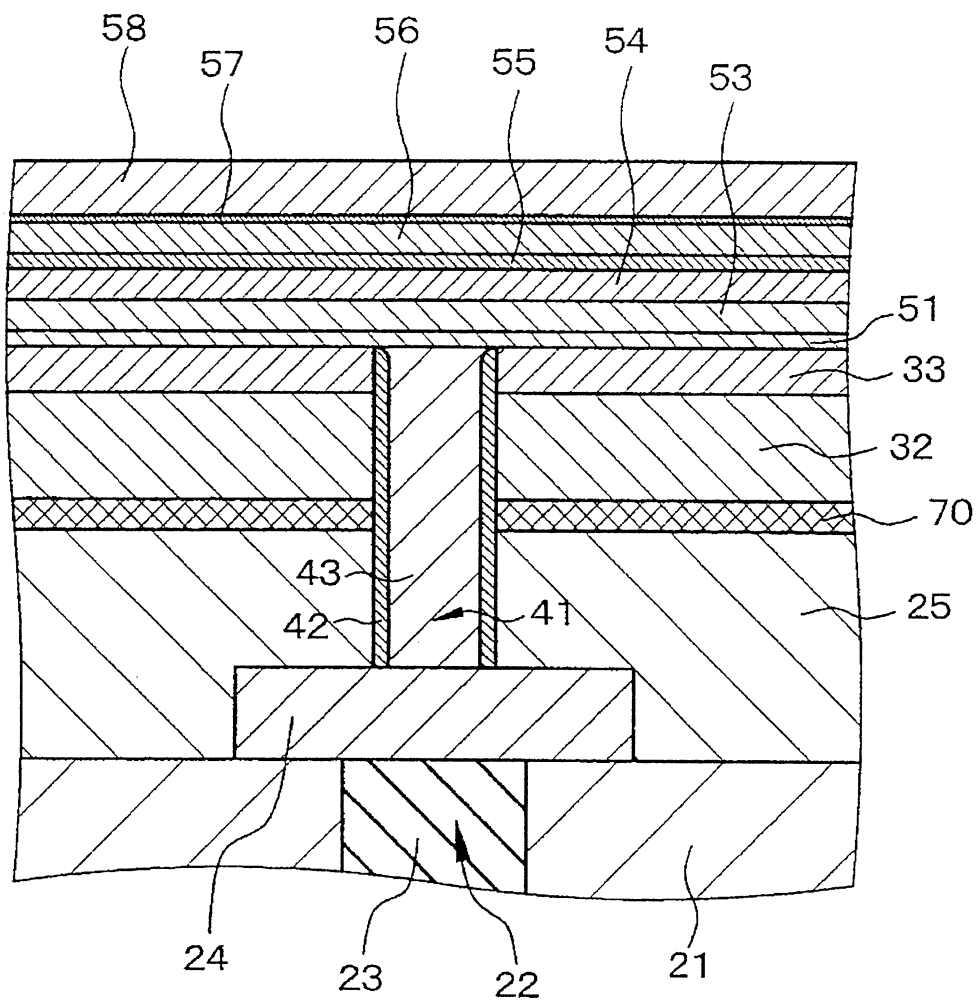
【圖 16】

接續在 [工序 -210] 之後



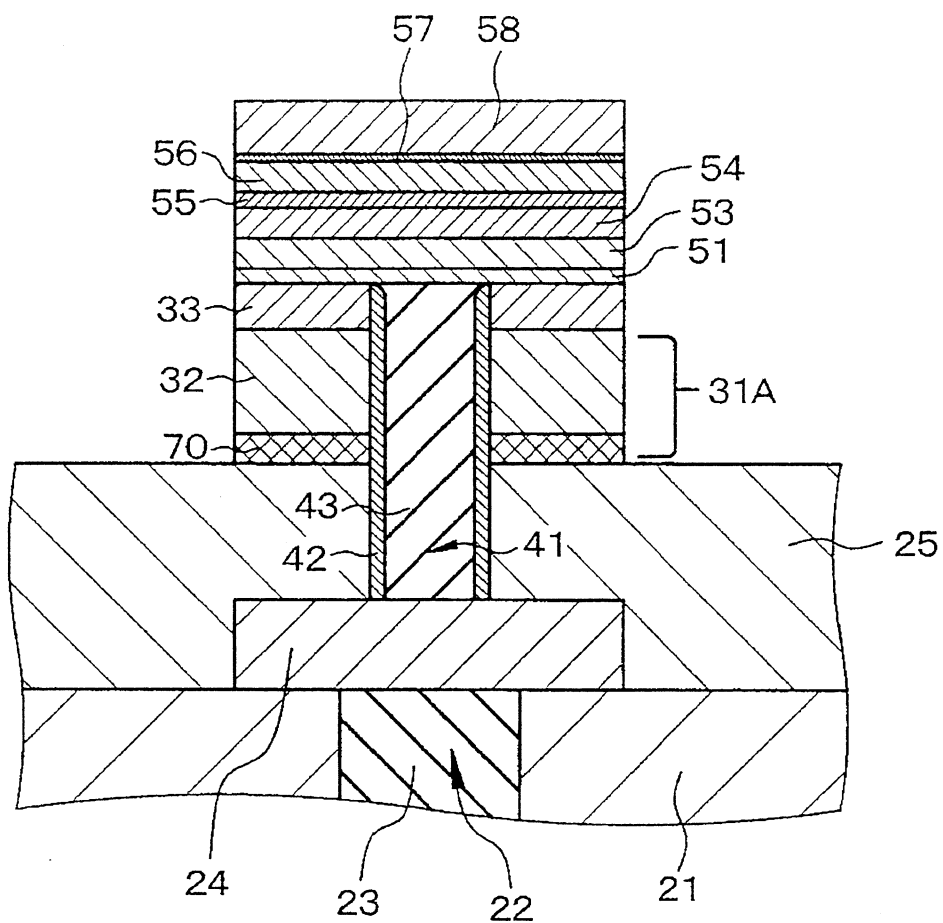
【圖 17】

[工序 - 215]



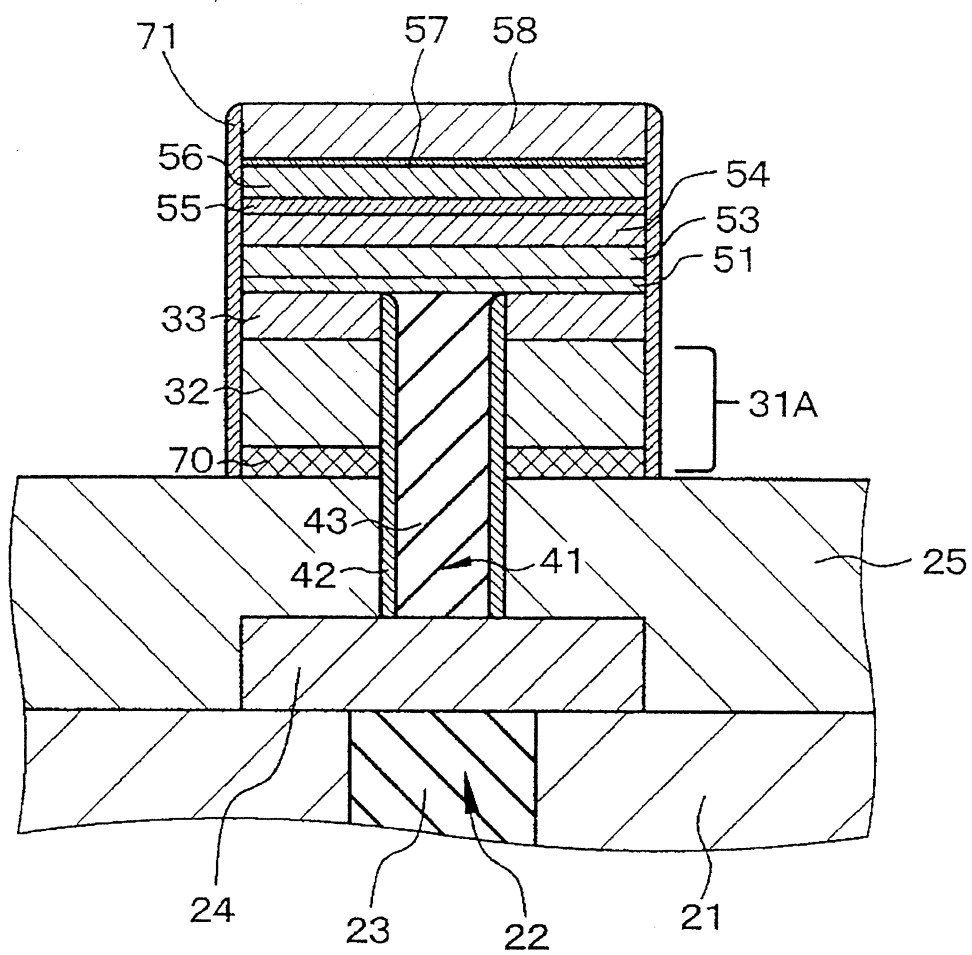
【圖 18】

[工序-220]



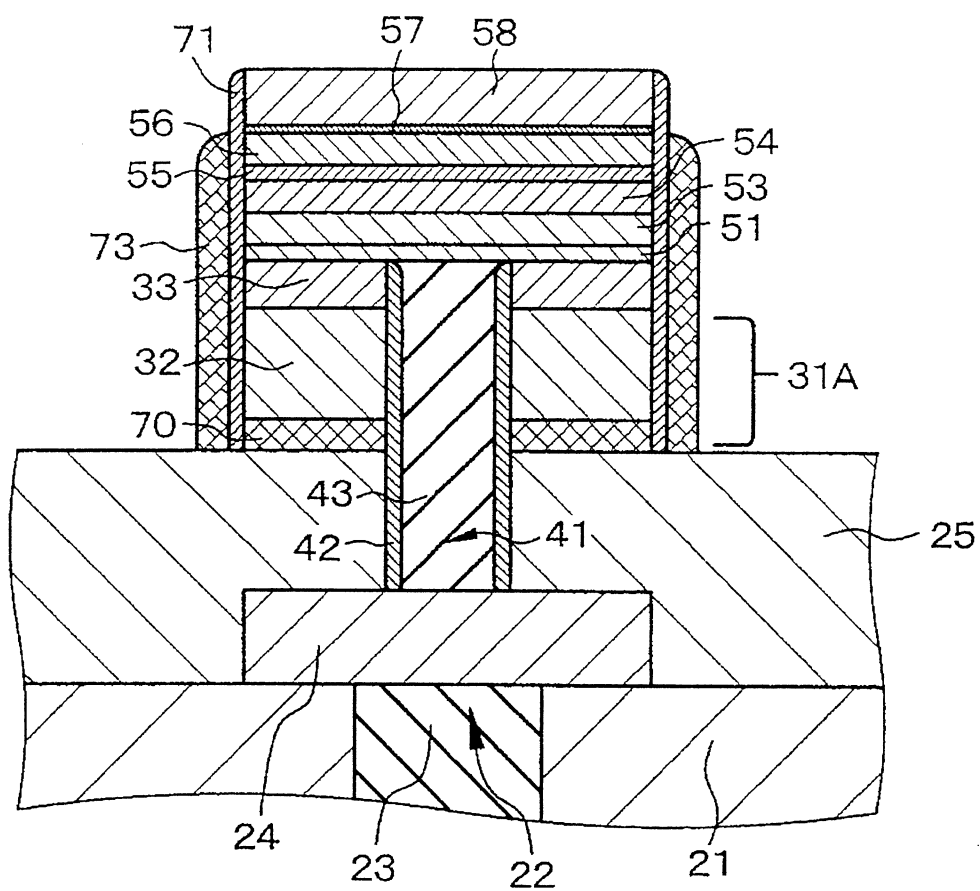
【圖19】

[工序-225]

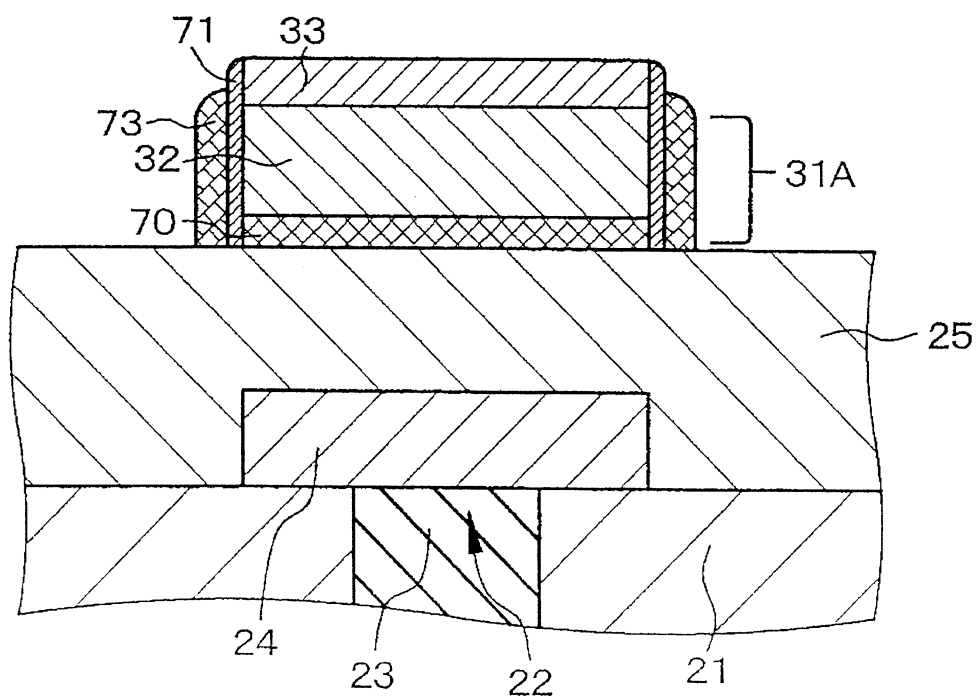


【圖 20】

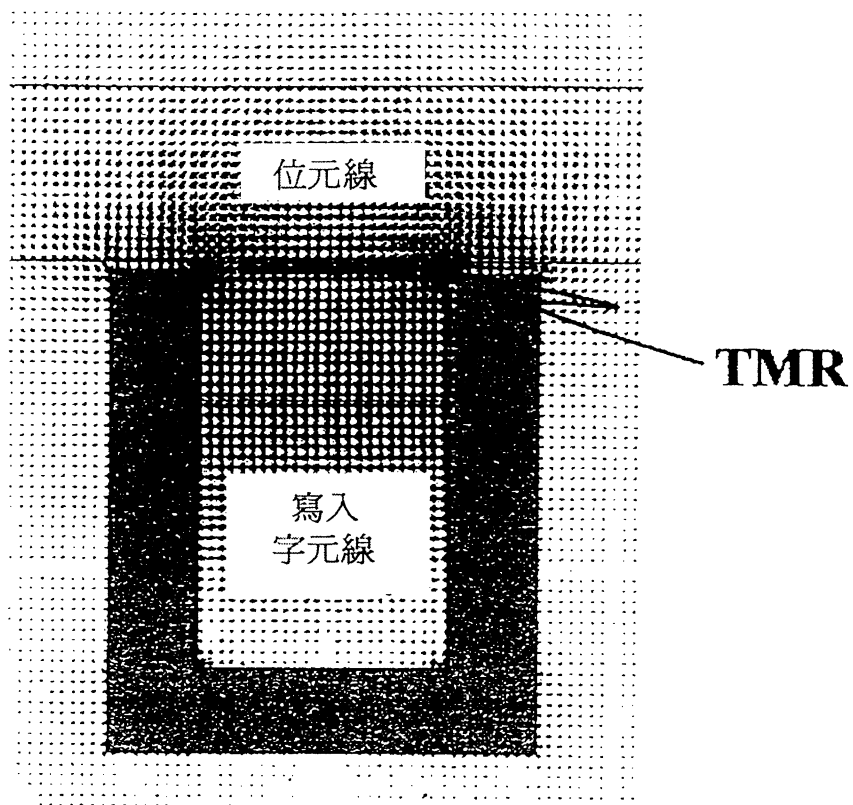
(A) [工序-230]



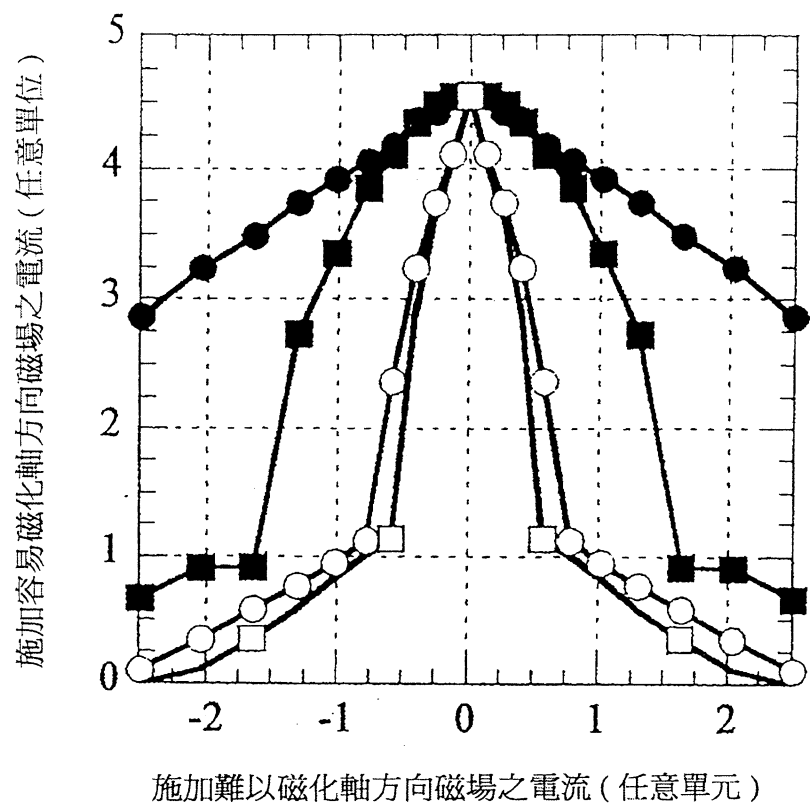
(B) [工序-235]



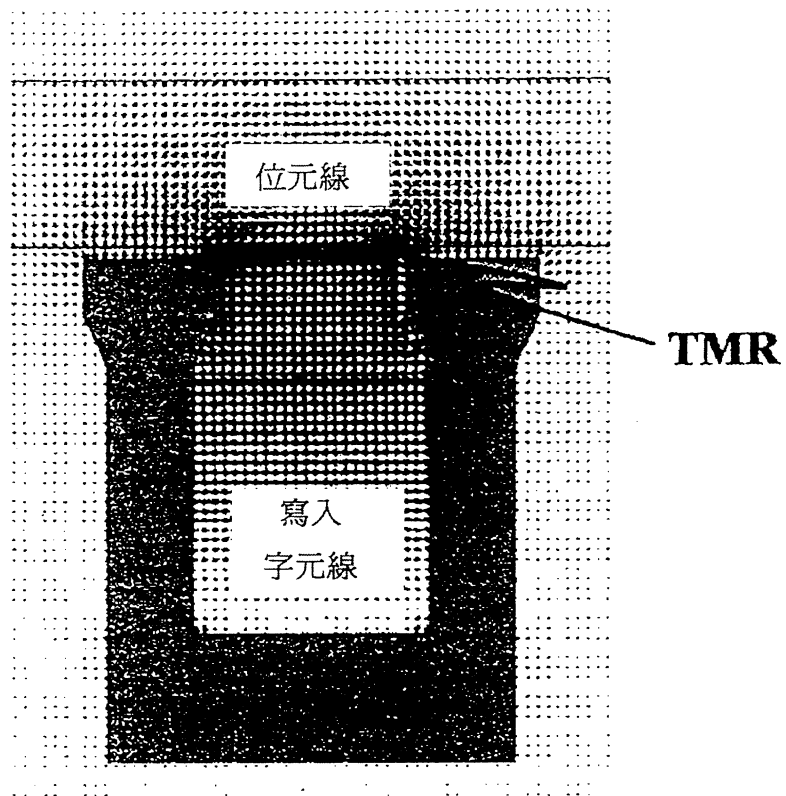
【圖 2 1】



【圖 2.2】

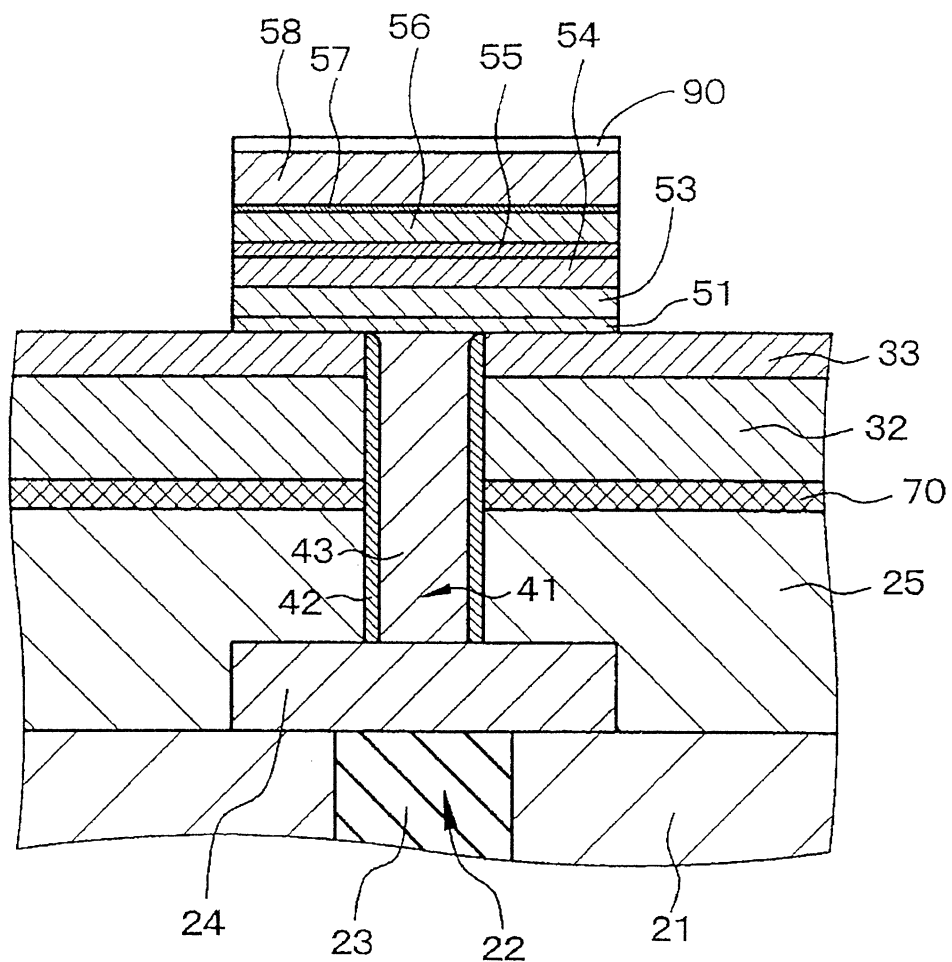


【圖 2 5】



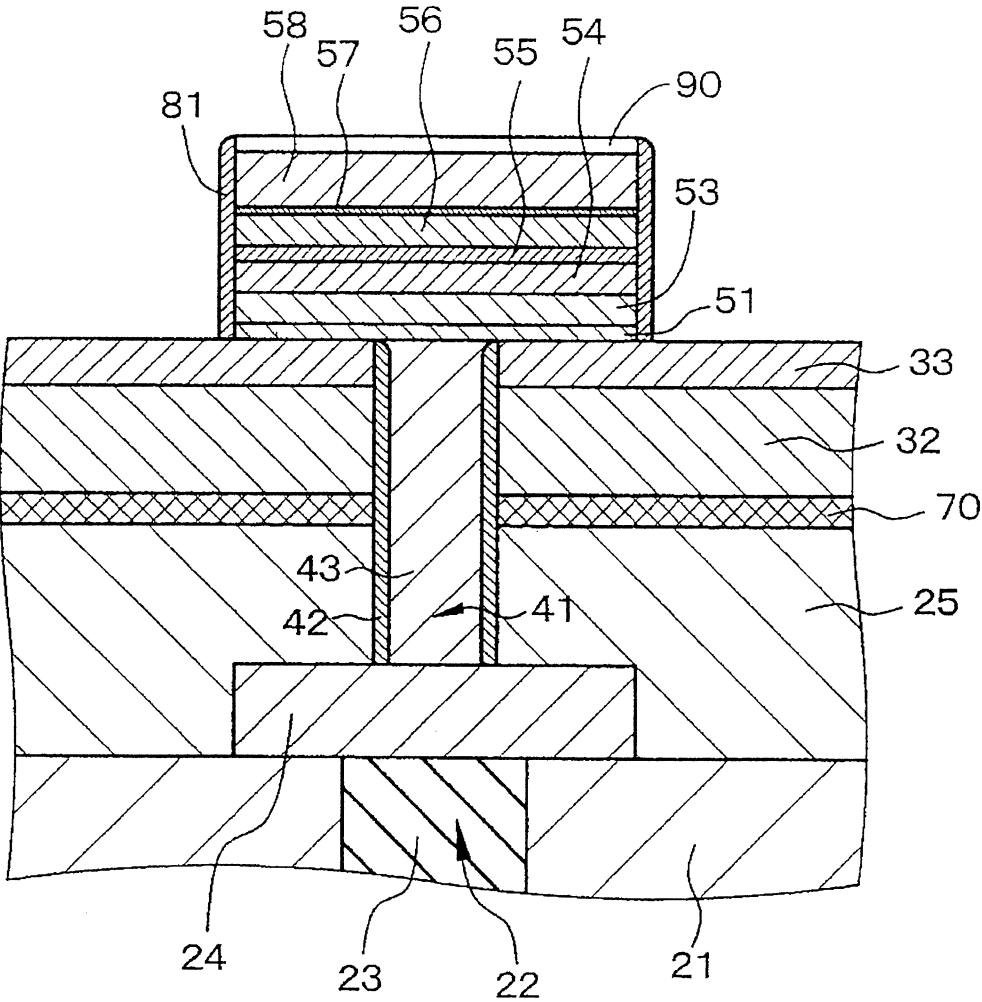
【圖30】

[工序-520]



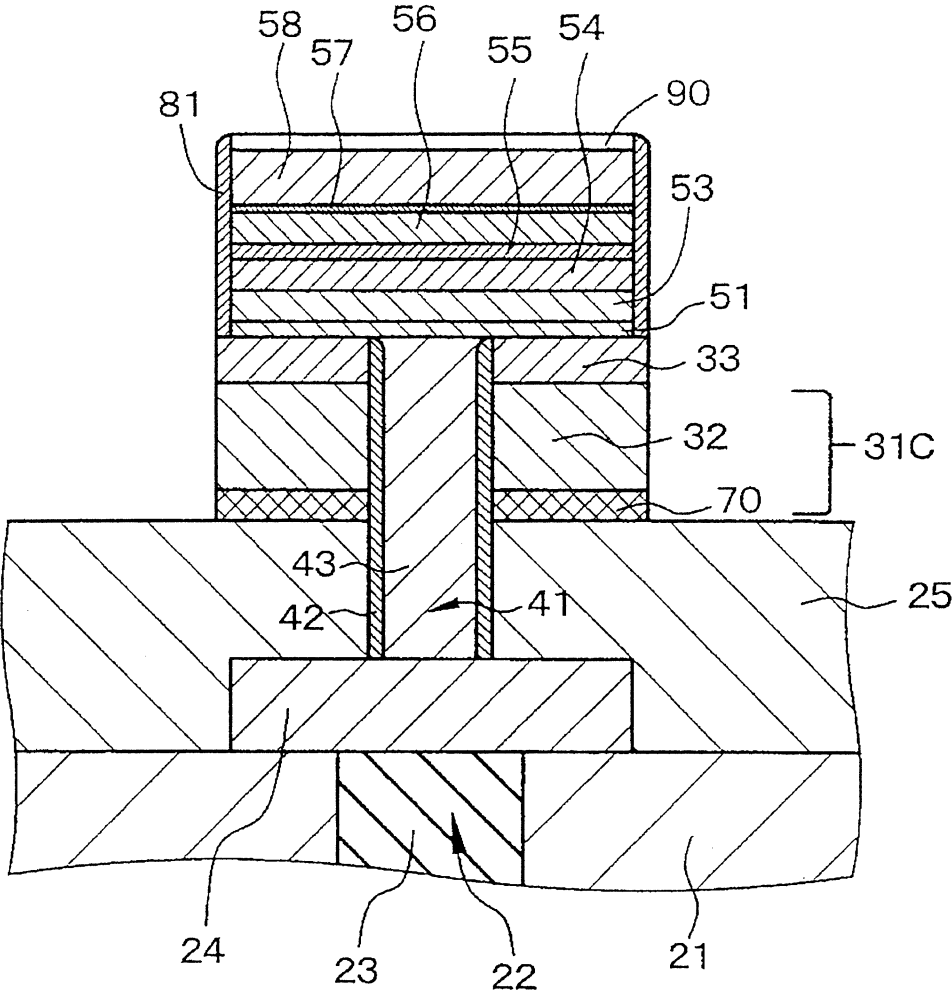
【圖 3 1】

[工 序 - 5 2 5]



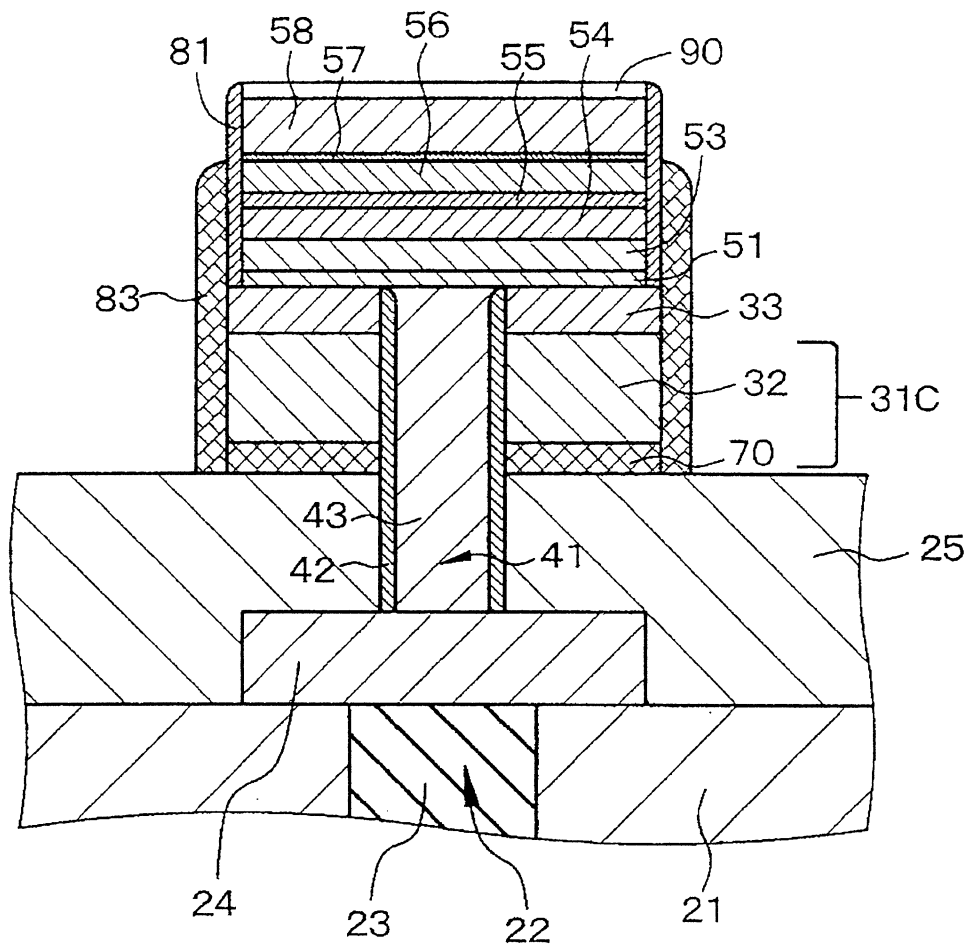
【圖32】

[工序－530]

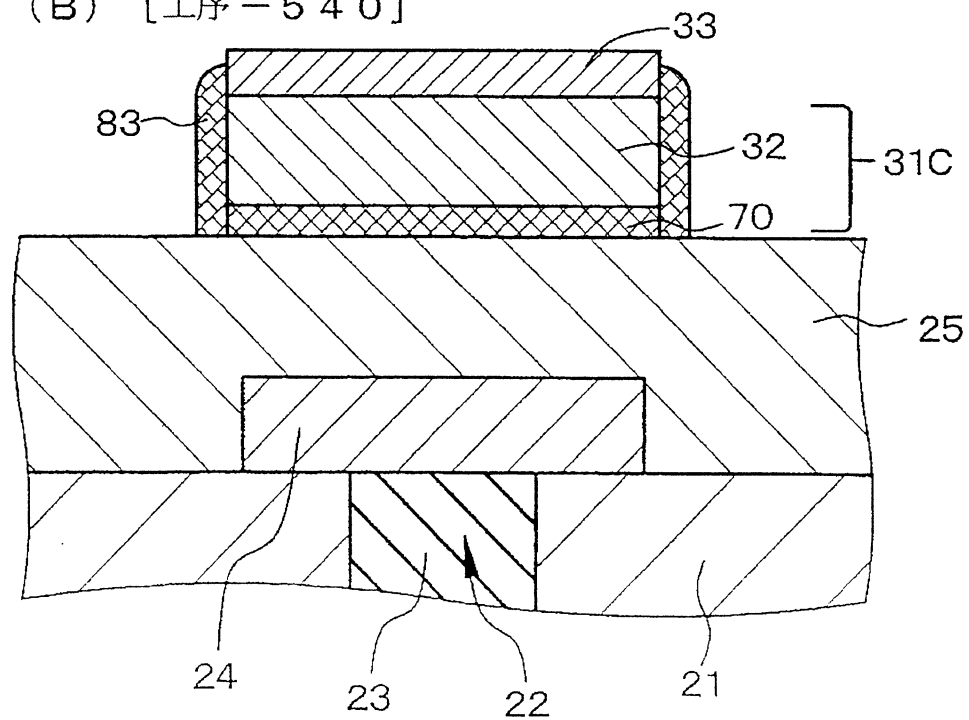


【圖 3 3】

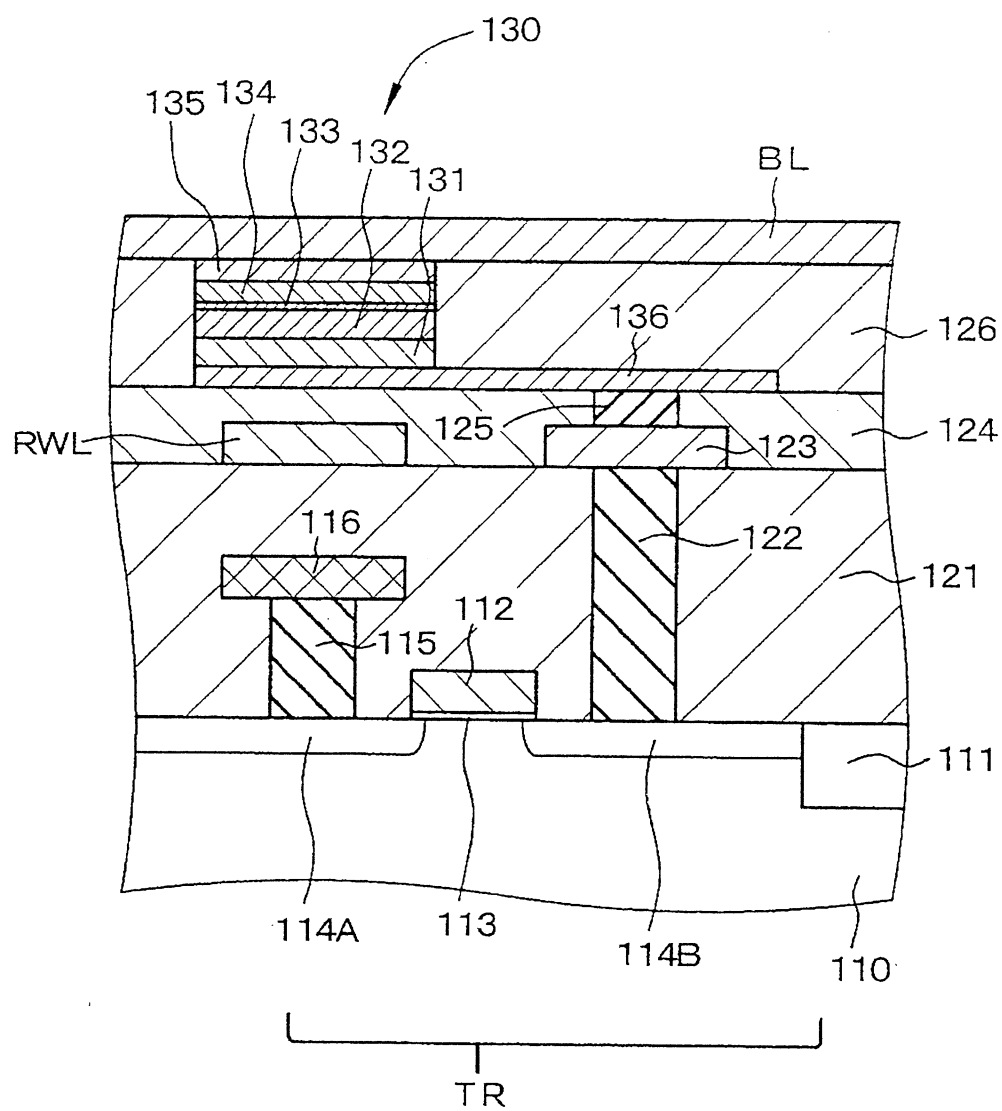
(A) [工序-535]



(B) [工序-540]

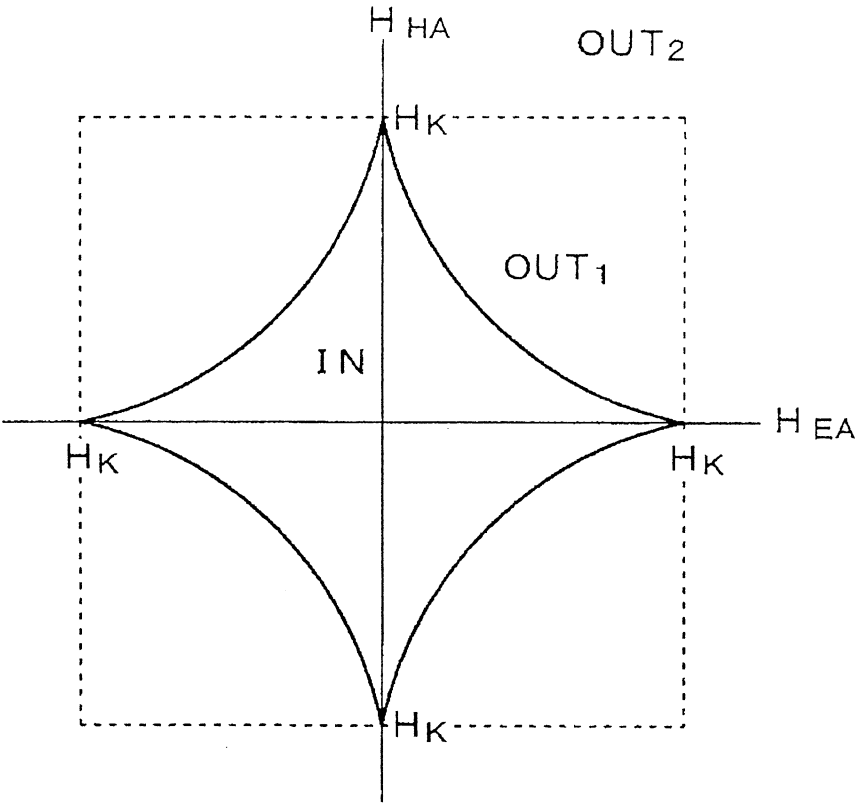


【圖 3 4】 (以往技術)

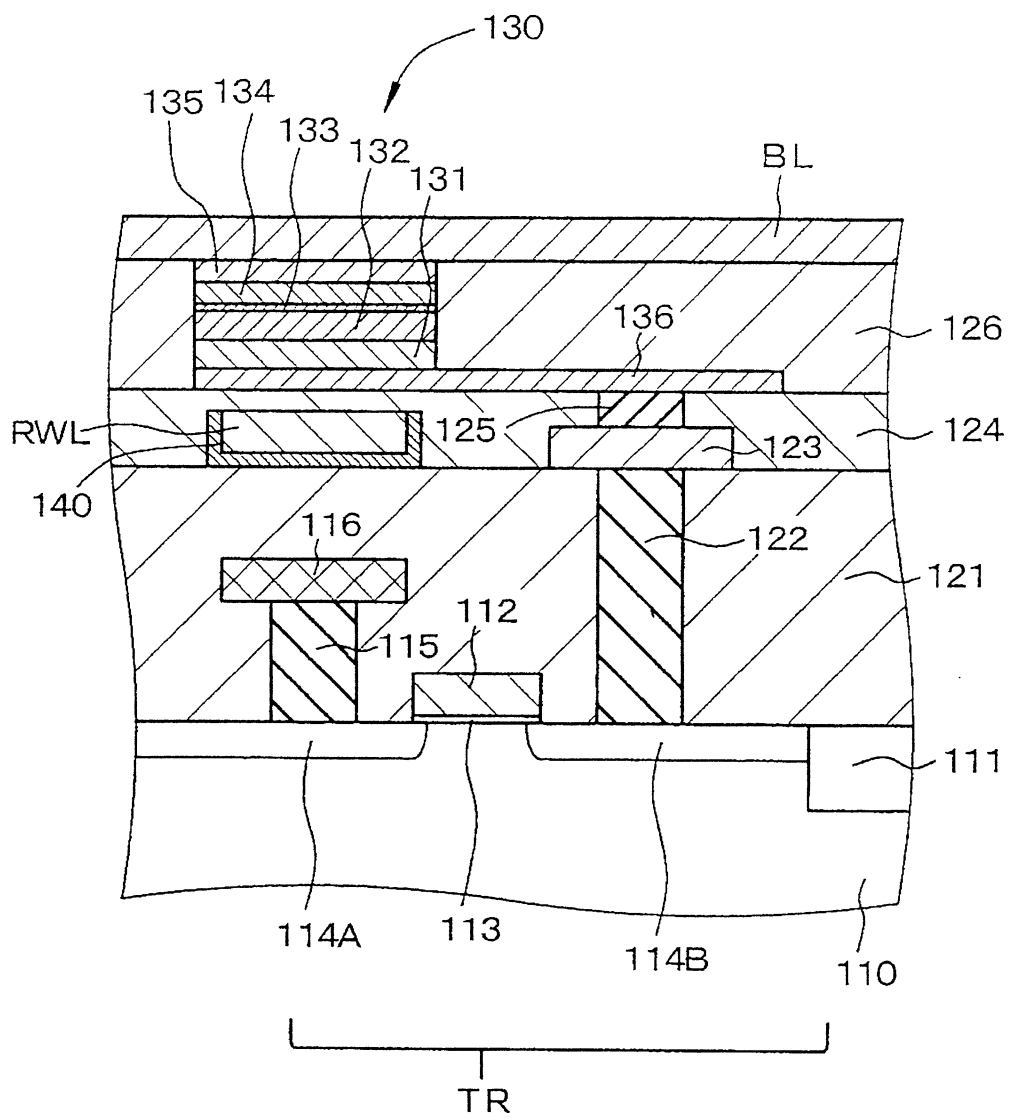


【圖3 5】

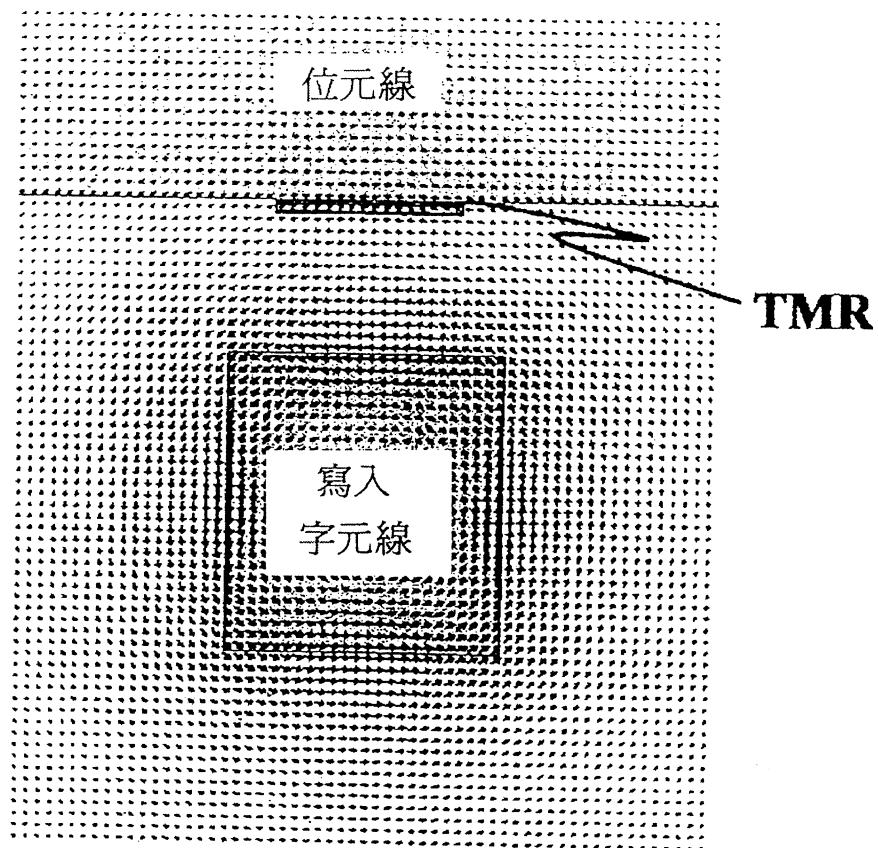
星形曲線



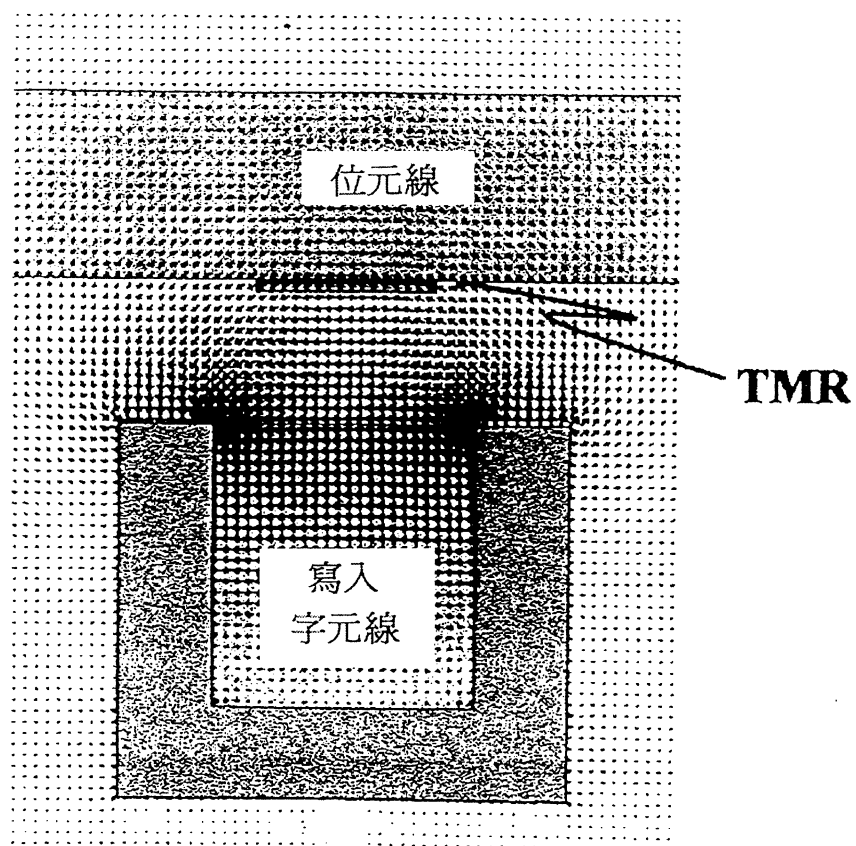
【圖36】（以往技術）



【圖 3 7】



【圖 3 8】



柒、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件代表符號簡單說明：

TR	選擇用電晶體
BL	第2配線(位元線)
10	半導體基板
11	元件分離區域
12	閘極電極
13	閘極絕緣膜
14	源極/汲極區域
14A	源極/汲極區域
14B	源極/汲極區域
15	接觸孔
16	感測線
21	下層層間絕緣層(第1層間絕緣層)
22	第1開口部
23	第1連接孔
24	接觸墊
25	下層層間絕緣層(第2層間絕緣層)
31	第1配線(寫入字元線)
32	導體層
33	絕緣膜
41	第2開口部
42	絕緣層

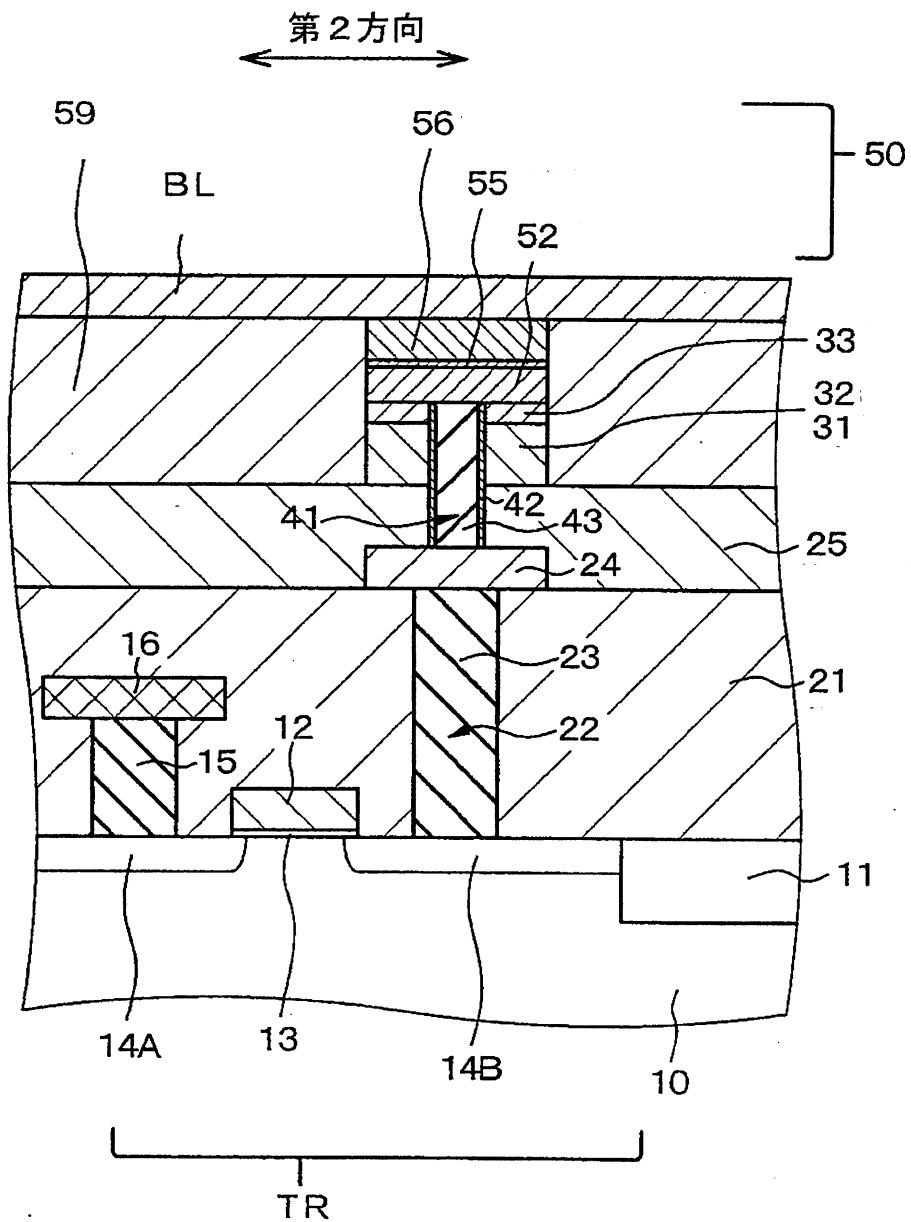
43	第2連接孔
50	隧道磁阻元件
51	阻擋層
52	第1強磁性體層
55	隧道絕緣膜
56	第2強磁性體層
59	上層層間絕緣層(第3層間絕緣層)

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

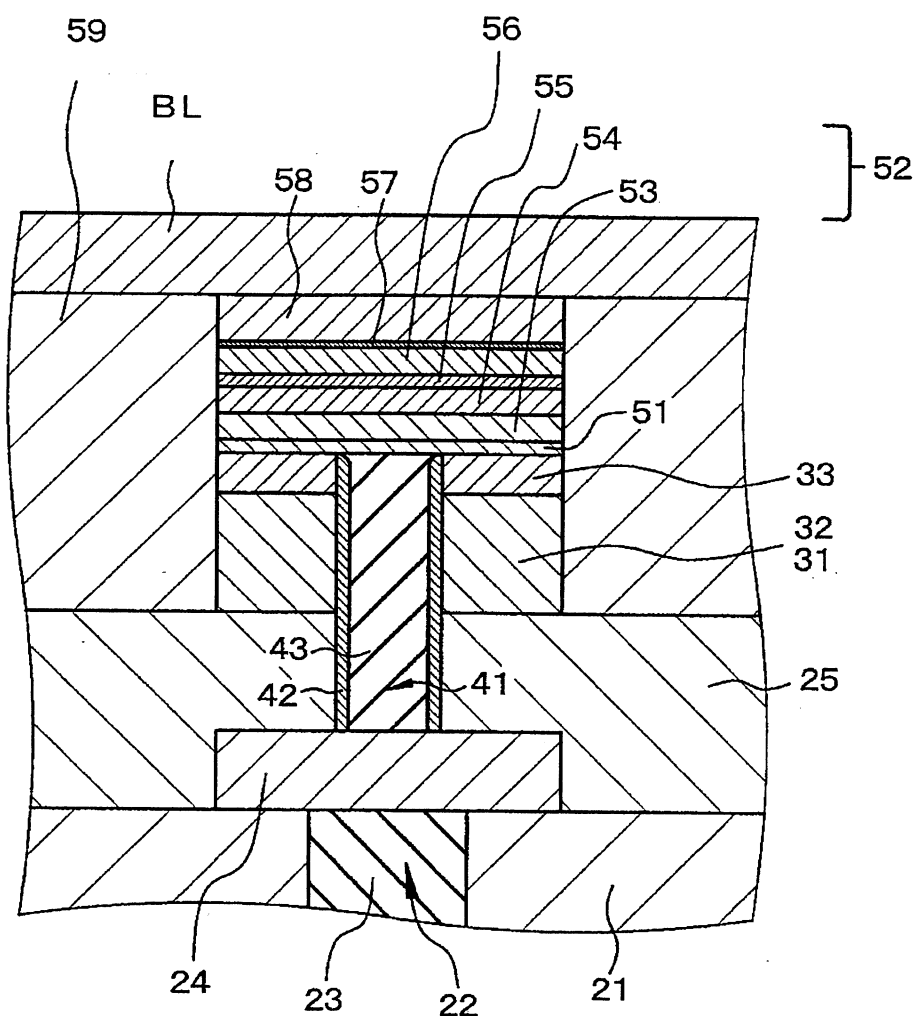
拾壹、圖式：

【圖1】



【圖2】

第2方向

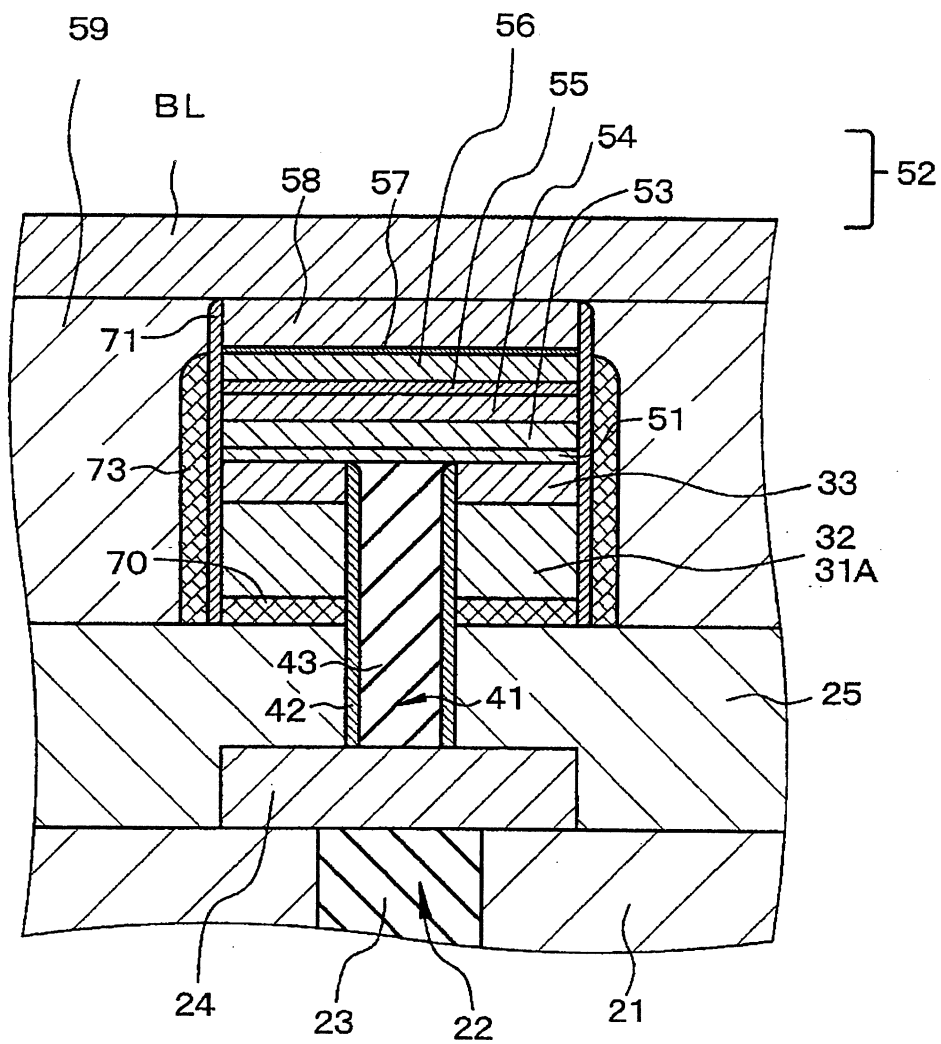


第2方向

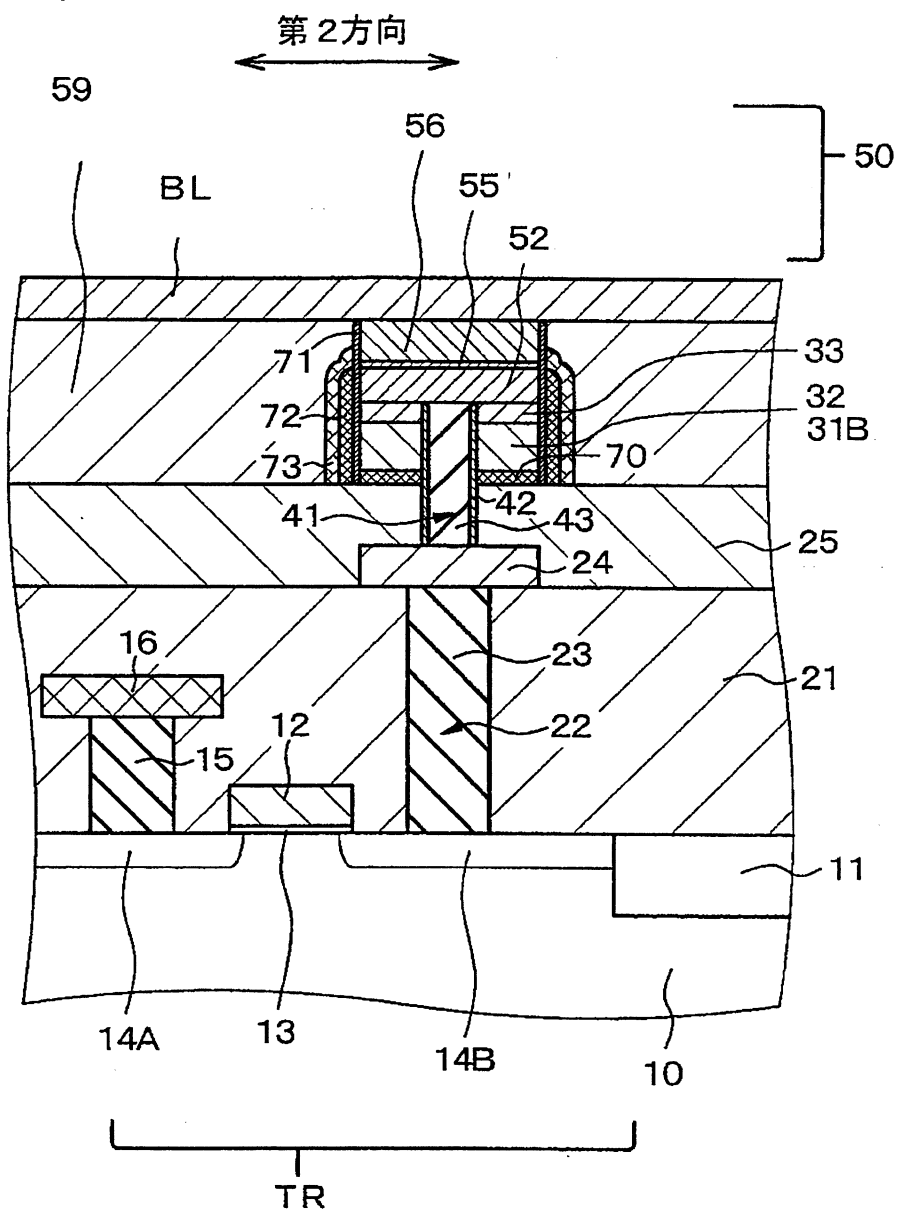


【圖 1 1】

第 2 方向

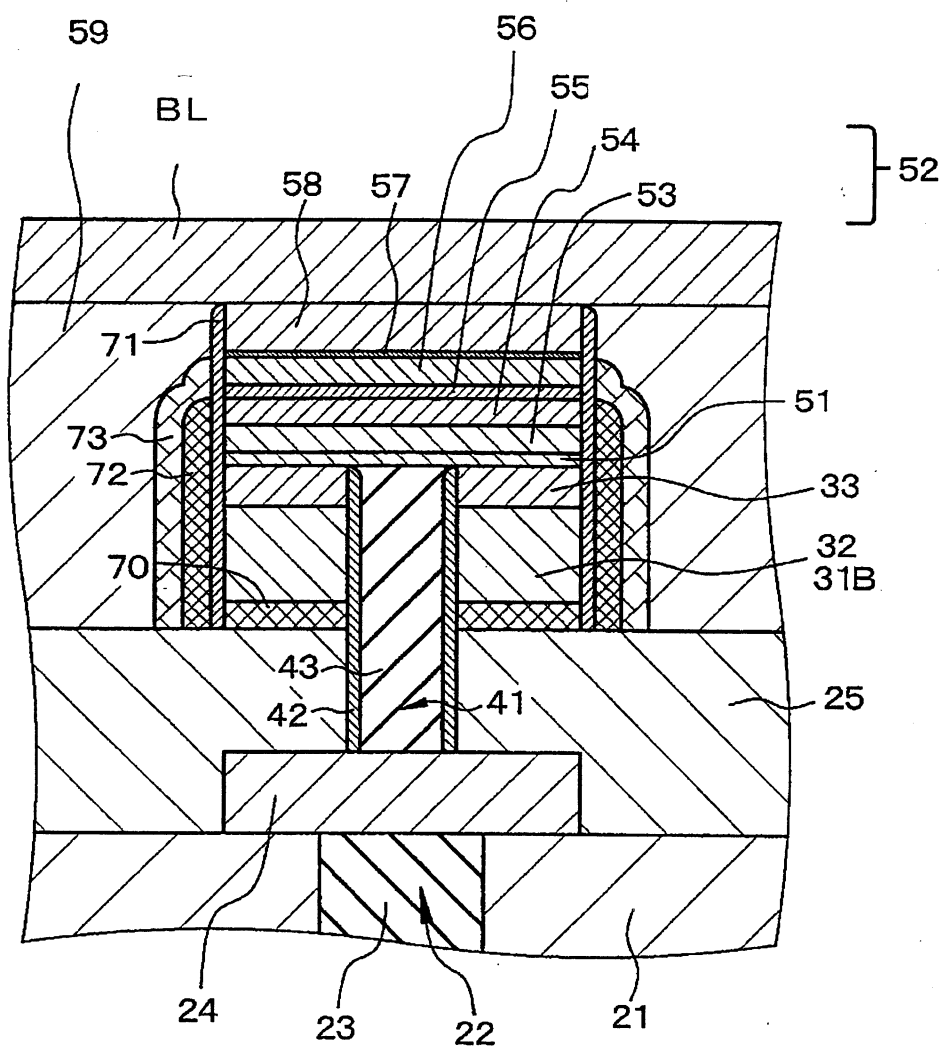


【圖 23】

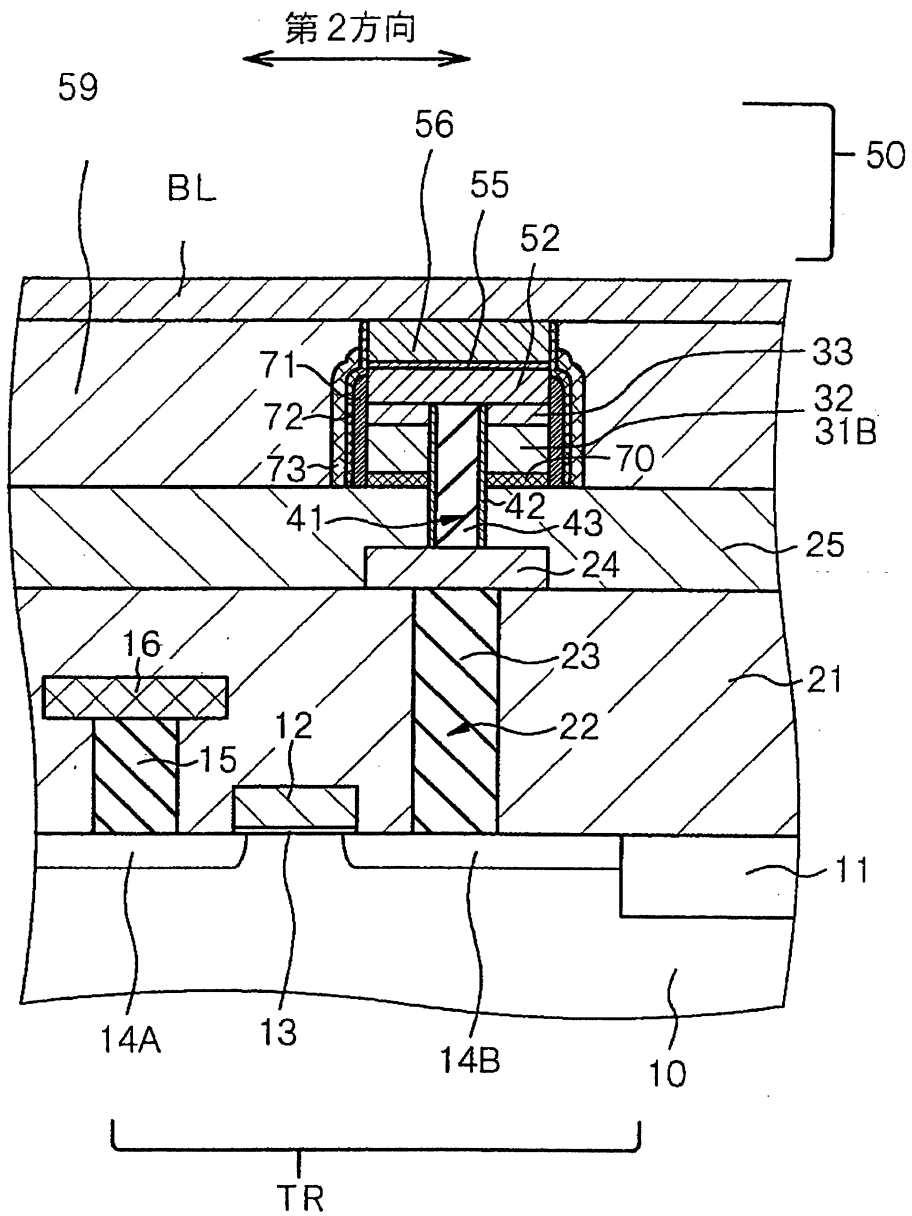


【圖 24】

第2方向

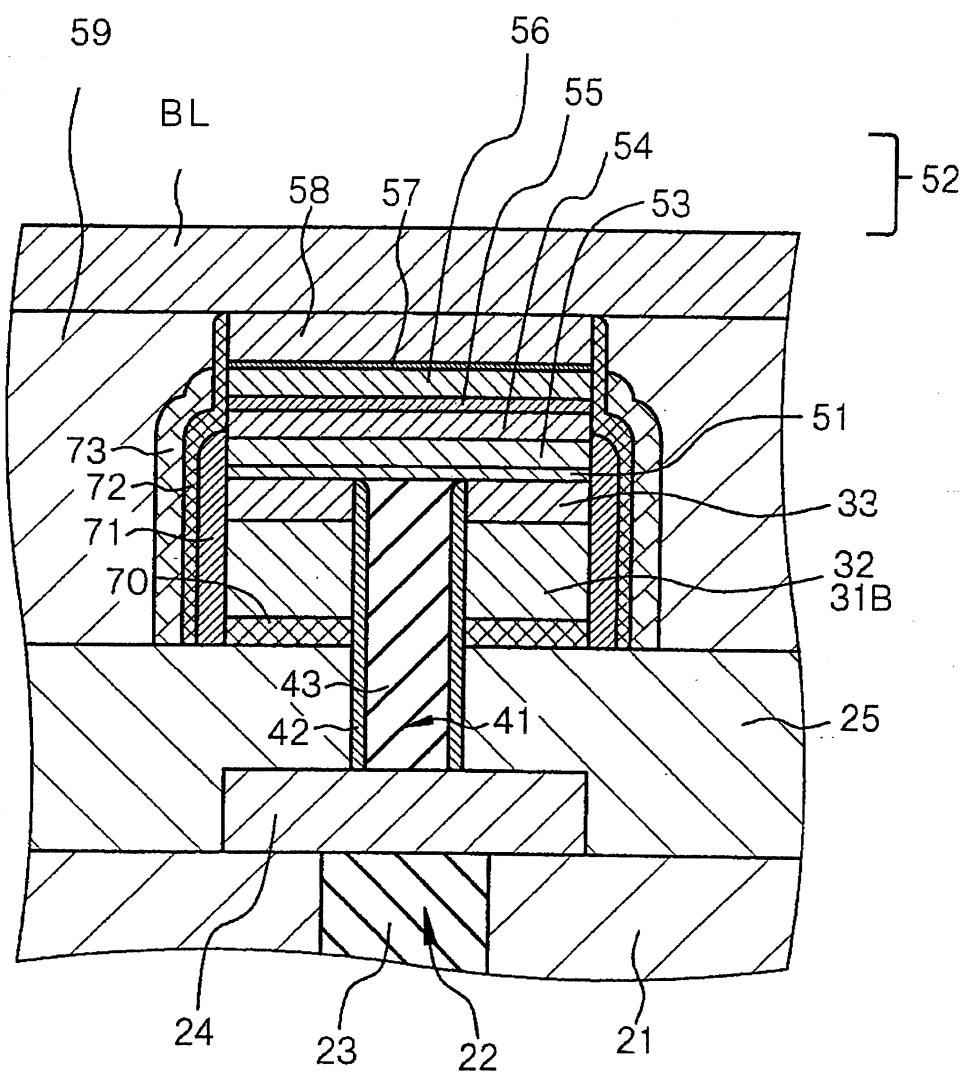


【圖 26】



【圖 2 7】

第 2 方向





【圖29】

第2方向

