

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 5 月 10 日 (10.05.2024)



(10) 国际公布号
WO 2024/093701 A1

(51) 国际专利分类号:
H01L 23/60 (2006.01)

(21) 国际申请号: PCT/CN2023/125966

(22) 国际申请日: 2023 年 10 月 23 日 (23.10.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202211348176.7 2022 年 10 月 31 日 (31.10.2022) CN

(71) 申请人: 无锡华润上华科技有限公司
(**CSMC TECHNOLOGIES FAB2 CO., LTD.**) [CN/CN];
中国江苏省无锡市新区新洲路 8 号,
Jiangsu 214028 (CN)。

(72) 发明人: 黄勇 (**HUANG, Yong**); 中国江苏省无锡市
新区新洲路 8 号, Jiangsu 214028 (CN)。黄璐
(**HUANG, Lu**); 中国江苏省无锡市新区新洲路 8

号, Jiangsu 214028 (CN)。周婉艺 (**ZHOU, Wanyi**);
中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028
(CN)。毕睿 (**BI, Rui**); 中国江苏省无锡市新区新
洲路 8 号, Jiangsu 214028 (CN)。吴林 (**WU, Lin**); 中
国江苏省无锡市新区新洲路 8 号, Jiangsu 214028
(CN)。史海丽 (**SHI, Haili**); 中国江苏省无锡市新
区新洲路 8 号, Jiangsu 214028 (CN)。郭乐乐 (**GUO,
Lele**); 中国江苏省无锡市新区新洲路 8 号, Jiangsu
214028 (CN)。朱丽娟 (**ZHU, Lijuan**); 中国江苏省
无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。

(74) 代理人: 北京博思佳知识产权代理
有限公司 (**BEIJING BESTIPR INTELLECTUAL
PROPERTY LAW CORPORATION**); 中国北京市
海淀区上地三街 9 号嘉华大厦 B 座 409,
Beijing 100085 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,

(54) **Title:** ELECTROSTATIC DISCHARGE PROTECTION DEVICE

(54) 发明名称: 静电放电保护器件

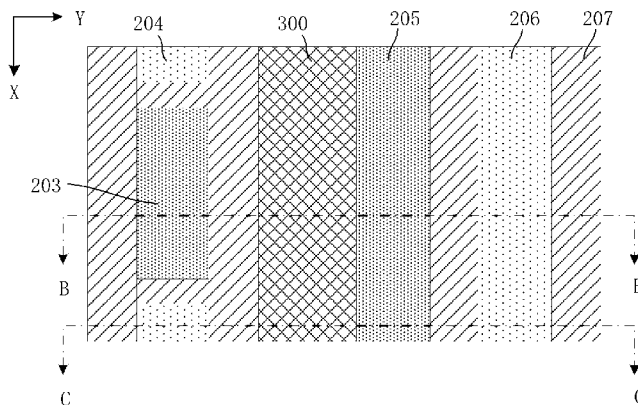


图 4

(57) **Abstract:** The present disclosure provides an electrostatic discharge protection device. The electrostatic discharge protection device comprises a substrate and a gate structure located on the substrate, wherein a first well region and a second well region connected to each other are formed in the substrate, the first well region has a first conductivity type, and the second well region has a second conductivity type; the gate structure spans from above part of the first well region to above part of the second well region, a first doped region and a second doped region located on one side of the gate structure are formed at the top of the first well region, the first doped region has a first conductivity type, and the second doped region has a second conductivity type; a third doped region and a fourth doped region located on the other side of the gate structure are formed at the top of the second well region, the third doped region has a first conductivity type, and the fourth doped region has a second conductivity type. In this way, a first parasitic triode and a second parasitic triode for discharging static electricity can be formed in the electrostatic discharge protection device, which facilitates improvement of the electrostatic discharge capability of a circuit.

BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本公开提供一种静电放电保护器件。所述静电放电保护器件包括基底和位于基底上的栅极结构, 基底中形成有相连接的第一阱区和第二阱区, 第一阱区具有第一导电类型, 第二阱区具有第二导电类型, 栅极结构从部分第一阱区的上方跨越到部分第二阱区的上方, 第一阱区的顶部形成有位于栅极结构一侧的第一掺杂区和第二掺杂区, 第一掺杂区具有第一导电类型, 第二掺杂区具有第二导电类型, 第二阱区的顶部形成有位于栅极结构另一侧的第三掺杂区和第四掺杂区, 第三掺杂区具有第一导电类型, 第四掺杂区具有第二导电类型。如此静电放电保护器件内可以形成用于泄放静电的第一寄生三极管和第二寄生三极管, 有利于提升电路的静电泄放能力。

静电放电保护器件

技术领域

[01]本公开涉及半导体器件技术领域，特别涉及一种静电放电保护器件。

背景技术

[02]静电放电（Electro-Static Discharge, ESD）现象是指具有不同电势的物体相互靠近或接触时发生的电荷转移现象。随着半导体制造工艺尺寸的不断缩小和集成电路规模的不断扩大，芯片在生产、运输和使用过程中受到静电的破坏越来越严重。因此，研究静电放电保护具有重要意义。

[03]目前，一些高压应用的电压较高，对于集成电路（Integrated Circuit, IC）的静电放电保护提出了更高的要求。但是，传统的静电放电保护结构的静电泄放能力不足。

发明内容

[04]本公开的目的在于提供一种静电放电保护器件。

[05]为了实现上述目的，本公开提供的静电放电保护器件包括基底和位于所述基底上的栅极结构；所述基底中形成有相连接的第一阱区和第二阱区，所述第一阱区具有第一导电类型，所述第二阱区具有与所述第一导电类型相反的第二导电类型；所述栅极结构从部分所述第一阱区的上方跨越到部分所述第二阱区的上方；所述第一阱区的顶部形成有第一掺杂区和第二掺杂区，所述第一掺杂区和所述第二掺杂区位于所述栅极结构的一侧，所述第一掺杂区具有所述第一导电类型，所述第二掺杂区具有所述第二导电类型；所述第二阱区的顶部形成有第三掺杂区和第四掺杂区，所述第三掺杂区和所述第四掺杂区位于所述栅极结构的另一侧，所述第三掺杂区具有所述第一导电类型，所述第四掺杂区具有所述第二导电类型；所述第一掺杂区和所述第二掺杂区电连接至第一电位端，所述栅极结构和所述第三掺杂区电连接至第二电位端。

[06]可选的，所述第一阱区、所述第二阱区和所述第三掺杂区构成第一寄生三极管；所述第二掺杂区、所述第一阱区和所述第二阱区构成第二寄生三极管；所述第一寄生三极管和所述第二寄生三极管共用所述第一阱区和所述第二阱区，且共同用于静电放电。

[07]可选的，所述第一阱区、所述第二阱区和所述第三掺杂区分别作为所述第一寄生三极管的集电极、基极和发射极；所述第二阱区、所述第一阱区和所述第二掺杂区分别作为所述第二寄生三极管的集电极、基极和发射极。

[08]可选的，所述第一掺杂区和所述第二掺杂区沿着所述栅极结构下方的导电沟道的宽

度方向排布。

[09]可选的，所述第一掺杂区的两端均形成有所述第二掺杂区。

[10]可选的，所述第三掺杂区位于所述栅极结构和所述第四掺杂区之间，所述第三掺杂区和所述第四掺杂区沿所述栅极结构下方的导电沟槽的宽度方向伸长。

[11]可选的，所述栅极结构与所述第一掺杂区之间的基底顶部、所述栅极结构与所述第二掺杂区之间的基底顶部、以及所述第一掺杂区和所述第二掺杂区之间的基底顶部均形成有隔离结构；和/或，所述第三掺杂区和所述第四掺杂区之间的基底顶部形成有隔离结构。

[12]可选的，所述栅极结构的第一侧壁与所述隔离结构接触，所述栅极结构的第二侧壁与所述第三掺杂区接触。

[13]可选的，所述第一导电类型为 N 型，所述第二导电类型为 P 型。

[14]可选的，所述第一电位端为阳极端，所述第二电位端为阴极端。

[15]本公开提供的静电放电保护器件包括基底和位于基底上的栅极结构，所述基底中形成有相连接的第一阱区和第二阱区，所述第一阱区具有第一导电类型，所述第二阱区具有与所述第一导电类型相反的第二导电类型；所述栅极结构从部分所述第一阱区的上方跨越到部分所述第二阱区的上方；所述第一阱区的顶部形成有第一掺杂区和第二掺杂区，所述第一掺杂区和所述第二掺杂区位于所述栅极结构的一侧，所述第一掺杂区具有所述第一导电类型，所述第二掺杂区具有所述第二导电类型；所述第二阱区的顶部形成有第三掺杂区和第四掺杂区，所述第三掺杂区和所述第四掺杂区位于所述栅极结构的另一侧，所述第三掺杂区具有所述第一导电类型，所述第四掺杂区具有所述第二导电类型。如此，第一阱区、第二阱区和第三掺杂区能够构成第一寄生三极管，第二掺杂区、第一阱区和第二阱区能够构成第二寄生三极管，第一寄生三极管和第二寄生三极管共用第一阱区和第二阱区从而相互连接，第一寄生三极管能够触发第二寄生三极管导通，进而形成静电泄放能力较强的 SCR 通路。

附图说明

[16]图 1 为一种用于 ESD 保护的 LDMOS 的俯视图。

[17]图 2 为图 1 所示的 LDMOS 的剖视图及其内部的等效三极管电路的示意图。

[18]图 3 为用于 ESD 保护的 LDMOS 的电流-电压曲线图。

[19]图 4 为本公开一实施例的静电放电保护器件的俯视图。

[20]图 5 为图 4 所示的静电放电保护器件沿 BB 线所示的位置的剖视图及其内部的等效

三极管电路的示意图。

[21]图 6 为图 4 所示的静电放电保护器件沿 CC 线所示的位置的剖视图及其内部的等效三极管电路的示意图。

[22]图 7 为本公开一实施例的静电放电保护器件的电流-电压曲线图。

[23]附图标记说明：

[24]（图 1 至图 2）101-N 阱；102-P 阱；103-栅极；104-第一 N+区；

[25]（图 4 至图 6）200-基底；201-第一阱区；202-第二阱区；203-第一掺杂区；204-第二掺杂区；205-第三掺杂区；206-第四掺杂区；207-隔离结构；300-栅极结构。

具体实施方式

[26]在集成电路中，通常阳极（Anode）和阴极（Cathode）之间会用到 ESD 保护结构，且 ESD 保护结构的类型通常和被保护电路的类型相同，例如高压应用时，用高压 LDMOS（Laterally Diffused Metal Oxide Semiconductor，横向扩散金属氧化物半导体）去保护 LDMOS 电路。

[27]图 1 为一种用于 ESD 保护的 LDMOS 的俯视图。图 2 为图 1 所示的 LDMOS 的剖视图及其内部的等效三极管电路的示意图。其中，图 2 为沿图 1 中 AA 线的剖视图，图 1 和图 2 所示的 LDMOS 为 N 型。

[28]参考图 1 和图 2 所示，LDMOS 的 N 阱 101（N-well）、P 阱 102（P-well）以及第一 N+区 104 之间构成寄生 NPN 管 T1，其中，N 阱 101 为 T1 的集电极，P 阱 102 为 T1 的基极，第一 N+区 104 为 T1 的发射极。当有正的 ESD 脉冲加到阳极时，N 阱 101 和 P 阱 102 的反向 PN 结形成漏电流，同时 ESD 脉冲还能通过寄生电容的耦合效应使得栅极 103 电压瞬间抬升，从而在栅极 103 下方的基底表层形成反型层。因此，随着阳极端电压的升高，漏电流也逐渐变大。

[29]图 3 为用于 ESD 保护的 LDMOS 的电流-电压曲线图。参考图 1 至图 3 所示，当漏电流大到一定值时，寄生 NPN 管 T1 的基极-发射极发生正偏，寄生 NPN 管 T1 导通形成从阳极到阴极的电流，对应图 3 的触发点（ V_{t1} ， I_{t1} ），从而泄放 ESD 电流，对被保护电路起到保护作用。寄生 NPN 管 T1 触发后，LDMOS 会出现一个迅速的回滞现象（snapback），电压回到保持电压 V_h 后，随着 ESD 脉冲的进一步升高，LDMOS 继续放电，且两端电压随之升高，达到击穿电压 V_{t2} 后，LDMOS 烧毁。

[30]此外，LDMOS 用于 ESD 保护，通常采用并联的多指结构，这样能加大总的器件宽度。但是，由于高压 LDMOS 的高压特性决定了寄生 NPN 管 T1 的触发电压 V_{t1} 较高，

而通常并联多指结构靠近中间部分的晶体管更容易导通，而一旦有某几根叉指晶体管导通就会立刻发生回滞现象，LDMOS 的电压迅速降低，直到达到击穿电压 V_{t2} 时，其它还没开启的叉指晶体管都很难打开，从而使得该用于 ESD 保护的 LDMOS 的静电泄放能力较差，无法满足高压器件的 ESD 保护需求。

[31]为了提升电路的静电泄放能力，满足高压器件的 ESD 保护需求，本公开提供一种静电放电保护器件。所述静电放电保护器件包括基底和位于所述基底上的栅极结构。所述基底中形成有相连接的第一阱区和第二阱区，所述第一阱区具有第一导电类型，所述第二阱区具有与所述第一导电类型相反的第二导电类型；所述栅极结构从部分所述第一阱区的上方跨越到部分所述第二阱区的上方。所述第一阱区的顶部形成有第一掺杂区和第二掺杂区，所述第一掺杂区和所述第二掺杂区位于所述栅极结构的一侧，所述第一掺杂区具有第一导电类型，所述第二掺杂区具有第二导电类型；所述第二阱区的顶部形成有第三掺杂区和第四掺杂区，所述第三掺杂区和所述第四掺杂区位于所述栅极结构的另一侧，所述第三掺杂区具有第一导电类型，所述第四掺杂区具有第二导电类型。所述第一掺杂区和所述第二掺杂区电连接至第一电位端，所述栅极结构和所述第三掺杂区电连接至第二电位端。

[32]本公开的静电放电保护器件中，第一阱区、第二阱区和第三掺杂区能够构成第一寄生三极管，第二掺杂区、第一阱区和第二阱区能够构成第二寄生三极管，第一寄生三极管和第二寄生三极管共用第一阱区和第二阱区从而相互连接，第一寄生三极管能够触发第二寄生三极管导通，进而形成静电泄放能力较强的 SCR (Silicon Controlled Rectifier, 中文称为硅可控整流器) 通路，有利于提升电路的静电泄放能力，满足高压器件的静电放电保护需求。

[33]以下结合附图和具体实施例对本公开提出的静电放电保护器件作进一步详细说明。根据下面说明，本公开的优点和特征将更清楚。需说明的是，附图均采用非常简化的形式且均使用非精准的比例，仅用以方便、明晰地辅助说明本公开实施例的目的。

[34]图 4 为本公开一实施例的静电放电保护器件的俯视图。图 5 为图 4 所示的静电放电保护器件沿 BB 线所示的位置的剖视图及其内部的等效三极管电路的示意图。图 6 为图 4 所示的静电放电保护器件沿 CC 线所示的位置的剖视图及其内部的等效三极管电路的示意图。

[35]如图 4 至图 6 所示，所述静电放电保护器件包括基底 200 和位于所述基底 200 上的栅极结构 300。

[36]所述基底 200 中形成有相连接的第一阱区 201 和第二阱区 202，例如在图 5 和图 6

的水平方向上,第一阱区 201 的边界与第二阱区 202 的边界相接,所述第一阱区 201 具有第一导电类型,所述第二阱区 202 具有与所述第一导电类型相反的第二导电类型。

[37]所述基底 200 可以是硅基底,但不限于此。所述基底 200 还可以是锗基底、硅锗基底、绝缘体上硅(Silicon On Insulator, SOI)或绝缘体上锗(Germanium On Insulator, GOI)等,基底 200 中还可以根据设计需求注入一定的掺杂粒子以改变电学参数。

[38]所述栅极结构 300 从部分所述第一阱区 201 的上方跨越到部分所述第二阱区 202 的上方,即所述栅极结构 300 位于所述第一阱区 201 和第二阱区 202 的交接处,且栅极结构 300 覆盖部分第一阱区 201 和部分第二阱区 202。所述栅极结构 300 可以包括位于基底 200 上方的栅氧化层(图中未示出)和位于栅氧化层上的栅极(图中未示出)。栅氧化层的材料可以包括氧化硅,栅极可以为多晶硅栅极,但不限于此。

[39]如图 4 至图 6 所示,所述第一阱区 201 的顶部形成有第一掺杂区 203 和第二掺杂区 204,所述第一掺杂区 203 和所述第二掺杂区 204 位于所述栅极结构 300 的一侧,所述第一掺杂区 203 具有第一导电类型,所述第二掺杂区 204 具有第二导电类型;所述第二阱区 202 的顶部形成有第三掺杂区 205 和第四掺杂区 206,所述第三掺杂区 205 和所述第四掺杂区 206 位于所述栅极结构 300 的另一侧,所述第三掺杂区 205 具有第一导电类型,所述第四掺杂区 206 具有第二导电类型。所述第一掺杂区 203 和所述第二掺杂区 204 电连接至第一电位端,所述栅极结构 300 和所述第三掺杂区 205 电连接至第二电位端。

[40]本实施例中,所述第一导电类型可以为 N 型,所述第二导电类型可以为 P 型,但不限于此。

[41]作为示例,第一阱区 201 为 N 阱(N-well),第二阱区 202 为 P 阱(P-well),第一掺杂区 203 和第三掺杂区 205 为 N+掺杂区,第二掺杂区 204 和第四掺杂区 206 为 P+掺杂区。第一阱区 201、第二阱区 202、第一掺杂区 203、第二掺杂区 204、第三掺杂区 205 和第四掺杂区 206 均可以通过在所述基底 200 中注入掺杂物质形成。

[42]所述第一电位端可以为阳极端(Anode),所述第二电位端可以为阴极端(Cathode),但不限于此。

[43]如图 5 所示,所述第一阱区 201、所述第二阱区 202 和所述第三掺杂区 205 构成第一寄生三极管 T1,所述第一阱区 201、所述第二阱区 202 和所述第三掺杂区 205 分别作为所述第一寄生三极管 T1 的集电极、基极和发射极。本公开的一个实施例中,第一寄生三极管 T1 为 NPN 管。

[44]如图 6 所示,所述第二掺杂区 204、所述第一阱区 201 和所述第二阱区 202 构成第二寄生三极管 T2,所述第二阱区 202、所述第一阱区 201 和所述第二掺杂区 204 分别作

为所述第二寄生三极管 T2 的集电极、基极和发射极。本公开的一个实施例中，第二寄生三极管 T2 为 PNP 管。

[45]如图 4 至图 6 所示，第一寄生三极管 T1 和第二寄生三极管 T2 共用第一阱区 201 和第二阱区 202，即第一寄生三极管 T1 的集电极和第二寄生三极管 T2 的基极共用，第一寄生三极管 T1 的基极和第二寄生三极管 T2 的集电极共用，在电路图中表现为，第一寄生三极管 T1 的集电极和第二寄生三极管 T2 的基极相连接，第一寄生三极管 T1 的基极和第二寄生三极管 T2 的集电极相连接。所述第一寄生三极管 T1 和第二寄生三极管 T2 共同用于静电放电。

[46]图 7 为本公开一实施例的静电放电保护器件的电流-电压曲线图。参考图 4 至图 7 所示，当阳极端（Anode）有正的 ESD 脉冲时，第一阱区 201 和第二阱区 202 的反向 PN 结形成漏电流，同时 ESD 脉冲还能通过寄生电容的耦合效应使得栅极结构 300 的电压瞬间抬升，从而在栅极结构 300 下方的基底表层形成反型层。因此，随着阳极端电压的升高，漏电流也逐渐变大。当漏电流大到一定值时，第一寄生三极管 T1 的基极-发射极发生正偏，第一寄生三极管 T1 导通形成从阳极到阴极的电流，对应于图 7 的触发点（ V_{t1} ， I_{t1} ），从而泄放 ESD 电流，对被保护电路起到保护作用。

[47]第一寄生三极管 T1 触发后，静电放电保护器件会出现一个迅速的回滞现象，电压回到保持电压 V_h 。随着 ESD 脉冲的进一步升高，第一寄生三极管 T1 继续放电，第一寄生三极管 T1 的集电极电流反馈到第二寄生三极管 T2 的基极，使得第二寄生三极管 T2 的基极-发射极正偏，从而第二寄生三极管 T2 导通，对应于图 7 的第二个触发点（ V_{t1}' ， I_{t1}' ），此时形成了 PNPN 的 SCR 通路，并发生二次回滞现象，静电放电保护结构的电压回到保持电压 V_h' 。接着，随着 ESD 脉冲的增加，大部分 ESD 电流迅速通过 SCR 通路泄放出去，直至达到二次击穿点（ V_{t2} ， I_{t2} ）。

[48]需要说明的是，本公开的静电放电保护结构为一个二次触发的器件，其在传统的用于 ESD 的 LDMOS 器件的基础上嵌设了与第一寄生三极管 T1 连接的第二寄生三极管 T2，以在静电放电保护结构中形成 SCR 通路。当 ESD 脉冲的增加时，首先触发第一寄生三极管 T1 泄放部分 ESD 电流，静电放电保护器件出现第一次回滞现象；当 ESD 脉冲继续增加时，第二寄生三极管 T2 被触发导通，形成 SCR 通路，并出现第二次回滞现象，当 ESD 脉冲进一步增加时，通过 SCR 通路辅助泄放 ESD 电流，直到达到静电放电保护器件的二次击穿点。

[49]由于第一寄生三极管 T1 和第二寄生三极管 T2 连接形成 SCR 结构的单位面积 ESD 保护能力远高于 LDMOS，因此，本公开的静电放电保护器件在传统的用于 ESD 的

LDMOS 器件的基础上嵌设入第二寄生三极管，能够大幅度增加静电放电保护器件泄放 ESD 电流的能力。

[50]如图 4 所示，栅极结构 300 可以沿 X 方向伸长，栅极结构 300 下方的导电沟道的宽度方向为 X 方向，所述第一掺杂区 203 和所述第二掺杂区 204 可以沿着所述栅极结构 300 下方的导电沟道的宽度方向排布。在 Y 方向上，所述第一掺杂区 203 和所述第二掺杂区 204 的宽度可以相同，且第一掺杂区 203 和第二掺杂区 204 的端部对齐，如此有助于减小静电放电保护器件的尺寸，但不限于此。

[51]本实施例中，如图 4 所示，在 X 方向上，所述第一掺杂区 203 的两端可以均形成有所述第二掺杂区 204，如此有利于提高静电放电保护器件的放电均匀性，但不限于此。在其它实施例中，在 X 方向上，可以仅在所述第一掺杂区 203 的一端设置第二掺杂区 204。

[52]如图 4 和图 5 所示，在 Y 方向上，所述第三掺杂区 205 可以位于所述栅极结构 300 和所述第四掺杂区 206 之间，所述第三掺杂区 205 和所述第四掺杂区 206 可以沿所述栅极结构 300 下方的导电沟道的宽度方向伸长。

[53]如图 4 至图 6 所示，所述栅极结构 300 与所述第一掺杂区 203 之间的基底顶部、所述栅极结构 300 与所述第二掺杂区 204 之间的基底顶部、以及所述第一掺杂区 203 和所述第二掺杂区 204 之间的基底顶部均形成有隔离结构 207。所述第三掺杂区 205 和所述第四掺杂区 206 之间的基底顶部也可以形成有隔离结构 207。所述隔离结构 207 可以为场氧化物 (Field Oxide, FOX) 或使用硅的局部氧化 (Local Oxidation of Silicon, LOCOS) 工艺的浅沟槽隔离 (Shallow Trench Isolation, STI)。

[54]所述栅极结构 300 的第一侧壁与隔离结构 207 接触，所述栅极结构 300 的第二侧壁与所述第三掺杂区 205 接触，所述第一侧壁和所述第二侧壁位置相对。示例性的，如图 4、图 5 和图 6 所示，栅极结构 300 的第一侧壁为左侧壁，第二侧壁为右侧壁，第一侧壁接触栅极结构 300 与第一掺杂区 203 之间的隔离结构 207 以及接触栅极结构 300 与第二掺杂区 204 之间的隔离结构 207，第二侧壁与第三掺杂区 205 接触。

[55]本实施例的静电放电保护器件包括基底 200 和位于所述基底 200 上的栅极结构 300；所述基底 200 中形成有相连接的第一阱区 201 和第二阱区 202，所述第一阱区 201 具有第一导电类型，所述第二阱区 202 具有与所述第一导电类型相反的第二导电类型；所述栅极结构 300 从部分所述第一阱区 201 的上方跨越到部分所述第二阱区 202 的上方；所述第一阱区 201 的顶部形成有第一掺杂区 203 和第二掺杂区 204，所述第一掺杂区 203 和所述第二掺杂区 204 位于所述栅极结构 300 的一侧，所述第一掺杂区 203 具有第一导电类型，所述第二掺杂区 204 具有第二导电类型；所述第二阱区 202 的顶部形成有第三

掺杂区 205 和第四掺杂区 206, 所述第三掺杂区 205 和所述第四掺杂区 206 位于所述栅极结构 300 的另一侧, 所述第三掺杂区 205 具有第一导电类型, 所述第四掺杂区 206 具有第二导电类型。如此, 第一阱区 201、第二阱区 202 和第三掺杂区 205 能够构成第一寄生三极管 T1, 第二掺杂区 204、第一阱区 201 和第二阱区 202 能够构成第二寄生三极管 T2, 第一寄生三极管 T1 和第二寄生三极管 T2 共用第一阱区 201 和第二阱区 202 从而相互连接, 第一寄生三极管 T1 能够触发第二寄生三极管 T2 导通, 进而形成静电泄放能力较强的 SCR 通路, 有利于提升电路的静电泄放能力, 满足高压器件的静电放电保护需求。

[56]上述描述仅是对本公开较佳实施例的描述, 并非对本公开权利范围的任何限定, 任何本领域技术人员在不脱离本公开的精神和范围内, 都可以利用上述揭示的方法和技术内容对本公开技术方案做出可能的变动和修改, 因此, 凡是未脱离本公开技术方案的内容, 依据本公开的技术实质对以上实施例所作的任何简单修改、等同变化及修饰, 均属于本公开技术方案的保护范围。

权利要求书

1. 一种静电放电保护器件，其特征在于，包括基底和位于所述基底上的栅极结构；

所述基底中形成有相连接的第一阱区和第二阱区，所述第一阱区具有第一导电类型，所述第二阱区具有与所述第一导电类型相反的第二导电类型；所述栅极结构从部分所述第一阱区的上方跨越到部分所述第二阱区的上方；

所述第一阱区的顶部形成有第一掺杂区和第二掺杂区，所述第一掺杂区和所述第二掺杂区位于所述栅极结构的一侧，所述第一掺杂区具有所述第一导电类型，所述第二掺杂区具有所述第二导电类型；所述第二阱区的顶部形成有第三掺杂区和第四掺杂区，所述第三掺杂区和所述第四掺杂区位于所述栅极结构的另一侧，所述第三掺杂区具有所述第一导电类型，所述第四掺杂区具有所述第二导电类型；

所述第一掺杂区和所述第二掺杂区电连接至第一电位端，所述栅极结构和所述第三掺杂区电连接至第二电位端。

2. 如权利要求 1 所述的静电放电保护器件，其特征在于，所述第一阱区、所述第二阱区和所述第三掺杂区构成第一寄生三极管；所述第二掺杂区、所述第一阱区和所述第二阱区构成第二寄生三极管；所述第一寄生三极管和所述第二寄生三极管共用所述第一阱区和所述第二阱区，且共同用于静电放电。

3. 如权利要求 2 所述的静电放电保护器件，其特征在于，所述第一阱区、所述第二阱区和所述第三掺杂区分别作为所述第一寄生三极管的集电极、基极和发射极；所述第二阱区、所述第一阱区和所述第二掺杂区分别作为所述第二寄生三极管的集电极、基极和发射极。

4. 如权利要求 1 所述的静电放电保护器件，其特征在于，所述第一掺杂区和所述第二掺杂区沿着所述栅极结构下方的导电沟道的宽度方向排布。

5. 如权利要求 4 所述的静电放电保护器件，其特征在于，所述第一掺杂区的两端均形成有所述第二掺杂区。

6. 如权利要求 1 所述的静电放电保护器件，其特征在于，所述第三掺杂区位于所述栅极结构和所述第四掺杂区之间，所述第三掺杂区和所述第四掺杂区沿所述栅极结构下方的导电沟槽的宽度方向伸长。

7. 如权利要求 1 所述的静电放电保护器件，其特征在于，所述栅极结构与所述第一掺杂区之间的基底顶部、所述栅极结构与所述第二掺杂区之间的基底顶部、以及所述第一掺杂区和所述第二掺杂区之间的基底顶部均形成有隔离结构；和/或，所述第三掺杂区和所述第四掺杂区之间的基底顶部形成有隔离结构。

8. 如权利要求 7 所述的静电放电保护器件，其特征在于，所述栅极结构的第一侧壁与所述隔离结构接触，所述栅极结构的第二侧壁与所述第三掺杂区接触。

9. 如权利要求 1 至 8 任一项所述的静电放电保护器件，其特征在于，所述第一导电类型为 N 型，所述第二导电类型为 P 型。

10. 如权利要求 1 至 8 任一项所述的静电放电保护器件，其特征在于，所述第一电位端为阳极端，所述第二电位端为阴极端。

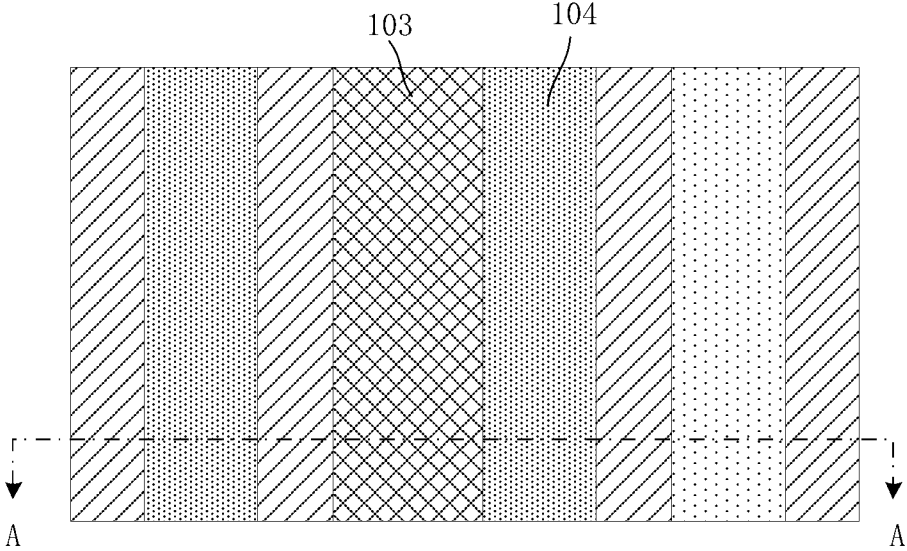


图 1

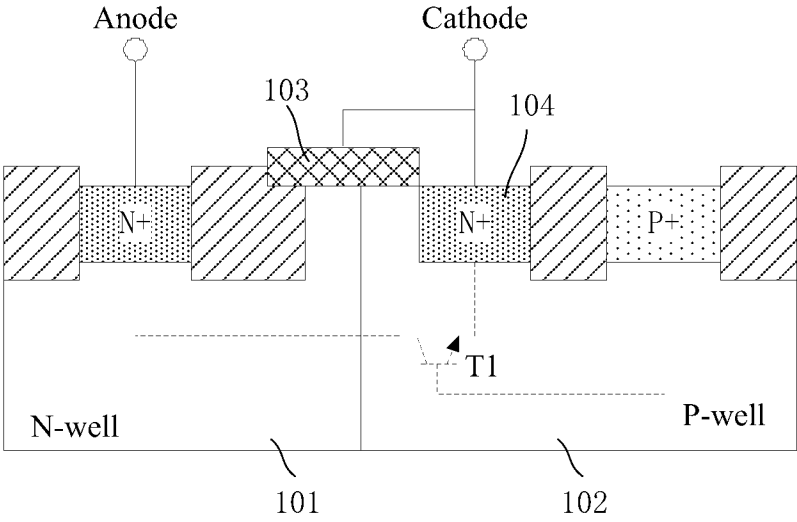


图 2

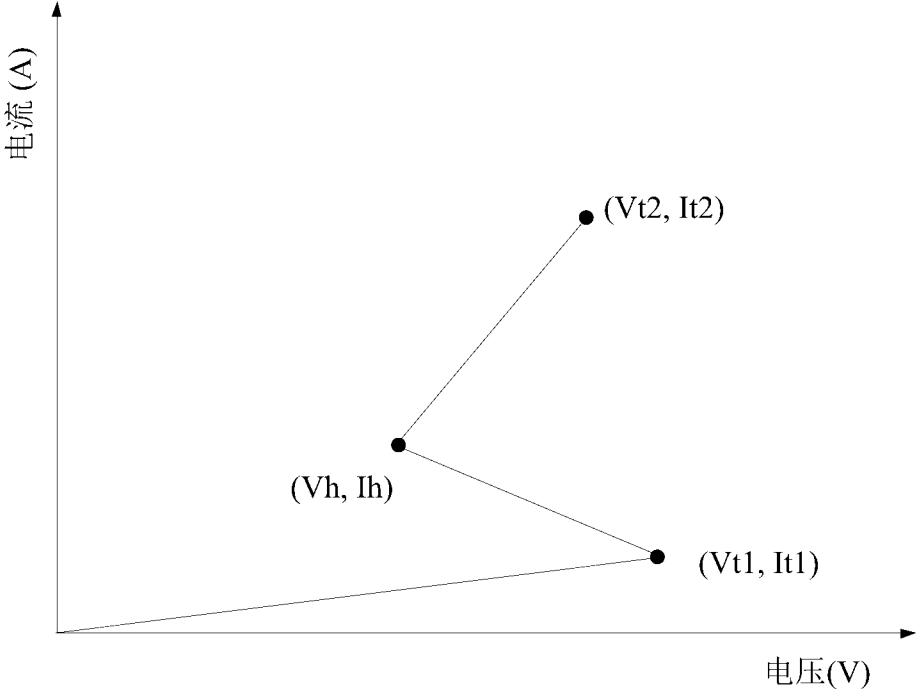


图 3

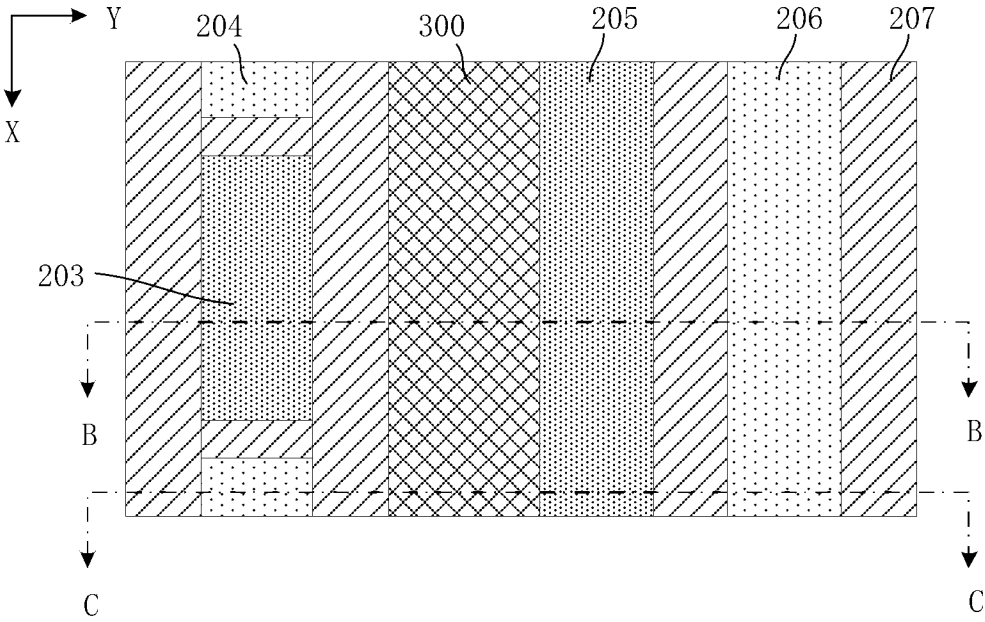


图 4

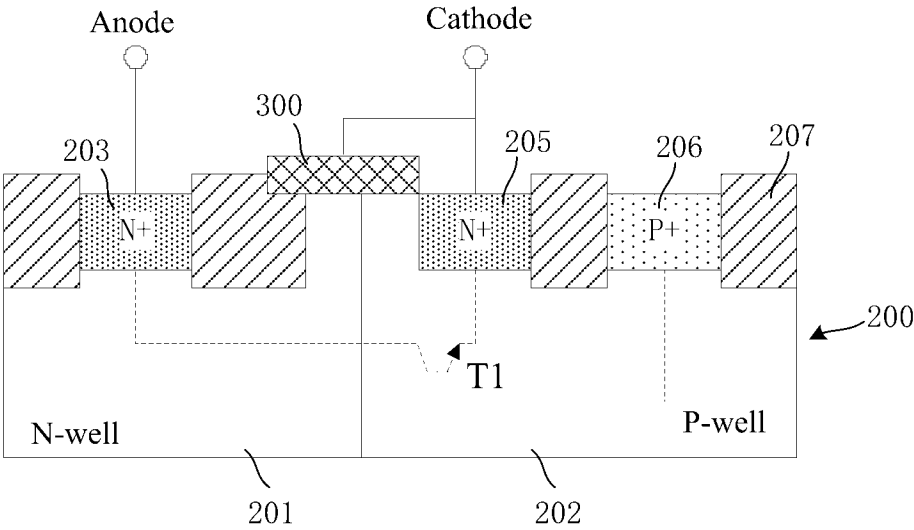


图 5

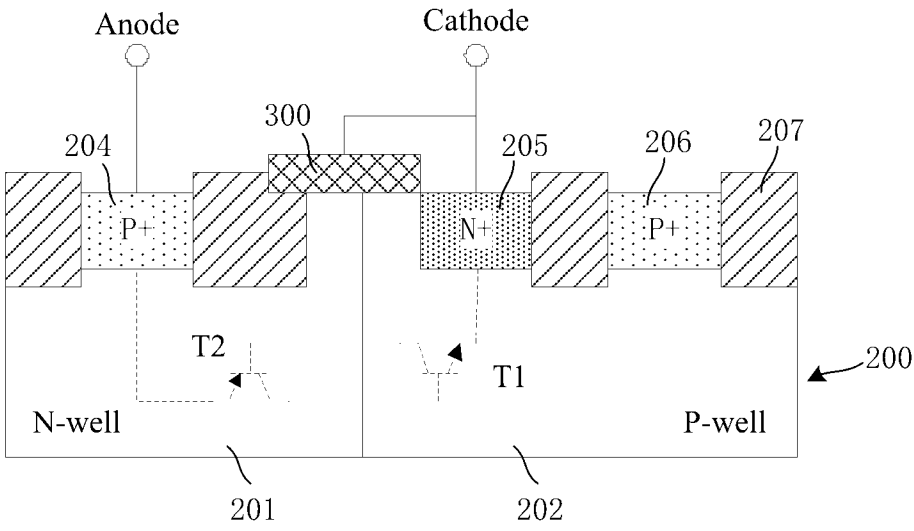


图 6

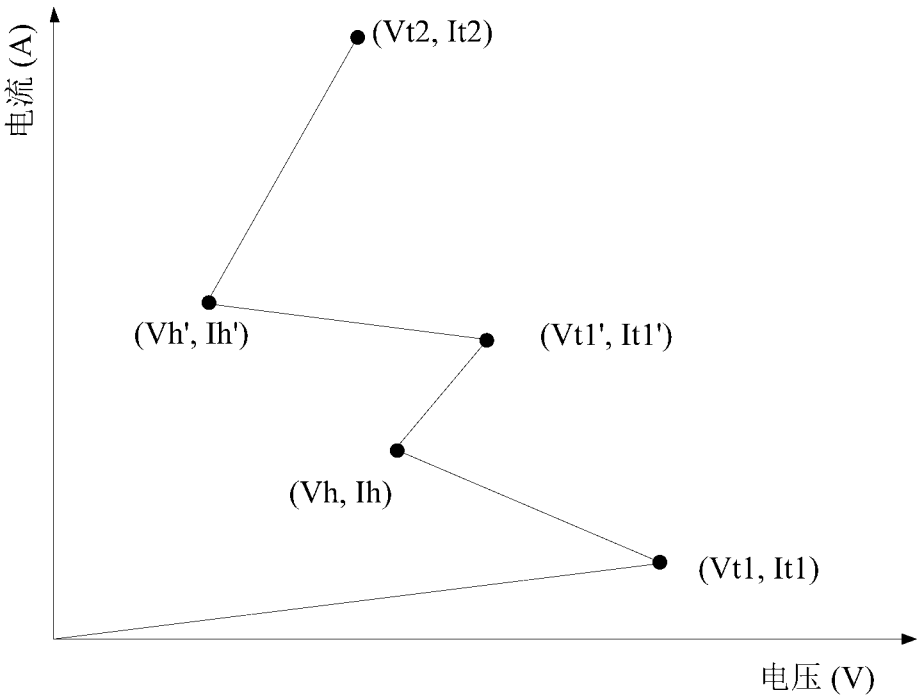


图 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/125966

A. CLASSIFICATION OF SUBJECT MATTER H01L23/60(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC																	
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC: H01L Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNTXT, ENTXTC, ENTXT, DWPI, CNKI: 静电, 电荷, 释放, 泄放, 放电, 横向, 晶体管, 可控硅, 寄生, 阱, 掺杂区, 漂移区, electrostatic, +charge, ESD, lateral, transistor, LDMOS, SCR, parasitic, well, dop+, drift																	
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 5px;"> <thead> <tr> <th style="width: 10%;">Category*</th> <th style="width: 70%;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="width: 20%;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">X</td> <td>CN 207938608 U (SUPERESD MICROELECTRONICS TECHNOLOGY CO., LTD.) 02 October 2018 (2018-10-02) description, paragraphs [0025]-[0035], and figures 4-8</td> <td style="text-align: center;">1-10</td> </tr> <tr> <td style="text-align: center;">X</td> <td>CN 205319155 U (ZGMICRO CORP.) 15 June 2016 (2016-06-15) description, paragraphs [0033]-[0038], and figure 4</td> <td style="text-align: center;">1-10</td> </tr> <tr> <td style="text-align: center;">X</td> <td>CN 102832233 A (PEKING UNIVERSITY) 19 December 2012 (2012-12-19) description, paragraphs [0041]-[0050], and figures 4-5</td> <td style="text-align: center;">1-10</td> </tr> <tr> <td style="text-align: center;">A</td> <td>US 2019304966 A1 (UNIVERSITY OF ELECTRONIC SCIENCE AND TECHNOLOGY OF CHINA) 03 October 2019 (2019-10-03) entire document</td> <td style="text-align: center;">1-10</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	CN 207938608 U (SUPERESD MICROELECTRONICS TECHNOLOGY CO., LTD.) 02 October 2018 (2018-10-02) description, paragraphs [0025]-[0035], and figures 4-8	1-10	X	CN 205319155 U (ZGMICRO CORP.) 15 June 2016 (2016-06-15) description, paragraphs [0033]-[0038], and figure 4	1-10	X	CN 102832233 A (PEKING UNIVERSITY) 19 December 2012 (2012-12-19) description, paragraphs [0041]-[0050], and figures 4-5	1-10	A	US 2019304966 A1 (UNIVERSITY OF ELECTRONIC SCIENCE AND TECHNOLOGY OF CHINA) 03 October 2019 (2019-10-03) entire document	1-10
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.															
X	CN 207938608 U (SUPERESD MICROELECTRONICS TECHNOLOGY CO., LTD.) 02 October 2018 (2018-10-02) description, paragraphs [0025]-[0035], and figures 4-8	1-10															
X	CN 205319155 U (ZGMICRO CORP.) 15 June 2016 (2016-06-15) description, paragraphs [0033]-[0038], and figure 4	1-10															
X	CN 102832233 A (PEKING UNIVERSITY) 19 December 2012 (2012-12-19) description, paragraphs [0041]-[0050], and figures 4-5	1-10															
A	US 2019304966 A1 (UNIVERSITY OF ELECTRONIC SCIENCE AND TECHNOLOGY OF CHINA) 03 October 2019 (2019-10-03) entire document	1-10															
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.																	
<table style="width: 100%;"> <tr> <td style="width: 50%; vertical-align: top;"> * Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed </td> <td style="width: 50%; vertical-align: top;"> "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family </td> </tr> </table>			* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family													
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family																
Date of the actual completion of the international search 12 January 2024		Date of mailing of the international search report 15 January 2024															
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		Authorized officer Telephone No.															

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/125966

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	207938608	U	02 October 2018	None			
CN	205319155	U	15 June 2016	None			
CN	102832233	A	19 December 2012	CN	102832233	B	20 May 2015
US	2019304966	A1	03 October 2019	US	10910362	B2	02 February 2021

A. 主题的分类

H01L23/60(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNXTX, ENTXTX, ENTXT, DWPI, CNKI: 静电, 电荷, 释放, 泄放, 放电, 横向, 晶体管, 可控硅, 寄生, 阱, 掺杂区, 漂移区, electrostatic, +charge, ESD, lateral, transistor, LDMOS, SCR, parasitic, well, dop+, drift

C. 相关文件

类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 207938608 U (湖南静芯微电子有限公司) 2018年10月2日 (2018 - 10 - 02) 说明书第[0025]-[0035]段、图4-8	1-10
X	CN 205319155 U (无锡中感微电子股份有限公司) 2016年6月15日 (2016 - 06 - 15) 说明书第[0033]-[0038]段、图4	1-10
X	CN 102832233 A (北京大学) 2012年12月19日 (2012 - 12 - 19) 说明书第[0041]-[0050]段、图4-5	1-10
A	US 2019304966 A1 (UNIV ELECTRONIC SCI & TECH CHINA) 2019年10月3日 (2019 - 10 - 03) 全文	1-10

☐ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

★ 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2024年1月12日

国际检索报告邮寄日期

2024年1月15日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

张一文

电话号码 (+86) 62412090

PCT/ISA/210 表(第2页) (2022年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2023/125966

检索报告引用的专利文件			公布日 (年/月/日)	同族专利		公布日 (年/月/日)
CN	207938608	U	2018年10月2日	无		
CN	205319155	U	2016年6月15日	无		
CN	102832233	A	2012年12月19日	CN	102832233	B 2015年5月20日
US	2019304966	A1	2019年10月3日	US	10910362	B2 2021年2月2日