(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
H03K 19/00

(11) 공개번호 특2003-0028087
(43) 공개일자 2003년04월08일

(21) 출원번호 10-2001-0060025
(22) 출원일자 2001년09월27일

(71) 출원인 삼성전자주식회사
경기도 수원시 팔달구 매탄3동 416번지

(72) 발명자 문병모
서울특별시용산구원효로1가27-64번지

(74) 대리인 이영필
정상빈

심사청구 : 있음

(54) 폴디드 차동 전압 샘플러를 이용하는 데이터 리시버 및데이터 수신 방법

요약

클락신호에 동기되어 차동기준신호들과 데이터를 수신하여 고주파 영역에서도 고속으로 정확하게 수신된 데이터를 검출할 수 있는 데이터 리시버 및 데이터 수신 방법이 제공된다. 상기 데이터 리시버는 차동기준 신호들과 입력 데이터를 비교하여 그 비교결과에 상응하는 제 1차동신호들을 출력하는 증폭회로; 및 클락신호에 동기되어 상기 제 1차동신호들의 차이를 증폭하여 상기 입력 데이터를 검출하는 폴디드 차동 전압 감지회로를 구비하며, 상기 차동기준 신호들은 직류 또는 진동하는 것이 바람직하다. 상기 데이터 리시버는 수신된 신호들의 레벨차이가 작은 경우, 공정, 전압 또는 온도가 변하는 경우 및 수신된 데이터에 잡음이 있는 경우에도 수신된 데이터를 정확하게 검출할 수 있다.

대표도

도 3

명세서

도면의 간단한 설명

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.

도 1a는 종래의 단일 기준 신호방식을 사용하는 데이터 리시버의 블락 다이어그램이다.

도 1b는 도 1a의 신호 레벨을 나타내는 타이밍 다이어그램이다.

도 2a는 종래의 차동신호 방식을 사용하는 데이터 리시버의 블락 다이어그램이다.

도 2b는 도 2a의 신호레벨을 나타내는 타이밍 다이어그램이다.

도 3은 본 발명의 제 1실시예에 따른 데이터 리시버의 회로도를 나타낸다.

도 4는 도 3의 제 1프리 엠프 및 제 2프리 엠프의 회로도를 나타낸다.

도 5는 도 3의 전압 감지 증폭기(50)의 회로도를 나타낸다.

도 6은 본 발명의 제 2실시예에 따른 데이터 리시버의 회로도를 나타낸다.

도 7은 제 1기준신호(VREF)과 제 2기준신호(/VREF)와 데이터(DATA)의 파형을 나타내는 타이밍 다이어그램이다,

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치에 관한 것으로, 보다 상세하게는 클락신호에 동기되어 동작하는 폴디드 차동 전압 샘플러를 이용하며 하나의 데이터라인과 차동 기준신호들을 수신하여 차동신호 방식으로 데이터를 검출하는 효과를 얻을 수 있는 데이터 리시버 및 데이터 수신 방법에 관한 것이다.

반도체 소자사이에 데이터를 고속으로 송/수신하기 위한 방법중의 하나는 데이터를 차동(differential)으로 송/수신하는 것이다. 이 방법은 데이터를 송/수신하기 위한 데이터 라인들 또는 데이터 입출력 핀들의 수가 증가되는 단점이 있다.

도 1a는 종래의 단일 기준 신호방식을 사용하는 데이터 리시버의 블락 다이어그램이다. 도 1b는 도 1a의 신호 레벨을 나타내는 타이밍 다이어그램이다.

도 1a 및 도 1b를 참조하면, 데이터 리시버(10)는 하나의 기준신호(VREF)를 수신하는 하나의 기준 신호선(1)과 N개의 데이터(DATA1, DATA2,.., DATAN)를 수신하는 N개의 데이터선들(3, 5,.., 7)을 구비하여, 데이터 리시버(10)는 기준신호(VREF)와 N개의 데이터(DATA1, DATA2,..., DATAN) 각각을 비교하여 수신된 데이터(DATA1, DATA2,.., DATAN)를 검출한다.

그러나 단일 기준 신호방식을 사용하는 데이터 리시버(10)는 잡음에 민감하므로 데이터를 고속으로 수신하기 어렵다. 또한, 데이터 전송속도가 빨라질수록 전송선의 감쇄 효과 때문에 데이터의 크기가 작아지므로, 기준신호와 데이터의 차이(DD1)도 작아져서 수신된 데이터를 정확하게 검출하기 어려운 문제점이 있다.

도 2a는 종래의 차동신호 방식을 사용하는 데이터 리시버의 블락 다이어그램이다. 도 2b는 도 2a의 신호레벨을 나타내는 타이밍 다이어그램이다. 도 2a 및 도 2b를 참조하면, 차동신호 방식을 사용하는 리시버(20)는 2N개의 데이터(DATA1,/ DATA1, ..., DATAN, /DATAN)을 수신하는 2N개의 데이터 라인들(11, 13,..., 15, 17)를 구비하며, 데이터(DATA1)와 데이터(/DATA1)는 서로 상보적인 데이터 (complementary data)이다.

데이터 리시버(20)는 데이터(DATAi)와 상보 데이터(/DATAi)사이의 전압 차이 (DD2)가 단일 기준 신호 방식의 전압차이(DD1)와 동일하게 될 수 있으므로 데이터(DATAi)의 스윙 폭이 줄어들고 전력소모가 적어 고속으로 데이터를 수신할 수 있으나, 단일 기준신호 리시버(10)보다 약 N개의 데이터 라인들을 더 구비해야 하는 문제점이 있다.

미국 등록번호 6,160,423에 상세하게 기술된 리시버는 공정, 전압 및 온도의 변화에 따라 두 인버터들의 트립-포인트(trip-point)가 변화될 수 있으므로 수신된 데이터를 정확하게 검출하지 못하는 문제점이 있다. 그리고 비교기들의 출력신호 레벨이 작은 경우 수신된 데이터를 정확하게 검출하지 못하는 문제점이 있다.

또한, 고주파 영역에서 동작하는 경우 '423에 기술된 리시버는 수신된 데이터를 정확하게 검출하지 못하는 문제점이 있으며, 스위치들의 스위칭 동작 시에 글리취(glitch)가 발생될 수 있는 문제점이 있다. '423에 기술된 리시버는 배타적 논리합(XOR)을 사용하므로 리시버의 전체적인 레이아웃 면적은 증가되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명이 이루고자 하는 기술적인 과제는 클락신호에 동기되어 차동기준신호들과 데이터를 수신하여 고주파 영역에서도 고속으로 정확하게 수신된 데이터를 검출할 수 있는 데이터 리시버 및 데이터 수신 방법을 제공하는 것이다.

또한, 공정, 전압 및 온도의 변화에 무관하게 그리고 데이터 리시버로 입력되는 데이터의 신호 레벨이 작은 경우에도 수신된 데이터를 정확하게 검출할 수 있는 데이터 리시버 및 데이터 수신 방법을 제공하는 것이다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명의 제 1실시예에 따른 리시버는 차동기준 신호들과 입력 데이터를 비교하여 그 비교결과에 상응하는 제 1차동신호들을 출력하는 증폭회로; 및 클락신호에 동기되어 상기 제 1차동신호들의 차이를 증폭하여 상기 입력 데이터를 검출하는 폴디드 차동 전압 감지회로를 구비한다.

상기 차동기준 신호들은 직류 또는 진동하는 것이 바람직하며, 상기 폴디드 차동 전압 감지회로는 상기 클락신호에 동기되어 상기 제 1차동신호들의 차이를 감지하고 상기 차이에 상응하는 제 2차동신호들을 출력하는 감지회로; 상기 클락신호에 동기되어 제 1노드 및 제 2노드를 전원전압레벨로 프리차지하고 상기 제 2차동신호들의 차이를 증폭한 제 3차동신호들 각각을 상기 제 1노드 및 상기 제 2노드로 출력하는 증폭회로; 및 상기 제 1노드의 출력신호와 상기 제 2노드의 출력신호를 래치하는 래치회로를 구비한다.

또한, 리시버는 제 1기준신호와 입력 데이터를 비교하여 제 1차동신호들을 출력하는 제 1차동증폭기; 제 2기준신호와 상기 입력 데이터를 비교하여 제 2차동신호들을 출력하는 제 2차동 증폭기; 및 클락신호에 동기되어 상기 제 1차동신호들의 차이 또는 상기 제 2차동신호들의 차이를 증폭하여 상기 입력데이터를 검출하는 폴디드 차동 전압 감지 증폭기를 구비하며, 상기 제 1기준신호와 상기 제 2기준신호는 차동신호이다.

상기 제 1기준신호는 제 1전송라인을 통하여 상기 제 1차동증폭기의 제 1입력단으로 입력되고 상기 제 2기준신호는 제 2전송라인을 통하여 상기 제 2차동증폭기의 제 1입력단으로 입력되며, 상기 입력데이터는 제 3전송라인을 통하여 상기 제 1차동증폭기의 제 2입력단 및 상기 제 2차동증폭기의 제 2입력단으로 입력되는 것이 바람직하다.

상기 폴디드 차동 전압 감지증폭기는 상기 클락신호에 동기되어 상기 제 1차동신호들의 차이 또는 상기 제 2차동신호들의 차이를 감지하고 상기 차이에 상응하는 제 3차동신호들을 출력하는 감지회로; 상기 클락신호에 동기되어 제 1노드 및 제 2노드를 전원전압레벨로 프리차지하고 상기 제 3차동신호들의 차이를 증폭한 제 4차동신호들 각각을 상기 제 1노드 및 상기 제 2노드로 출력하는 증폭회로; 및 상기 제 1노드의 출력신호와 상기 제 2노드의 출력신호를 래치하는 래치회로를 구비한다.

상기 기술적 과제를 달성하기 위한 본 발명의 제 2실시예에 따른 리시버는 클락신호에 동기되어 차동기준 신호들과 입력 데이터를 비교하여 그 비교결과에 상응하는 제 1차동신호들을 출력하는 감지회로; 상기 클락신호에 동기되어 제 1

노드 및 제 2노드를 전원전압레벨로 프리차지하고 상기 제 1차동신호들의 차이를 증폭한 제 2차동신호들 각각을 상기 제 1노드 및 상기 제 2노드로 출력하는 증폭회로; 및 상기 제 1노드의 출력신호와 상기 제 2노드의 출력신호를 래치하는 래치회로를 구비한다.

상기 기술적 과제를 달성하기 위한 본 발명의 제 1실시예에 따른 데이터 수신방법은 차동기준 신호들과 입력 데이터를 비교하여 그 비교결과에 상응하는 제 1차동신호들을 출력하는 단계; 및 클락신호에 동기되어 상기 제 1차동신호들의 차이를 증폭하여 상기 입력 데이터를 검출하는 단계를 구비한다.

상기 검출단계는 상기 클락신호에 동기되어 상기 제 1차동신호들의 차이를 감지하고 상기 차이에 상응하는 제 2차동신호들을 출력하는 단계; 상기 클락신호에 동기되어 제 1노드 및 제 2노드를 전원전압레벨로 프리차지하고 상기 제 2차동신호들의 차이를 증폭한 제 3차동신호들 각각을 상기 제 1노드 및 상기 제 2노드로 출력하는 단계; 및 상기 제 1노드의 출력신호와 상기 제 2노드의 출력신호를 래치하는 단계를 구비한다.

상기 기술적 과제를 달성하기 위한 본 발명의 제 2실시예에 따른 데이터 수신방법은 클락신호에 동기되어 차동기준 신호들과 입력 데이터를 비교하여 그 비교결과에 상응하는 제 1차동신호들을 출력하는 단계; 상기 클락신호에 동기되어 제 1노드 및 제 2노드를 전원전압레벨로 프리차지하고 상기 제 1차동신호들의 차이를 증폭한 제 2차동신호들 각각을 상기 제 1노드 및 상기 제 2노드로 출력하는 단계; 및 상기 제 1노드의 출력신호와 상기 제 2노드의 출력신호를 래치하는 단계를 구비한다.

본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

도 3은 본 발명의 제 1실시예에 따른 데이터 리시버의 회로도를 나타낸다. 도 3은 설명의 편의를 위하여 하나의 데이터(DATA)를 수신하기 위한 하나의 데이터 라인(31)과 차동 기준 신호들(VREF, /VREF)을 수신하기 위한 기준신호 라인들(33, 35)을 구비하는 리시버(100)를 도시한다. 차동 기준 신호들(VREF, /VREF)은 오실레이팅하는 신호 또는 DC인 것이 바람직하다.

따라서 클락 신호에 동기되어 N(N은 자연수, 예컨대 N=16)개의 데이터를 동시에 고속으로 정확하게 수신하는 데이터 리시버는 차동 기준신호들을 수신하기 위한 기준신호 라인들과 N개의 데이터를 각각 수신하기 위한 N개의 데이터 라인들이 필요하며, N개의 데이터를 수신하는 데이터 리시버는 본 발명의 실시예로부터 용이하게 실현될 수 있다.

도 3을 참조하면, 데이터 리시버(100)는 제 1프리엠프(30), 제 2프리 엠프 (40) 및 전압감지 증폭기(50)를 구비한다. 전압감지 증폭기(50)는 폴디드 전압 감지 증폭기(folded voltage sense amplifier)인 것이 바람직하며, 전압감지 증폭기 (50)는 폴드디 차동 전압 샘플러(folded differential voltage sampler)의 기능을 수행한다.

제 1프리 엠프(30)는 신호전송 라인(33)을 통하여 제 1입력단으로 입력되는 제 1기준신호(VREF)와 신호 전송라인(31)을 통하여 제 2입력단으로 입력되는 데이터(DATA)를 비교하고, 그 비교결과에 따른 제 1출력신호(V1P) 및 제 2출력신호(V1N)를 제 1출력단 및 제 2출력단을 통하여 각각 전압감지 증폭기(50)로 출력한다. 제 1출력신호(V1P) 및 제 2출력신호(V1N)는 서로 상보적인 신호 (complementary signals) 또는 차동신호들(differential signals)인 것이 바람직하다.

예컨대 제 1기준신호(VREF)의 레벨이 데이터(DATA)의 신호 레벨보다 상대적으로 높은 경우, 제 1프리 엠프(30)는 제 2출력신호(V1N)와 제 2출력신호(V1N)보다 상대적으로 낮은 신호 레벨을 갖는 제 1출력신호(V1P)를 각각 전압감지 증폭기(50)로 출력한다.

만일 제 1기준신호(VREF)의 레벨이 데이터(DATA)의 신호 레벨보다 상대적으로 낮은 경우, 제 1프리 엠프(30)는 제 2출력신호(V1N)와 제 2출력신호(V1N)보다 상대적으로 높은 신호 레벨을 갖는 제 1출력신호(V1P)를 각각 전압감지 증폭기(50)로 출력한다.

그리고 제 1기준신호(VREF)의 레벨과 데이터(DATA)의 신호 레벨이 동일한 경우, 제 1프리 엠프(30)의 제 1출력신호(V1P)와 제 2출력신호(V1N)는 동일한 신호 레벨을 출력한다.

제 2프리 엠프(40)는 신호 전송라인(35)을 통하여 제 3입력단으로 입력되는 제 2기준신호(/VREF)와 신호 전송라인(31)을 통하여 제 4입력단으로 입력되는 데이터(DATA)를 비교하여 그 비교결과에 따른 제 3출력신호(V2P) 및 제 4출력신호(V2N)를 제 3출력단 및 제 4출력단을 통하여 각각 전압 감지 증폭기(50)로 출력한다. 제3출력신호(V2P) 및 제 4출력신호(V2N)는 서로 상보적인 신호들인 것이 바람직하다.

예컨대 제 2기준신호(/VREF)의 레벨이 데이터(DATA)의 신호 레벨보다 상대적으로 높은 경우, 제 2프리 엠프(40)는 제 4출력신호(V2N)와 제 4출력신호(V2N)보다 상대적으로 낮은 신호 레벨을 갖는 제 3출력신호(V2P)를 각각 전압 감지 증폭기 (50)로 출력한다.

만일 제 2기준신호(/VREF)의 레벨이 데이터(DATA)의 신호 레벨보다 상대적으로 낮은 경우, 제 2프리 엠프(40)는 제 4출력신호(V2N)와 제 4출력신호(V2N)보다 상대적으로 높은 신호 레벨을 갖는 제 3출력신호(V2P)를 전압 감지 증폭기(50)로 출력한다.

그리고 제 2기준신호(/VREF)의 레벨과 데이터(DATA)의 신호 레벨이 동일한 경우, 제 2프리 엠프(40)의 제 3출력신호(V1P)와 제 4출력신호(V1N)는 동일한 신호 레벨을 출력한다.

제 1기준신호(VREF)와 제 2기준신호(/VREF)는 서로 상보적인 기준 신호들 (complementary reference signals)이고, 데이터(DATA)는 싱글 엔디드 신호 (single-ended signal)인 것이 바람직하다. 또한 제 1기준신호(VREF)와 제 2기준신호(/VREF)가 오실레이팅(oscillating)하는 경우 제 1기준신호(VREF)와 데이터 (DATA)는 동기되는 것이 바람직하다.

전압 감지 증폭기(50)는 클락신호 (CLK)에 응답하여 제 1프리 엠프(30) 및 제 2프리 엠프(40)의 출력신호들을 감지하여 증폭하여 그 결과를 출력한다. 전압 감지 증폭기(50)는 도 5를 참조하여 상세히 설명된다.

도 4는 도 3의 제 1프리 엠프 및 제 2프리 엠프의 회로도를 나타낸다. 도 4에 도시된 바와 같이, 제 1프리 엠프(30) 및 제 2프리 엠프(40)는 2 개의 부하 트랜지스터들(QP1, QP3), 두 개의 게이팅 트랜지스터들(QN1, QN3)과 전류원(QN5)을 구비한다.

본 발명에 사용되는 프리엠프들(30과 40)의 전류원(MN5)은 공통 모드 변화 (common mode variation)의 영향을 감소시키기 위하여 소정의 바이어스(BIAS)에 응답하여 포화상태(saturation)에서 작동하는 것이 바람직하다.

도 5는 도 3의 전압 감지 증폭기(50)의 회로도를 나타낸다. 도 5를 참조하면, 전압 감지 증폭기(50)는 감지회로(51), 증폭회로(53) 및 래치(55)를 구비한다. 감지회로(51)의 구성은 다음과 같다. 클락신호(CLK)는 트랜지스터들(MN1 및 MN3)의 게이트로 각각 입력되고, 트랜지스터들(MN1 및 MN3)의 드레인은 제 1노드(NOD1)에 접속되고 소오스는 접지전원(VSS)에 각각 접속된다.

제 2출력신호(V1N)는 트랜지스터(MN5)의 게이트로 입력되고, 트랜지스터 (MN5)의 드레인은 노드(NOD3)에 접속되고 소오스는 노드(NOD1)에 접속된다. 제 1출력신호(V1P)는 트랜지스터(MN7)의 게이트로 입력되고, 트랜지스터(MN7)의 드레인은 노드(NOD2)에 접속되고 소오스는 노드(NOD1)에 접속된다.

제 4출력신호(V2N)는 트랜지스터(MN9)의 게이트로 입력되고, 트랜지스터 (MN9)의 드레인은 노드(NOD3)에 접속되고 소오스는 노드(NOD1)에 접속된다. 제 3출력신호(V2P)는 트랜지스터(MN11)의 게이트로 입력되고, 트랜지스터(MN11)의 드레인은 노드(NOD2)에 접속되고 소오스는 노드(NOD1)에 접속된다.

감지회로(51)는 클락신호(CLK)에 응답하여 제 1프리앰프(30)의 출력신호들 (V1P, V1N) 또는 제 2프리앰프(40)의 출력신호들(V2P, V2N)의 차이를 감지하여 그 결과들을 노드들(NOD2 및 NOD3)로 출력한다. 노드(NOD2)의 출력신호와 노드(NOD3)의 출력신호는 차동신호들이다.

증폭회로(53)는 크로스 커플된 PMOS 트랜지스터들(MP7 및 MP9), 크로스 커플된 NMOS 트래지스터들(MN13 및 MN15) 및 노드(NOD4)와 노드(NOD5)를 등화시키기 위한 등화 트랜지스터들(MP1, MP3 및 MP5)을 구비한다.

특히, 등화 트랜지스터들(MP1, MP3 및 MP5)은 클락신호(CLK)의 비활성화(예컨대 논리 '로우')에 응답하여 노드(NOD4)와 노드(NOD5)를 전원전압(VDD)레벨로 등화(equalization)시킨다.

트랜지스터(MP7)의 게이트는 노드(NOD7)에 소오스는 전원전압(VDD)에 그리고 드레인은 노드(NOD6)에 각각 접속되고, 트랜지스터(MP9)의 게이트는 노드(NOD6)에 소오스는 전원전압(VDD)에 그리고 드레인은 노드(NOD7)에 각각 접속된다.

트랜지스터(MP1)는 클락신호(CLK)에 응답하여 노드(NOD6)를 전원전압(VDD)레벨로 풀-업(pull-up)시키고, 트랜지스터(MP5)는 클락신호(CLK)에 응답하여 노드 (NOD7)를 전원전압(VDD) 레벨로 풀-업시킨다. 트랜지스터(MP3)는 클락신호(CLK)에 응답하여 노드(NOD6)와 노드(NOD7)를 전원전압(VDD) 레벨로 등화시킨다.

트랜지스터(MN13)의 게이트는 노드(NOD5)에 드레인은 노드(NOD4)에 그리고 소오스는 노드(NOD2)에 각각 접속되고, 트랜지스터(MN15)의 게이트는 노드(NOD4)에 드레인은 노드(NOD5)에 그리고 소오스는 노드(NOD3)에 각각 접속된다.

노드(NOD4)의 출력신호(VAB) 및 노드(NOD5)의 출력신호(VA)들은 전원전압(VDD)과 접지전원(VSS)사이에서 풀-스윙하며, 출력신호(VAB)와 출력신호 (VA)는 차동신호들이다.

래치(55)는 4개의 인버터들(IN1 내지 IN4), 2개의 크로스 커플된 트랜지스터들(CCT1과 CCT2), 2개의 풀-업 트랜지스터들(PT1과 PT2) 및 2개의 풀-다운 트랜지스터들(PD1과 PD2)을 구비하며, 출력신호(VAB)와 출력신호(VA)를 각각 래치한다.

도 6은 본 발명의 제 2실시예에 따른 데이터 리시버의 회로도를 나타낸다. 도 6을 참조하면, 데이터 리시버(200)는 감지회로(51), 증폭회로(53) 및 래치(55)를 구비한다. 데이터 리시버(200)는 폴디드 전압 감지 증폭기인 것이 바람직하다.

감지회로(51)의 구성은 다음과 같다. 클락신호(CLK)는 트랜지스터들(MN1 및 MN3)의 게이트로 각각 입력되고, 트랜지스터들(MN1 및 MN3)의 드레인은 제 1노드(NOD1)에 접속되고 그리고 소오스는 접지전원(VSS)에 각각 접속된다.

제 1기준신호(VREF)은 트랜지스터(MN5)의 게이트로 입력되고, 트랜지스터 (MN5)의 드레인은 노드(NOD3)에 접속되고 소오스는 노드(NOD1)에 접속된다. 데이터 (DATA)는 트랜지스터(MN7)의 게이트로 입력되고, 트랜지스터(MN7)의 드레인은 노드(NOD2)에 접속되고 소오스는 노드(NOD1)에 각각 접속된다.

제 2기준신호(/VREF)는 트랜지스터(MN9)의 게이트로 입력되고, 트랜지스터 (MN9)의 드레인은 노드(NOD3)에 접속되고 소오스는 노드(NOD1)에 접속된다. 데이터 (DATA)는 트랜지스터(MN11)의 게이트로 입력되고, 트랜지스터(MN11)의 드레인은 노드(NOD2)에 접속되고 소오스는 노드(NOD1)에 접속된다.

감지회로(51)는 클락신호(CLK)에 응답하여 제 1기준신호(VREF) 또는 제 2기준신호(/VREF)와 데이터(DATA)의 차이를 감지하여 그 결과들을 노드들(NOD2 및 NOD3)로 출력한다. 제 1기준신호(VREF)와 제 2기준신호(/VREF)는 차동기준 신호들이고, 제 노드(NOD2)의 출력신호와 노드(NOD3)의 출력신호는 차동신호들이다.

도 6의 증폭회로(53)와 래치(55)의 구조 및 동작은 도 5의 증폭회로(53)와 래치(55)의 구조와 동작과 동일하므로 이에 대한 상세한 설명은 생략한다. 즉, 도 6의 데이터 리시버(200)는 제 1기준신호(VREF)와 제 2기준신호(/VREF)와 데이터(DATA)를 수신하여 수신된 데이터(DATA)를 샘플링하는 구조를 갖는다.

도 7은 제 1기준신호(VREF)과 제 2기준신호(/VREF)와 데이터(DATA)의 파형을 나타내는 타이밍 다이어그램이다. 도 7을 참조하면, 제 1기준신호(VREF)와 제 2기준신호(/VREF)은 상보적으로 오실레이팅(oscillating)한다.

도 3, 도 5 및 도 7을 참조하여 데이터 리시버(100)의 동작이 상세히 설명된다. 우선 구간 T1 및 구간 T3을 보면, 데이터(DATA)와 제 2기준신호(/VREF)의 차이가 데이터(DATA)와 제 1기준신호(VREF)의 차이보다 크므로 제 도 3의 제 2프리엠프(40)의 동작이 제 1프리엠프(30)의 동작보다 지배적(dominant)이다. 따라서 제 2프리엠프(40)는 제 2기준신호(/VREF)와 데이터(DATA)의 차이를 검출하여 제 3출력신호(V2P) 및 제 4출력신호(V2N)를 각각 출력한다.

예컨대 제 2기준신호(/VREF)의 신호 레벨이 데이터(DATA)의 신호 레벨보다 상대적으로 높은 경우, 제 2프리 엠프(40)는 제 4출력신호(V2N)와 제 4출력신호 (V2N)보다 상대적으로 낮은 신호 레벨을 갖는 제 3출력신호(V2P)를 각각 전압 감지 증폭기(50)로 출력한다.

도 5의 증폭회로(53)는 클락신호(CLK)의 비활성화에 응답하여 노드(NOD4)와 노드(NOD5)를 전원전압(VDD)레벨로 프리차지한다. 그리고 감지회로(51)의 트랜지스터들(MN9와 MN11)은 제 3출력신호(V2P)와 제 4출력신호(V2N)에 응답하여 제 3출력신호(V2P)와 제 4출력신호(V2N)의 차이를 검출한다.

이 경우 노드(NOD2)의 출력신호 레벨이 노드(NOD3)의 출력신호 레벨보다 상대적으로 높으므로 트랜지스터(MN15)는 노드(NOD5)의 전압(VA)을 접지전원(VSS)레벨로 풀-다운한다. 따라서 트랜지스터(MN13)는 턴-오프되므로 노드(NOD4)의 전압 (VAB)은 전원전압(VDD)을 유지한다. 따라서 래치(55)는 논리 '로우'를 갖는 출력신호(Q)와 논리 '하이'를 갖는 반전 출력신호(QB)를 래치한다.

그러나 제 2기준신호(/VREF)의 레벨이 데이터(DATA)의 신호 레벨보다 상대적으로 낮은 경우, 제 2프리 엠프(40)는 제 4출력신호(V2N)와 제 4출력신호(V2N)보다 상대적으로 높은 신호 레벨을 갖는 제 3출력신호(V2P)를 전압 감지 증폭기(50)로 출력한다.

도 5의 증폭회로(53)는 클락신호(CLK)의 비활성화에 응답하여 노드(NOD4)와 노드(NOD5)를 전원전압(VDD)레벨로 프리차지한다. 그리고 감지회로(51)의 트랜지스터들(MN9와 MN11)은 제 3출력신호(V2P)와 제 4출력신호(V2N)에 응답하여 제 3출력신호(V2P)와 제 4출력신호(V2N)의 차이를 검출한다.

이 경우 노드(NOD2)의 출력신호 레벨이 노드(NOD3)의 출력신호 레벨보다 상대적으로 낮으므로 트랜지스터(MN13)는 노드(NOD4)의 전압(VAB)을 접지전원(VSS)레벨로 풀-다운한다. 따라서 트랜지스터(MN15)는 턴-오프되므로 노드(NOD5)의 전압(VA)은 전원전압(VDD)을 유지한다. 따라서 래치(55)는 논리 '하이'를 갖는 출력신호(Q)와 논리 '로우'를 갖는 반전 출력신호(QB)를 래치한다.

그리고 제 2기준신호(VREF)의 레벨과 데이터(DATA)의 신호 레벨이 동일한 경우, 래치(55)의 출력신호(Q)와 반전 출력신호(QB)는 동일한 논리값을 출력한다.

계속하여 구간 T2 및 구간 T4를 보면, 데이터(DATA)와 제 1기준신호(VREF)의 차이가 데이터(DATA)와 제 2기준신호(/VREF)의 차이보다 크므로, 도 3의 제 1프리엠프(30)의 동작은 제 2프리엠프(40)의 동작보다 지배적(dominant)이다. 따라서 제 1프리엠프(30)는 제 1기준신호(VREF)와 데이터(DATA)의 차이를 검출하여 제 1출력신호(V1P) 및 제 2출력신호(V1N)를 각각 출력한다.

예컨대 제 1기준신호(VREF)의 레벨이 데이터(DATA)의 레벨보다 상대적으로 높은 경우, 제 1프리 엠프(30)는 제 2출력신호(V1N)와 제 2출력신호(V1N)보다 상대적으로 낮은 신호 레벨을 갖는 제 1출력신호(V1P)를 각각 전압 감지 증폭기(50)로 출력한다.

도 5의 증폭회로(53)는 클락신호(CLK)의 비활성화에 응답하여 노드(NOD4)와 노드(NOD5)를 전원전압(VDD)레벨로 프리차지한다. 그리고 감지회로(51)의 트랜지스터들(MN5와 MN7)은 제 1출력신호(V1P)와 제 2출력신호(V1N)에 응답하여 제 1출력신호(V1P)와 제 2출력신호(V1N)의 차이를 검출한다.

이 경우 노드(NOD2)의 출력신호의 레벨이 노드(NOD3)의 출력신호의 레벨보다 상대적으로 높으므로 트랜지스터(MN15)는 노드(NOD5)의 전압(VA)을 접지전원(VSS)레벨로 풀-다운한다. 따라서 트랜지스터(MN13)은 턴-오프되므로 노드(NOD4)의 전압(VAB)은 전원전압(VDD)를 유지한다. 따라서 래치(55)는 논리 '로우'를 갖는 출력신호(Q)와 논리 '하이'를 갖는 반전 출력신호(QB)를 래치한다.

그러나 제 1기준신호(VREF)의 레벨이 데이터(DATA)의 신호 레벨보다 상대적으로 낮은 경우, 제 1프리 엠프(30)는 제 2출력신호(V1N)와 제 2출력신호(V1N)보다 상대적으로 높은 신호 레벨을 갖는 제 1출력신호(V1P)를 전압 감지 증폭기(50)로 출력한다.

도 5의 증폭회로(53)는 클락신호(CLK)의 비활성화에 응답하여 노드(NOD4)와 노드(NOD5)를 전원전압(VDD)레벨로 프리차지한다. 그리고 감지회로(51)의 트랜지스터들(MN5와 MN7)은 제 1출력신호(V1P)와 제 2출력신호(V1N)에 응답하여 제 1출력신호(V1P)와 제 2출력신호(V1N)의 차이를 검출한다.

이 경우 노드(NOD2)의 출력신호 레벨이 노드(NOD3)의 출력신호 레벨보다 상대적으로 낮으므로 트랜지스터(MN13)는 노드(NOD4)의 전압(VAB)을 접지전원(VSS)레벨로 풀-다운한다. 따라서 트랜지스터(MN15)는 턴-오프되므로 노드(NOD5)의 전압(VA)은 전원전압(VDD)을 유지한다. 따라서 래치(55)는 논리 '하이'를 갖는 출력신호(Q)와 논리 '로우'를 갖는 반전 출력신호(QB)를 래치한다.

그리고 제 1기준신호(VREF)의 신호 레벨과 데이터(DATA)의 신호 레벨이 동일한 경우, 래치(55)의 출력신호(Q)와 반전출력신호(QB)는 동일한 논리값을 출력한다.

이하 도 6 및 도 7을 참조하여 데이터 리시버(200)의 동작이 상세히 설명된다. 우선 구간 T1 및 구간 T3을 보면, 데이터(DATA)와 제 2기준신호(/VREF)의 차이가 데이터(DATA)와 제 1기준신호(VREF)의 차이보다 크므로 트랜지스터들(MN9와 MN11)의 동작이 트랜지스터들(MN5와 MN7)의 동작보다 지배적이다.

이하 클락신호(CLK)의 비활성화상태에서 트랜지스터들(MN9와 MN11)의 동작과 증폭회로(53)의 동작을 설명하면 다음과 같다. 도 6의 증폭회로(53)의 노드(NOD4)와 노드(NOD5)는 전원전압(VDD)레벨로 프리차지된다.

제 2기준신호(/VREF)의 레벨이 데이터(DATA)의 신호 레벨보다 상대적으로 높은 경우, 노드(NOD2)의 출력신호 레벨이 노드(NOD3)의 출력신호 레벨보다 상대적으로 높으므로 트랜지스터(MN15)는 노드(NOD5)의 전압(VA)을 접지전원(VSS)레벨로 풀-다운한다. 따라서 트랜지스터(MN13)는 턴-오프되므로 노드(NOD4)의 전압(VAB)은 전원전압(VDD)을 유지한다. 따라서 래치(55)는 논리 '로우'를 갖는 출력신호(Q)와 논리 '하이'를 갖는 반전 출력신호(QB)를 래치한다.

그러나 제 2기준신호(/VREF)의 레벨이 데이터(DATA)의 신호 레벨보다 상대적으로 낮은 경우, 노드(NOD2)의 출력신호 레벨이 노드(NOD3)의 출력신호 레벨보다 상대적으로 낮으므로 트랜지스터(MN13)는 노드(NOD4)의 전압(VAB)을 접지전원(VSS)레벨로 풀-다운한다. 따라서 트랜지스터(MN15)는 턴-오프되므로 노드(NOD5)의 전압(VA)은 전원전압(VDD)을 유지한다. 따라서 래치(55)는 논리 '하이'를 갖는 출력신호(Q)와 논리 '로우'를 갖는 반전 출력신호(QB)를 래치한다.

그리고 제 1기준신호(VREF) 또는 제 2기준신호(/VREF)의 레벨과 데이터(DATA)의 신호 레벨이 동일한 경우, 래치(55)의 출력신호(Q)와 반전출력신호 (QB)는 동일한 논리값을 출력한다.

계속하여 구간 T2 및 구간 T4를 보면, 데이터(DATA)와 제 1기준신호(VREF)의 차이가 데이터(DATA)와 제 2기준신호(/VREF)의 차이보다 크므로, 트랜지스터들(MN5와 MN7)의 동작이 트랜지스터들(MN9와 MN11)의 동작보다 지배적이다.

예컨대 제 1기준신호(VREF)의 레벨이 데이터(DATA)의 레벨보다 상대적으로 높은 경우, 노드(NOD2)의 출력신호 레벨이 노드(NOD3)의 출력신호 레벨보다 상대적으로 높으므로 트랜지스터(MN15)는 노드(NOD5)의 전압(VA)을 접지전원(VSS)레벨로 풀-다운한다. 따라서 트랜지스터(MN13)는 턴-오프되므로 노드(NOD4)의 전압(VAB)은 전원전압(VDD)을 유지한다. 따라서 래치(55)는 논리 '로우'를 갖는 출력신호(Q)와 논리 '하이'를 갖는 반전 출력신호(QB)를 래치한다.

그러나 제 1기준신호(VREF)의 레벨이 데이터(DATA)의 신호 레벨보다 상대적으로 낮은 경우, 노드(NOD2)의 출력신호 레벨이 노드(NOD3)의 출력신호 레벨보다 상대적으로 낮으므로 트랜지스터(MN13)는 노드(NOD4)의 전압(VAB)을 접지전원(VSS)레벨로 풀-다운한다. 따라서 트랜지스터(MN15)는 턴-오프되므로 노드(NOD5)의 전압(VA)은 전원전압(VDD)을 유지한다. 따라서 래치(55)는 논리 '하이'를 갖는 출력신호(Q)와 논리 '로우'를 갖는 반전 출력신호(QB)를 래치한다.

그리고 제 1기준신호(VREF) 또는 제 2기준신호(/VREF)의 레벨과 데이터 (DATA)의 신호 레벨이 동일한 경우, 래치(55)의 출력신호(Q)와 반전출력신호 (QB)는 동일한 논리값을 출력한다.

또한, 데이터 리시버는 도 3의 제 1프리 엠프(30)의 출력신호들과 제 2프리 엠프(40)의 출력신호들을 각각 수신하는 두 개의 폴디드 전압 감지 증폭기(50)를 구비할 수 있다.

이 경우 제 1 폴디드 전압 감지 증폭기는 클락신호(CLK)의 제 1에지(예컨대 상승에지)에 응답하여 수신되는 데이터의 짝수번째 데이터를 검출하고, 제 2 폴디드 전압 감지 증폭기는 클락신호(CLK)의 제 2에지(예컨대 하강에지)에 응답하여 수신되는 데이터의 홀수번째 데이터를 검출할 수 있다.

본 발명의 실시예에 따른 데이터 리시버들(100, 200))은 데이터와 차동 기준신호들을 수신하여 데이터를 안정적으로 검출할 수 있으므로, 데이터 리시버들 (100, 200)은 하나의 데이터 라인을 이용하여 차동신호 방식으로 데이터를 검출하는 효과를 얻을 수 있으므로 데이터를 안정적으로 그리고 고속으로 검출할 수 있다.

예컨대 16개의 데이터를 동시에 고속으로 수신하는 경우, 차동신호 방식의 데이터 리시버는 32개의 신호 라인들이 필요했으나, 본 발명의 실시예에 따른 데이터 리시버는 두 개의 차동 기준 신호 라인들과 16개의 데이터 라인들을 이용하여 차동신호 방식의 데이터 리시버와 같은 효과를 얻을 수 있는 장점이 있다.

또한, 본 발명의 실시예에 따른 데이터 리시버의 소비전력은 감소하며, 데이터 리시버의 전체적인 레이아웃 면적이 감소한다. 그리고 본 발명의 데이터 리시버는 클락신호에 동기되어 동작하므로 고주파에서도 데이터를 고속으로 그리고 안정적으로 검출할 수 있다. 그리고 폴디드 전압 감지 증폭기로 입력되는 신호들의 레벨차이가 작은 경우 또는 공정, 전압 또는 온도가 변하는 경우에도 데이터를 정확하게 검출할 수 있다.

본 발명에 따른 데이터 리시버는 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

상술한 바와 같이 본 발명에 따른 데이터 리시버는 수신된 신호들의 레벨차이가 작은 경우, 공정, 전압 또는 온도가 변하는 경우 및 수신된 데이터에 잡음이 있는 경우에도 수신된 데이터를 정확하게 검출할 수 있다.

본 발명의 데이터 리시버는 클락신호에 동기되어 동작하므로 고주파 영역에서도 수신된 데이터를 고속으로 그리고 안정적으로 검출할 수 있으며, 데이터 리시버의 소비전력은 감소될 수 있다. 그리고 데이터 리시버의 구성 회로를 간단히 할 수 있으므로 데이터 리시버의 전체적인 레이아웃 면적이 감소한다.

(57) 청구의 범위

청구항 1.

차동기준 신호들과 입력 데이터를 비교하여 그 비교결과에 상응하는 제 1차동신호들을 출력하는 증폭회로; 및

클락신호에 동기되어 상기 제 1차동신호들의 차이를 증폭하여 상기 입력 데이터를 검출하는 폴디드 차동 전압 감지회로를 구비하는 것을 특징으로 하는 리시버.

청구항 2.

제 1항에 있어서, 상기 차동기준 신호들은 직류 또는 진동하는 것을 특징으로 하는 리시버.

청구항 3.

제 1항에 있어서, 상기 폴디드 차동 전압 감지회로는,

상기 클락신호에 동기되어 상기 제 1차동신호들의 차이를 감지하고 상기 차이에 상응하는 제 2차동신호들을 출력하는 감지회로;

상기 클락신호에 동기되어 제 1노드 및 제 2노드를 전원전압레벨로 프리차지하고 상기 제 2차동신호들의 차이를 증폭한 제 3차동신호들 각각을 상기 제 1노드 및 상기 제 2노드로 출력하는 증폭회로; 및

상기 제 1노드의 출력신호와 상기 제 2노드의 출력신호를 래치하는 래치회로를 구비하는 것을 특징으로 하는 리시버.

청구항 4.

제 1전송라인과 제 2전송라인을 통하여 각각 입력되는 차동기준 신호들과 제 3라인을 통하여 입력되는 데이터를 비교하는 그 비교결과에 상응하는 제 1차동신호들을 출력하는 차동 증폭회로; 및

클락신호에 동기되어 상기 제 1차동신호들의 차이를 증폭하여 상기 입력 데이터를 샘플링하는 폴디드 차동 전압 샘플러를 구비하는 것을 특징으로 하는 리시버.

청구항 5.

제 4항에 있어서, 상기 차동기준 신호들은 직류 또는 진동하는 것을 특징으로 하는 리시버.

청구항 6.

제 4항에 있어서, 상기폴디드 차동 전압 샘플러는,

상기 클락신호에 동기되어 상기 제 1차동신호들의 차이를 감지하고 상기 차이에 상응하는 제 2차동신호들을 출력하는 감지회로;

상기 클락신호에 동기되어 제 1노드 및 제 2노드를 전원전압레벨로 프리차지하고 상기 제 2차동신호들의 차이를 증폭한 제 3차동신호들 각각을 상기 제 1노드 및 상기 제 2노드로 출력하는 증폭회로; 및

상기 제 1노드의 출력신호와 상기 제 2노드의 출력신호를 래치하는 래치회로를 구비하는 것을 특징으로 하는 리시버.

청구항 7.

제 1기준신호와 입력 데이터를 비교하여 제 1차동신호들을 출력하는 제 1차동증폭기;

제 2기준신호와 상기 입력 데이터를 비교하여 제 2차동신호들을 출력하는 제 2차동 증폭기; 및

클락신호에 동기되어 상기 제 1차동신호들의 차이 또는 상기 제 2차동신호들의 차이를 증폭하여 상기 입력데이터를 검출하는 폴디드 차동 전압 감지 증폭기를 구비하며,

상기 제 1기준신호와 상기 제 2기준신호는 차동신호인 것을 특징으로 하는 리시버.

청구항 8.

제 7항에 있어서, 상기 제 1기준신호는 제 1전송라인을 통하여 상기 제 1차동증폭기의 제 1입력단으로 입력되고 상기 제 2기준신호는 제 2전송라인을 통하여 상기 제 2차동증폭기의 제 1입력단으로 입력되며,

상기 입력데이터는 제 3전송라인을 통하여 상기 제 1차동증폭기의 제 2입력단 및 상기 제 2차동증폭기의 제 2입력단으로 입력되는 것을 특징으로 하는 리시버.

청구항 9.

제 7항에 있어서, 상기 폴디드 차동 전압 감지증폭기는,

상기 클락신호에 동기되어 상기 제 1차동신호들의 차이 또는 상기 제 2차동신호들의 차이를 감지하고 상기 차이에 상응하는 제 3차동신호들을 출력하는 감지회로;

상기 클락신호에 동기되어 제 1노드 및 제 2노드를 전원전압레벨로 프리차지하고 상기 제 3차동신호들의 차이를 증폭한 제 4차동신호들 각각을 상기 제 1노드 및 상기 제 2노드로 출력하는 증폭회로; 및

상기 제 1노드의 출력신호와 상기 제 2노드의 출력신호를 래치하는 래치회로를 구비하는 것을 특징으로 하는 리시버.

청구항 10.

클락신호에 동기되어 차동기준 신호들과 입력 데이터를 비교하여 그 비교결과에 상응하는 제 1차동신호들을 출력하는 감지회로;

상기 클락신호에 동기되어 제 1노드 및 제 2노드를 전원전압레벨로 프리차지하고 상기 제 1차동신호들의 차이를 증폭한 제 2차동신호들 각각을 상기 제 1노드 및 상기 제 2노드로 출력하는 증폭회로; 및

상기 제 1노드의 출력신호와 상기 제 2노드의 출력신호를 래치하는 래치회로를 구비하는 것을 특징으로 하는 리시버.

청구항 11.

1전송라인과 제 2전송라인을 통하여 각각 입력되는 차동기준 신호들과 제 3라인을 통하여 입력되는 데이터를 클락신호에 동기되어 비교하는 그 비교결과에 상응하는 제 1차동신호들을 출력하는 감지회로;

상기 클락신호에 동기되어 제 1노드 및 제 2노드를 전원전압레벨로 프리차지하고 상기 제 1차동신호들의 차이를 증폭한 제 2차동신호들 각각을 상기 제 1노드 및 상기 제 2노드로 출력하는 프리차지회로; 및

상기 제 1노드의 출력신호와 상기 제 2노드의 출력신호를 래치하는 래치회로를 구비하는 것을 특징으로 하는 리시버.

청구항 12.

제 1노드;

제 2노드;

제 3노드;

제 4노드;

클락신호에 응답하여 제 1기준신호와 입력 데이터를 비교하여 제 1차동신호들을 상기 제 1노드 및 상기 제 2노드로 각각 출력하는 제 1감지회로;

제 2기준신호와 상기 입력 데이터를 비교하여 제 2차동신호들을 출력하는 제 2감지회로; 및

상기 클락신호에 동기되어 상기 제 3노드 및 상기 제 4노드를 전원전압 레벨로 프리차지하고 상기 제 1차동신호들의 차이를 차이를 증폭한 제 3차동신호들을 상기 제 3노드 및 상기 제 4노드로 각각 출력하거나, 상기 제 2차동신호들의 차이를 증폭한 제 4차동신호들을 상기 제 3노드 및 상기 제 4노드로 각각 출력하는 증폭회로; 및

상기 제 3차동신호들 또는 제 4차동신호들을 래치하는 래치회로를 구비하며, 상기 제 1기준신호와 상기 제 2기준신호는 차동신호인 것을 특징으로 하는 리시버.

청구항 13.

차동기준 신호들과 입력 데이터를 비교하여 그 비교결과에 상응하는 제 1차동신호들을 출력하는 단계; 및

클락신호에 동기되어 상기 제 1차동신호들의 차이를 증폭하여 상기 입력 데이터를 검출하는 단계를 구비하는 것을 특징으로 하는 데이터 수신방법.

청구항 14.

제 13항에 있어서, 상기 검출단계는,

상기 클락신호에 동기되어 상기 제 1차동신호들의 차이를 감지하고 상기 차이에 상응하는 제 2차동신호들을 출력하는 단계;

상기 클락신호에 동기되어 제 1노드 및 제 2노드를 전원전압레벨로 프리차지하고 상기 제 2차동신호들의 차이를 증폭한 제 3차동신호들 각각을 상기 제 1노드 및 상기 제 2노드로 출력하는 단계; 및

상기 제 1노드의 출력신호와 상기 제 2노드의 출력신호를 래치하는 단계를 구비하는 것을 특징으로 하는 데이터 수신방법.

청구항 15.

제 1전송라인과 제 2전송라인을 통하여 각각 입력되는 차동기준 신호들과 제 3라인을 통하여 입력되는 데이터를 비교하는 그 비교결과에 상응하는 제 1차동신호들을 출력하는 단계; 및

클락신호에 동기되어 상기 제 1차동신호들의 차이를 증폭하여 상기 입력 데이터를 샘플링하는 단계를 구비하는 것을 특징으로 하는 데이터 수신방법.

청구항 16.

제 15항에 있어서, 상기 검출단계는,

상기 클락신호에 동기되어 상기 제 1차동신호들의 차이를 감지하고 상기 차이에 상응하는 제 2차동신호들을 출력하는 단계;

상기 클락신호에 동기되어 제 1노드 및 제 2노드를 전원전압레벨로 프리차지하고 상기 제 2차동신호들의 차이를 증폭한 제 3차동신호들 각각을 상기 제 1노드 및 상기 제 2노드로 출력하는 단계; 및

상기 제 1노드의 출력신호와 상기 제 2노드의 출력신호를 래치하는 단계를 구비하는 것을 특징으로 하는 데이터 수신방법.

청구항 17.

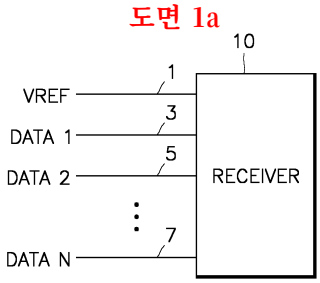
클락신호에 동기되어 차동기준 신호들과 입력 데이터를 비교하여 그 비교결과에 상응하는 제 1차동신호들을 출력하는 단계;

상기 클락신호에 동기되어 제 1노드 및 제 2노드를 전원전압레벨로 프리차지하고 상기 제 1차동신호들의 차이를 증폭한 제 2차동신호들 각각을 상기 제 1노드 및 상기 제 2노드로 출력하는 단계; 및

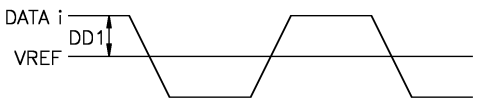
상기 제 1노드의 출력신호와 상기 제 2노드의 출력신호를 래치하는 단계를 구비하는 것을 특징으로 하는 데이터 수신방법.

도면

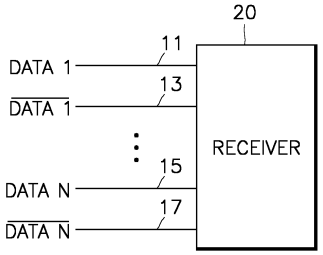
도면 1a



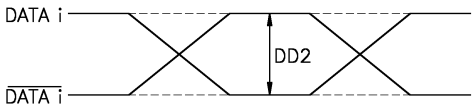
도면 1b



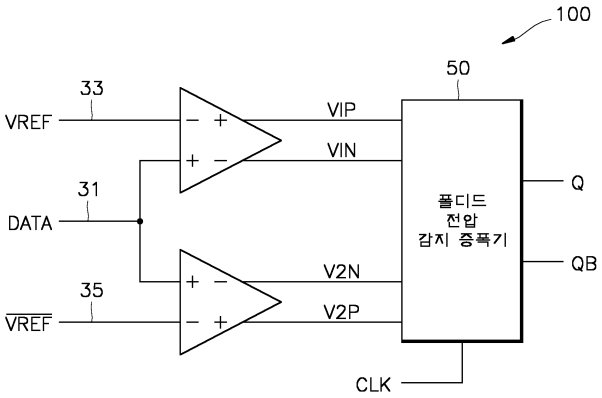
도면 2a



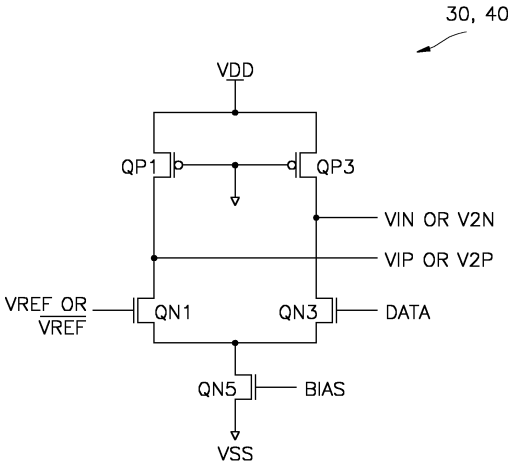
도면 2b



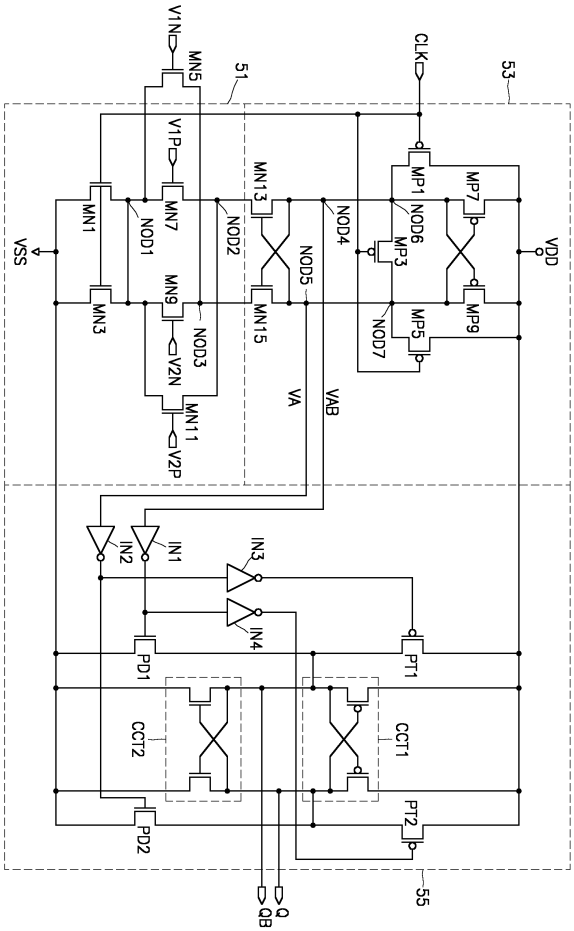
도면 3



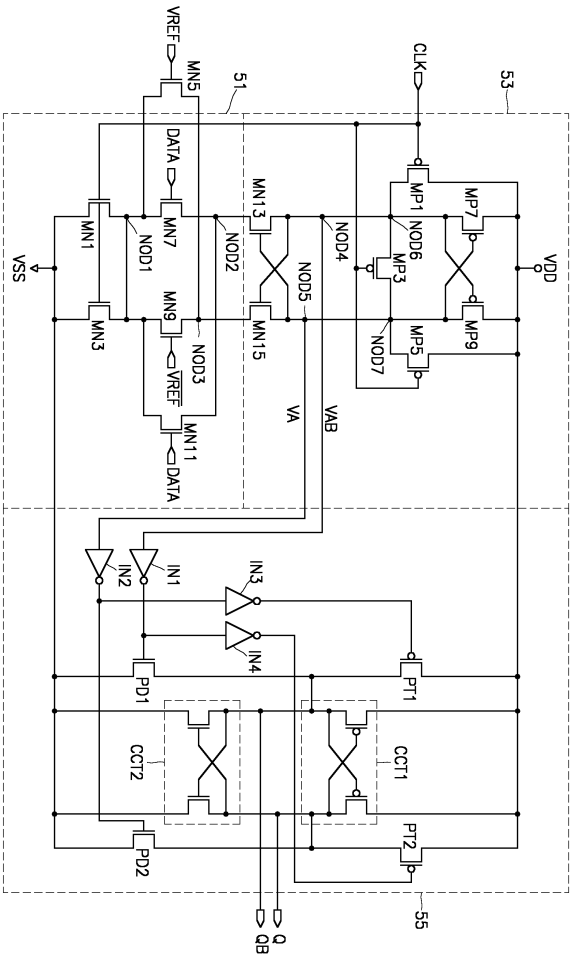
도면 4


30, 40
VDD
QP1
QP3
VIN OR V2N
VIP OR V2P
VREF OR
VREF
QN1
QN3
DATA
QN5
BIAS
VSS

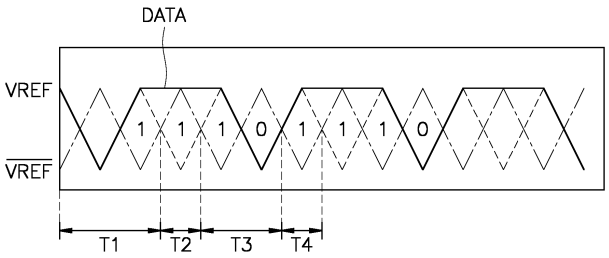
도면 5


V1N
MN5
51
CLK
53
V1P
MP1
MP7
MN13
MN1
MN7
NOD1
NOD2
NOD4
NOD6
MP3
VSS
VDD
NOD5
MN3
MN9
MN15
MP5
MP9
NOD7
NOD3
V2N
VA
VAB
MN11
V2P
IN1
IN2
IN3
IN4
PD1
PT1
CCT2
CCT1
PT2
PD2
55
Q
QB

도면 6


VREF
MN5
51
CLK
53
DATA
MP1
MP7
MN13
MN1
MN7
NOD1
NOD2
NOD4
NOD6
MP3
VSS
VDD
NOD5
MN3
MN9
MN15
MP5
MP9
NOD7
NOD3
VREF
VA
VAB
MN11
DATA
IN2
IN1
IN3
IN4
PD1
PT1
CCT2
CCT1
PT2
PD2
Q
QB
55

도면 7


DATA
VREF
VREF
1
1
1
0
1
1
1
0
T1
T2
T3
T4