

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6797568号
(P6797568)

(45) 発行日 令和2年12月9日 (2020.12.9)

(24) 登録日 令和2年11月20日 (2020.11.20)

(51) Int.Cl.	F I
HO 4 N 5/378 (2011.01)	HO 4 N 5/378
HO 4 N 5/353 (2011.01)	HO 4 N 5/353

請求項の数 12 (全 28 頁)

(21) 出願番号	特願2016-116559 (P2016-116559)	(73) 特許権者	000001007
(22) 出願日	平成28年6月10日 (2016.6.10)		キヤノン株式会社
(65) 公開番号	特開2017-220911 (P2017-220911A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成29年12月14日 (2017.12.14)	(74) 代理人	100126240
審査請求日	令和1年6月5日 (2019.6.5)		弁理士 阿部 琢磨
		(74) 代理人	100124442
			弁理士 黒岩 創吾
		(72) 発明者	武藤 隆
			東京都大田区下丸子3丁目30番2号キヤノン株式会社内
		(72) 発明者	大田 康晴
			東京都大田区下丸子3丁目30番2号キヤノン株式会社内
		審査官	鈴木 明

最終頁に続く

(54) 【発明の名称】 撮像装置、撮像システム

(57) 【特許請求の範囲】

【請求項 1】

光電変換部と、転送部と、信号保持部と、画素出力部とを各々が有し、複数列に渡って配された複数の画素と、

前記複数列のそれぞれに対応して配され、対応する前記画素から出力される信号を増幅した信号を生成する複数の列回路部とを有し、

前記光電変換部は、第1蓄積期間と、前記第1蓄積期間とは別の期間であって、前記第1蓄積期間よりも長い第2蓄積期間とのそれぞれにおいて信号を蓄積し、

前記画素出力部は、前記第1蓄積期間に対応する信号と、前記第2蓄積期間に対応する信号とをそれぞれ出力し、

前記複数の列回路部の各々は、対応する前記画素から出力された、前記第1蓄積期間に対応する信号と閾値との比較の結果を示す比較結果信号を生成し、

前記複数の列回路部の各々は、

前記比較結果信号が、前記第1蓄積期間に対応する信号が前記閾値よりも大きいことを示す場合には、前記第1蓄積期間に対応する信号を増幅する増幅率を第1の増幅率とし

、

前記比較結果信号が、前記第1蓄積期間に対応する信号が前記閾値よりも小さいことを示す場合には、前記第1蓄積期間に対応する信号を増幅する増幅率を前記第1の増幅率よりも大きい第2の増幅率とすることを特徴とする撮像装置。

【請求項 2】

前記複数の列回路の各々は、前記第 2 蓄積期間に対応する信号と所定の閾値との比較の結果を示す第 2 の比較結果信号をさらに生成し、

前記第 2 の比較結果信号が、前記第 2 蓄積期間に対応する信号が前記所定の閾値よりも大きいことを示す場合には、前記第 2 蓄積期間に対応する信号を増幅する増幅率を前記第 1 の増幅率とし、

前記第 2 の比較結果信号が、前記第 2 蓄積期間に対応する信号が前記所定の閾値よりも小さいことを示す場合には、前記第 2 蓄積期間に対応する信号を増幅する増幅率を前記第 2 の増幅率とすることを特徴とする請求項 1 に記載の撮像装置。

【請求項 3】

前記複数の列回路の各々は、前記第 1 蓄積期間に対応する信号と、前記第 2 蓄積期間に対応する信号をそれぞれデジタル信号に変換する A/D 変換部を有し、

前記第 1 の増幅率と前記第 2 の増幅率のそれぞれは、前記 A/D 変換部の A/D 変換ゲインであることを特徴とする請求項 1 または 2 に記載の撮像装置。

【請求項 4】

前記複数の列回路の各々は、前記第 1 蓄積期間に対応する信号と、前記第 2 蓄積期間に対応する信号をそれぞれ増幅する増幅回路を有し、

前記第 1 の増幅率と前記第 2 の増幅率のそれぞれは、前記増幅回路の増幅率であることを特徴とする請求項 1 または 2 に記載の撮像装置。

【請求項 5】

前記複数の列回路の各々は、前記第 2 蓄積期間に対応する信号と所定の閾値との比較の結果を示す第 2 の比較結果信号をさらに生成し、前記第 2 の比較結果信号が、前記第 2 蓄積期間に対応する信号が前記所定の閾値よりも大きいことを示す場合には、前記第 2 蓄積期間に対応する信号を増幅する増幅率を第 3 の増幅率とし、

前記第 2 の比較結果信号が、前記第 2 蓄積期間に対応する信号が前記所定の閾値よりも小さいことを示す場合には、前記第 2 蓄積期間に対応する信号を増幅する増幅率を前記第 3 の増幅率よりも大きい第 4 の増幅率とすることを特徴とする請求項 1 に記載の撮像装置。

【請求項 6】

光電変換部と、転送部と、信号保持部と、画素出力部とを各々が有し、複数の列に渡って配された複数の画素と、

前記複数の画素を制御する制御部と、

前記複数の列のそれぞれに対応して配され、対応する前記画素から出力される信号を増幅した信号を生成する複数の列回路部とを有し、

前記光電変換部は、第 1 蓄積期間と、前記第 1 蓄積期間とは別の期間であって、前記第 1 蓄積期間よりも長い第 2 蓄積期間とのそれぞれにおいて信号を蓄積し、

前記複数の画素の各々は、前記第 1 蓄積期間に対応する信号と、前記第 2 蓄積期間に対応する信号とをそれぞれ出力し、

前記複数の列回路部の各々は、対応する前記画素から出力された、前記第 1 蓄積期間に対応する信号に対し、値の異なる複数の増幅率で増幅することによって複数の信号を生成することを特徴とする撮像装置。

【請求項 7】

前記複数の列回路部の各々は、増幅回路を有し、

前記複数の列回路部の各々が備える前記増幅回路が、前記第 1 蓄積期間に対応する信号に対し、値の異なる複数の増幅率で増幅することによって前記複数の信号を生成することを特徴とする請求項 6 に記載の撮像装置。

【請求項 8】

前記複数の列回路部の各々が備える前記増幅回路が、さらに、前記第 2 蓄積期間に対応する信号に対し、値の異なる複数の増幅率で増幅することを特徴とする請求項 7 に記載の撮像装置。

【請求項 9】

10

20

30

40

50

前記複数の列回路部の各々は、対応する前記画素から出力された、前記第 1 蓄積期間に対応する信号と前記第 2 蓄積期間に対応する信号とをそれぞれ A D 変換する A D 変換部を有し、

前記 A D 変換部が、前記第 1 蓄積期間に対応する信号に対し、前記 A D 変換における A D 変換ゲインを異ならせて複数回、A D 変換することによって、値の異なる複数の増幅率で増幅することによって前記複数の信号を生成することを特徴とする請求項 6 に記載の撮像装置。

【請求項 10】

前記複数の列回路部の各々が備える前記 A D 変換部が、さらに、前記第 2 蓄積期間に対応する信号に対し、値の異なる複数の増幅率で増幅することを特徴とする請求項 9 に記載の撮像装置。

10

【請求項 11】

前記複数の画素を制御する制御部をさらに備え、

前記制御部は、前記転送部による前記光電変換部から前記信号保持部への信号の転送の開始と終了のそれぞれを、前記複数の画素で同時とすることを特徴とする請求項 1 ~ 10 のいずれか 1 項に記載の撮像装置。

【請求項 12】

請求項 1 ~ 11 のいずれか 1 項に記載の撮像装置と、

前記撮像装置が出力する信号を処理することによって画像を生成する信号処理部とを有することを特徴とする撮像システム。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、撮像装置、撮像システムに関する。

【背景技術】

【0002】

複数行および複数列に渡って配された複数の画素を備える撮像装置が知られている。

【0003】

複数行の画素で、同時に露光開始と露光終了を電子シャッターで制御するグローバル電子シャッターを行う撮像装置が提案されている。

30

【0004】

特許文献 1 に記載の撮像装置は、グローバル電子シャッターを行う撮像装置において、画素が、フォトダイオードと、複数の信号保持部とを備える画素を備える構成が記載されている。

【0005】

特許文献 1 の撮像装置によれば、複数の信号保持部の一方は、フォトダイオードが第 1 蓄積期間に渡って蓄積した信号を保持し、他方は、フォトダイオードが第 1 蓄積期間よりも長い第 2 蓄積期間に渡って蓄積した信号を保持する。この第 1 蓄積期間に渡って蓄積した信号に対応する画像信号と、第 2 蓄積期間に渡って蓄積した信号に対応する画像信号とを合成することにより、画像のダイナミックレンジを拡大することができるとされる。

40

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】国際公開 2011/096340 号

【発明の概要】

【発明が解決しようとする課題】

【0007】

特許文献 1 に記載の撮像装置では、グローバル電子シャッターの機能を備える撮像装置における、画素が出力する信号が入力される列回路部の増幅率について検討されておらず、

50

ダイナミックレンジの拡大の余地を残していた。

【課題を解決するための手段】

【0008】

本発明は上記の課題を鑑みて為されたものであり、その一の態様は、光電変換部と、転送部と、信号保持部と、画素出力部とを各々が有し、複数列に渡って配された複数の画素と、前記複数列のそれぞれに対応して配され、対応する前記画素から出力される信号を増幅した信号を生成する複数の列回路部とを有し、前記光電変換部は、第1蓄積期間と、前記第1蓄積期間とは別の期間であって、前記第1蓄積期間よりも長い第2蓄積期間とのそれぞれにおいて信号を蓄積し、前記画素出力部は、前記第1蓄積期間に対応する信号と、前記第2蓄積期間に対応する信号とをそれぞれ出力し、前記複数の列回路部の各々は、対応する前記画素から出力された、前記第1蓄積期間に対応する信号と閾値との比較の結果を示す比較結果信号を生成し、前記複数の列回路部の各々は、前記比較結果信号が、前記第1蓄積期間に対応する信号が前記閾値よりも大きいことを示す場合には、前記第1蓄積期間に対応する信号を増幅する増幅率を第1の増幅率とし、前記比較結果信号が、前記第1蓄積期間に対応する信号が前記閾値よりも小さいことを示す場合には、前記第1蓄積期間に対応する信号を増幅する増幅率を前記第1の増幅率よりも大きい第2の増幅率とすることを特徴とする撮像装置である。

10

【0009】

また、一の態様は、光電変換部と、転送部と、信号保持部と、画素出力部とを各々が有し、複数列に渡って配された複数の画素と、前記複数の画素を制御する制御部と、前記複数列のそれぞれに対応して配され、対応する前記画素から出力される信号を増幅した信号を生成する複数の列回路部とを有し、前記光電変換部は、第1蓄積期間と、前記第1蓄積期間とは別の期間であって、前記第1蓄積期間よりも長い第2蓄積期間とのそれぞれにおいて信号を蓄積し、前記複数の画素の各々は、前記第1蓄積期間に対応する信号と、前記第2蓄積期間に対応する信号とをそれぞれ出力し、前記複数の列回路部の各々は、対応する前記画素から出力された、前記第1蓄積期間に対応する信号に対し、値の異なる複数の増幅率で増幅することによって複数の信号を生成することを特徴とする撮像装置である。

20

【発明の効果】

【0010】

本発明は、画素が出力する信号が入力される列回路部の増幅率を検討したことにより、グローバル電子シャッタを備える撮像装置において、ダイナミックレンジを拡大可能な信号を出力することができる。

30

【図面の簡単な説明】

【0011】

【図1】撮像装置の構成を示した図

【図2】画素の構成を示した図

【図3】増幅部、比較部の構成を示した図

【図4】撮像装置の1フレームの動作を示した図

【図5】撮像装置の1行の画素に関わる動作の詳細を示した図

【図6】撮像装置が生成する信号のダイナミックレンジを示した図

40

【図7】撮像装置が生成する信号のダイナミックレンジを示した図

【図8】撮像システムが画像の生成に用いる信号を選択するフローを示したフローチャート

【図9】画素の構成を示した図

【図10】撮像装置の1フレームの動作を示した図

【図11】撮像装置の1行の画素に関わる動作の詳細を示した図

【図12】増幅部、比較部の構成を示した図

【図13】撮像装置の1行の画素に関わる動作の詳細を示した図

【図14】増幅部、比較部の構成を示した図

【図15】撮像装置の1行の画素に関わる動作の詳細を示した図

50

【図 1 6】増幅部、比較部の構成を示した図
【図 1 7】撮像装置の 1 行の画素に関わる動作の詳細を示した図
【図 1 8】増幅部、比較部の構成を示した図
【図 1 9】撮像装置の 1 行の画素に関わる動作の詳細を示した図
【図 2 0】増幅部、比較部の構成を示した図
【図 2 1】撮像装置の 1 行の画素に関わる動作の詳細を示した図
【図 2 2】撮像システムの構成を示した図
【発明を実施するための形態】
【0012】

(第 1 実施例)

10

図面を参照しながら本発明にかかる第 1 の実施例について説明する。

【0013】

(撮像装置の構成)

図 1 は本実施例に係る撮像装置 100 の構成を示すブロック図である。撮像装置 100 は、画素アレイ 10、垂直走査回路 20、読み出し部 30、メモリ部 40、カウンタ 45、水平走査回路 50、信号処理部 60、およびタイミング発生回路 70 を有する。

【0014】

画素アレイ 10 は、複数行および複数列に渡って配列された複数の画素 11 を含む。画素アレイ 10 のうちの同じ列に設けられた複数の画素 11 は、それぞれの出力ノードが共通の垂直信号線 $V - n$ に接続される。ここで、 n は整数であり、画素アレイ 10 の左から数えた列番号を表す。以降の説明において、画素アレイ 10 に配された画素 11 の列に対応して設けられた要素については同様の表記を行う。垂直走査回路 20 は、画素アレイ 10 に配された複数の画素 11 を順次、行単位で選択する。これにより、選択された行の画素 11 は、画素信号を対応する垂直信号線 $V - n$ に出力する。垂直走査回路 20 は、画素 11 からの画素信号の読み出しを制御する制御部である。制御部である垂直走査回路 20 は、後述する、画素 11 が備える転送部（転送トランジスタ）を制御する。読み出し部 30 は、増幅部 31、比較部 32、ランプ信号供給部 33 を有する。増幅部 31 は、各列に増幅部 31 - n を有し、それぞれ対応する垂直信号線 $V - n$ から与えられた画素信号を増幅する。ランプ信号供給部 33 は、時間の経過に伴って信号レベルが変化するランプ信号を出力する。比較部 32 は、各列に比較部 32 - n を有し、それぞれ対応する増幅部 31 - n の出力とランプ信号供給部 33 から出力されるランプ信号との比較結果を出力する。メモリ部 40 は、各列にメモリ 40 - n を有する。メモリ 40 - n は、それぞれ対応する比較部 32 - n の出力を受けて、カウンタ 45 から出力されるカウント信号を保持する。そのため、メモリ 40 - n に保持されるカウント信号は、画素信号の信号レベルに対応したデジタル信号に相当する。これにより、アナログ信号である画素信号が、デジタル信号に A/D 変換される。A/D 変換部は、比較部 32 - n 、メモリ部 40 - n を有する。水平走査回路 50 は、順次、各列のメモリ 40 - n を選択する。水平走査回路 50 によって選択されたメモリ 40 - n は、保持したカウント信号を信号処理部 60 へと伝送する。信号処理部 60 は、各列のメモリ 40 - n に基づいてデジタル信号処理を行う。なお、ここまでの画素アレイ 10、垂直走査回路 20、読み出し部 30、メモリ部 40、水平走査回路 50 の動作は、タイミング発生回路 70 によって制御される。

【0015】

撮像装置 100 は、それぞれが画素 11 の列に対応して配された列回路部 110 - n を有する。列回路部 110 - n は、増幅部 31 - n 、比較部 32 - n 、メモリ部 40 - n を有する。

【0016】

(画素の構成)

図 2 に本実施例に係る画素 11 の構成を示す。画素 11 は光電変換部 PD と、信号保持部 MEM1 および信号保持部 MEM2 と、排出トランジスタ M OF D と、転送トランジスタ M GS 1 および M GS 2 と、転送トランジスタ M TX 1、転送トランジスタ M TX 2 と

50

、リセットトランジスタMRES、増幅トランジスタMSFと、選択トランジスタMSELとを備える。増幅トランジスタMSFの入力ノードFDは、リセットトランジスタMRES、転送トランジスタMTX1、転送トランジスタMTX2と接続される。転送トランジスタMGS1、MGS2は、信号保持部MEM1、MEM2に光電変換部PDが生成した信号を転送する転送部である。

【0017】

光電変換部PDは、入射光を光電変換する。信号 OFDをHレベルとすると、排出トランジスタMOFDはオンとなり、光電変換部PDを電源電圧VDDに対応する電位にリセットする。信号 OFDをLレベルとすると、排出トランジスタMOFDはオフとなり、光電変換部PDにより光電変換された信号（電荷）を蓄積する。信号 GS1をHレベルとすると、転送トランジスタMGS1はオンとなり、光電変換部PDに蓄積された信号（電荷）を信号保持部MEM1へ転送する。信号保持部MEM1は、信号 GS1がLレベルとなった後も転送された信号を保持する。また、信号 GS2をHレベルとすると、転送トランジスタMGS2はオンとなり、光電変換部PDに蓄積された信号（電荷）を信号保持部MEM2へ転送する。信号保持部MEM1と同様に、信号保持部MEM2は、信号 GS2がLレベルとなった後も転送された信号を保持する。信号 TX1をHレベルとすると、転送トランジスタMTX1はオンとなり、信号保持部MEM1に保持された信号を入力ノードFDへと転送する。同様に、信号 TX2をHレベルとすると、転送トランジスタMTX2はオンとなり、信号保持部MEM2に保持された信号を入力ノードFDへ転送する。信号 SELがHレベルとすると、選択トランジスタMSELはオンとなる。垂直信号線V-nには不図示の電流源が接続されている。よって、選択トランジスタMSELがオンすることにより、増幅トランジスタMSFは、電流源から供給される電流と、電源電圧VDDとによって、ソースフォロワ動作を行う。つまり、電源電圧VDD、垂直信号線V-nに接続された電流源、増幅トランジスタMSFによって、ソースフォロワ回路が形成される。よって、増幅トランジスタMSFはフローティングディフュージョンFDの電圧に基づく信号を、選択トランジスタMSELを介して、垂直信号線V-nに出力する。信号 RESをHレベルとすると、リセットトランジスタMRESはオンとなり、フローティングディフュージョンFDの電位を電源電圧VDDに対応する電位にリセットする。

【0018】

（増幅部、比較部の構成）

図3に本実施例に係る増幅部31-n、比較部32-nの構成を示す。

【0019】

増幅部31-nは反転増幅回路AMP1と、反転増幅回路AMP2と、容量素子CIN1と、容量素子CIN2と、容量素子CFB1と、容量素子CFB2と、スイッチSW1、スイッチSW2と、を含む。

【0020】

容量素子CIN1は反転増幅回路AMP1の入力容量素子である。また、容量素子CFB1は、反転増幅回路AMP1のフィードバック容量素子である。信号 SW1がHレベルのとき、スイッチSW1はオンとなり、反転増幅回路AMP1の入出力が短絡される。これにより、容量素子CIN1および容量素子CFB1の電荷がリセットされる。このとき、反転増幅回路AMP1はリセットレベルの信号を出力する。信号 SW1がLレベルのとき、スイッチSW1がオフとなり、反転増幅回路AMP1の入出力が容量素子CFB1のみを介して接続される。従って、垂直信号線V-nから入力された画素信号は、容量素子CIN1と容量素子CFB1との容量値の比で決まる増幅率で増幅され、反転増幅回路AMP1の信号Vamp1として出力される。信号Vamp1は画素信号を増幅したことで得られる、アナログ信号である。ここで、容量素子CIN1および容量素子CFB1の容量値はともに同じCである。したがって、画素信号は1倍の増幅率で増幅されて出力される。

【0021】

一方、容量素子 C_{IN2} は反転増幅回路 $AMP2$ の入力容量素子である。また、容量素子 C_{FB2} は、反転増幅回路 $AMP2$ のフィードバック容量素子である。信号 $SW2$ が H レベルのとき、スイッチ $SW2$ はオンとなり、反転増幅回路 $AMP2$ の入出力が短絡される。これにより、容量素子 C_{IN2} および容量素子 C_{FB2} の電荷がリセットされる。このとき、反転増幅回路 $AMP2$ はリセットレベルの信号を出力する。信号 $SW2$ が L レベルのとき、スイッチ $SW2$ がオフとなり、反転増幅回路 $AMP2$ の入出力が容量素子 C_{FB2} のみを介してのみ接続される。従って、反転増幅回路 $AMP2$ の出力信号 V_{amp2} として、垂直信号線 $V-n$ から入力された画素信号は、容量素子 C_{IN2} と容量素子 C_{FB2} との容量値の比で決まる増幅率で増幅される。ここで、容量素子 C_{IN2} および容量素子 C_{FB2} の容量値はそれぞれ $4C$ と C である。したがって、画素信号は4倍の増幅率で増幅されて出力される。

10

【0022】

このように、増幅部 $31-n$ は、増幅率が1倍の反転増幅器 $AMP1$ と、増幅率が4倍の反転増幅器 $AMP2$ とを備える。

【0023】

比較部 $32-n$ は、比較回路 $CMP1$ および比較回路 $CMP2$ を含む。比較回路 $CMP1$ は、反転増幅回路 $AMP1$ の出力信号 V_{amp1} と、ランプ信号供給部 33 から出力されるランプ信号 V_{r1} とを比較する。比較回路 $CMP1$ は、この比較の結果を示す出力信号 V_{cmp1} を出力する。出力信号 V_{cmp1} は、 $V_{amp1} > V_{r1}$ のとき L レベルであり、 $V_{amp1} < V_{r1}$ のとき H レベルである。同様に、比較回路 $CMP2$ は、反転増幅回路 $AMP2$ の出力信号 V_{amp2} と、ランプ信号供給部 33 から出力されるランプ信号 V_{r1} とを比較する。比較回路 $CMP2$ は、この比較の結果を示す出力信号 V_{cmp2} を出力する。信号 V_{cmp2} は、 $V_{amp2} > V_{r1}$ のとき L レベルであり、 $V_{amp2} < V_{r1}$ のとき H レベルである。

20

【0024】

(撮像装置の動作)

図4に本実施例に係る1フレームの動作タイミング図を示す。

【0025】

時刻 t_0 において、垂直走査回路 20 は信号 OFD を H レベルとする。これにより、光電変換部 PD がリセットされる。

30

【0026】

時刻 t_1 において、垂直走査回路 20 は信号 OFD を L レベルとする。これにより、全ての画素 11 の光電変換部 PD が、信号の蓄積を同時に開始する(電子シャッタ動作)。

【0027】

時刻 t_2 から時刻 t_3 において、垂直走査回路 20 は信号 $GS1$ を H レベルとする。これにより、全ての画素 11 において、光電変換部 PD が蓄積した信号が信号保持部 $MEM1$ に同時に転送される(グローバル転送動作)。時刻 t_1 から時刻 t_3 における蓄積を、第1蓄積期間 T_{expa} と呼ぶ。

【0028】

40

続いて、時刻 t_4 において垂直走査回路 20 が垂直走査を開始する。これにより、各行の画素 11 から、第1蓄積期間 T_{expa} に対応する画素信号が垂直信号線 $V-n$ に出力される。

【0029】

行ごとの読み出し動作と並行して、時刻 t_5 に、垂直走査回路 20 は、信号 OFD を H レベルとし、光電変換部 PD をリセットする。そして、時刻 t_6 に、垂直走査回路 20 は、信号 OFD を L レベルとする。これにより、全ての画素 11 の光電変換部 PD は再度信号の蓄積を開始する(電子シャッタ動作)。

【0030】

時刻 t_8 から時刻 t_9 において、垂直走査回路 20 は、信号 $GS2$ を H レベルとする

50

。これにより、全ての画素 11 において、光電変換部 P D で蓄積した信号が信号保持部 M E M 2 に同時に転送される（グローバル転送動作）。時刻 t 6 から時刻 t 9 における蓄積を第 2 蓄積期間 T e x p b と呼ぶ。この第 2 蓄積期間 T e x p b は、第 1 蓄積期間 T e x p a よりも長い期間である。また、第 1 蓄積期間 T e x p a と第 2 蓄積期間 T e x p b は、期間が全く重複しない関係となっている。本実施例では、第 2 蓄積期間 T e x p b の長さを、第 1 蓄積期間 T e x p a の長さの 1 0 0 0 倍としている。

【 0 0 3 1 】

時刻 t 1 0 に、垂直走査回路 2 0 は、先の時刻 t 4 から時刻 t 7 までの期間に行った垂直走査とおなじように、垂直走査を行う。これにより、各行の画素 11 から、第 2 蓄積期間 T e x p b に対応する画素信号が垂直信号線 V - n に出力される。

10

【 0 0 3 2 】

続いて、1 行の画素 11 から画素信号を読み出す読み出し動作について説明する。

【 0 0 3 3 】

図 5 (a) および図 5 (b) は、1 行の画素 11 の動作を示したタイミング図である。図 5 (a) は時刻 t 4 から t 7 の期間における動作を示している。また、図 5 (b) は時刻 t 1 0 から t 1 1 の期間における動作を示している。

【 0 0 3 4 】

まず、時刻 t 4 から時刻 t 7 の期間について説明する。垂直走査回路 2 0 は、信号 S E L を H レベルにする。これにより、選択トランジスタ M S E L がオンする。また、垂直走査回路 2 0 は、信号 R E S を H レベルとする。これにより、入力ノード F D の電位がリセットされる。そして、垂直走査回路 2 0 は、信号 R E S を L レベルとする。これにより、入力ノード F D のリセットが解除される。増幅トランジスタ M S F は、リセットが解除された入力ノード F D の電位に対応する画素ノイズ信号（P N 信号）を、選択トランジスタ M S E L を介して、垂直信号線 V - n に出力する。

20

【 0 0 3 5 】

また、タイミング発生回路 7 0 は、信号 S W 1 および信号 S W 2 を、信号 R E S が H レベルの間、H レベルとする。これにより、容量素子 C I N 1、容量素子 C F B 1、容量素子 C I N 2、容量素子 C F B 2 の電荷がリセットされる。信号 R E S が L レベルとなり、垂直信号線 V - n に出力された P N 信号が静定した後、タイミング発生回路 7 0 は、信号 S W 1 および S W 2 を L レベルとする。これにより、容量素子 C I N 1、容量素子 C F B 1、容量素子 C I N 2、容量素子 C F B 2 のリセットが終了する。また、容量素子 C I N 1、容量素子 C I N 2 のそれぞれは、垂直信号線 V - n に出力されていた P N 信号をクランプする。

30

【 0 0 3 6 】

この時に反転増幅回路 A M P 1 が出力する信号 V a m p 1 は、反転増幅回路 A M P 1 のノイズレベルの信号（V o f f 1 信号）である。また、反転増幅回路 A M P 2 が出力する信号 V a m p 2 は、反転増幅回路 A M P 2 のノイズレベルの信号（V o f f 2 信号）である。

【 0 0 3 7 】

ランプ信号供給部 3 3 は、ランプ信号 V r の、時間の経過に伴った電位の変化を開始する。1 回目の A D 変換（以降、A D - N a 1 変換とする）を行う。A D - N a 1 変換に、信号 V a m p 1（V o f f 1 信号）とランプ信号 V r 1 との比較回路 C M P 1 による比較と、信号 V a m p 2（V o f f 2 信号）とランプ信号 V r 1 との比較回路 C M P 2 による比較がそれぞれ行われる。比較回路 C M P 1 が出力する信号 V c m p 1 の信号レベルは、信号 V a m p 1 とランプ信号 V r 1 との大小関係が変化するタイミングに、L レベルから H レベルへと変化する。メモリ 4 0 - n は、信号 V c m p 1 の信号レベルの変化に対応するタイミングに、カウンタ 4 5 のカウント値をデジタル信号 N a 1 として保持する。また、比較回路 C M P 2 が出力する信号 V c m p 2 の信号レベルは、信号 V a m p 2 とランプ信号 V r 1 との大小関係が変化するタイミングに、L レベルから H レベルへと変化する。メモリ 4 0 - n は、信号 V c m p 2 の信号レベルの変化に対応するタイミングに、カウン

40

50

タ 4 5 のカウント値をデジタル信号 $N a 2$ として保持する。このように、メモリ 4 0 - n はデジタル信号 $N a 1$ とデジタル信号 $N a 2$ を保持する。デジタル信号 $N a 1$ は、反転増幅回路 $A M P 1$ の $V o f f 1$ 信号に対応するデジタル信号である。また、デジタル信号 $N a 2$ は、反転増幅回路 $A M P 2$ の $V o f f 2$ 信号に対応するデジタル信号である。

【 0 0 3 8 】

$A D - N a 1$ 変換が終了した後、垂直走査回路 2 0 は、信号 $T X 1$ を H レベルとした後、L レベルとする。これにより信号保持部 $M E M 1$ に保持された信号がフローティングディフュージョン $F D$ へ転送される。これによって、第 1 蓄積期間 $T e x p a$ に対応する画素信号 ($S 1 + P N$ 信号) が、増幅トランジスタ $M S F$ から垂直信号線 $V - n$ に出力される。これにより、垂直信号線 $V - n$ の電位は、 $P N$ 信号と $S 1 + P N$ 信号の差である $V a$ 分、変動する。

10

【 0 0 3 9 】

$S 1 + P N$ 信号は、画素ノイズ信号である $P N$ 信号を含む信号である。容量素子 $C I N 1$ 、容量素子 $C I N 2$ のそれぞれは、 $P N$ 信号をクランプしている。よって、反転増幅器 $A M P 1$ 、反転増幅器 $A M P 2$ のそれぞれには、 $S 1 + P N$ 信号から $P N$ 信号を差し引いた、 $S 1$ 信号が入力される。

【 0 0 4 0 】

反転増幅回路 $A M P 1$ は、 $S 1$ 信号を 1 倍の増幅率で増幅した信号を信号 $V a m p 1$ として出力する。この信号 $V a m p 1$ には、 $V o f f 1$ 信号が含まれる。ここでは $S 1 + V o f f 1$ 信号と表記する。反転増幅回路 $A M P 2$ は、 $S 1$ 信号を 4 倍の増幅率で増幅した信号を信号 $V a m p 2$ として出力する。この出力する信号には $V o f f 2$ 信号が含まれる。ここでは、 $4 S 1 + V o f f 2$ 信号と表記する。

20

【 0 0 4 1 】

信号 $V a m p 1$ の電位変化は、 $V o f f 1$ 信号から $S 1 + V o f f 1$ 信号の変化であるので、図 5 (a) に示すように、 $V a$ となる。また、信号 $V a m p 2$ の電位変化は、 $V o f f 2$ 信号から $4 S 1 + V o f f 2$ 信号の変化であるので、図 5 (a) に示すように、 $4 \times V a$ となる。

【 0 0 4 2 】

ランプ信号供給部 3 3 は、ランプ信号 $V r$ の、時間の経過に伴った電位の変化を再び開始する。 $A D$ 変換部は、2 回目の $A D$ 変換 (以降、 $A D - S a 1$ 変換とする) を行う。 $A D - S a 1$ 変換に、信号 $V a m p 1$ ($S 1 + V o f f 1$ 信号) とランプ信号 $V r 1$ との比較回路 $C M P 1$ による比較と、信号 $V a m p 2$ ($4 S 1 + V o f f 2$ 信号) とランプ信号 $V r 1$ との比較回路 $C M P 2$ による比較とがそれぞれ行われる。比較回路 $C M P 1$ が出力する信号 $V c m p 1$ の信号レベルは、信号 $V a m p 1$ とランプ信号 $V r 1$ との大小関係が変化するタイミングに、L レベルから H レベルへと変化する。メモリ 4 0 - n は、信号 $V c m p 1$ の信号レベルの変化に対応するタイミングに、カウンタ 4 5 のカウント値をデジタル信号 $S a 1$ として保持する。また、比較回路 $C M P 2$ が出力する信号 $V c m p 2$ の信号レベルは、信号 $V a m p 2$ とランプ信号 $V r 1$ との大小関係が変化するタイミングに、L レベルから H レベルへと変化する。メモリ 4 0 - n は、信号 $V c m p 2$ の信号レベルの変化に対応するタイミングに、カウンタ 4 5 のカウント値をデジタル信号 $S a 2$ として保持する。このように、メモリ 4 0 - n はデジタル信号 $S a 1$ とデジタル信号 $S a 2$ を保持する。デジタル信号 $S a 1$ は、反転増幅回路 $A M P 1$ が出力する $S 1 + V o f f 1$ 信号に対応するデジタル信号である。また、デジタル信号 $S a 2$ は、反転増幅回路 $A M P 2$ が出力する $4 S 1 + V o f f 2$ 信号に対応するデジタル信号である。

30

40

【 0 0 4 3 】

$A D - S a 1$ 変換が終了すると、水平走査回路 5 0 は、各列のメモリ 4 0 - n を水平走査する。これにより、各列のメモリ 4 0 - n から、デジタル信号 $N a 1$ 、 $N a 2$ 、 $S a 1$ 、 $S a 2$ のそれぞれが信号処理部 6 0 に出力される。信号処理部 6 0 は、信号 $V a$ に対応するデジタル信号 $D a 1 = S a 1 - N a 1$ と、信号 $4 \times V a$ に対応するデジタル信号 $D a 2 = S a 2 - N a 2$ とを得る。このデジタル信号 $D a 1$ とデジタル信号 $D a 2$ のそれ

50

それを撮像装置の外部へと出力する。

【 0 0 4 4 】

次に、時刻 t_{10} から t_{11} の期間について説明する。まず、図 5 (b) に示した $AD - Nb1$ 変換の動作は、図 5 (a) の $AD - Na1$ 変換の動作と同じである。この $AD - Nb1$ 変換により、メモリ 40 - n はデジタル信号 $Nb1$ とデジタル信号 $Nb2$ を保持する。デジタル信号 $Nb1$ は、 $Voff1$ 信号に対応するデジタル信号である。また、デジタル信号 $Nb2$ は、 $Voff2$ 信号に対応するデジタル信号である。

【 0 0 4 5 】

$AD - Nb1$ 変換が終了した後、垂直走査回路 20 は、信号 $TX2$ を H レベルとした後、L レベルとする。これにより信号保持部 MEM2 に保持された信号がフローティング
10
ディフュージョン FD へ転送される。これによって、第 2 蓄積期間 $Texpb$ に対応する画素信号 ($S2 + PN$ 信号) が、増幅トランジスタ MSF から垂直信号線 $V - n$ に出力される。これにより、垂直信号線 $V - n$ の電位は、PN 信号と $S2 + PN$ 信号の差である Vb 分、変動する。

【 0 0 4 6 】

$S2 + PN$ 信号は、画素ノイズ信号である PN 信号を含む信号である。容量素子 $CIN1$ 、容量素子 $CIN2$ のそれぞれは、PN 信号をクランプしている。よって、反転増幅器 AMP1、反転増幅器 AMP2 のそれぞれには、 $S2 + PN$ 信号から PN 信号を差し引いた、 $S2$ 信号が入力される。

【 0 0 4 7 】

反転増幅回路 AMP1 は、 $S2$ 信号を 1 倍の増幅率で増幅した信号を信号 $Vamp1$ として出力する。この信号 $Vamp1$ には、 $Voff1$ 信号が含まれる。ここでは $S2 + Voff1$ 信号と表記する。反転増幅回路 AMP2 は、 $S2$ 信号を 4 倍の増幅率で増幅した信号を信号 $Vamp2$ として出力する。この出力する信号には $Voff2$ 信号が含まれる。
20
ここでは、 $4S2 + Voff2$ 信号と表記する。

【 0 0 4 8 】

信号 $Vamp1$ の電位変化は、 $Voff1$ 信号から $S2 + Voff1$ 信号の変化であるので、図 5 (b) に示すように、 Vb となる。また、信号 $Vamp2$ の電位変化は、 $Voff2$ 信号から $4S2 + Voff2$ 信号の変化であるので、図 5 (b) に示すように、
30
 $4 \times Vb$ となる。

【 0 0 4 9 】

ランプ信号供給部 33 は、ランプ信号 Vr の、時間の経過に伴った電位の変化を再び開始する。AD 変換部は、4 回目の AD 変換 (以降、 $AD - Sb1$ 変換とする) を行う。 $AD - Sb1$ 変換に、信号 $Vamp1$ ($S2 + Voff1$ 信号) とランプ信号 $Vr1$ との比較回路 CMP1 による比較と、信号 $Vamp2$ ($4S2 + Voff2$ 信号) とランプ信号 $Vr1$ との比較回路 CMP2 による比較がそれぞれ行われる。比較回路 CMP1 が出力する信号 $Vcmp1$ の信号レベルは、信号 $Vamp1$ とランプ信号 $Vr1$ との大小関係が変化するタイミングに、L レベルから H レベルへと変化する。メモリ 40 - n は、信号 $Vcmp1$ の信号レベルの変化に対応するタイミングに、カウンタ 45 のカウント値をデジタル信号 $Sb1$ として保持する。また、比較回路 CMP2 が出力する信号 $Vcmp2$ の信号
40
レベルは、信号 $Vamp2$ とランプ信号 $Vr1$ との大小関係が変化するタイミングに、L レベルから H レベルへと変化する。メモリ 40 - n は、信号 $Vcmp2$ の信号レベルの変化に対応するタイミングに、カウンタ 45 のカウント値をデジタル信号 $Sb2$ として保持する。このように、メモリ 40 - n はデジタル信号 $Sb1$ とデジタル信号 $Sb2$ を保持する。デジタル信号 $Sb1$ は、反転増幅回路 AMP1 が出力する $S2 + Voff1$ 信号に対応するデジタル信号である。また、デジタル信号 $Sb2$ は、反転増幅回路 AMP2 が出力する $4S2 + Voff2$ 信号に対応するデジタル信号である。

【 0 0 5 0 】

$AD - Sb1$ 変換が終了すると、水平走査回路 50 は、各列のメモリ 40 - n を水平走査する。これにより、各列のメモリ 40 - n から、デジタル信号 $Nb1$ 、 $Nb2$ 、 $Sb1$
50

、S b 2のそれぞれが信号処理部60に出力される。信号処理部60は、信号 V bに対応するデジタル信号 $D b 1 = S b 1 - N b 1$ と、信号 $4 \times V a$ に対応するデジタル信号 $D b 2 = S b 2 - N b 2$ とを得る。このデジタル信号D a 1とデジタル信号D a 2のそれぞれを撮像装置の外部へと出力する。

【0051】

撮像装置100を含む撮像システム（後述する第8実施例に記載された撮像システム）では、以上のように求められたデジタル信号D a 1、D a 2、D b 1、D b 2に対して、蓄積時間比およびゲイン比を考慮したデジタルゲイン処理を行い、さらにはノイズリダクションなどの信号処理を用いて処理を行い、画像を生成する。

【0052】

（本実施例の効果）

本実施例の効果について説明する。

【0053】

図6は本実施例による効果の説明図である。図6（a）は、本実施例において第1蓄積期間T e x p aと第2蓄積期間T e x p bとの比が1：1000であるときのデジタル信号D a 1、D a 2、D b 1、D b 2のダイナミックレンジを示す。また、図6（b）は、同条件におけるデジタル信号D a 1、D a 2、D b 1、D b 2のノイズと入力光信号の比、すなわちN / Sを示す。図6（a）における縦軸は、光量のLogスケールを表している。縦軸に付した数値は、デジタル信号のダイナミックレンジを電子数に換算した値である。本明細書では、光量をこの電子数換算値で表現することとする。

【0054】

初めに、上述した動作により得られたデジタル信号D b 1、D b 2において、4倍の増幅率で処理されたデジタル信号D b 2に含まれるダークランダムノイズはデジタル信号D b 1に含まれるダークランダムノイズより小さくなる。そのため、デジタル信号D b 2のダイナミックレンジの下限は、デジタル信号D b 1のダイナミックレンジの下限よりも低くなる。以降の説明を分かりやすくするため、デジタル信号D b 1のダイナミックレンジを10eから10,000eとし、デジタル信号D b 2のダイナミックレンジの下限を5eとする。

【0055】

デジタル信号D b 2のダイナミックレンジの上限は、4倍の増幅率で処理を行うことにより、デジタル信号D b 1のダイナミックレンジ上限の1 / 4となる。従って、デジタル信号D b 2のダイナミックレンジ上限は2,500eとなる。

【0056】

続いて、デジタル信号D a 1のダイナミックレンジの下限は、第1蓄積期間T e x p aと第2蓄積期間T e x p bとの長さの比が1：1000であることから、 $10 \times 1,000 = 10,000e$ となる。デジタル信号D a 1のダイナミックレンジの上限も同じく、 $10,000e \times 1,000 = 10,000,000e$ である。デジタル信号D a 2についてもデジタル信号D a 1と同じく、ダイナミックレンジの下限は5,000eであり、ダイナミックレンジの上限は2,5000,000eである。

【0057】

このデジタル信号D a 1、D a 2、D b 1、D b 2を適宜用いて1つの画像を得るようにすることで、5e～10,000,000eのダイナミックレンジを得ることができる。

【0058】

画像の生成におけるデジタル信号の選択について、さらに説明する。ここで、さらに図6（b）に示すN / Sに着目する。図6（b）において、横軸は図6（a）の縦軸と同様の光量である。一方、縦軸は光量と、ダークランダムノイズと、ショットノイズとから求めたN / Sである。光量5e～2,500eの撮影シーンの場合では、N / Sはデジタル信号D b 1よりデジタル信号D b 2の方が小さい。よって、ダークランダムノイズを低減するために、光量2,500e以下の場合には、デジタル信号D b 1よりもデジタル信号

10

20

30

40

50

D b 2 を用いるのが好ましい。

【 0 0 5 9 】

光量 2 , 5 0 0 e ~ 1 0 , 0 0 0 e の撮影シーンでは、デジタル信号 D b 1 を用いた画像生成が好ましい。また、光量 1 0 , 0 0 0 e ~ 2 , 5 0 0 , 0 0 0 e の撮影シーンでは、デジタル信号 D a 2 を用いた画像生成が好ましい。また、光量 2 , 5 0 0 , 0 0 0 e ~ 1 0 , 0 0 0 , 0 0 0 e の撮影シーンでは、デジタル信号 D a 1 を用いた画像生成が好ましい。なお、デジタル信号 D a 2 を用いなくても光量 5 e ~ 1 0 , 0 0 0 , 0 0 0 e のダイナミックレンジを得ることができるが、デジタル信号 D a 2 を用いた場合、異なる蓄積時間で生成した信号間の急激なノイズ差を緩和する効果も得ることができる。

【 0 0 6 0 】

本実施形態では、さらに、第 1 蓄積期間 T e x p a 、第 2 蓄積期間 T e x p b の長さを調整することで、ダイナミックレンジを上限側にも拡大することができる。

【 0 0 6 1 】

図 7 に、第 1 蓄積期間 T e x p a と第 2 蓄積期間 T e x p b との比が 1 : 2 0 0 0 であるときのデジタル信号 D a 1 、D a 2 、D b 1 、D b 2 の入力ダイナミックレンジ (図 7 (a)) と、N / S (図 7 (b)) を示す。図 6 (a) では、デジタル信号 D a 2 のダイナミックレンジの下限側と、デジタル信号 D b 1 のダイナミックレンジの上限側とが、5 , 0 0 0 e ~ 1 0 , 0 0 0 e において重複していた。第 1 蓄積期間 T e x p a と第 2 蓄積期間 T e x p b との比を 1 : 2 0 0 0 とすると、デジタル信号 D a 1 とデジタル信号 D a 2 のダイナミックレンジの下限および上限はそれぞれ 2 倍される。その結果、図 7 (a) に示すように、デジタル信号 D a 2 の入力ダイナミックレンジの下限側とデジタル信号 D b 1 のダイナミックレンジの上限側との重複はなくなる。デジタル信号 D a 1 のダイナミックレンジは 2 0 , 0 0 0 e ~ 2 0 , 0 0 0 , 0 0 0 e となり、デジタル信号 D a 2 のダイナミックレンジは、1 0 , 0 0 0 e ~ 5 , 0 0 0 , 0 0 0 e となる。従って、第 1 蓄積期間 T e x p a と第 2 蓄積期間 T e x p b との比が 1 : 1 0 0 0 ~ 2 0 0 0 の間で第 1 蓄積期間 T e x p a 、第 2 蓄積期間 T e x p b の長さを調整することで、デジタル信号 D a 2 のダイナミックレンジの下限側とデジタル信号 D b 1 のダイナミックレンジの上限側との重複量を低減し、ダイナミックレンジをさらに上限側にも拡大することができる。

【 0 0 6 2 】

但し、上限側の入力ダイナミックレンジ拡大を行うと、図 7 (b) に示すように、1 0 , 0 0 0 e 近傍におけるデジタル信号 D a 2 の N / S は増大する。そのため、異なる蓄積時間で生成した信号間の急激なノイズ差を緩和する効果が小さくなる。よって、撮影シーンに応じて、異なる蓄積時間で生成した信号間の急激なノイズ差の緩和と、ダイナミックレンジの拡大とを最適化できるよう、第 1 蓄積期間 T e x p a 、T e x p b の長さを設定するとよい。

【 0 0 6 3 】

図 8 は、画像を得るのに用いるデジタル信号を選択する、撮像システム (後述する第 8 実施例の撮像システムに対応する) のシーケンスを示したフローチャートである。

【 0 0 6 4 】

ステップ S 0 2 で「 Y e s 」が選択されると、処理はステップ S 0 5 に進む。ステップ S 0 5 では、撮像システムは、デジタル信号 D a 1 、D a 2 、D b 1 、D b 2の中から、光量に応じて使用する信号を選択して 1 つの画像を得る。

【 0 0 6 5 】

一方、ステップ S 0 2 で「 N o 」が選択されると、処理はステップ S 0 3 に進む。

【 0 0 6 6 】

ステップ S 0 3 で「 上限 」が選択されると、処理はステップ S 0 6 に進む。ステップ S 0 6 では、撮像システムは、デジタル信号 D a 1 、D a 2 、D b 2の中から、光量に応じて使用する信号を選択して 1 つの画像を得る。

【 0 0 6 7 】

一方、ステップ S 0 3 で「 下限 」が選択されると、処理はステップ S 0 4 に進む。

【0068】

ステップS04で「Yes」が選択されると、処理はステップS07に進む。ステップS07では、撮像システムは、デジタル信号Da2、Db1、Db2の中から、光量に応じて使用する信号を選択して1つの画像を得る。

【0069】

ステップS04で「No」が選択されると、処理はステップS08に進む。ステップS08では、撮像システムは、少なくともデジタル信号Db2を使用して画像を生成する。

【0070】

以上のように、本実施例では、ダイナミックレンジの下限、上限をそれぞれ拡大することができる効果を有する。また、本実施例の撮像装置は、さらに、異なる蓄積時間で生成した信号間の急激なノイズ差を緩和する効果を得ることができる。

10

【0071】

なお、本実施例において増幅率や蓄積期間に具体的な数値を示しているが、本発明による効果はこの値に制限されるものではなく、適宜変更することができる。

【0072】

また、本実施例では、第1蓄積期間Texpaに対応する信号と、第2蓄積期間Texpbに対応する信号のそれぞれに対し、異なる増幅率を掛けていた。この例に限定されるものではなく、第1蓄積期間Texpaに対応する信号と、第2蓄積期間Texpbに対応する信号との一方に対し、異なる増幅率を掛けるようにすればよい。これにより、第1蓄積期間Texpaに対応する信号と、第2蓄積期間Texpbに対応する信号の一方を、異なる増幅率で増幅させることで複数の信号を得ることができる。この複数の信号を用いて画像を生成することによって、ダイナミックレンジを拡大することができる。

20

【0073】

なお、本実施例において、電子シャッタ動作とグローバル転送動作のそれぞれにおける同時性は、実用上問題のない程度であればよい。全てのユニットセル20を完全に同時に駆動すると、駆動するドライバーに大きな負荷がかかる。この負荷を軽減するように、電子シャッタ動作、グローバル転送動作のそれぞれにおいて、複数のユニットセル20の間で小さな時間差を設ける構成としてもよい。このような場合であっても、電子シャッタ動作とグローバル転送動作のそれぞれは、実質的に「同時」の関係の範疇にある。

【0074】

30

(第2実施例)

本発明にかかる第2の実施例について説明する。以下では、第1の実施例と異なる点を中心に説明する。

【0075】

本実施例は、第1の実施例に対して、画素の構成が異なる。図9に本実施例における画素の構成を示す。第1の実施例と異なる点は、第1の実施例の画素11が備えていた、信号保持部MEM2と、転送トランジスタMGS2と、転送トランジスタMTX2と、を本実施例の画素11は含まない点である。その他の画素11の構成、および、撮像装置が備える構成は、第1の実施例と同じである。

【0076】

40

図10に本実施例における1フレームの動作タイミング図を示す。本実施例は、光電変換部PDで蓄積された信号の転送を、転送トランジスタGS1を用いて行う。そのため、第2蓄積期間Texpbの終了もまた、第1蓄積期間Texpaの終了と同じように、信号GS1によって制御される。従って、信号GS1は、時刻t8から時刻t9の間もHレベルとし、信号保持部MEM1に第2蓄積期間Texpbに基づく信号を転送する。

【0077】

続いて、1行の読み出し動作について説明する。

【0078】

図11に1行の読み出し動作タイミング図を示す。図9(a)は、図10に示した時刻

50

t 4 から時刻 t 7 の期間における動作タイミング図である。図 9 (b) は、図 1 0 に示した時刻 t 1 0 から時刻 t 1 1 の期間における動作タイミング図である。本実施例では、時刻 t 1 0 から時刻 t 1 1 の期間においても、時刻 t 4 から時刻 t 7 の期間における動作と同様に、信号 T X 1 により転送トランジスタを制御することで、信号保持部 M E M 1 から第 2 蓄積期間 T e x p b に基づく画素信号を読み出している。

【 0 0 7 9 】

本実施例における構成においても、第 1 蓄積期間 T e x p a に対応する信号と、第 2 蓄積期間 T e x p b に対応する信号とのそれぞれを、増幅部 3 1 - n が複数の増幅率で増幅した信号を出力する。これにより、デジタル信号 D a 1、D a 2、D b 1、D b 2 を得ることができる。第 1 の実施例と同じ効果を得ることができる。

10

【 0 0 8 0 】

(第 3 実施例)

本発明にかかる第 3 の実施例について説明する。以下では、第 1 の実施例と異なる点を中心に説明する。

【 0 0 8 1 】

第 1 の実施例では、画素 1 1 から垂直信号線 V - n に出力された信号を増幅する動作を、読み出し部 3 0 の増幅部 3 1 が行っていた。本実施例では、画素 1 1 から垂直信号線 V - n に出力された信号を増幅する動作を、ランプ信号供給部 3 3、比較部 3 2、カウンタ 4 5、メモリ部 4 0 を備える A D 変換部が行う。

【 0 0 8 2 】

20

本実施例は、第 1 の実施例に対して、読み出し部 3 0 の構成が異なる。図 1 2 に本実施例に係る読み出し部 3 0 の各列に設けられた、増幅部 3 1 - n および比較部 3 2 - n の構成を示す。

【 0 0 8 3 】

増幅部 3 1 - n において、第 1 の実施例と異なる点は、反転増幅回路 A M P 2 と、容量素子 C I N 2、C F B 2 と、スイッチ S W 2 と、を含まない点である。増幅部 3 1 - n は、垂直信号線 V - n から入力された画素信号を 1 倍の増幅率で増幅した信号を、信号 V a m p 1 として出力する。また、比較部 3 2 - n において、第 1 の実施例と異なる点は、比較回路 C M P 1 と比較回路 C M P 2 の両方に信号 V a m p 1 が入力される。比較回路 C M P 1 は、ランプ信号 V r 1 と信号 V a m p 1 とを比較する。また、比較回路 C M P 2 は、

30

ランプ信号 V r 2 と信号 V a m p 1 とを比較する。

【 0 0 8 4 】

ランプ信号供給部 3 3 は、ランプ信号 V r 1 とランプ信号 V r 2 とを出力する。ランプ信号 V r 2 の時間の経過に伴う電位の変化量 (傾き) は、ランプ信号 V r 1 の時間の経過に伴う電位の変化量 (傾き) の 1 / 4 倍である。

【 0 0 8 5 】

図 1 3 に本実施例における 1 行の読み出し動作タイミング図を示す。図 1 3 (a) は、図 4 に示した時刻 t 4 から時刻 t 7 の期間における動作タイミング図である。また、図 1 3 (b) は、図 4 に示した時刻 t 1 0 から時刻 t 1 1 の期間における動作タイミング図である。ランプ信号 V r 2 は、A D - N a 1 変換、A D - S a 1 変換、A D - S b 1 変換、A D - S b 2 変換において、ランプ信号 V r 1 の 1 / 4 の傾きで変化する。これにより、本実施例では比較回路 C M P 2 の A D 変換ゲインを比較回路 C M P 1 の A D 変換ゲインの 4 倍としている。本実施例では、第 1 蓄積期間 T e x p a に対応する信号と、第 2 蓄積期間 T e x p b に対応する信号とのそれぞれに対し、A D 変換ゲインを異ならせて複数回、A D 変換する。これにより、第 1 蓄積期間 T e x p a に対応する信号と、第 2 蓄積期間 T e x p b に対応する信号とのそれぞれに対し、異なる増幅率で増幅した信号を得ることができる。本実施例においても、デジタル信号 D a 1、D a 2、D b 1、D b 2 を得ることができる。

40

【 0 0 8 6 】

よって、本実施例における構成においても、第 1 の実施例と同じ効果を得ることができ

50

る。

【0087】

(第4実施例)

続いて、本発明にかかる第4の実施例について説明する。以下では、第1の実施例と異なる点を中心に説明する。

【0088】

本実施例は、第1の実施例に対して、読み出し部30の構成が異なる。

【0089】

図14に本実施例に係る読み出し部30の各列の増幅部31-nおよび比較部32-nの構成を示す。

10

【0090】

増幅部31-nにおいて、第1の実施例と異なる点は、以下2点である。1点目は、反転増幅回路AMP2と、容量素子CIN2、容量素子CFB2と、スイッチSW2とを含まない点である。2点目は、増幅部31-nが、容量素子CIN3と、スイッチSW3とを含む点である。容量素子CIN3とスイッチSW3とは直列に接続される。直列接続された容量素子CIN3とスイッチSW3は、さらに、容量素子CIN1と並列に接続される。信号SW3をHレベルとすると、スイッチSW3がオンし、容量素子CIN3は、容量素子CIN1と共に、反転増幅回路AMP1の入力容量素子として機能する。また、信号SW1とSW3をともにHレベルとすると、スイッチSW1とSW3がオンとなる。これにより、容量素子CFB1、容量素子CIN1とともに容量素子CIN3の電荷

20

【0091】

信号SW3がLレベルの場合の増幅部32-nの増幅率は、容量素子CIN1と容量素子CFB1との容量値の比となる。一方、信号SW3がHレベルの場合の増幅部32-nの増幅率は、容量素子CIN1および容量素子CIN3の容量値の和と、容量素子CFB1との容量値の比となる。ここで、容量素子CIN1、容量素子CIN3、容量素子CFB1の容量値は、それぞれC、3C、Cであり、画素信号は信号SW3がLレベルのとき1倍、信号SW3がHレベルのとき4倍で増幅されて、信号Vamp1として出力される。

【0092】

30

比較部32-nは、比較回路CMP1を含む。第1の実施例と同様に、比較回路CMP1は、反転増幅回路AMP1の信号Vamp1と、ランプ信号供給部33から出力されるランプ信号Vr1とを比較する。

【0093】

図15に本実施例における1行の読み出し動作タイミング図を示す。図15(a)は、図4に示した時刻t4から時刻t7の期間における動作タイミング図である。また、図15(b)は、図4に示した時刻t10から時刻t11の期間における動作タイミング図である。

【0094】

図15(a)を用いて、時刻t4から時刻t7の期間における第3の実施例と異なる点を説明する。

40

【0095】

タイミング発生回路70は、信号SW1がHレベルの期間に、信号SW3をHレベルとする。これにより、容量素子CFB1、容量素子CIN1とともに容量素子CIN3の電荷がリセットされる。垂直走査回路20が、信号RES3をLレベルとして、垂直信号線V-nの電位が静定した後、タイミング発生回路70は、信号SW3を信号SW1とともにLレベルとする。これにより、増幅部31-nの増幅率は1倍となる。1倍の増幅率の状態において、第1の実施例と同様にして、AD-Na1変換とAD-Sa1変換が行われる。これにより、メモリ40-nは、デジタル信号Na1とSa1とを保持する。AD-Sa1変換が終了すると、デジタル信号Na1とSa1は、水平走査回路5

50

0 による水平走査によって、各列のメモリ 40 - n から信号処理部 60 へと伝送される。信号処理部 60 は、信号 V_a に相当するデジタル信号 $D a 1 = S a 1 - N a 1$ を演算し、撮像装置の外部へと出力する。

【0096】

続いて、AD - $S a 1$ 変換が終了した後、タイミング発生回路 70 は、信号 $SW 3$ を H レベルとする。これにより、増幅部 31 - n の増幅率が 4 倍となる。これにより、反転増幅回路 AMP 1 の信号 $V_{amp 1}$ は、リセットレベルに対して $4 \times V_a$ 変化した信号を出力する。信号 $V_{amp 1}$ が静定した後、ランプ信号供給部 33 は、ランプ信号 $V r 1$ の時間の経過に伴った電位の変化を開始する。これにより、AD 変換部は 3 回目の AD 変換（以降では、AD - $S a 2$ 変換と呼ぶ）を行う。AD - $S a 2$ 変換では、信号 $V_{amp 1}$ と、ランプ信号 $V r 1$ とが比較回路 CMP 1 によって比較される。AD - $S a 1$ 変換と同様に、メモリ 40 - n はデジタル信号 $S a 2$ を保持する。AD - $S a 2$ 変換が終了するとデジタル信号 $S a 2$ が、水平走査回路 50 による水平走査によって、各列のメモリ 40 - n から信号処理部 60 へと伝送される。信号処理部 60 は、信号 $4 \times V_a$ に相当するデジタル信号 $D a 2 = S a 2 - N a 1$ を演算し、撮像装置の外部へと出力する。

【0097】

また、図 15 (b) の動作は、AD 変換する信号が第 2 蓄積期間 $T_{exp b}$ に対応する信号となる点以外は、図 15 (a) の動作と同じである。信号処理部 60 は、信号 V_b に相当するデジタル信号 $D b 1 = S b 1 - N b 1$ と、信号 $4 \times V_b$ に相当するデジタル信号 $D b 2 = S b 2 - N b 1$ を演算し、撮像装置の外部へと出力する。

【0098】

以上の動作によって得られたデジタル信号 $D a 1$ 、 $D a 2$ 、 $D b 1$ 、 $D b 2$ を用いても、第 1 の実施例と同じ効果を得ることができる。

【0099】

（第 5 実施例）

本発明にかかる第 5 の実施例について説明する。以下では、第 3 の実施例と異なる点についてのみ説明する。第 3 の実施例では、傾きの異なる複数のランプ信号が、並行して比較部 32 - n に出力されていた。本実施例では、傾きの異なる複数のランプ信号が、シリアルに比較部 32 - n に出力される。

【0100】

本実施例は、第 3 の実施例に対して、比較部 32 - n の構成が異なる。図 16 に本実施例に係る読み出し部 30 の増幅部 31 - n および比較部 32 - n の構成を示す。

【0101】

比較部 32 - n において、第 3 の実施例と異なる点は、比較回路 CMP 2 を含まない点である。

【0102】

図 17 に本実施例における 1 行の読み出し動作タイミング図を示す。図 17 (a) は、図 4 に示した時刻 t_4 から t_7 の期間における動作タイミング図である。また、図 17 (b) は、図 4 に示した時刻 t_{10} から t_{11} の期間における動作タイミング図である。

【0103】

図 17 (a) を用いて、時刻 t_4 から時刻 t_7 の期間における動作を説明する。

【0104】

第 1 の実施例と同様に、AD - $N a 1$ 変換と AD - $S a 1$ 変換が行われる。これにより、信号 V_a に相当するデジタル信号 $D a 1 = S a 1 - N a 1$ が撮像装置の外部へと出力される。

【0105】

AD - $S a 1$ 変換が終わると、ランプ信号供給部 33 は、ランプ信号 $V r 1$ の時間の経過に伴った電位の変化を再び開始する。これにより、AD 変換部は、3 回目の AD 変換（以降では、AD - $S a 2$ 変換と呼ぶ）を行う。但し、AD - $S a 2$ 変換におけるランプ信号 $V r 1$ の傾きは AD - $N a 1$ 変換および AD - $S a 1$ 変換におけるランプ信号 $V r$ の傾

10

20

30

40

50

きの $1/4$ である。従って、 $AD-Sa2$ 変換では、ランプ信号 V_r の傾きにより 4 倍の増幅率が掛かった AD 変換が行われる。メモリ $40-n$ は、この $AD-Sa2$ 変換の AD 変換結果をデジタル信号 $Sa2$ として保持する。

【0106】

$AD-Sa2$ 変換の後、垂直走査回路 20 は、信号 RES を H レベルとする。これにより、選択行の入力ノード FD の電位が再びリセットされる。これに伴い、入力ノード FD のリセットに基づく信号 ($PN2$ 信号) が垂直信号線 $V-n$ として出力される。その後、ランプ信号供給部 33 は、ランプ信号 V_r の時間の経過に伴った電位の変化を開始する。これにより、 AD 変換部は、4 回目の AD 変換 (以降では、 $AD-Na2$ 変換と呼ぶ) を行う。メモリ $40-n$ は、 $AD-Na2$ 変換の AD 変換結果をデジタル信号 $Na2$ として保持する。 $AD-Na2$ 変換が終了すると、デジタル信号 $Sa2$ 、デジタル信号 $Na2$ が信号処理部 60 へと伝送される。信号処理部 60 は、信号 $4 \times Va$ に相当するデジタル信号 $Da2 = Sa2 - Na2$ を演算し撮像装置の外部に出力する。

10

【0107】

また、図 17 (b) の動作は、 AD 変換する信号が第 2 蓄積期間 $Texpb$ に対応する信号となる点以外は、図 17 (a) の動作と同じである。信号処理部 60 は、信号 Vb に相当するデジタル信号 $Db1 = Sb1 - Nb1$ と、信号 $4 \times Vb$ に相当するデジタル信号 $Db2 = Sb2 - Nb1$ とを得て、それぞれのデジタル信号 $Db1$ 、 $Db2$ を撮像装置の外部に出力する。

20

【0108】

以上の動作によって得られたデジタル信号 $Da1$ 、 $Da2$ 、 $Db1$ 、 $Db2$ を用いても、第 1 の実施例と同じ効果を得ることができる。

【0109】

なお、本実施例では、 AD 変換部は、 $AD-Na1$ 変換、 $AD-Sa1$ 変換、 $AD-Sa2$ 変換、 $AD-Na2$ 変換の順に行った。この場合、ランプ信号供給部 33 が、ランプ信号 V_r の傾きを変更する処理を $AD-Sa1$ 変換と $AD-Sa2$ 変換との間の 1 回のみとすることができる。

【0110】

一方、本実施例の AD 変換の順序の場合、 $AD-Sa2$ 変換と、 $AD-Na$ 変換との間に、入力ノード FD のリセットが行われる。このため、デジタル信号 $Na2$ と、デジタル信号 $Sa2$ とのノイズ成分の相関性が低下している。デジタル信号 $Na2$ とデジタル $Sa2$ とのノイズ成分の相関性を重視する場合には、 AD 変換の順序を、 $AD-Na1$ 変換、 $AD-Na2$ 変換、 $AD-Sa1$ 変換、 $AD-Sa2$ 変換の順とするのが好ましい。なお、この場合においても、 $AD-Na1$ 変換と $AD-Na2$ 変換との順序を入れ替えても良い。また、 $AD-Sa1$ 変換と、 $AD-Sa2$ 変換との順序を入れ替えても良い。

30

【0111】

(第 6 実施例)

本発明にかかる第 6 の実施例について説明する。以下では、第 4 の実施例と異なる点を中心に説明する。

【0112】

本実施例は、第 4 の実施例に対して、増幅部 $31-n$ の構成が異なる。本実施例は、増幅部 $31-n$ が出力する信号 $Vamp1$ と閾値とを比較し、比較の結果に基づいて増幅部 $31-n$ の増幅率を変更する点で、第 4 の実施例と異なる。

40

【0113】

図 18 に実施例に係る読み出し部 30 の各列の回路、すなわち増幅部 $31-n$ および比較部 $32-n$ の構成を示す。

【0114】

増幅部 $31-n$ において、第 4 の実施例と異なる点は以下 3 点である。1 点目は、判定回路 34 を含む点である。2 点目は、入力容量素子が容量素子 $CIN1$ のみで構成されている点である。3 点目は、増幅部 $31-n$ は、フィードバック容量素子として、容量素子

50

C F B 4 と、直列に接続された容量素子 C F B 3 とスイッチ S W 4 とを含む点である。

【 0 1 1 5 】

判定回路 3 4 は、反転増幅回路 A M P 1 の信号 V a m p 1 の信号レベルが、予め設定した閾値 V j d g より振幅が小さいか大きいかを判定する。そして判定回路 3 4 は、判定の結果を示す信号である比較結果信号 J D G を出力する。判定回路 3 4 は、信号 V a m p 1 が閾値 V j d g よりも振幅が小さいと判定した場合、比較結果信号 J D G を L レベルとする。一方、信号 V a m p 1 が閾値 V j d g よりも振幅が大きいと判定した場合、比較結果信号 J D G を H レベルとする。この比較結果信号 J D G は、増幅部 3 1 - n から出力され、メモリ 4 0 - n に保持されるとともに、増幅部 3 1 - n を構成するスイッチ S W 4 を信号 S W 4 とともに制御する。スイッチ S W 4 は、信号 S W 4 と比較結果信号 J D G とが共に L レベルのときオフとなり、信号 S W 4 と比較結果信号 J D G のいずれかが H レベルのときオンとなる。従って、増幅部 3 2 - n の増幅率は、信号 S W 4 と比較結果信号 J D G とが L レベルのとき、容量素子 C I N 1 と容量素子 C F B 3 との容量値の比で決まる。一方、信号 S W 4 と比較結果信号 J D G のいずれかが H レベルのとき、増幅部 3 2 - n の増幅率は、容量素子 C I N 1 の容量値と、容量素子 C F B 3 および容量素子 C F B 4 の和の容量値との比となる。ここで、容量素子 C I N 1、容量素子 C F B 3、容量素子 C F B 4 の容量値はそれぞれ C、C / 4、3 C / 4 であり、増幅部 3 2 - n の増幅率はスイッチ S W 4 がオフであるとき 4 倍、スイッチ S W 4 がオンであるとき 1 倍となる。

【 0 1 1 6 】

図 1 9 に本実施例における 1 行の読み出し動作タイミング図を示す。図 1 9 (a) は、図 4 に示した時刻 t 4 から時刻 t 7 の期間における動作タイミング図、図 1 9 (b) は、図 4 に示した時刻 t 1 0 から時刻 t 1 1 の期間における動作タイミング図である。

【 0 1 1 7 】

図 1 9 (a) に関して説明する。タイミング発生回路 7 0 は、信号 S W 1、信号 S W 4 を共に H レベルとする。これにより、容量素子 C I N 1、容量素子 C F B 3、容量素子 C F B 4 をリセットする。この動作と並行して、タイミング発生回路 7 0 は、不図示の信号により判定回路 3 4 をリセットする。これにより、判定回路 3 4 は、比較結果信号 J D G として L レベルを出力する。

【 0 1 1 8 】

垂直走査回路 2 0 が信号 R E S を L レベルとして、垂直信号線 V - n の電位が静定した後、タイミング発生回路 7 0 は、信号 S W 1、S W 4 を L レベルとする。これにより、増幅部 3 1 - n の増幅率は 4 倍となる。この状態で、A D 変換部は、A D - N a 1 変換を行い、デジタル信号 N a 1 を得る。

【 0 1 1 9 】

続いて、信号 T X 1 が H レベルとなり、信号 V a が、垂直出力線 V - n から増幅部 3 1 - n に入力される。信号 V a m p は 4 x V a の信号変化を開始する。このとき、信号 V a m p が、閾値 V j d g に達するか否かにより以降の動作は異なる。図 1 9 (a) には、一例として信号 V a m p が閾値 V j d g に達した場合を示している。

【 0 1 2 0 】

信号 V a m p 1 が、判定回路 3 4 の閾値 V j d g 以上に達すると、判定回路 3 4 は比較結果信号 J D G を H レベルに保持し出力する。そのため、スイッチ S W 4 はオンとなり、信号 V a m p 1 にはゲイン 1 倍で増幅された信号 V a が出力される。この状態で A D - S a 1 変換を行い、デジタル信号 S a 1 を得る。一方、信号 V a m p が、判定回路 3 4 の閾値 V j d g に達しない場合、判定回路 3 4 は比較結果信号 J D G を L レベルのまま保持する。そして、ゲイン 4 倍で増幅された信号 V a を出力する信号 V a m p 1 に対して A D - S a 1 変換を行い、デジタル信号 S a 1 を得る。A D - S a 1 変換が終了すると、メモリ 4 0 - n は、デジタル信号 N a 1 とデジタル信号 S a 1 と共に比較結果信号 J D G も保持する。デジタル信号 N a 1、S a 1 と、比較結果信号 J D G は、水平走査回路 5 0 による水平走査によって、各列のメモリ 4 0 - n から信号処理部 6 0 へ伝送される。信号処理部 6 0 は比較結果信号 J D G に基づいて、デジタル信号 N a 1 とデジタル信号 S a 1 を

演算処理する。比較結果信号 J D G が L レベルであるとき、信号処理部 6 0 は、信号 V a に相当するデジタル信号 $D a 1 = S a 1 - N a 1$ を出力する。一方、比較結果信号 J D G が H レベルであるとき、信号処理部 6 0 は、信号 $4 \times V a$ に相当するデジタル信号 $D a 1 = 4 \times (S a 1 - N a 1)$ を出力する。

【 0 1 2 1 】

また、図 1 9 (b) の動作は、A D 変換する信号が第 2 蓄積期間 $T e x p b$ に対応する信号となる点以外は、図 1 9 (a) の動作と同じである。比較結果信号 J D G が L レベルであるとき、信号処理部 6 0 は、信号 V b に相当するデジタル信号 $D b 1 = S b 1 - N b 1$ を出力する。一方、比較結果信号 J D G が H レベルであるとき、信号処理部 6 0 は、信号 $4 \times V b$ に相当するデジタル信号 $D b 1 = 4 \times (S b 1 - N b 1)$ を撮像装置の外部へと出力する。

【 0 1 2 2 】

以上の動作によって得られたデジタル信号 D a 1、D b 1 を用いても第 1 の実施例と同じ効果を得ることができる。

【 0 1 2 3 】

(第 7 実施例)

本発明にかかる第 7 の実施例について説明する。以下では、第 3 の実施例と異なる点についてのみ説明する。本実施例は、増幅部 3 1 - n が出力する信号 $V a m p 1$ と閾値とを比較し、比較の結果に基づいて比較部 3 2 - n に入力されるランプ信号を切り替える点で、第 3 の実施例と異なる。

【 0 1 2 4 】

本実施例は、第 3 の実施例に対して、比較部 3 2 - n が異なる。図 2 0 に実施例に係る読み出し部 3 0 の各列の回路、すなわち増幅部 3 1 - n および比較部 3 2 - n の構成を示す。

【 0 1 2 5 】

比較部 3 2 - n において、第 3 の実施例と異なる点は以下 3 点である。1 点目は、保持回路 3 5 を含む点である。2 点目は、比較部 3 2 - n が比較回路 C M P 2 を含まない点である。3 点目は、ランプ信号 $V r 1$ とランプ信号 $V r 2$ とがスイッチ S W 5 を介して比較回路 C M P 1 に入力されている点である。

【 0 1 2 6 】

保持回路 3 5 は、信号 L T が H レベルから L レベルへ切り替わったタイミングにおける比較回路 C M P 1 の出力信号 $V c m p 1$ を保持する。この保持された信号は、比較結果信号 J D G として出力されるが、その出力タイミングは信号 L T O により制御する。信号 L T O が L レベルの場合には、保持回路 3 5 は比較結果信号 J D G に L レベルを出力する。一方、信号 L T O が H レベルの場合には、保持回路 3 5 は比較結果信号 J D G に保持した信号レベルを出力する。この比較結果信号 J D G は、S W 5 を制御する。比較結果信号 J D G が L レベルのとき、ランプ信号 $V r 2$ が比較回路 C M P 1 に入力される。一方、比較結果信号 J D G が H レベルのとき、ランプ信号 $V r 1$ が比較回路 C M P 1 に入力される。

【 0 1 2 7 】

図 2 1 に本実施例における 1 行の読み出し動作タイミング図を示す。図 2 1 (a) は、図 4 に示した時刻 t 4 から t 7 の期間における動作タイミング図である。図 2 1 (b) は、図 4 に示した時刻 t 1 0 から t 1 1 の期間における動作タイミング図である。

【 0 1 2 8 】

図 2 1 (a) に関して説明する。信号 S E L が H レベルとなり行が選択されると同時に、信号 L T、L T O を L レベルとする。従って、比較回路 C M P 1 には、ランプ信号 $V r 2$ が入力される。この状態で、第 3 の実施例と同様に、A D 変換部は、A D - N a 1 変換を行う。従って、ランプ信号 $V r 2$ の傾きによって、ランプ信号 $V r 1$ を用いた A D 変換に対し 4 倍の A D 変換ゲインが掛けられたデジタル信号 N a 1 が得られる。A D - N a 1 変換が終わると、ランプ信号 $V r 2$ は閾値 $V j d g$ まで上昇する。

【0129】

その後、垂直走査回路20は、信号TXを一時的にHレベルとする。これに伴い、第1蓄積期間Texpaに基づく画素信号であるS1+PN信号が垂直信号線V-nに出力される。増幅部31-nは、S1+Voff1信号(信号Va)を出力する。

【0130】

信号Vamp1がS1+Voff1信号の電位に静定した後、タイミング発生回路70は、信号LTを一時的にHレベルとする。AD-Na1変換後においても、比較回路CMP1は信号Vamp1とランプ信号Vr2とを比較し続けるため、比較結果保持回路35には、信号Vampと閾値Vjdgとの比較結果が保持される。続いて、信号LTOをHレベルとする。以降の動作は、この信号Vampと閾値Vjdgとの比較結果に応じて、比較回路CMP1に入力されるランプ信号が選択される。

10

【0131】

タイミング発生回路70が、信号LTOをHレベルとする。この状態において、比較回路CMP1が、信号Vampが閾値Vjdgよりも振幅が大きいと判定した場合、比較結果信号JDGがHレベルとなる。よって、ランプ信号Vr1が比較回路CMP1に入力される。この状態で、AD-Sa1変換が行われる。これにより、ランプ信号Vr1の傾きにより、1倍のAD変換ゲインが掛けられたデジタル信号Sa1を得る。

【0132】

一方、比較回路CMP1が、信号Vampが閾値Vjdgよりも振幅が小さいと判定した場合、比較結果信号JDGがLレベルとなる。これにより、ランプ信号Vr2が比較回路CMP1に入力される。この状態で、AD-Sa1変換が行われる。これにより、ランプ信号Vr2の傾きにより、4倍のAD変換ゲインが掛けられたデジタル信号Sa1を得る。

20

【0133】

AD-Sa1変換が終了すると、メモリ40-nは、デジタル信号Na1とデジタル信号Sa1と共に比較結果信号JDGを保持する。デジタル信号Na1、Sa1と、比較結果信号JDGは、水平走査回路50により、各列のメモリ40-nから信号処理部60へ伝送される。信号処理部60は比較結果信号JDGに基づいて、デジタル信号Na1とデジタル信号Sa1を演算処理する。比較結果信号JDGがLレベルの場合、信号Vaに相当するデジタル信号Da1=Sa1-Na1を出力する。一方、比較結果信号JDGがHレベルの場合、信号処理部60は、信号4xVaに相当するデジタル信号Da1=4xSa1-Na1を出力する。

30

【0134】

また、図21(b)の動作は、AD変換する信号が第2蓄積期間Texpbに対応する信号となる点以外は、図21(a)の動作と同じである。比較結果信号JDGがLレベルの場合、信号処理部60は、信号Vbに相当するデジタル信号Db1=Sb1-Nb1を撮像装置の外部に出力する。一方、比較結果信号JDGがHレベルの場合、信号処理部60は、信号4xVbに相当するデジタル信号Db1=4xSb1-Nb1を撮像装置の外部に出力する。

【0135】

以上の動作によって得られたデジタル信号Da1、Db1を用いても、本実施例の撮像装置は、第1の実施例と同じ効果を得ることができる。

40

【0136】

なお、本実施例では、各列の比較回路CMP1が、閾値Vjdgと信号Vamp1とを比較した結果を示す比較結果信号JDGを生成していた。他の例として、1つの比較回路CMP1が生成した比較結果信号JDGを、複数の比較回路CMP1が共有するようにしても良い。好ましくは、隣接する比較回路CMP1が1つの比較結果信号JDGを共有するのが良い。これは、隣接する画素11は、画素信号の振幅が概ね近いレベルになる傾向にあるためである。

【0137】

50

(第8実施例)

本実施例は、上述した各実施例の撮像装置を有する撮像システムに関する。

【0138】

撮像システムとして、デジタルスチルカメラやデジタルカムコーダーや監視カメラなどがあげられる。図22に、撮像システムの例としてデジタルスチルカメラに撮像装置を適用した場合の模式図を示す。

【0139】

図22に例示した撮像システムは、レンズの保護のためのバリア1501、被写体の光学像を撮像装置1504に結像させるレンズ1502、レンズ1502を通過する光量を可変にするための絞り1503を有する。レンズ1502、絞り1503は撮像装置1504に光を集光する光学系である。また、図22に例示した撮像システムは撮像装置1504より出力される出力信号の処理を行う出力信号処理部1505を有する。出力信号処理部1505は必要に応じて各種の補正、圧縮を行って信号を出力する動作を行う。

【0140】

出力信号処理部1505は、第1～第7の実施例で撮像装置が出力するデジタル信号を用いて、画像を生成する動作を行う。ここで得られる画像は、第1～第7実施例の撮像装置が出力する信号を用いることによって、ダイナミックレンジを拡大したものとなる。

【0141】

図22に例示した撮像システムはさらに、画像データを一時的に記憶する為のバッファメモリ部1506、外部コンピュータ等と通信する為の外部インターフェース部1507を有する。さらに撮像システムは、撮像データの記録または読み出しを行う為の半導体メモリ等の着脱可能な記録媒体1509、記録媒体1509に記録または読み出しを行うための記録媒体制御インターフェース部1508を有する。さらに撮像システムは、各種演算とデジタルスチルカメラ全体を制御する全体制御演算部1510、撮像装置1504と出力信号処理部1505に各種タイミング信号を出力するタイミング供給部1511を有する。ここで、タイミング信号などは外部から入力されてもよく、撮像システムは少なくとも撮像装置1504と、撮像装置1504から出力された出力信号を処理する出力信号処理部1505とを有すればよい。

【0142】

出力信号処理部1505は、撮像装置1504が形成された第1の半導体基板とは別の第2の半導体基板に設けられている。この第1の半導体基板と第2の半導体基板とはそれぞれ別々のチップとしても良いし、積層して1つのチップとしても良い。

【0143】

以上のように、本実施例の撮像システムは、撮像装置1504を適用して撮像動作を行うことが可能である。

【0144】

なお、上記実施例は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。また、これまで述べた各実施例を種々組み合わせて実施することができる。

【符号の説明】

【0145】

- 10 画素アレイ
- 20 垂直走査回路
- 30 読み出し部
- 31 増幅部
- 32 比較部
- 33 ランプ信号供給部
- 40 メモリ部

10

20

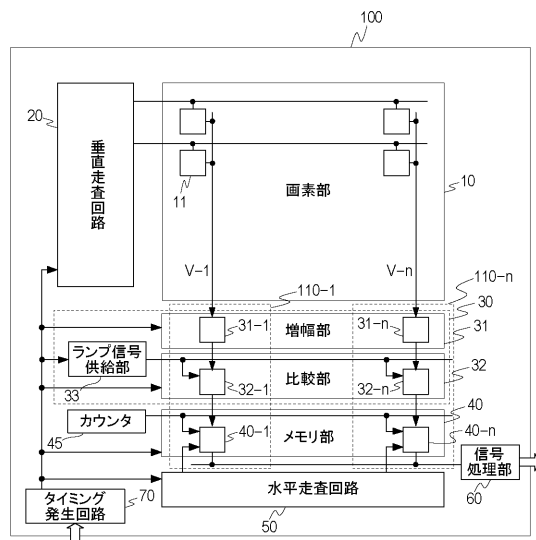
30

40

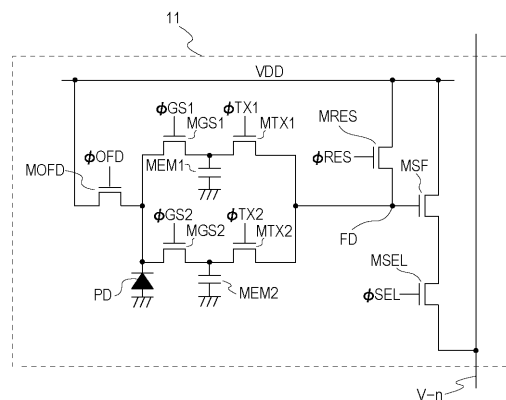
50

- 4 5 カウンタ
- 5 0 水平走査回路
- 6 0 信号処理部
- 7 0 タイミング発生回路

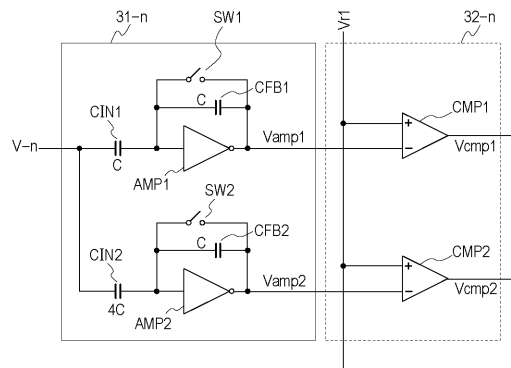
【図 1】



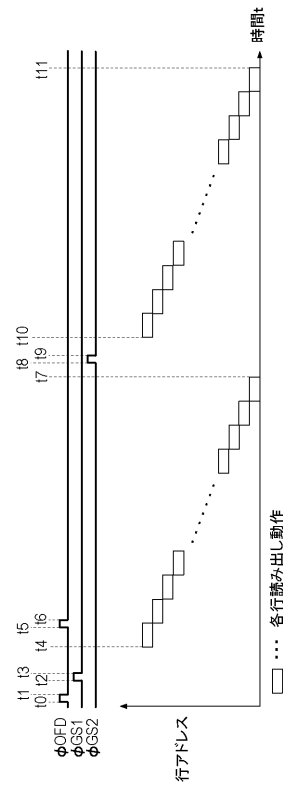
【図 2】



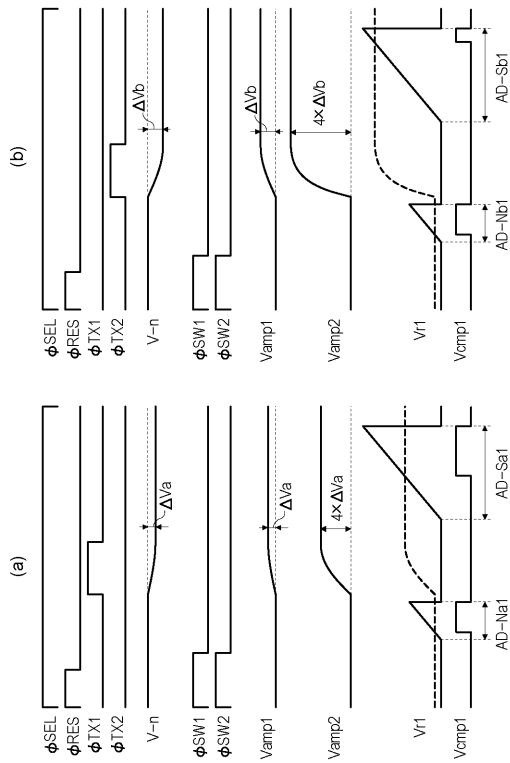
【図 3】



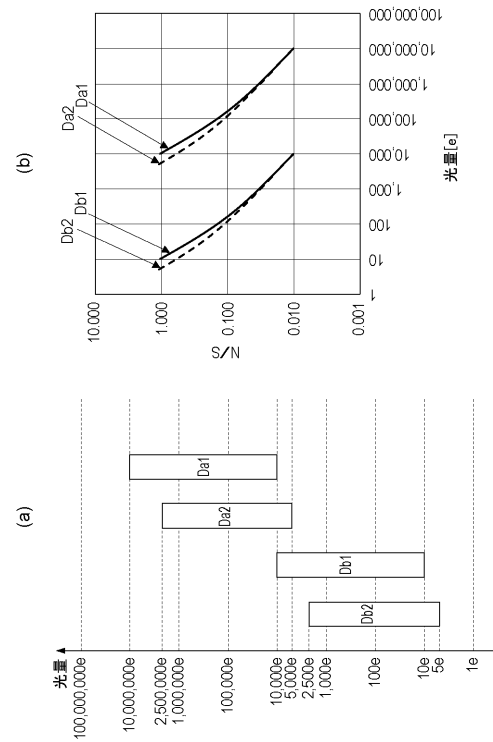
【図 4】



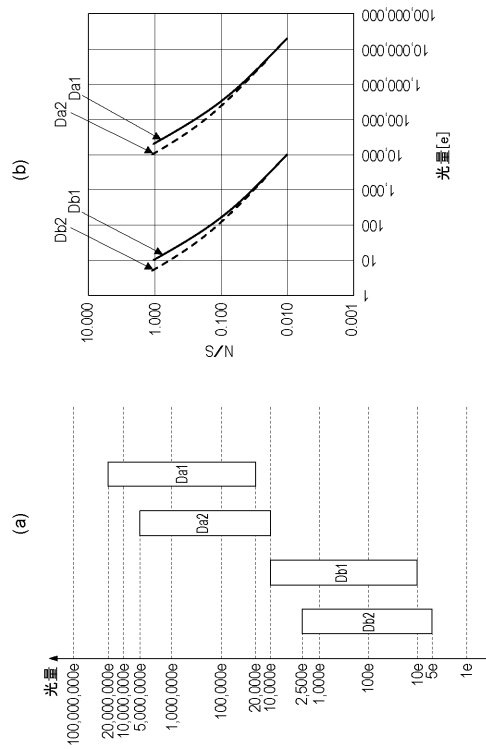
【図 5】



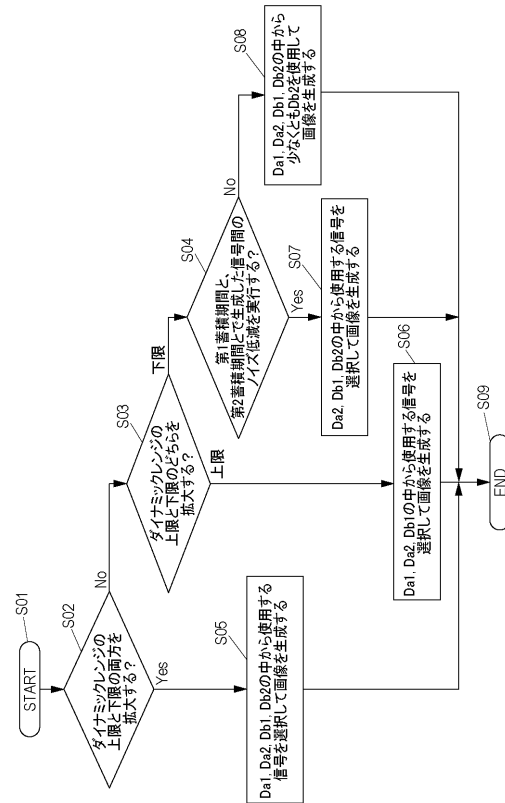
【図 6】



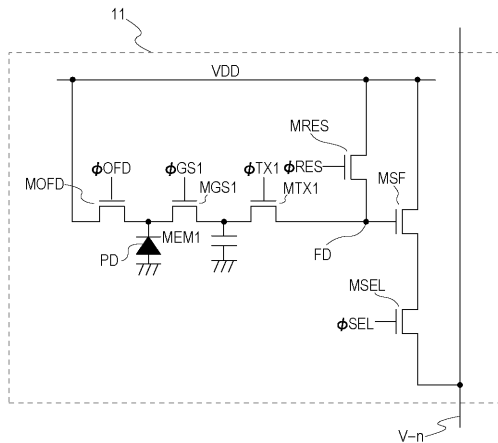
【図 7】



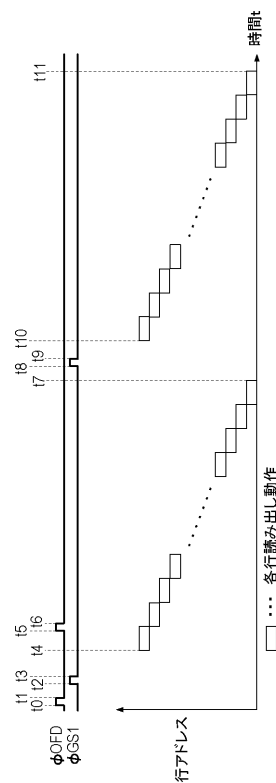
【図 8】



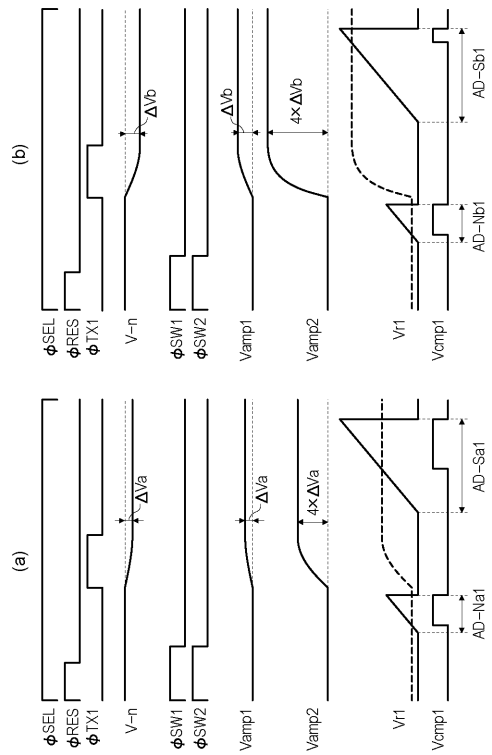
【図 9】



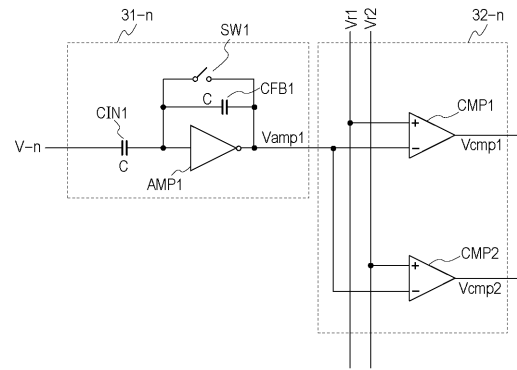
【図 10】



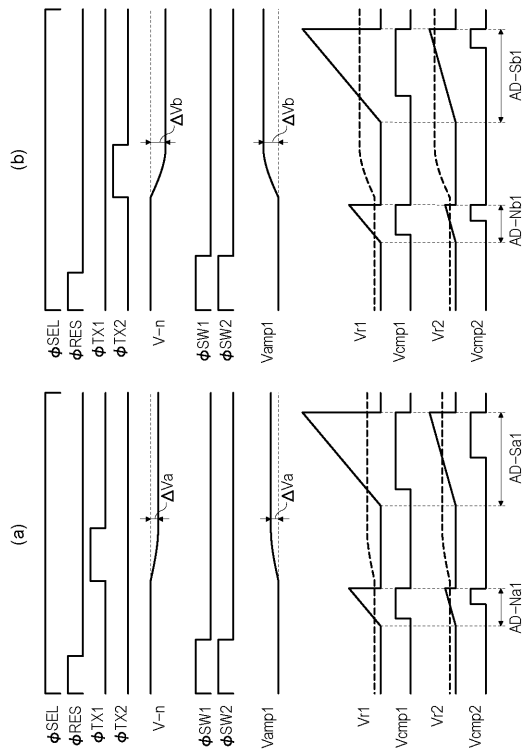
【図 1 1】



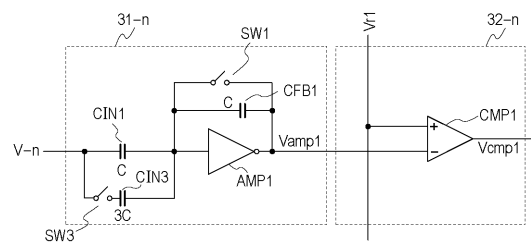
【図 1 2】



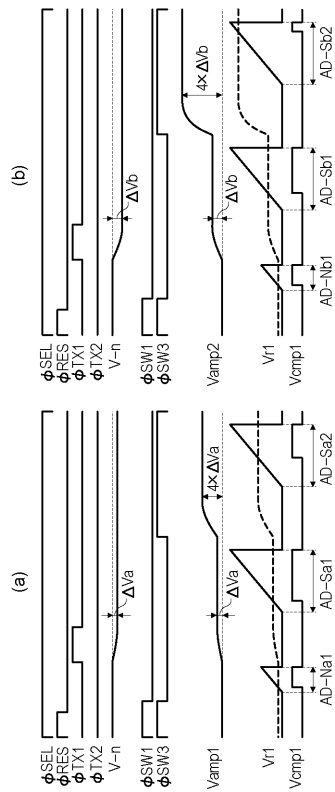
【図 1 3】



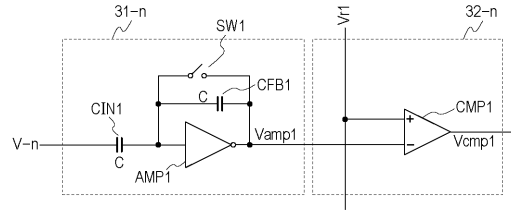
【図 1 4】



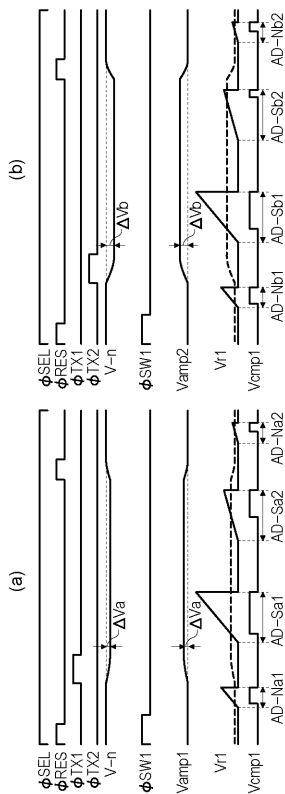
【図 15】



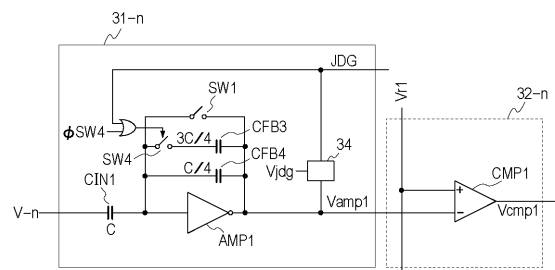
【図 16】



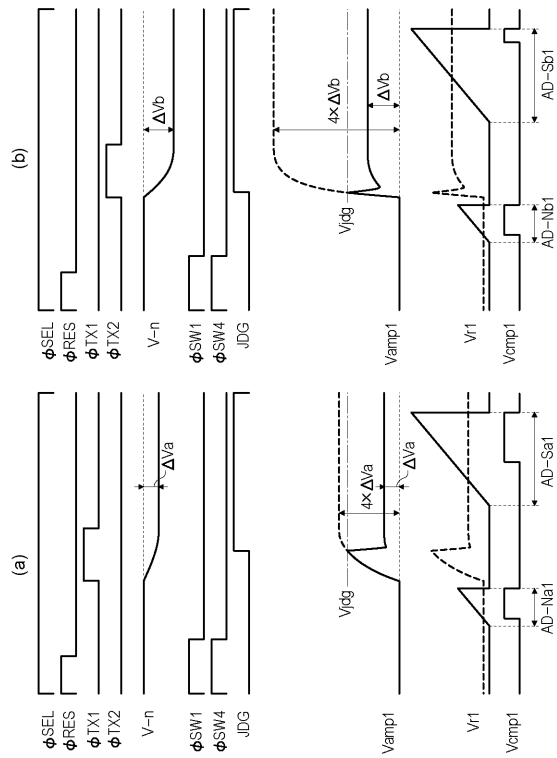
【図 17】



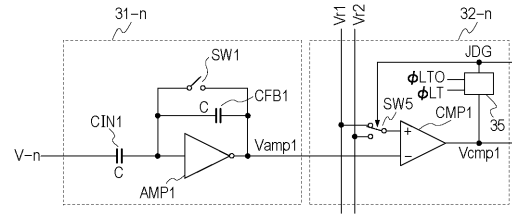
【図 18】



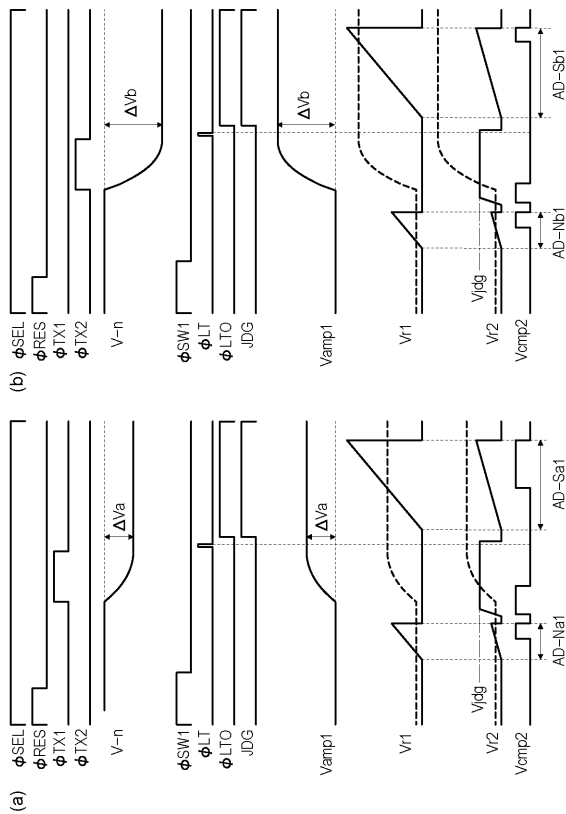
【 図 1 9 】



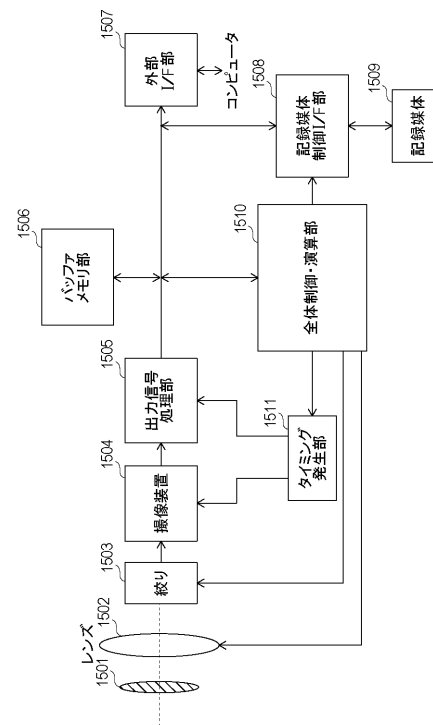
【 図 2 0 】



【 図 2 1 】



【 図 2 2 】



フロントページの続き

(56)参考文献 特開2008-167004(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/30 - 5/378