(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 1684246 B
(45)授权公告日 2010.05.12

(21)申请号 200510063936.X

(22)申请日 2005.03.30

(30)优先权数据
21569/04 2004.03.30 KR
10/067,836 2005.02.28 US

(73)专利权人 三星电子株式会社
地址 韩国京畿道

(72)发明人 前田茂伸 梁正焕

(74)专利代理机构 北京市柳沈律师事务所 11105
代理人 陶凤波 侯宇

(51)Int.Cl.
H01L 21/82(2006.01)
H01L 21/8234(2006.01)
H01L 21/336(2006.01)
H01L 27/088(2006.01)
H01L 27/092(2006.01)
H01L 29/78(2006.01)

审查员 季茂源

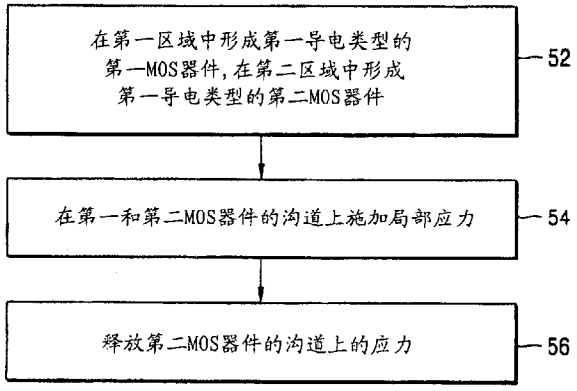
权利要求书 3 页 说明书 14 页 附图 30 页

(54)发明名称

低噪声和高性能电路以及制造方法

(57)摘要

公开一种电路及其制造方法，该方法包括：在所述电路的第一区域中形成第一导电类型的第一MOS器件；在所述电路的第二区域中形成所述第一导电类型的第二MOS器件；通过在靠近所述第一和第二MOS器件的所述电路上形成应力控制层而将应力施加到所述第一和第二MOS器件的沟道上；以及消除施加到所述第二MOS器件的沟道上的应力。结果单个器件的性能基于其工作模式而被优化。例如，机械应力可施加到以高速数字设定工作的器件，而以模拟或RF信号设定工作的器件不施加机械应力，因为在该器件中通过所加应力引入的如闪变效应噪声的电噪声会劣化性能。



CN 1684246 B

1. 一种电路的制造方法，包括：

在所述电路的第一区域中形成第一导电类型的第一 MOS 器件；

在所述电路的第二区域中形成所述第一导电类型的第二 MOS 器件；

通过在靠近所述第一和第二 MOS 器件的所述电路上形成应力控制层而将应力施加到所述第一和第二 MOS 器件的沟道上；以及

消除施加到所述第二 MOS 器件的沟道上的应力。

2. 如权利要求 1 所述的方法，其中消除所述应力包括向所述应力控制层中注入离子。

3. 如权利要求 1 所述的方法，其中所述应力是压缩应力。

4. 如权利要求 3 所述的方法，其中所述应力控制层由通过等离子体增强化学汽相淀积形成的 SiN 和在低温下形成的 SiN 中的至少一种组成。

5. 如权利要求 1 所述的方法，其中所述应力是拉伸应力。

6. 如权利要求 5 所述的方法，其中所述应力控制层由通过低压化学汽相淀积形成的 SiN、在高温下形成的 SiN、通过等离子体增强化学汽相淀积形成的 SiON 和通过等离子体增强化学汽相淀积形成的 SiO_2 中的至少一种组成。

7. 一种电路的制造方法，包括：

在所述电路的第一区域中形成第一导电类型的第一 MOS 器件；

在所述电路的第二区域中形成所述第一导电类型的第二 MOS 器件；

将应力施加到所述第一 MOS 器件的沟道上，其中

应力不施加到所述第二 MOS 器件的沟道上，

其中在第一 MOS 器件的沟道上施加应力包括在靠近所述第一和第二 MOS 器件的所述电路上形成应力控制层，随后从所述第二 MOS 器件去除所述应力控制层。

8. 如权利要求 7 所述的方法，其中所述应力控制层由 SiON 组成。

9. 如权利要求 7 所述的方法，还包括对所述第一 MOS 器件上的所述应力控制层的所述部分进行退火。

10. 如权利要求 7 所述的方法，其中所述应力控制层由 SiO_2 组成。

11. 如权利要求 7 所述的方法，还包括对所述第一 MOS 器件上的所述应力控制层的所述部分进行退火。

12. 如权利要求 7 所述的方法，还包括执行第一热处理从而在所述第一和第二 MOS 器件附近形成第一相硅化物。

13. 如权利要求 12 所述的方法，还包括在所述第一和第二 MOS 器件以及所述第一相硅化物的上方形成盖层。

14. 如权利要求 13 所述的方法，还包括去除在所述第一 MOS 器件和所述第一相硅化物上的所述盖层的一部分。

15. 如权利要求 14 所述的方法，还包括执行第二热处理从而将所述第一相硅化物转化为第二相硅化物。

16. 一种电路的制造方法，包括：

在所述电路的第一区域中形成第一 CMOS 器件，所述第一 CMOS 器件包括第一导电类型的第一 MOS 器件和第二导电类型的第二 MOS 器件；

在所述电路的第二区域中形成第二 CMOS 器件，该第二 CMOS 器件包括第一导电类型的

第三 MOS 器件和第二导电类型的第四 MOS 器件 ;

通过在源极 / 漏极区中和所述第一和第二 MOS 器件中的一个器件的栅极上外延生长半导体层,使得压缩应力施加到所述第一和第二 MOS 器件中的所述一个器件上,在所述第一和第二 MOS 器件中的另一个器件的上方形成应力控制层,使得拉伸应力施加到所述第一和第二 MOS 器件中的所述另一个器件上 ;以及

消除施加到所述第二区域中 MOS 器件的沟道上的应力。

17. 一种电路的制造方法,包括 :

在所述电路的第一区域中形成第一 CMOS 器件,所述第一 CMOS 器件包括第一导电类型的第一 MOS 器件和第二导电类型的第二 MOS 器件 ;

在所述电路的第二区域中形成第二 CMOS 器件,该第二 CMOS 器件包括第一导电类型的第三 MOS 器件和第二导电类型的第四 MOS 器件 ;

通过在所述第一和第二 MOS 器件中的一个器件的上方形成第一应力控制层而将拉伸应力施加到所述第一和第二 MOS 器件中的所述一个器件上,通过在所述第一和第二 MOS 器件中的另一个器件上形成第二应力控制层而将压缩应力施加到所述第一和第二 MOS 器件中的所述另一个器件上 ;以及

消除施加到所述第二区域中 MOS 器件的沟道上的应力。

18. 如权利要求 17 所述的方法,其中所述第一应力控制层由 SiN、SiON 和 SiO_2 中的至少一种组成。

19. 如权利要求 17 所述的方法,其中所述第二应力控制层由 SiN 和 SiO_2 中的至少一种组成。

20. 一种电路,包括 :

在所述电路的第一区域中的第一 CMOS 器件,所述第一 CMOS 器件包括第一导电类型的第一 MOS 器件和第二导电类型的第二 MOS 器件 ;以及

在所述电路的第二区域中的第二 CMOS 器件,所述第二 CMOS 器件包括所述第一导电类型的第三 MOS 器件和所述第二导电类型的第四 MOS 器件 ;其中

在源极 / 漏极区中和所述第一和第二 MOS 器件中的一个器件的栅极上的外延生长的半导体层,使得压缩应力施加到所述第一和第二 MOS 器件中的所述一个器件,以及

在所述第一和第二 MOS 器件中的另一个器件上的应力控制层,使得拉伸应力施加到所述第一和第二 MOS 器件中的所述另一个器件 ;其中

拉伸应力和压缩应力不施加到所述第三和第四 MOS 器件的沟道上。

21. 一种电路,包括 :

在所述电路的第一区域中的第一 CMOS 器件,所述第一 CMOS 器件包括第一导电类型的第一 MOS 器件和第二导电类型的第二 MOS 器件 ;以及

在所述电路的第二区域中的第二 CMOS 器件,所述第二 CMOS 器件包括所述第一导电类型的第三 MOS 器件和所述第二导电类型的第四 MOS 器件 ;

在所述第一和第二 MOS 器件中的一个器件上的第一应力控制层,所述第一应力控制层将拉伸应力施加到所述第一和第二 MOS 器件中的所述一个器件上 ;以及

在所述第一和第二 MOS 器件中的另一个器件上的第二应力控制层,所述第二应力控制层将压缩应力施加到所述第一和第二 MOS 器件中的所述另一个器件上 ;其中

拉伸应力和压缩应力不施加到所述第三和第四 MOS 器件的沟道上。

22. 如权利要求 21 所述的电路，其中所述第一应力控制层由 SiN、SiON 和 SiO_2 中的至少一种组成。

23. 如权利要求 21 所述的电路，其中所述第二应力控制层由 SiN 和 SiO_2 中的至少一种组成。

低噪声和高性能电路以及制造方法

技术领域

[0001] 本发明涉及半导体器件，更具体而言，涉及大规模集成（LSI）半导体器件，如金属氧化物半导体（MOS）晶体管，其中应用了机械应力工程以改善器件性能。

背景技术

[0002] MOS 晶体管中的载流子迁移率对于器件的功耗和开关性能具有重要影响。载流子迁移率的改善允许更快的开关速度以及允许工作在低电压下，使得功耗降低。

[0003] 机械应力工程已应用于 MOS 晶体管中以改善载流子迁移率。在沟道区上的拉伸应力造成 NMOS 晶体管中电流增大但会导致 PMOS 晶体管中的电流减小。在沟道区上的压缩应力造成 PMOS 晶体管中电流增大但会导致 NMOS 晶体管中的电流减小。

[0004] 图 1 是 MOS 器件的示意性剖面图，表示了引入机械应力以改善器件中载流子迁移率的方法。器件形成在衬底 10 中并被形成在衬底 10 中的隔离区 12 所隔离。所述晶体管器件包括形成在衬底 10 中的源极 / 漏极区 22、26，所述源极 / 漏极区界定了其间的沟道区 18。栅极结构包括形成在衬底 10 上的栅极电介质 14、在栅极电介质上的导电栅极层 20 以及形成在导电栅极层 20 上的硅化物层 30。在栅极结构的侧壁上形成绝缘侧壁间隔物 (insulatingsidewall spacer)24。

[0005] 通过形成在栅极结构和源极 / 漏极区 26 的顶表面以及衬底 10 上方的应力控制层 40，机械应力被引入到沟道 18 中。更具体而言，拉伸应力被引入到 MOS 晶体管结构中，如图中箭头所示。如图 1 中的箭头所示，将拉伸应力引入到沟道 18 中的另一方法是在源极 / 漏极区 22、26 中形成硅化物层 30。在硅化之后，硅化物层 30 比被硅化物代替的最初的源极 / 漏极材料占据更小的体积。结果，拉伸应力被引入到沟道 18。

[0006] 除了改善载流子迁移率，向 MOS 晶体管中引入机械应力也表现出通过引入电噪声、特别是闪变效应噪声 (flicker noise) 而降低器件的性能。闪变效应噪声，通常也称为“1/f 噪声”，是一种作为频率 f 函数的功率谱 P(f) 依照 $P(f) = 1/f^a$ 而变化的噪声类型，其中 a 非常接近于 1。闪变效应噪声通常也称作“粉红噪声”，因为大部分噪声功率集中在频谱的低端。闪变效应噪声被认为不仅由载流子的俘获和释放 (detrapping) 所引起，而且也由被俘获电荷所致的经由载流子散射的迁移率调制所引起。闪变效应噪声劣化对于低频模拟电路和高性能数字电路均是重要因素。尽管闪变效应噪声产生在相对低的频率，但该噪声对于某些 RF 电路可以非常重要，因为其向上转换到高频谱并降低振荡的相干性。

[0007] 图 2A 和 2B 是表示 MOS 器件中的应力工程与噪声之间关系的图线。图 2A 是在应力增强和应力衰减晶体管之间的噪声功率 Svg 分布图线。对于 NMOS 器件，在 Vd = 0.05V 和 Vg = 0.85V 的情况下进行测量，而对于 PMOS 器件，在 Vd = -0.05V 和 Vg = -0.85V 的情况下进行测量。图 2B 是噪声功率比率对 CMOS 器件的最大跨导 (Gmmax) 改善比率的曲线。图 2B 的图线从闪变效应噪声的观点说明 MOS 器件上的拉伸和压缩应力均降低了性能。

[0008] 因此，施加到 MOS 器件上的增强的应力工程改善了 MOS 晶体管的性能，但劣化了闪变效应噪声特性。也就是说，在 NMOS 和 PMOS 器件两者中，拉伸应力和压缩应力均提高了器

件性能，但劣化了两种器件的闪变效应噪声特性。因此，当考虑闪变效应噪声特性时，应力工程并非总是用于改善整体电路性能的可接受方式，比如，特别是在模拟应用、RF 应用以及例如系统 LSI 应用的混合信号应用中。

发明内容

[0009] 本发明的特征是提供一种半导体器件（如具有混合信号应用的LSI 器件）、该半导体器件的布局以及该器件的制造方法，其中拉伸和 / 或压缩应力被选择性地施加到所述器件的不同部分，即模拟和数字部分，从而提高器件性能并同时减小闪变效应噪声对器件性能的影响。

[0010] 在一个方面中，本发明涉及电路的制造方法。在所述电路的多个区域中形成多种导电类型的多个器件，所述多个器件适应于以多个相关的工作模式运行。机械应力施加到至少一个选定器件上，所述选定器件基于其相关的工作模式而被选取。

[0011] 所述工作模式可以包括模拟模式和数字模式。所述工作模式还可以包括噪声敏感模式和噪声不敏感模式、低速工作模式和高速工作模式、以及高电压工作模式和低电压工作模式。

[0012] 在一个实施例中，所述器件包括至少一个 PMOS 器件和 / 或一个 NMOS 器件。所述器件可以包括至少一个 CMOS 器件。

[0013] 在一个实施例中，机械应力施加到数字模式下的 NMOS 器件的沟道。在一个实施例中，机械应力施加到数字模式下的 PMOS 器件的沟道。

[0014] 在一个实施例中，应力不施加到以模拟模式工作的器件从而防止电噪声的增大。所述电噪声可以是闪变效应噪声。

[0015] 在一个实施例中，将机械应力施加到至少一个选定器件包括靠近所述器件在电路上形成应力控制层。所述应力控制层能够施加拉伸应力和 / 或压缩应力。在一个实施例中，应力在其上不要施加应力的器件附近的应力控制层中被消除 (release)。消除所述应力控制层中的应力可以包括向所述应力控制层中注入离子。消除所述应力控制层中的应力可以包括选择性地去除部分所述应力控制层。所述应力控制层可以包括 SiN、SiON 或 SiO_2。形成所述应力控制层可以包括退火步骤。形成所述应力控制层可以包括执行等离子体增强化学汽相淀积 (PECVD) 和 / 或低压化学汽相淀积 (LPCVD)。

[0016] 在一个实施例中，将机械应力施加到至少一个选定器件包括在电路上执行硅化工艺 (silicidation process)。在一个实施例中，将机械应力施加到至少一个选定器件还包括 ：在所述电路上形成盖层 ；选择性地去除其上要施加应力的器件附近的盖层 ；以及执行第二硅化工艺从而将应力施加到其上要施加应力的器件。

[0017] 在一个实施例中，将机械应力施加到至少一个选定器件包括在其上要施加应力的器件中外延生长源极 / 漏极结构。

[0018] 在一个实施例中，应力施加到在第一 CMOS 结构中的第一器件以及在第一 CMOS 结构中的第二器件 ；并且应力不施加到在第二 CMOS 结构中的第一器件以及在第二 CMOS 结构中的第二器件。在一个实施例中，所述第一 CMOS 结构以数字模式工作而所述第二 CMOS 结构以模拟模式工作。在一个实施例中，所述第一 CMOS 结构中的所述第一器件是 PMOS 器件 ；所述第一 CMOS 结构中的所述第二器件是 NMOS 器件 ；所述 PMOS 器件具有施加到其沟道的压

缩应力；并且所述 NMOS 器件具有施加到其沟道的拉伸应力。在一个实施例中，在所述第一 CMOS 结构和所述第二 CMOS 结构两者中的第一器件是 PMOS 器件。在一个实施例中，在所述第一 CMOS 结构和所述第二 CMOS 结构两者中的第二器件是 NMOS 器件。

[0019] 在一个实施例中，施加所述机械应力包括：在所述电路上形成第一应力控制层，所述应力控制层在所述器件上施加拉伸应力；选择性地去除不需要拉伸应力的器件附近的所述第一应力控制层；在所述器件上形成第二应力控制层，所述第二应力控制层在所述器件上施加压缩应力；在靠近所述器件选定部分的所述第二应力控制层的上方形成应力消除层；以及，使用所述应力消除层，消除不需要压缩应力的器件中的应力。消除不需要压缩应力的器件中的应力可以包括向所述应力消除层中注入离子。

[0020] 在一个实施例中，施加所述机械应力包括：在所述电路上形成第一应力控制层，所述应力控制层在所述器件上施加拉伸应力；选择性地去除不需要拉伸应力的器件附近的所述第一应力控制层；在所述器件上形成第二应力控制层，所述第二应力控制层在所述器件上施加压缩应力；以及选择性地去除不需要压缩应力的器件附近的所述第二应力控制层。

[0021] 根据另一方面，本发明涉及一种电路。所述电路包括衬底，在所述衬底上形成有在所述电路的多个区域中的多种导电类型的多个器件，所述多个器件适应于以多个相关的工作模式运行。多个器件中的至少一个选定器件具有施加到其上的机械应力，所述选定器件基于其工作模式而被选取。

[0022] 所述工作模式可以包括模拟模式和数字模式。所述工作模式还可以包括噪声敏感模式和噪声不敏感模式、低速工作模式和高速工作模式、以及高电压工作模式和低电压工作模式。

[0023] 在一个实施例中，所述器件包括至少一个 PMOS 器件和 / 或一个 NMOS 器件。所述器件可以包括至少一个 CMOS 器件。

[0024] 在一个实施例中，机械应力施加到在数字模式的 NMOS 器件的沟道。在一个实施例中，机械应力施加到在数字模式的 PMOS 器件的沟道。

[0025] 在一个实施例中，应力不施加到以模拟模式工作的器件从而防止电噪声的增大。所述电噪声可以是闪变效应噪声。

[0026] 在一个实施例中，使用靠近所述器件在电路上的应力控制层将所述机械应力施加到选定器件。所述应力控制层能够施加拉伸和 / 或压缩应力。在一个实施例中，应力在其上不施加应力的器件附近的应力控制层中被消除。其中应力被消除的应力控制层的部分可以包括附加的注入离子。在一个实施例中，在其上不施加应力的器件附近没有所述应力控制层。所述应力控制层可以包括 SiN、SiON 或 SiO_2。在一个实施例中，所述应力控制层被退火。在一个实施例中，所述应力控制层是通过 PECVD 或 LPCVD 形成的层。

[0027] 在一个实施例中，通过其施加机械应力的装置包括硅化物。

[0028] 在一个实施例中，通过其施加机械应力的装置包括外延生长的源极 / 漏极结构。

[0029] 在一个实施例中，应力施加到在第一 CMOS 结构中的第一器件以及在第一 CMOS 结构中的第二器件；并且应力不施加到在第二 CMOS 结构中的第一器件以及在第二 CMOS 结构中的第二器件。在一个实施例中，所述第一 CMOS 结构以数字模式工作而所述第二 CMOS 结构以模拟模式工作。在一个实施例中，所述第一 CMOS 结构中的所述第一器件是 PMOS 器件；所述第一 CMOS 结构中的所述第二器件是 NMOS 器件；所述 PMOS 器件具有施加到其沟道的压

缩应力；并且所述 NMOS 器件具有施加到其沟道的拉伸应力。在一个实施例中，在所述第一 CMOS 结构和所述第二 CMOS 结构两者中的第一器件是 PMOS 器件。在一个实施例中，在所述第一 CMOS 结构和所述第二 CMOS 结构两者中的第二器件是 NMOS 器件。

[0030] 在一个实施例中，通过其施加机械应力的装置包括：在所述电路上的第一应力控制层，所述第一应力控制层将拉伸应力施加到所述器件上，所述第一应力控制层仅出现在需要拉伸应力的器件附近；在所述器件上的第二应力控制层，所述第二应力控制层将压缩应力施加到所述器件上；以及在靠近所述器件选定部分的所述第二应力控制层上方的应力消除层，所述应力消除层消除不需要压缩应力的器件中的应力。在一个实施例中，所述应力消除层包括附加的注入离子。

[0031] 在一个实施例中，通过其施加机械应力的装置包括：在所述电路上的第一应力控制层，所述应力控制层将拉伸应力施加到所述器件上，所述第一应力控制层仅出现在需要拉伸应力的器件附近；在所述器件上的第二应力控制层，所述第二应力控制层将压缩应力施加到所述器件上，所述第二应力控制层仅出现在需要压缩应力的器件附近。

[0032] 根据又一方面，本发明涉及一种电路的制造方法。根据所述方法，在所述电路的第一区域中形成第一导电类型的第一 MOS 器件。在所述电路的第二区域中形成第一导电类型的第二 MOS 器件。应力施加到所述第一和第二 MOS 器件的沟道上。施加到所述第二 MOS 器件的沟道的应力被消除。

[0033] 在一个实施例中，在靠近所述第一和第二 MOS 器件的所述电路上形成应力控制层，所述应力控制层将应力施加到所述第一和第二 MOS 器件。可以通过低压化学汽相淀积 (LPCVD) 来形成所述应力控制层。也可以通过等离子体增强化学汽相淀积 (PECVD) 来形成所述应力控制层。所述应力控制层可以包括在低温下形成的 SiN。在一个实施例中，消除所述应力包括向所述应力控制层中注入离子。所述应力控制层可以包括 SiN。

[0034] 在一个实施例中，所述应力是压缩应力。在一个实施例中，所述应力是拉伸应力。

[0035] 根据另一方面，本发明涉及一种电路的制造方法。根据所述方法，在所述电路的第一区域中形成第一导电类型的第一 MOS 器件。在所述电路的第二区域中形成所述第一导电类型的第二 MOS 器件。应力施加到所述第一 MOS 器件的沟道上。

[0036] 在一个实施例中，在所述第一 MOS 器件的沟道上施加应力包括在靠近所述第一和第二 MOS 器件的所述电路上形成应力控制层。可以通过 PECVD 来形成所述应力控制层。所述应力控制层可以包括 SiON。所述应力控制层可以包括 SiO_2。

[0037] 在一个实施例中，所述方法还包括从所述第二 MOS 器件去除所述应力控制层并在所述第一 MOS 器件上遗留所述应力控制层的一部分。在一个实施例中，所述方法还包括对所述第一 MOS 器件上的所述应力控制层的所述部分进行退火。

[0038] 在一个实施例中，所述方法还包括执行第一热处理从而在所述第一和第二 MOS 器件附近形成第一相硅化物。可以在所述第一和第二 MOS 器件以及所述第一相硅化物的上方形成盖层。可以去除在所述第一 MOS 器件和所述第一相硅化物上的所述盖层的一部分。执行第二热处理从而将所述第一相硅化物转化为第二相硅化物。

[0039] 在一个实施例中，所述应力是压缩应力。在一个实施例中，所述应力是拉伸应力。

[0040] 根据又一方面，本发明涉及一种电路的制造方法。根据所述方法，在所述电路的第一区域中形成第一 CMOS 器件，所述第一 CMOS 器件包括第一导电类型的第一 MOS 器件和第

二导电类型的第二 MOS 器件。在所述电路的第二区域中形成第二 CMOS 器件，所述第二 CMOS 器件包括所述第一导电类型的第三 MOS 器件和所述第二导电类型的第四 MOS 器件。拉伸应力施加到所述第一和第二 MOS 器件中的一个器件的沟道，和压缩应力施加到所述第一和第二 MOS 器件中的另一个器件。如果应力施加到所述第二区域中的 MOS 器件的沟道，则消除施加到所述第二区域中 MOS 器件的沟道上的应力。

[0041] 在一个实施例中，所述方法还包括在源极 / 漏极区和所述第一和第二 MOS 器件中的一个器件的栅极上外延生长半导体层，使得压缩应力施加到所述第一和第二 MOS 器件中的所述一个器件上。在所述第一和第二 MOS 器件中的另一个器件的上方形成应力控制层，使得拉伸应力施加到所述第一和第二 MOS 器件中的所述另一个器件上。

[0042] 在一个实施例中，在所述第一和第二 MOS 器件中的一个器件的上方形成第一应力控制层，所述第一应力控制层将拉伸应力施加到所述第一和第二 MOS 器件中的所述一个器件上。在一个实施例中，所述第一应力控制层包括 SiN、SiON 和 SiO_2 中的至少一种。可以在所述第一和第二 MOS 器件中的另一个器件上形成第二应力控制层，所述第二应力控制层将压缩应力施加到所述第一和第二 MOS 器件中的所述另一个器件上。在一个实施例中，所述第二应力控制层包括 SiN 和 SiO_2 中的至少一种。

[0043] 根据另一方面，本发明涉及一种电路。所述电路包括在所述电路的第一区域中的第一导电类型的第一 MOS 器件以及在所述电路的第二区域中的所述第一导电类型的第二 MOS 器件。应力施加到所述第一 MOS 器件的沟道并且应力不施加到所述第二 MOS 器件的沟道。

[0044] 在一个实施例中，在所述第一 MOS 器件上形成应力控制层，所述应力控制层将应力施加到所述第一 MOS 器件。在一个实施例中，所述应力控制层包括注入到所述应力控制层中的离子。在一个实施例中，所述应力控制层包括 SiN。在一个实施例中，所述应力控制层包括 SiON。在一个实施例中，所述应力控制层包括 SiO_2。在一个实施例中，所述应力是压缩应力。在一个实施例中，所述应力是拉伸应力。

[0045] 在一个实施例中，所述电路还包括所述第一 MOS 器件的源极 / 漏极结构附近的第二相硅化物。

[0046] 根据又一方面，本发明涉及一种电路。所述电路包括在所述电路的第一区域中的第一 CMOS 器件，所述第一 CMOS 器件包括第一导电类型的第一 MOS 器件和第二导电类型的第二 MOS 器件。在所述电路的第二区域中的第二 CMOS 器件包括所述第一导电类型的第三 MOS 器件和所述第二导电类型的第四 MOS 器件。拉伸应力施加到所述第一和第二 MOS 器件中的一个器件的沟道，并且压缩应力施加到所述第一和第二 MOS 器件中的另一个器件。

[0047] 在一个实施例中，所述电路还包括在源极 / 漏极区中和所述第一和第二 MOS 器件中的一个器件的栅极上外延生长的半导体层，使得压缩应力施加到所述第一和第二 MOS 器件中的所述一个器件。

[0048] 在一个实施例中，所述电路还包括在所述第一和第二 MOS 器件中的所述另一个器件上的应力控制层，使得拉伸应力施加到所述第一和第二 MOS 器件中的所述另一个器件。

[0049] 在一个实施例中，所述电路还包括在所述第一和第二 MOS 器件中的一个器件上的第一应力控制层，所述第一应力控制层将拉伸应力施加到所述第一和第二 MOS 器件中的所述一个器件上。在一个实施例中，所述第一应力控制层包括 SiN、SiON 和 SiO_2 中的至少一

种。在一个实施例中，所述电路还包括在所述第一和第二 MOS 器件中的另一个器件上的第二应力控制层，所述第二应力控制层将压缩应力施加到所述第一和第二 MOS 器件中的所述另一个器件上。所述第二应力控制层可以包括 SiN 和 SiO_2 中的至少一种。

附图说明

[0050] 通过对如附图中所示的本发明优选实施例的更具体的说明，本发明的上述和其他特征及优点将更加明了。附图不是必须按照比例，而是将重点放在说明本发明的原理。在所有附图中，相同的附图标记表示相同的元件。

[0051] 图 1 是 MOS 器件的示意性剖面图，用于说明引入机械应力以改善器件中载流子迁移率的方法；

[0052] 图 2A 和 2B 是解释 MOS 器件中的应力工程与噪声之间关系的图线；

[0053] 图 3 包含了流程图，用于说明根据本发明形成器件的一种方法，其中应力工程被选择性地应用到器件的一个或多个选定部分以提高器件性能同时降低噪声对器件的影响；

[0054] 图 4 包含了流程图，用于说明根据本发明形成器件的另一种方法，其中应力工程被选择性地应用到器件的一个或多个选定部分以提高器件性能同时降低噪声对器件的影响；

[0055] 图 5 包含了流程图，用于说明根据本发明形成器件的又一种方法，其中应力工程被选择性地应用到器件的一个或多个选定部分以提高器件性能同时降低噪声对器件的影响；

[0056] 图 6 至 8 包含了示意性剖面图，用于说明根据本发明一个实施例形成半导体器件的方法；

[0057] 图 9 和 10 包含了示意性剖面图，用于说明根据本发明另一实施例形成半导体器件的方法；

[0058] 图 11 至 13 包含了示意性剖面图，用于说明根据本发明又一实施例形成半导体器件的方法；

[0059] 图 14 至 16 包含了示意性剖面图，用于说明根据本发明又一实施例形成半导体器件的方法；

[0060] 图 17 至 20 包含了示意性剖面图，用于说明根据本发明又一实施例形成半导体器件的方法；

[0061] 图 21 至 27 包含了示意性剖面图，用于说明根据本发明又一实施例形成半导体器件的方法；

[0062] 图 28 至 31 包含了示意性剖面图，用于说明根据本发明又一实施例形成半导体器件的方法；

[0063] 图 32 包含了示意性剖面图，用于说明根据本发明又一实施例形成半导体器件的方法。

具体实施方式

[0064] 根据本发明，提供了例如具有混合信号应用（即模拟和数字应用）的 LSI 器件的

半导体器件、所述半导体器件的布局以及其中拉伸和/或压缩应力被选择性地施加到所述器件的不同部分（即模拟和数字部分）的所述器件的制造方法，从而提高器件性能并同时降低闪变效应噪声对器件性能的影响。

[0065] 在以下说明中，描述了本发明的几个实施例。各种实施例可被认为是属于实施例的三个类别中的某一类，所述类别由将应力工程选择性地施加到器件上以提高性能同时限制噪声对于器件的影响的常规方法所定义。图 3 至 5 包含了流程图，其分别说明了本发明实施例的三个类别。这些类别不应被解释为以任何方式限制本发明。仅仅为了清楚地说明以及容易地理解本发明而定义所述类别。

[0066] 图 3 包含了流程图，用于说明根据本发明形成器件的一种方法，其中应力工程被选择性地应用到器件的一个或多个选定部分以提高器件性能同时降低噪声对器件的影响。图 3 说明了本发明实施例的第一类别。

[0067] 参照图 3，在步骤 52 中，在器件的第一区域、例如数字区域（即其中形成数字电路的器件区域）中，形成第一导电类型（即 n 型或 p 型）的第一 MOS 器件。在器件的第二区域（即其中形成模拟电路的器件区域）中，形成第一导电类型（即 n 型或 p 型）的第二 MOS 器件。在步骤 54 中，应用应力工程从而选择性地将局部应力施加到第一和第二区域中的第一和第二 MOS 器件的沟道上。在步骤 56 中，应力在第二区域中的第二 MOS 器件的沟道中被消除或减轻。

[0068] 以上方法导致应力仅施加到第一 MOS 器件的沟道上。施加了应力的第一 MOS 器件将具有所施加应力所致的提高的性能特性，但它也会具有增大的噪声。另一方面，第二 MOS 器件将不具有所施加的局部应力，造成了具有闪变效应噪声所致的减弱效果的电路。这种方法可以应用于比如第一区域包含了比第二区域中的电路对于噪声更不敏感的电路的情况。例如，第一区域可以包括数字电路、用于低电压工作的电路和/或噪声不敏感电路，和第二区域可以包括模拟电路、用于高电压工作的电路和/或噪声敏感电路。

[0069] 在一个实施例中，可通过在第一和第二区域两者中形成应力控制层来施加局部应力。为了释放第二 MOS 器件上的应力，可以使用离子注入，或者可以去除在第二 MOS 器件上的应力控制层部分。下面将会更加详细地描述根据本发明的所述第一类别或第一组方法的特定实施例。

[0070] 图 4 包含了流程图，用于说明根据本发明形成器件的另一种方法，其中应力工程被选择性地应用到器件的一个或多个选定部分以提高器件性能同时降低噪声对器件的影响。图 4 说明了本发明实施例的第二类别。

[0071] 参照图 4，在步骤 62 中，在器件的第一区域、例如数字区域（即其中形成数字电路的器件区域）中，形成第一导电类型（即 n 型或 p 型）的第一 MOS 器件。在器件的第二区域（即其中形成模拟电路的器件区域）中，形成第一导电类型（即 n 型或 p 型）的第二 MOS 器件。在步骤 64 中，应用应力工程从而选择性地将局部应力施加到第一区域中的第一 MOS 器件的沟道上。

[0072] 以上方法导致应力仅施加到第一 MOS 器件的沟道上。施加了应力的第一 MOS 器件将具有所施加应力所致的提高的性能特性，但它也会具有增大的噪声。另一方面，第二 MOS 器件将不具有所施加的局部应力，造成了具有闪变效应噪声所致的减弱效果的电路。这种方法可以应用于比如第一区域包含了对于噪声比第二区域中的电路更不敏感的电路的情

况。例如，第一区域可以包括数字电路、用于低电压工作的电路和/或噪声不敏感电路，和第二区域可以包括模拟电路、用于高电压工作的电路和/或噪声敏感电路。

[0073] 下面将会更加详细地描述根据本发明的所述第二类别或第二组方法的特定实施例。

[0074] 图5包含了流程图，用于说明根据本发明形成器件的又一种方法，其中应力工程被选择性地应用到器件的一个或多个选定部分以提高器件性能同时降低噪声对器件的影响。图5说明了本发明实施例的第三类别。

[0075] 参照图5，在步骤66中，在器件的第一区域、例如数字区域（即其中形成数字电路的器件区域）中，形成第一CMOS器件，其包括第一导电类型（即n型或p型）的第一MOS器件以及第二导电类型（即p型或n型）的第二MOS器件。在器件的第二区域（即其中形成模拟电路的器件区域）中，形成第二CMOS器件，其包括第一导电类型（即n型或p型）的第一（第三）MOS器件以及第二导电类型（即p型或n型）的第二（第四）MOS器件。在步骤68中，应用应力工程从而选择性地将局部拉伸应力和局部压缩应力施加到至少第一CMOS器件中的第一和第二MOS器件的沟道上。在步骤70中，应力在第二CMOS器件的MOS器件的沟道中被消除或减轻。

[0076] 以上方法导致应力仅施加到第一CMOS器件的第一和/或第二MOS器件的沟道上。施加了应力的第一CMOS器件将具有所施加应力所致的提高的性能特性，但它也会具有增大的噪声。另一方面，第二CMOS器件将没有所施加的局部应力，造成了具有闪变效应噪声所致的减弱效果的电路。这种方法可以应用于比如第一区域包含了对于噪声比第二区域中的电路更不敏感的电路的情况。例如，第一区域可以包括数字电路、用于低电压工作的电路和/或噪声不敏感电路，和第二区域可以包括模拟电路、用于高电压工作的电路和/或噪声敏感电路。

[0077] 图6至8包含了示意性剖面图，用于说明根据本发明一个实施例形成半导体器件的方法。这一实施例是在上述实施例的第一类别之内所定义的类型。

[0078] 参照图6，提供由例如硅制成的衬底100。器件包括数字电路区域和模拟电路区域。数字电路区域和模拟电路区域中的每一个包括第一NMOS晶体管和第一PMOS晶体管。在衬底100中形成浅沟槽隔离(STI)102以隔离器件。每个晶体管包括源极/漏极区128，每个源极/漏极区128包括轻掺杂源极/漏极区122和重掺杂源极/漏极区126。对于每个晶体管，在衬底上形成栅极介电层图案110。在用于每个晶体管的各个栅极介电层图案110上形成导电栅极图案120，和在每个导电栅极图案120上方以及源极/漏极区128的暴露部分上方（更具体而言，重掺杂源极/漏极区126部分的上方），形成硅化物层图案130。硅化物层图案可以由例如硅化钴、硅化镍、硅化钛或硅化钨形成。在包括栅极介电层图案110、导电栅极图案120和硅化物层图案130的所有栅极结构的侧壁上，形成侧壁间隔物124。在一个实施例中，所期望的是，在模拟电路区域中，晶体管栅极结构与STI 102之间的距离（即d_1、d_2、d_3和d_4）大于1.5μm。

[0079] 参照图7，在所述结构上方形成应力控制层150。应力控制层150对晶体管的沟道104a、104b、104c和104d施加压缩应力，如图中的箭头所示。应力控制层150可以是通过等离子体增强化学汽相淀积(PECVD)淀积到约20-150nm厚度的氮化硅(SiN)层。也可以使用在200-400摄氏度的低温条件下形成的氮化硅层或者具有压缩应力的氧化硅层。

[0080] 参照图 8，压缩应力在数字电路区域的 NMOS 晶体管上方以及模拟电路区域的 NMOS 和 PMOS 晶体管两者的上方被选择性地消除。形成光致抗蚀剂掩模 160 从而仅覆盖数字电路区域的 PMOS 晶体管。使用光致抗蚀剂 160 作为离子注入掩模，向应力控制层 150 中注入离子，如锗、硅、砷、铟、锑等，如 162 所示。在一个实施例中，所期望的是，考虑应力控制层 150 的厚度，离子注入能量被控制在 20-100KeV 的范围内，使得基本上防止将注入离子注入到硅化物层图案 130 中。

[0081] 作为离子注入的结果，应力控制层 150 在除数字电路区域中的 PMOS 晶体管上方之外的各处转化为应力消除或减轻层 152。因此，压缩应力保持为仅施加到数字电路区域中的 PMOS 晶体管的沟道 104b。结果，在数字电路区域中的 PMOS 晶体管中改善了性能。数字电路区域中的 NMOS 晶体管上以及模拟电路区域中的两种晶体管上没有保留应力，使得这些器件的闪变效应噪声特性不会劣化。也就是说，在本实施例中，使用 PECVD 氮化硅应力控制层从而仅提高数字电路区域中的 PMOS 器件的性能。

[0082] 图 9 和 10 包含了示意性剖面图，用于说明根据本发明另一实施例形成半导体器件的方法。这一实施例是在上述实施例的第一类别之内所定义的类型。在图 9 和 10 的实施例中，包括衬底 100、STI 102、源极 / 漏极区 128、栅极介电图案 110、导电栅极图案 120、硅化物图案 130 和侧壁间隔物 124 的器件部分的形成与图 6 至 8 的实施例相同。因此，不再重复对其的描述。

[0083] 参照图 9，在所述结构上形成施加拉伸应力的应力控制层 250。应力控制层 250 可以是通过低压化学汽相淀积 (LPCVD) 形成为约 20-150nm 厚度的氮化硅层。可选择地，可以通过在 400-800 摄氏度的高温条件下形成氮化硅层来形成应力控制层 250。也可以通过 PECVD 和之后的退火步骤形成氮氧化硅 (SiON) 层来形成应力控制层 250。可选择地，应力控制层 250 可以是施加拉伸应力的氧化硅层。所得拉伸应力局部地施加到晶体管的沟道 204a、204b、204c 和 204d 上，如图 9 中箭头所示。

[0084] 参照图 10，拉伸应力在数字电路区域的 PMOS 晶体管以及模拟电路区域的 NMOS 和 PMOS 晶体管的上方被选择性地消除。形成光致抗蚀剂掩模 260 从而仅覆盖数字电路区域的 NMOS 晶体管。使用光致抗蚀剂 260 作为离子注入掩模，向应力控制层 150 中注入离子，如锗、硅、砷、铟、锑等，如 262 所示。在一个实施例中，所期望的是，考虑应力控制层 250 的厚度，离子注入能量期望被控制在 20-100KeV 的范围内，使得基本上防止将注入离子注入到硅化物层图案 130 中。

[0085] 作为离子注入的结果，应力控制层 250 在除数字电路区域中的 NMOS 晶体管上方之外的各处转化为应力消除或减轻层 252。因此，拉伸应力保持为仅施加到数字电路区域中的 NMOS 晶体管的沟道 204a。结果，在数字电路区域中的 NMOS 晶体管中改善了性能。在数字电路区域中的 PMOS 晶体管上以及模拟电路区域中的 NMOS 和 PMOS 晶体管上没有保留应力，使得这些器件的闪变效应噪声特性不会劣化。也就是说，在一个实施例中，使用 LPCVD 氮化硅应力控制层从而仅提高数字电路区域中的 NMOS 器件的性能。

[0086] 图 11 至 13 包含了示意性剖面图，用于说明根据本发明又一实施例形成半导体器件的方法。这一实施例是在上述实施例的第二类别之内所定义的类型。在图 11 至 13 的实施例中，包括衬底 100、STI 102、源极 / 漏极区 128、栅极介电图案 110、导电栅极图案 120、硅化物图案 130 和侧壁间隔物 124 的器件部分的形成与图 6 至 8 的实施例相同。因此，不

再重复对其的描述。

[0087] 参照图 11，在所述结构上形成不施加初始净应力 (net stress) 的应力控制层 350。应力控制层 350 可以是通过等离子体增强化学汽相淀积 (PECVD) 形成为约 20-150nm 厚度的氮氧化硅层。

[0088] 参照图 12，形成并构图光致抗蚀剂图案 360 使得其仅遗留在数字电路区域中的 NMOS 晶体管的上方。接着，使用光致抗蚀剂图案 360 作为掩模，去除除数字电路区域中的 NMOS 晶体管上方之外各处的应力控制层 350。

[0089] 接下来，参照图 13，去除光致抗蚀剂图案 360 并对应力控制层的剩余部分退火。作为退火的结果，应力控制层 350 转化为对数字电路区域中的 NMOS 晶体管的沟道 304a 施加拉伸应力的拉伸应力层 352，如图中的箭头所示。由于在其各个晶体管区域中缺少拉伸应力层 352，其余的晶体管沟道 304b、304c 和 304d 没有被施加应力。

[0090] 因此，在本实施例中，拉伸应力被局部地施加到数字电路区域中的 NMOS 晶体管的沟道 304a。结果，在数字电路区域中的 NMOS 晶体管中改善了性能。在数字电路区域中的 PMOS 晶体管上或者模拟电路区域中的 NMOS 和 PMOS 晶体管上没有施加应力，使得这些器件的闪变效应噪声特性不会劣化。因此，在这个实施例中，使用具有拉伸应力的经退火的 PECVD 氮氧化硅层，从而仅提高数字电路区域中的 NMOS 器件的性能。

[0091] 图 14 至 16 包含了示意性剖面图，用于说明根据本发明又一实施例形成半导体器件的方法。这一实施例是在上述实施例的第二类别之内所定义的类型。在图 14 至 16 的实施例中，包括衬底 100、STI 102、源极 / 漏极区 128、栅极介电图案 110、导电栅极图案 120 和侧壁间隔物 124 的器件部分的形成与图 6 至 8 的实施例相同。因此，不再重复对其的描述。在图 14 至 16 的实施例中，形成具有拉伸应力的二氧化硅 (SiO_2) 的经退火的 PECVD 层，以提高 NMOS 性能。

[0092] 参照图 14，在所述结构上形成 SiO_2 层 450。SiO_2 层 450 可以通过在约 600 摄氏度以下的温度下的等离子体增强化学汽相淀积 (PECVD) 形成为约 20-100nm 的厚度。

[0093] 参照图 15，去除在模拟电路区域的 NMOS 晶体管上的 SiO_2 层部分。接着，在 900-1150 摄氏度的温度下对 SiO_2 层退火，从而将拉伸应力引入到 SiO_2 层中，因而引入到数字电路区域的 NMOS 晶体管中。需注意的是，将 SiO_2 层从模拟电路区域中的 NMOS 晶体管去除，因为所期望的是防止应力施加到该晶体管。不必去除 PMOS 晶体管上方的 SiO_2 层部分，因为 SiO_2 层的退火不会影响 PMOS 晶体管。例如，已知通过具有高拉伸应力的 CVDSiO_2 的高温退火会引入砷注入多晶硅（常用于 NMOS 栅极）中的残留压缩应力。因此，在退火之后，存在施加到数字电路区域中的 NMOS 晶体管的沟道 404a 的拉伸应力以及施加到栅极 120 的压缩应力，如图中的箭头所示。对其他沟道 404b、404c、404d 或栅极 120 中的任何一个没有施加应力。

[0094] 接下来，参照图 16，可以去除 SiO_2 层的剩余部分以容许后续的工艺步骤，如器件的源极 / 漏极区的硅化。应注意的是，可不必去除 SiO_2 层的剩余部分。无论 SiO_2 层被彻底去除还是遗留在数字电路区域中的 NMOS 晶体管上，都将保持栅极 120 中的压缩应力和沟道 404a 中的拉伸应力。

[0095] 因此，在本实施例中，拉伸应力被局部地施加到数字电路区域中的 NMOS 晶体管的沟道 404a。结果，在数字电路区域中的 NMOS 晶体管中改善了性能。在数字电路区域中的

PMOS 晶体管上或者在模拟电路区域中的 NMOS 和 PMOS 晶体管上没有施加应力，使得这些器件的闪变效应噪声特性不会劣化。应注意的是，在这个实施例中，可以使用用于源极 / 漏极活化 (activation) 的热量收支 (heat budget)，从而引起拉伸应力而不引入附加的高温退火工艺。

[0096] 图 17 至 20 包含了示意性剖面图，用于说明根据本发明又一实施例形成半导体器件的方法。这一实施例是在上述实施例的第二类别之内所定义的类型。在这一实施例中，使用硅化工艺以提高 NMOS 晶体管的性能。在图 17 至 20 的实施例中，包括衬底 100、STI 102、源极 / 漏极区 128、栅极介电图案 110、导电栅极图案 120 和侧壁间隔物 124 的器件部分的形成与图 6 至 8 的实施例相同。因此，不再重复对其的描述。然而，需注意的是，在图 17 至 20 的实施例中，表示了硅化物图案 830 以代替硅化物图案 130。在这一实施例中，正是以下所述的这些硅化物图案 830 提高了 NMOS 性能。

[0097] 参照图 17，通过在将形成硅化物图案 830 的所述结构上 (即在源极 / 漏极区 128 和导电栅极 120 的硅上) 淀积金属层图案而形成硅化物图案 830。金属可以是例如钴。然后，在约 450 摄氏度下进行第一快速热退火 (RTA) 工艺，以形成一硅化钴 (monosiliside cobalt，CoSi) 图案 830。也就是说，通过第一热处理形成第一相金属硅化物。在执行第一 RTA 之后，去除剩余的钴。

[0098] 参照图 18，在执行第一 RTA 之后，在所述结构上形成盖层 840。盖层 840 可以是厚度形成为约 5-20nm 的氮化钛 (TiN) 层。

[0099] 参照图 19，在所述结构上方形成光致抗蚀剂图案 860，使得仅暴露形成在数字电路区域中的 NMOS 晶体管上方的盖层 840 部分。然后，去除盖层 840 的暴露部分。接下来，在约 700-1100 摄氏度的温度下进行第二 RTA 工艺。作为第二 RTA 工艺的结果，硅化物图案 830 转变为第二相金属硅化物，例如 CoSi 转变为二硅化钴 ($CoSi_2$)。这导致在栅极和源极 / 漏极区上形成新的硅化物图案 830a。在从第一相金属硅化物、例如 CoSi 向第二相金属硅化物、例如 $CoSi_2$，的转变工艺期间，拉伸应力施加到数字电路区域中的 NMOS 晶体管的沟道 804a。而相对而言很小或者没有拉伸应力施加到其他沟道 804b、804c 和 804d 上，因为在它们各自晶体管上方的盖层 840 用于衰减应力。也就是说，拉伸应力局部地施加到数字电路区域中的 NMOS 晶体管的沟道 804a，但其余晶体管的沟道 804b、804c 和 804d 不受退火的影响，因为在这些晶体管上存在用于应力衰减的盖层 840。

[0100] 参照图 20，去除盖层 840 的剩余部分。所得的是具有硅化物层 830a 的器件，其将拉伸应力施加到数字电路区域中的 NMOS 晶体管的沟道 804a 而对其余晶体管不施加应力。

[0101] 图 21 至 27 包含了示意性剖面图，用于说明根据本发明又一实施例形成半导体器件的方法。这一实施例是在上述实施例的第三类别之内所定义的类型。在这一实施例中，使用外延生长的源极 / 漏极结构以在 PMOS 晶体管上引起压缩应力，从而提高 PMOS 晶体管的性能。

[0102] 参照图 21，在器件的数字电路区域和模拟电路区域两者中形成 CMOS 结构，每个 CMOS 结构包括 NMOS 晶体管和 PMOS 晶体管。所述器件包括数字电路区域和模拟电路区域。数字电路区域和模拟电路区域的每一个包括第一 NMOS 晶体管和第一 PMOS 晶体管。提供由例如硅制成的衬底 100。在衬底 100 中形成浅沟槽隔离 (STI)102 以隔离器件。每个晶体管包括源极 / 漏极区 128，每个源极 / 漏极区 128 包括轻掺杂源极 / 漏极区 122 和重掺杂源极

/ 漏极区 126。对于每个晶体管，在衬底上形成栅极介电层图案 110。在用于每个晶体管的各个栅极介电层图案 110 上形成导电栅极图案 120，并在包括栅极介电层图案 110 和导电栅极图案 120 的所有栅极结构的侧壁上，形成侧壁间隔物 124。

[0103] 参照图 22，在图 21 的结构上方形成掩模层 510。掩模层可以由例如二氧化硅、氮化硅或其他类似材料制成。

[0104] 参照图 23，至少部分地去除数字电路区域中的 PMOS 晶体管上方的掩模层 510 部分，在侧壁间隔物 124 上遗留一小部分掩模层 510。然后，在其栅极结构旁边，通过自对准、垂直、各向异性蚀刻去除暴露的 PMOS 晶体管的源极 / 漏极区 128 的一部分。结果，形成深度约 10-100nm 的槽 520。

[0105] 参照图 24，在槽 520 和导电栅极 120 的顶部选择性并且外延性地生长半导体层 522。外延层 522 可以是 SiGe、SiC 或者其他类似材料。层 522 对数字电路区域中的 PMOS 晶体管的沟道 504b 施加压缩应力，如图中的箭头所示。这一压缩应力是由外延生长的半导体层 522 的较大晶格常数所造成的。具有较大晶格常数的材料对沟道 504b 的材料施加压力，导致沟道 504b 中的压缩应力。也就是说，外延生长的半导体层 522 和衬底 100 具有不同的晶格结构和 / 或不同的热膨胀系数，这在晶体管的沟道中产生了机械应力，由此影响沟道中载流子的迁移率。

[0106] 参照图 25，从所述结构去除剩余的掩模层 510。然后，在数字电路区域的 PMOS 晶体管中的栅极导电图案 120 和暴露的源极 / 漏极区 128 上，以及外延生长的半导体层 522 之上，形成金属硅化物层 530，其可以是硅化镍、硅化钴或其他类似材料。

[0107] 接下来，参照图 26，在所述结构上形成具有拉伸应力的应力控制层 550。应力控制层 550 可以是通过 LPCVD 形成约 20-150nm 厚度的氮化硅层。应力控制层 550 可以是在 400-800 摄氏度的高温条件下形成的氮化硅层。可选择地，应力控制层 550 可以是通过 PECVD 形成的退火的 SiON 层，或者拉伸应力氧化硅层。结果，拉伸应力局部地施加到沟道 504a、504b、504c 和 504d 上。

[0108] 接着，参照图 27，拉伸应力在数字电路区域中的 PMOS 晶体管以及模拟电路区域的 NMOS 和 PMOS 晶体管中被选择性地消除。在数字电路区域中的 NMOS 晶体管的上方形成光致抗蚀剂掩模图案 560。然后，向除数字电路区域中的 NMOS 晶体管之外的各处的结构中注入离子，如锗、硅、砷、铟、锑或其他类似离子。结果，数字电路区域中的 PMOS 晶体管以及模拟电路区域中的 NMOS 和 PMOS 晶体管中的拉伸应力被消除。在离子注入之后，拉伸应力局部地施加到数字电路区域中 NMOS 晶体管的沟道 504a 上，和压缩应力局部地施加到数字电路区域中 PMOS 晶体管的沟道 504b 上，如图中的箭头所示。没有净应力施加到模拟电路区域中的晶体管的沟道 504c 和 504d 上。

[0109] 图 28 至 31 包含了示意性剖面图，用于说明根据本发明又一实施例形成半导体器件的方法。这一实施例是在上述实施例的第三类别之内所定义的类型。在这一实施例中，分别形成拉伸和压缩层从而在数字电路区域中的 NMOS 和 PMOS 晶体管两者中引起应力。在图 28 至 31 的实施例中，包括衬底 100、STI 102、源极 / 漏极区 128、栅极介电图案 110、导电栅极图案 120、硅化物图案 130 和侧壁间隔物 124 的器件部分的形成与图 6 至 8 的实施例相同。因此，不再重复对其的描述。

[0110] 参照图 28，在所述结构上形成具有拉伸应力的第一应力控制层 650。第一应力控

制层 650 可以是通过 LPCVD 形成为约 20-150nm 厚度的氮化硅层。层 650 可以是在 400-800 摄氏度的高温条件下形成的氮化硅层。可选择地，层 650 可以是通过 PECVD 形成的退火 SiON 层，或者具有拉伸应力的氧化硅层。作为形成第一应力控制层的结果，拉伸应力局部地施加到数字电路区域和模拟电路区域两者中的晶体管的沟道 604a、604b、604c 和 604d 上，如图中的箭头所示。

[0111] 参照图 29，去除数字电路区域中的 PMOS 晶体管上方以及模拟电路区域中的 PMOS 和 NMOS 晶体管上方的第一应力控制层 650 部分。形成光致抗蚀剂图案 654 从而仅覆盖数字电路区域中的 NMOS 晶体管，并且去除第一应力控制层 650 的暴露部分。应注意的是，如果 PECVD SiON 层用作第一应力控制层 650，那么所期望的是，在从数字电路区域中的 PMOS 晶体管和模拟电路区域中的晶体管选择性地去除第一应力控制层 650 之后进行退火工艺。作为选择性去除第一应力控制层 650 的结果，拉伸应力保持为仅施加到数字电路区域中的 NMOS 晶体管的沟道 604a 上，如图中的箭头所示。

[0112] 参照图 30，在所述结构上形成具有压缩应力的第二应力控制层 660。第二应力控制层 660 可以是例如通过 PECVD 形成为约 20-150nm 厚度的氮化硅层。第二应力控制层 660 可以是在 200-400 摄氏度的低温条件下形成的氮化硅层。可选择地，第二应力控制层 660 可以是具有压缩应力的氧化硅层。作为形成第二应力控制层 660 的结果，压缩应力施加到所有的沟道 604a、604b、604c 和 604d 上，并且沟道 604a 同时具有所施加的压缩应力和拉伸应力，如图中的箭头所示。

[0113] 参照图 31，第二应力控制层 660 在除数字电路区域中的 PMOS 晶体管之外的所有晶体管的上方被选择性地转变为应力消除或减轻层 662。光致抗蚀剂掩模图案 670 仅形成在数字电路区域中的 PMOS 晶体管上方。如锗、硅、砷、铟、锑或其他类似离子的离子，被注入到第二应力控制层 660 中，除了覆盖数字电路区域中的 PMOS 晶体管的第二应力控制层 660 部分，如 672 所示。离子注入消除了第二应力控制层 660 的暴露部分中的压缩应力，使得第二应力控制层的暴露部分变为应力消除或减轻层 662。结果，拉伸应力仅仅局部地施加到数字电路区域中 NMOS 晶体管的沟道 604a 上，和压缩应力仅仅局部地施加到数字电路区域中 PMOS 晶体管的沟道 604b 上，如图中的箭头所示。因此，提高了数字电路区域中 NMOS 晶体管和 PMOS 晶体管两者的性能，而模拟电路区域中的晶体管保持不受所施加应力的影响，使得模拟电路区域中的晶体管不会因在晶体管上施加应力而导致的噪声而劣化。

[0114] 图 32 包含了示意性剖面图，用于说明根据本发明又一实施例形成半导体器件的方法。这一实施例是在上述实施例的第三类别之内所定义的类型。图 32 的实施例是图 28 至 31 的实施例的变型。图 28 至 30 所示的步骤也用于图 32 的实施例中。因此，不再重度对这些步骤的描述。

[0115] 参照图 32，在形成具有压缩应力的第二应力控制层 660 之后，去除除数字电路区域中 PMOS 晶体管的上方之外各处的第二应力控制层 660。结果，拉伸应力局部地施加到数字电路区域中 NMOS 晶体管的沟道 704a 上，和压缩应力局部地施加到数字电路区域中 PMOS 晶体管的沟道 704b 上，如图中的箭头所示。

[0116] 因此，根据本发明，对特定的器件，依据其所要求工作配置选择性地应用应力工程。也就是说，适当的应力（即拉伸或压缩应力）可以被施加到和 / 或从器件（即 NMOS 和 / 或 PMOS 器件）上去除，而这不仅基于器件的导电类型（即 n 型或 p 型），也基于其预期的

工作应用，例如模拟 / 数字、低电压 / 高电压、高速 / 低速、噪声敏感 / 噪声不敏感等。

[0117] 本发明适用于包括数字、模拟和混合模式功能的电路。例如，本发明适用于存储器 LSI、如 DRAM 和嵌入式 DRAM。本发明的方法适用于 DRAM 单元和 / 或被认为是噪声敏感模拟电路的 DRAM 读出放大器 (senseamplifier)。本发明适用于其他电路，如，例如 SRAM、快闪存储器、MRAM、PRAM 和其他类似器件的分立存储芯片或嵌入式存储芯片结构中存储电路的读出放大器电路。本发明尤其适用于这些电路，因为这些电路中的读出放大器需要感测非常微小的电流差异，并且因此，如闪变效应噪声的噪声基本上能够劣化其性能。

[0118] 尽管参照其示例性实施例详细表示和描述了本发明，但本领域普通技术人员将会理解的是，在不脱离由所附权利要求所限定的本发明的主旨和范围的前提下，可以对本发明进行各种形式和细节上的变化。

[0119] 本申请要求于 2004 年 3 月 30 日向韩国知识产权局提交的韩国专利申请第 2004-0021569 号的优先权，其全部内容在此引入作为参考。

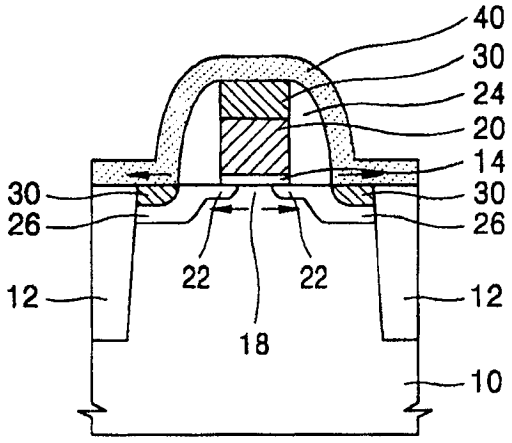

40
30
24
20
14
30
26
30
26
22
22
12
12
18
10

图 1

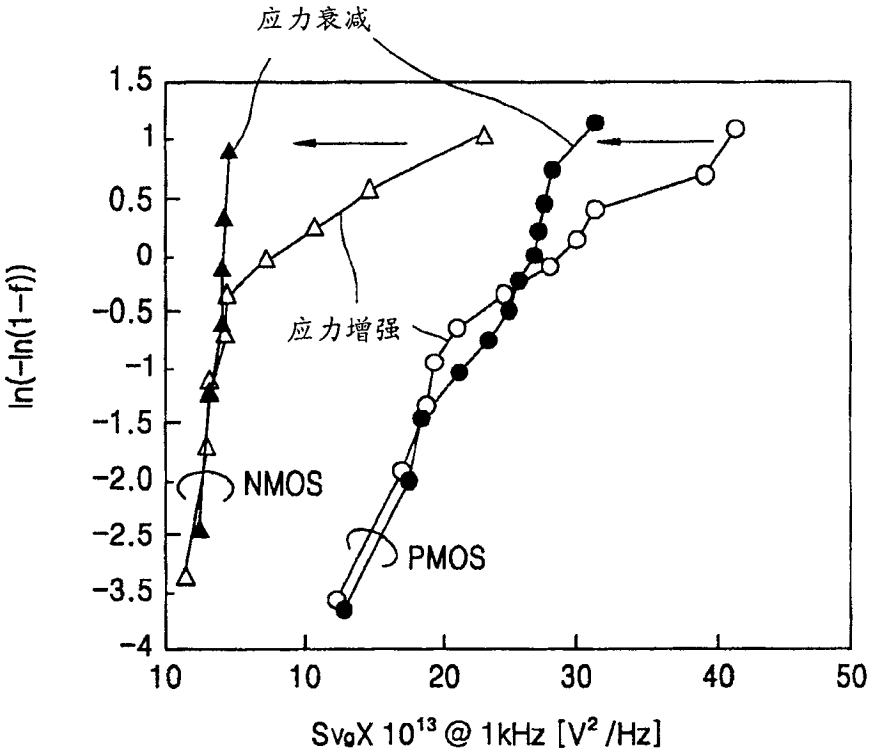

应力衰减
应力增强
NMOS
PMOS
ln(-ln(1-f))
1.5
1
0.5
0
-0.5
-1
-1.5
-2.0
-2.5
-3.5
-4
10
10
20
30
40
50
SvgX 10¹³ @ 1kHz [V²/Hz]

图 2A

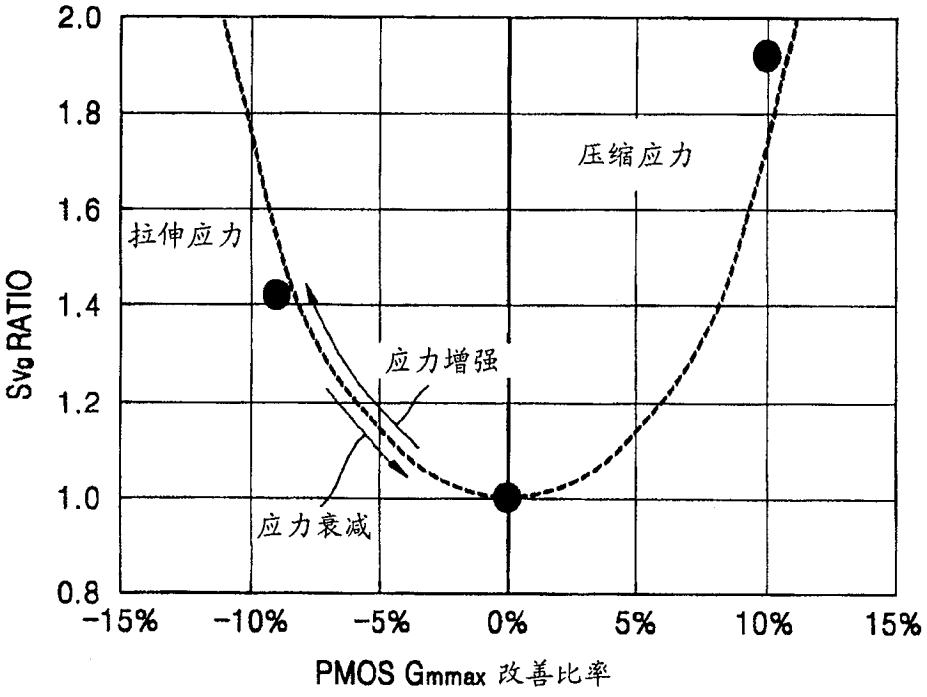

2.0
1.8
1.6
1.4
1.2
1.0
0.8
SVG RATIO
压缩应力
拉伸应力
应力增强
应力衰减
-15%
-10%
-5%
0%
5%
10%
15%
PMOS Gmmax 改善比率

图 2B

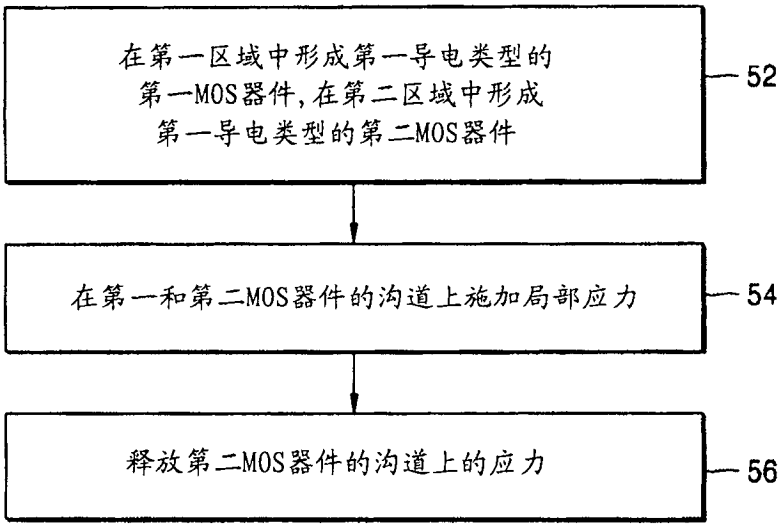

在第一区域中形成第一导电类型的第一MOS器件,在第二区域中形成第一导电类型的第二MOS器件
52
在第一和第二MOS器件的沟道上施加局部应力
54
释放第二MOS器件的沟道上的应力
56

图 3

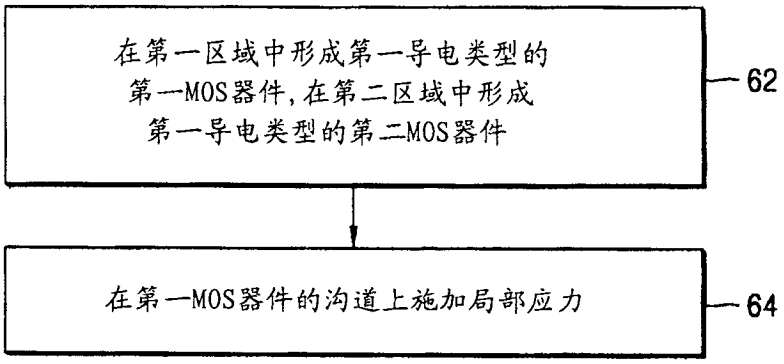

在第一区域中形成第一导电类型的
第一MOS器件，在第二区域中形成
第一导电类型的第二MOS器件
62
在第一MOS器件的沟道上施加局部应力
64

图 4

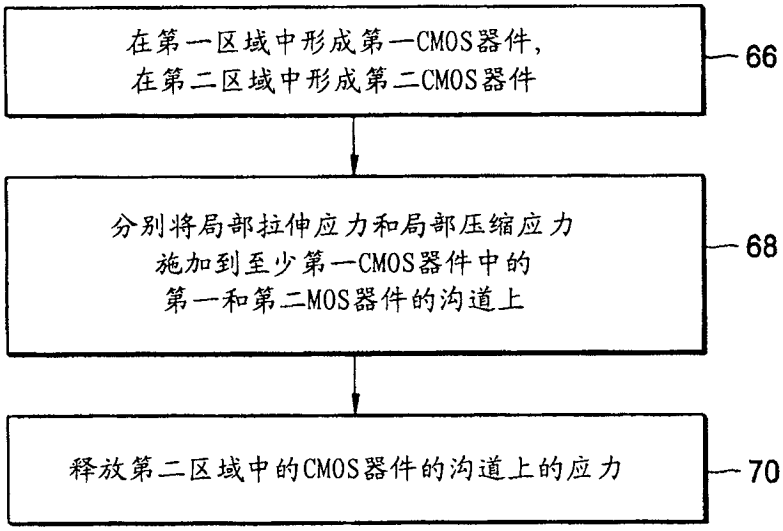

在第一区域中形成第一CMOS器件，
在第二区域中形成第二CMOS器件
66
分别将局部拉伸应力和局部压缩应力
施加到至少第一CMOS器件中的
第一和第二MOS器件的沟道上
68
释放第二区域中的CMOS器件的沟道上的应力
70

图 5

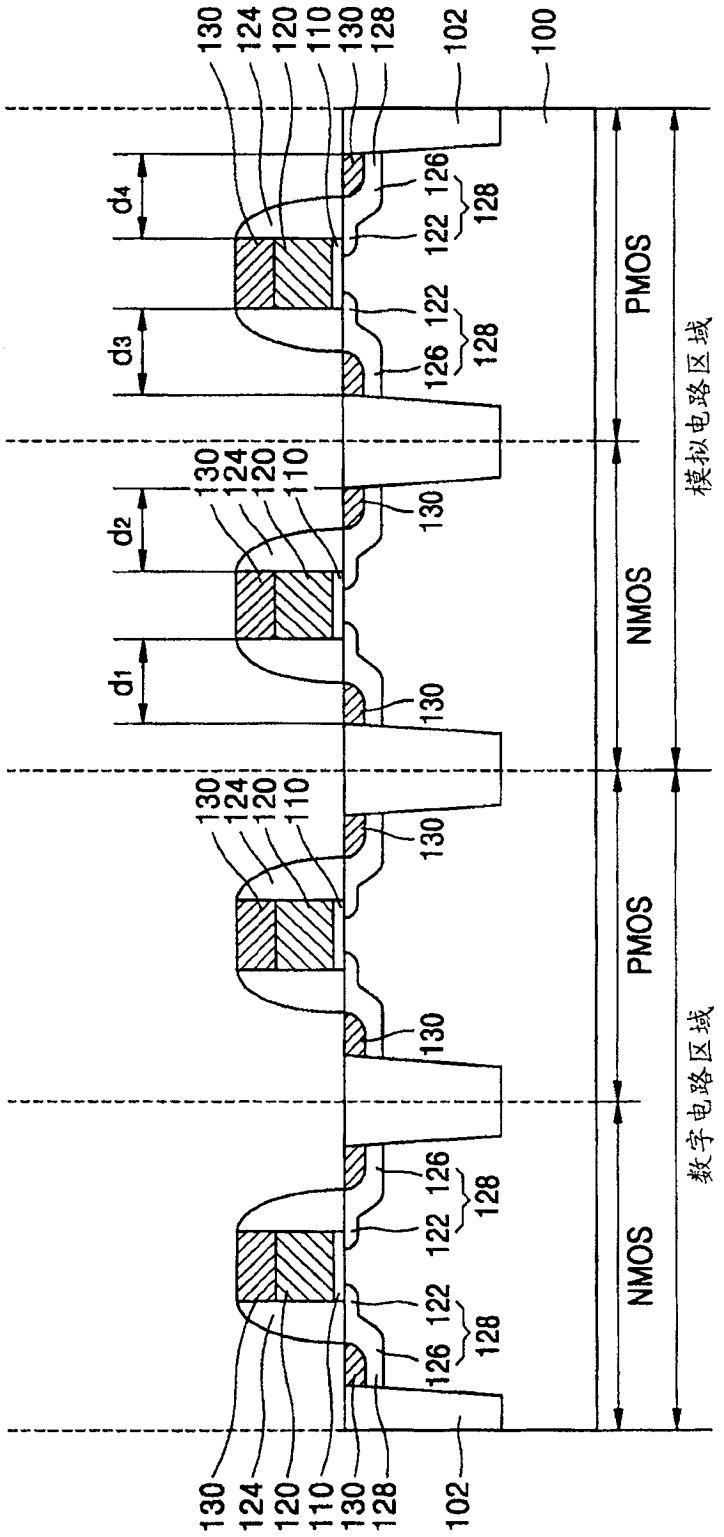

130
124
120
110
130
128
102
100
d4
d3
d2
d1
126
122
128
PMOS
NMOS
PMOS
NMOS
模拟电路区域
数字电路区域

图 6

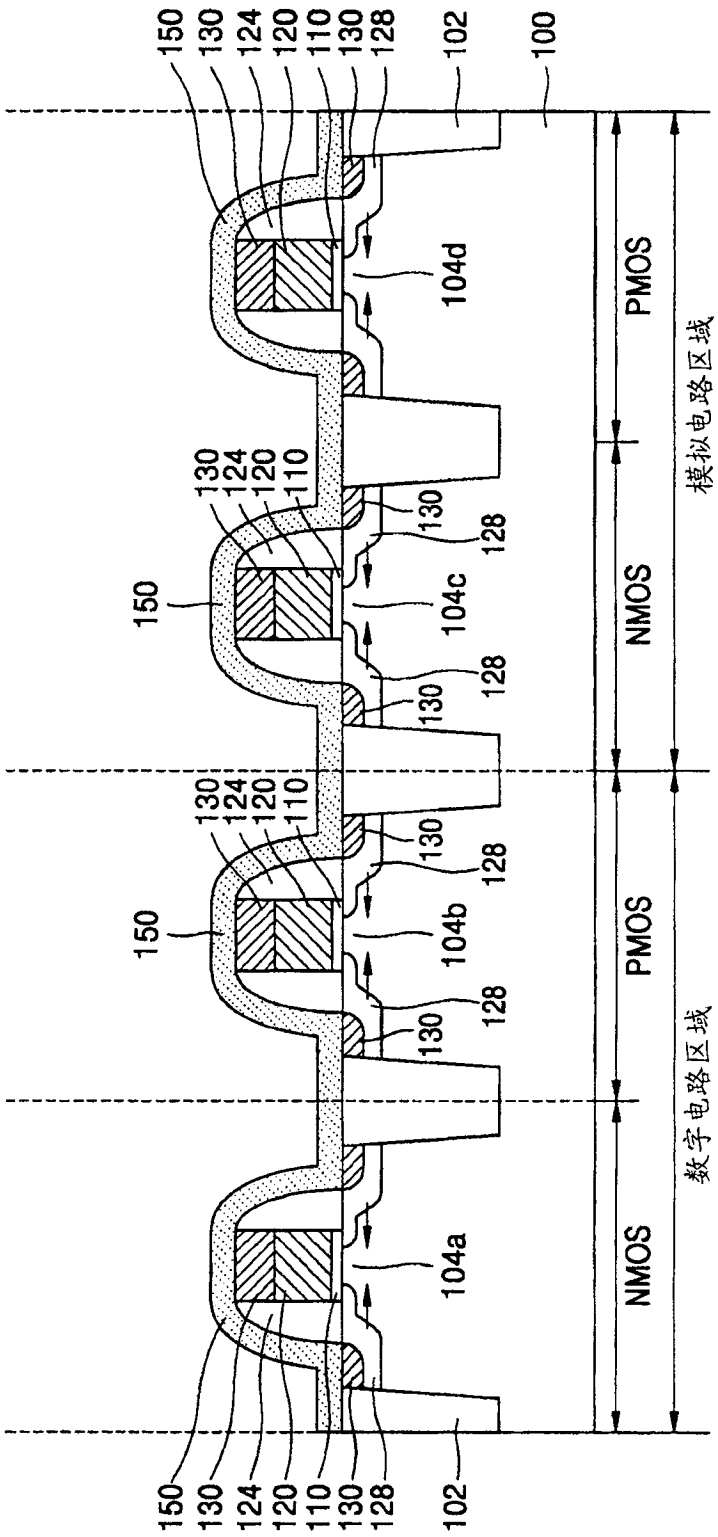

150
130
124
120
110
130
128
102
100
104d
PMOS
模拟电路区域
NMOS
104c
PMOS
104b
数字电路区域
NMOS
104a

图 7

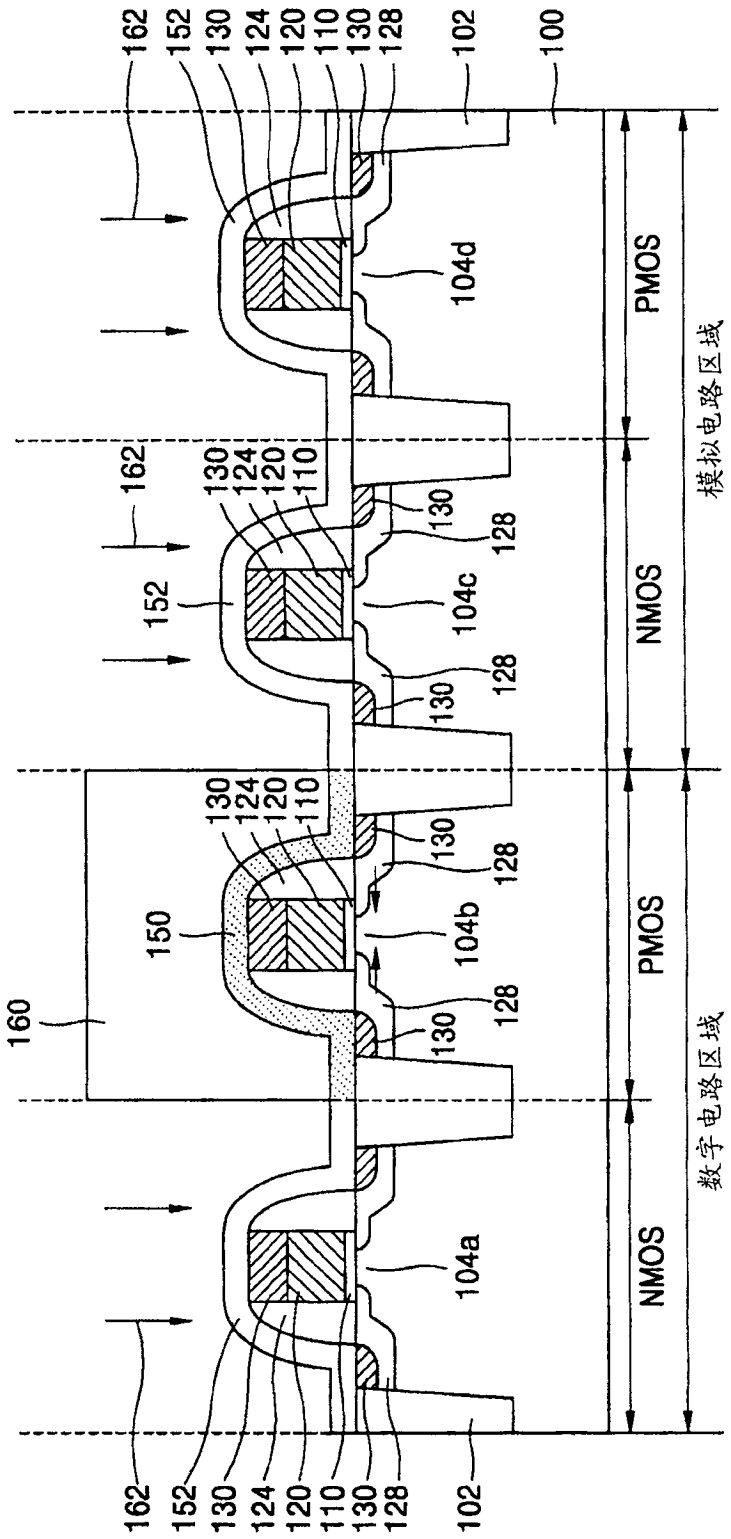

162
152
130
124
120
110
130
128
102
100
104d
PMOS
模拟电路区域
NMOS
104c
150
104b
160
104a
数字电路区域

图 8

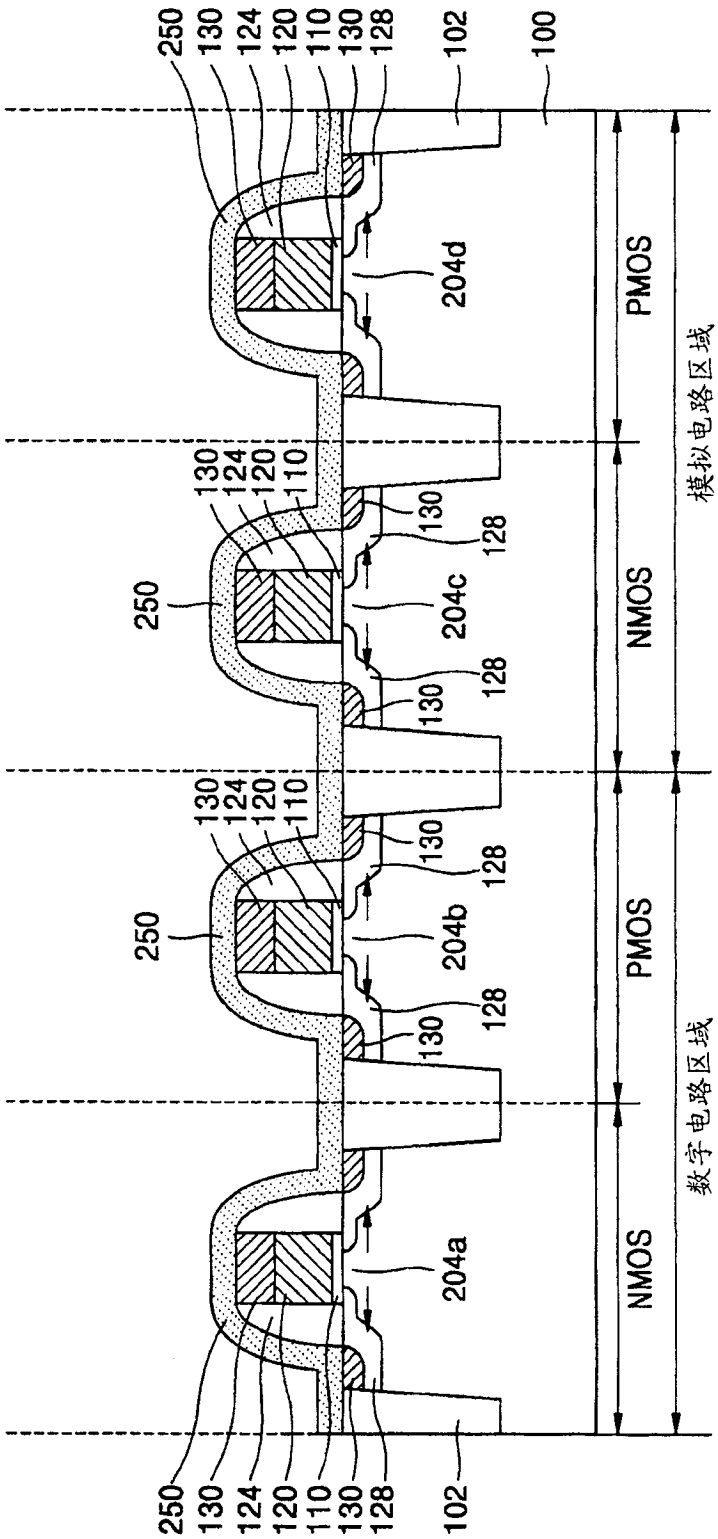

250
130
124
120
110
130
128
102
100
204d
204c
204b
204a
PMOS
NMOS
PMOS
NMOS
模拟电路区域
数字电路区域

图 9

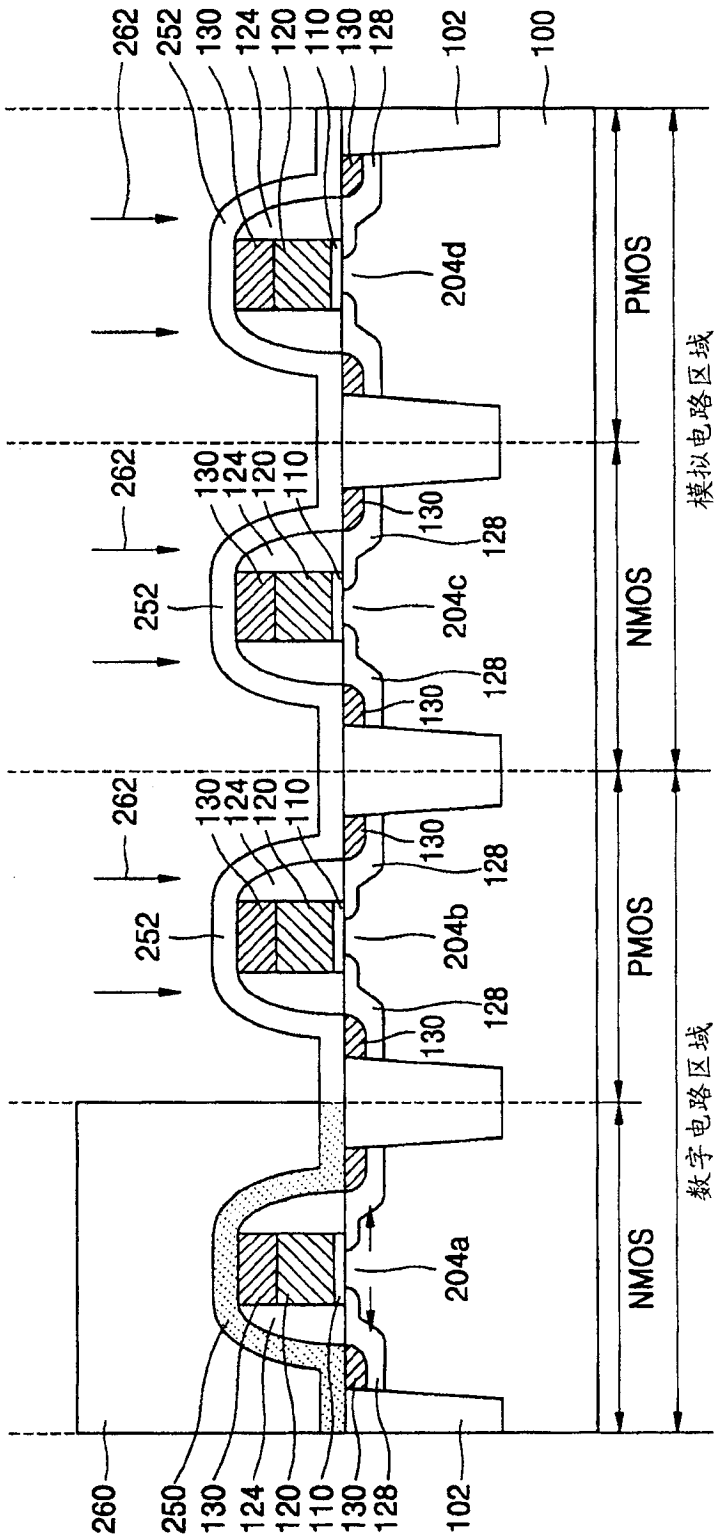

262
252
130
124
120
110
130
128
102
100
204d
PMOS
模拟电路区域
130
128
204c
NMOS
130
128
204b
PMOS
130
128
数字电路区域
204a
NMOS
260
250
130
124
120
110
130
128
102

图 10

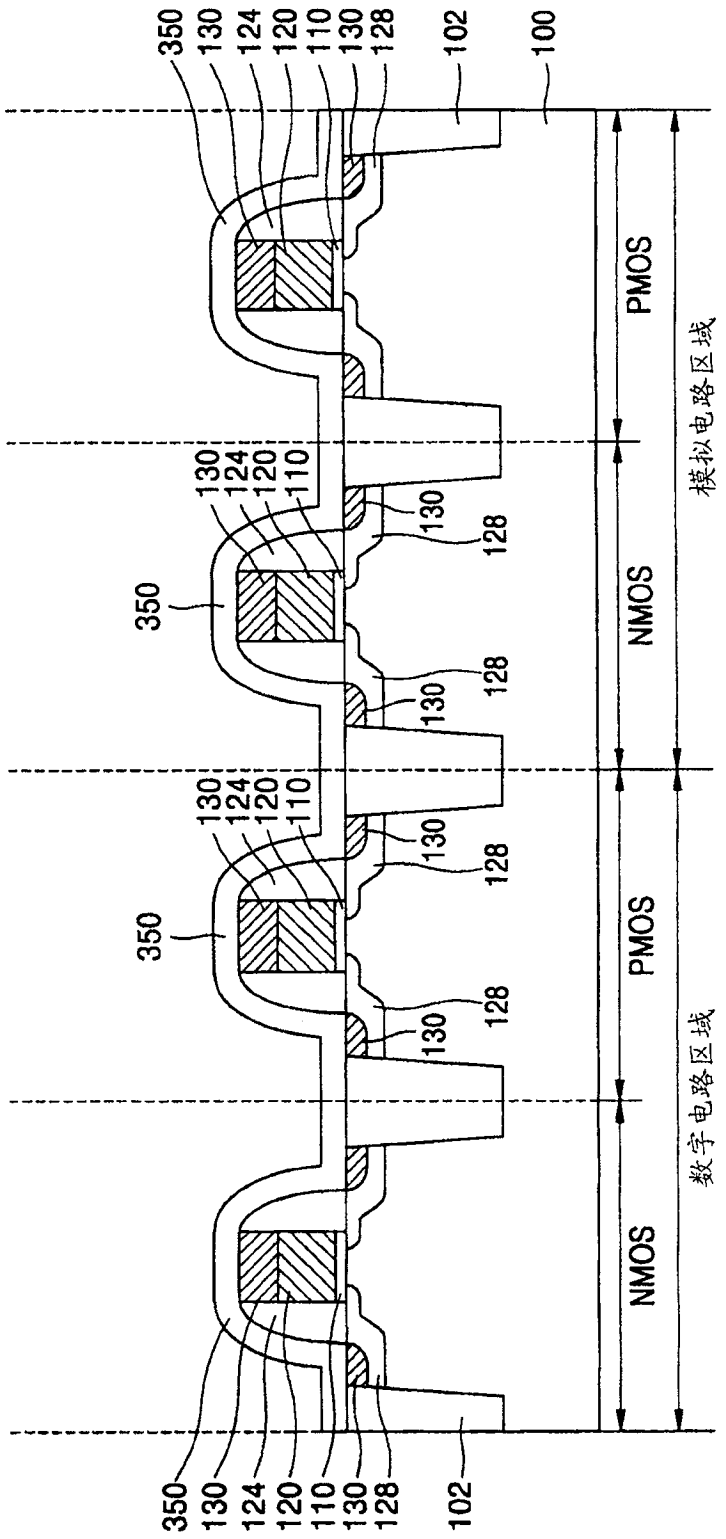

350
130
124
120
110
130
128
102
100
PMOS
NMOS
PMOS
NMOS
模拟电路区域
数字电路区域

图 11

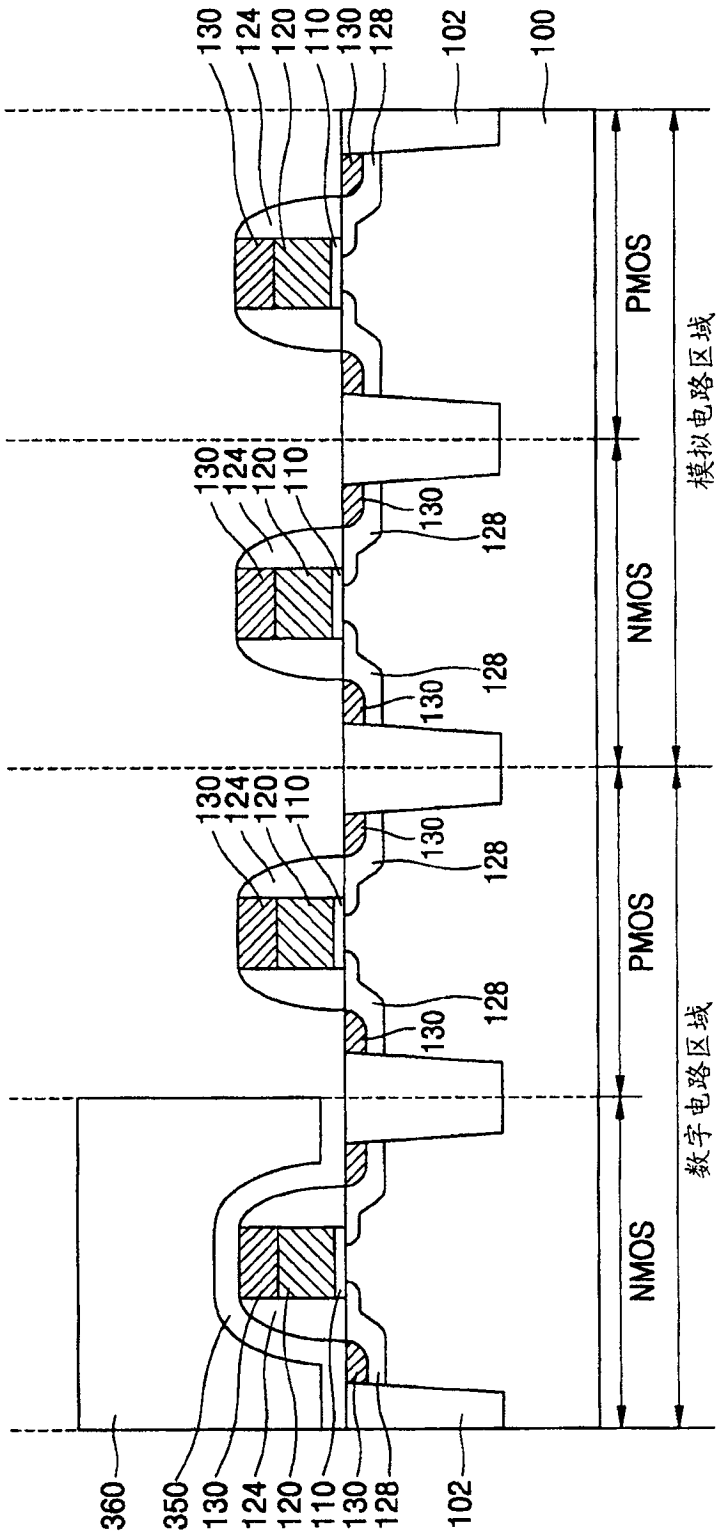

130
124
120
110
130
128
102
100
PMOS
NMOS
模拟电路区域
PMOS
NMOS
数字电路区域
360
350

图 12

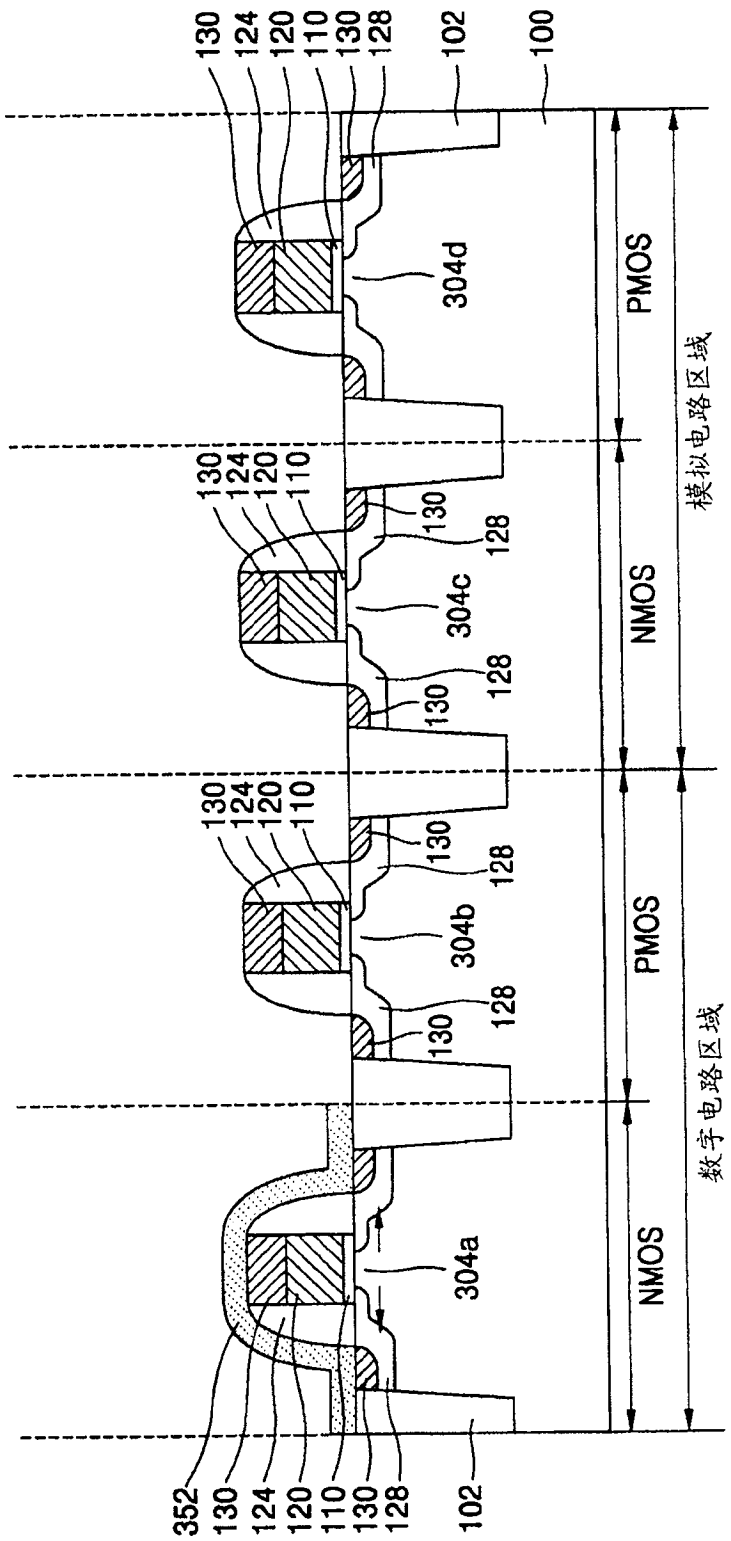

130
124
120
110
130
128
102
100
304d
PMOS
模拟电路区域
NMOS
304c
PMOS
304b
数字电路区域
NMOS
304a
352

图 13

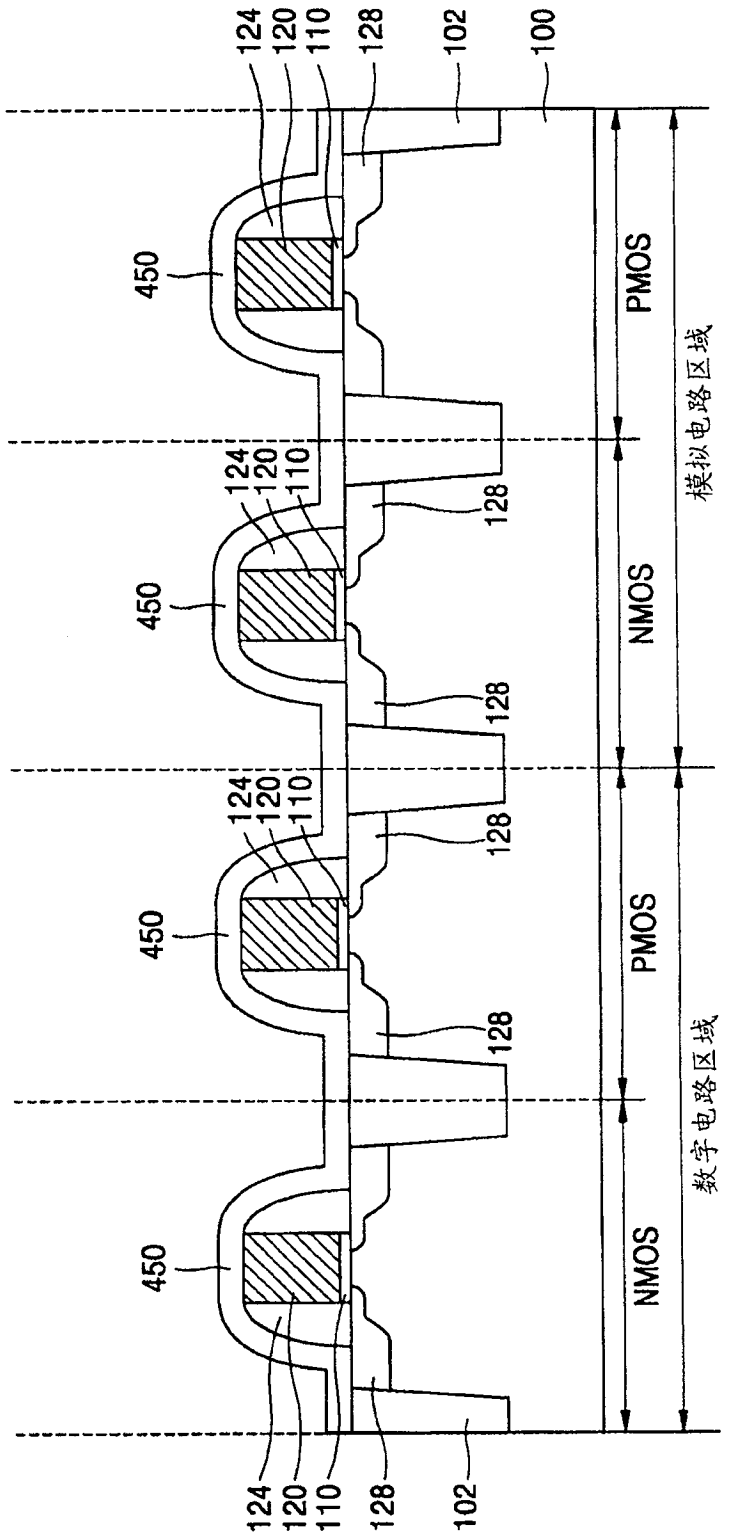


图 14

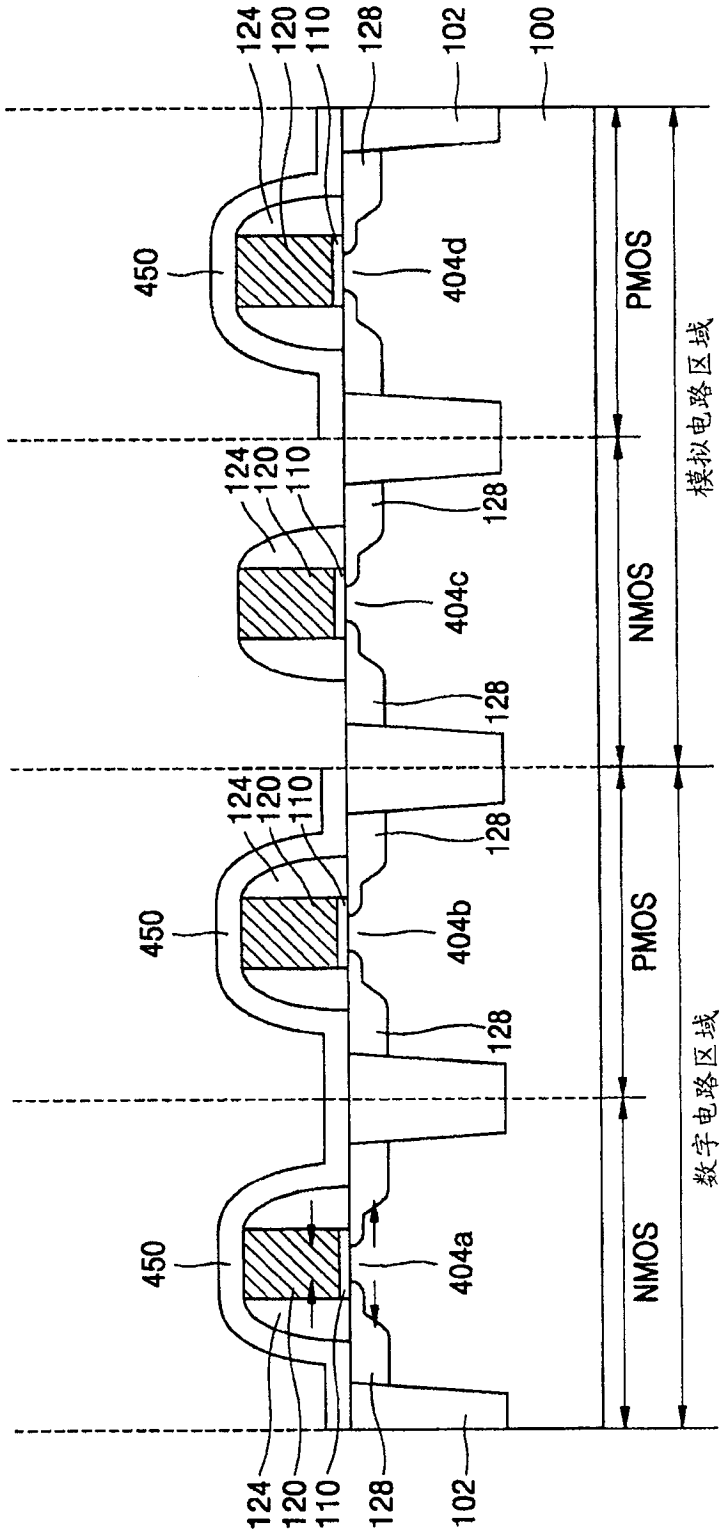

124
120
110
128
102
100
450
404d
PMOS
模拟电路区域
124
120
110
128
404c
NMOS
128
124
120
110
128
450
404b
PMOS
128
数字电路区域
450
404a
NMOS
124
120
110
128
102

图 15

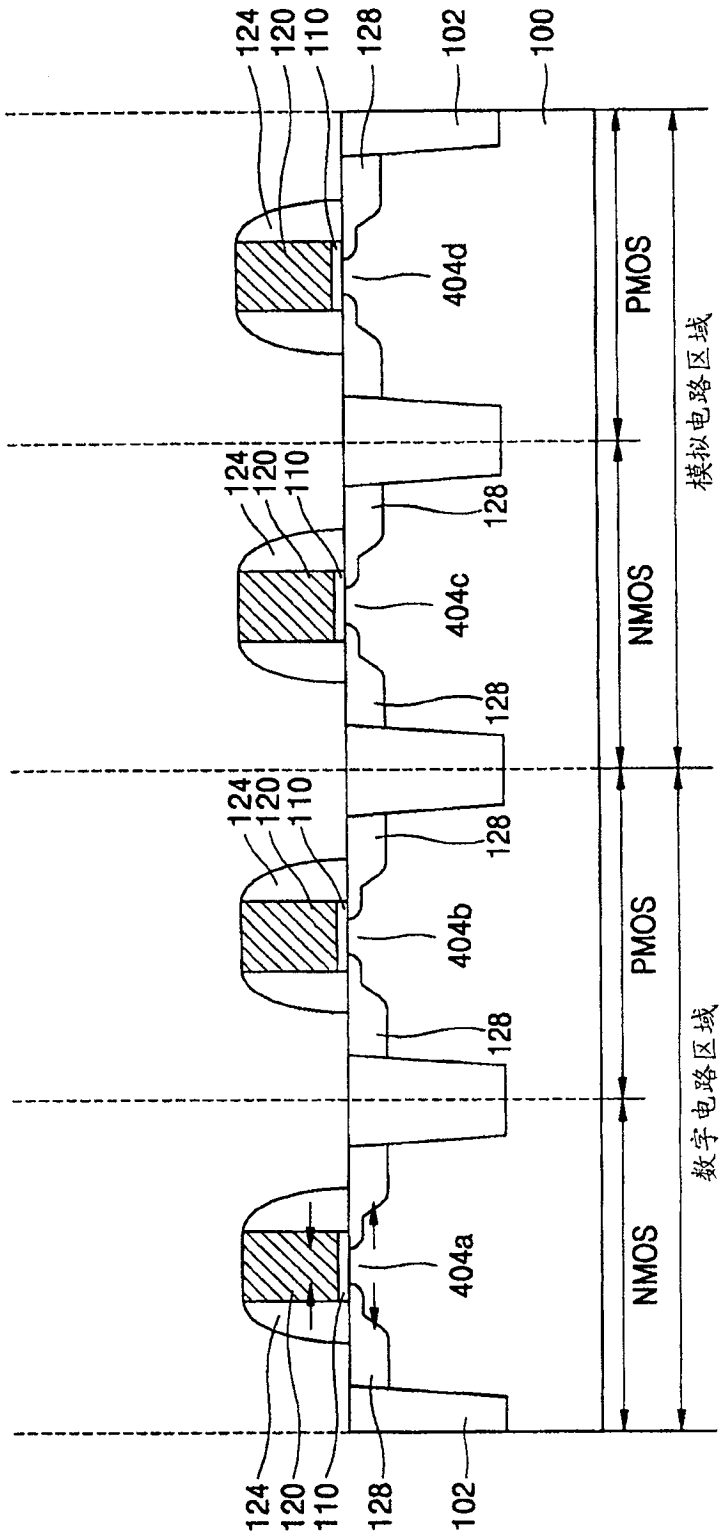

124
120
110
128
102
100
404d
404c
404b
404a
PMOS
NMOS
PMOS
NMOS
模拟电路区域
数字电路区域

图 16

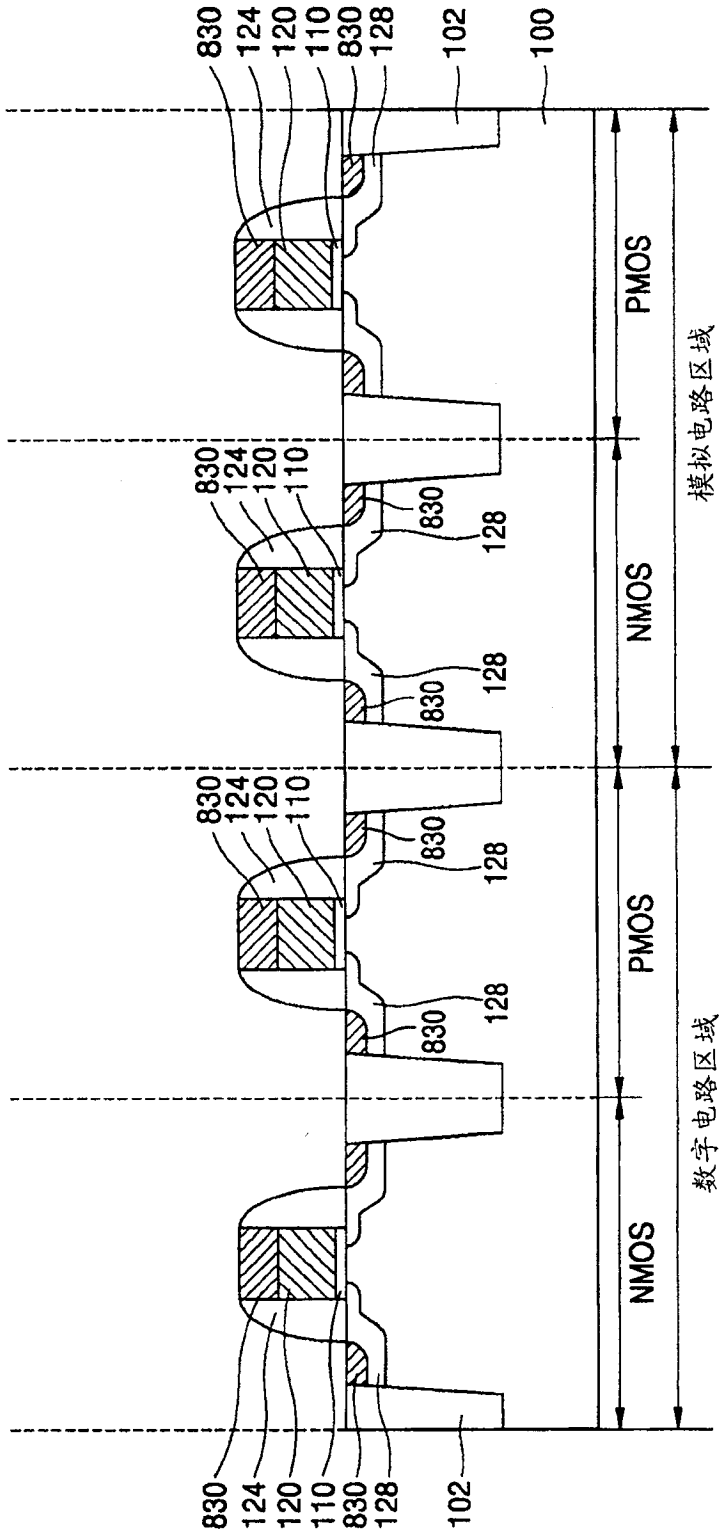

830
124
120
110
830
128
102
100
PMOS
NMOS
模拟电路区域
PMOS
NMOS
数字电路区域

图 17

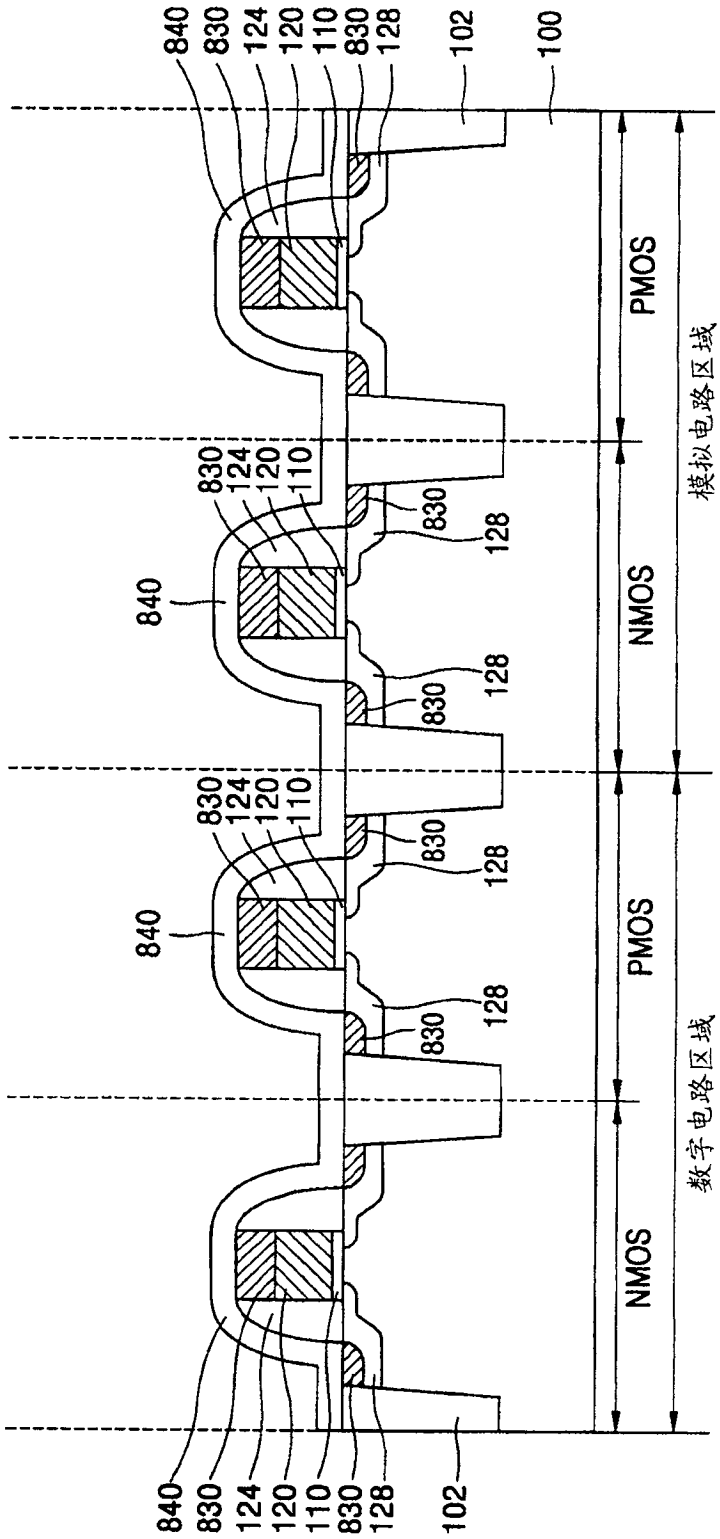

840
830
124
120
110
830
128
102
100
PMOS
NMOS
PMOS
NMOS
模拟电路区域
数字电路区域

图 18

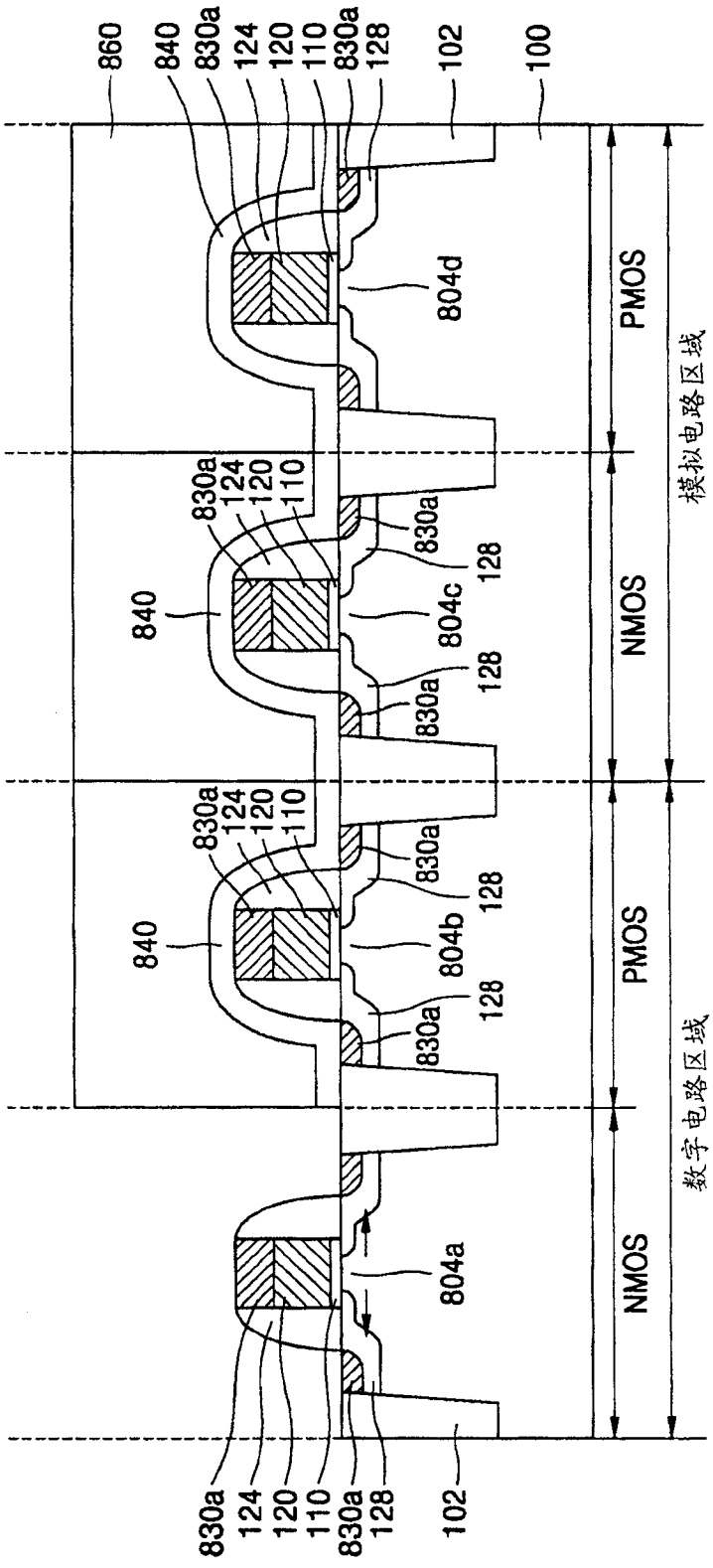

860
840
830a
124
120
110
830a
128
102
100
804d
PMOS
模拟电路区域
830a
124
120
110
830a
128
840
804c
NMOS
830a
128
830a
124
120
110
830a
128
840
804b
PMOS
数字电路区域
830a
128
804a
NMOS
830a
124
120
110
830a
128
102

图 19

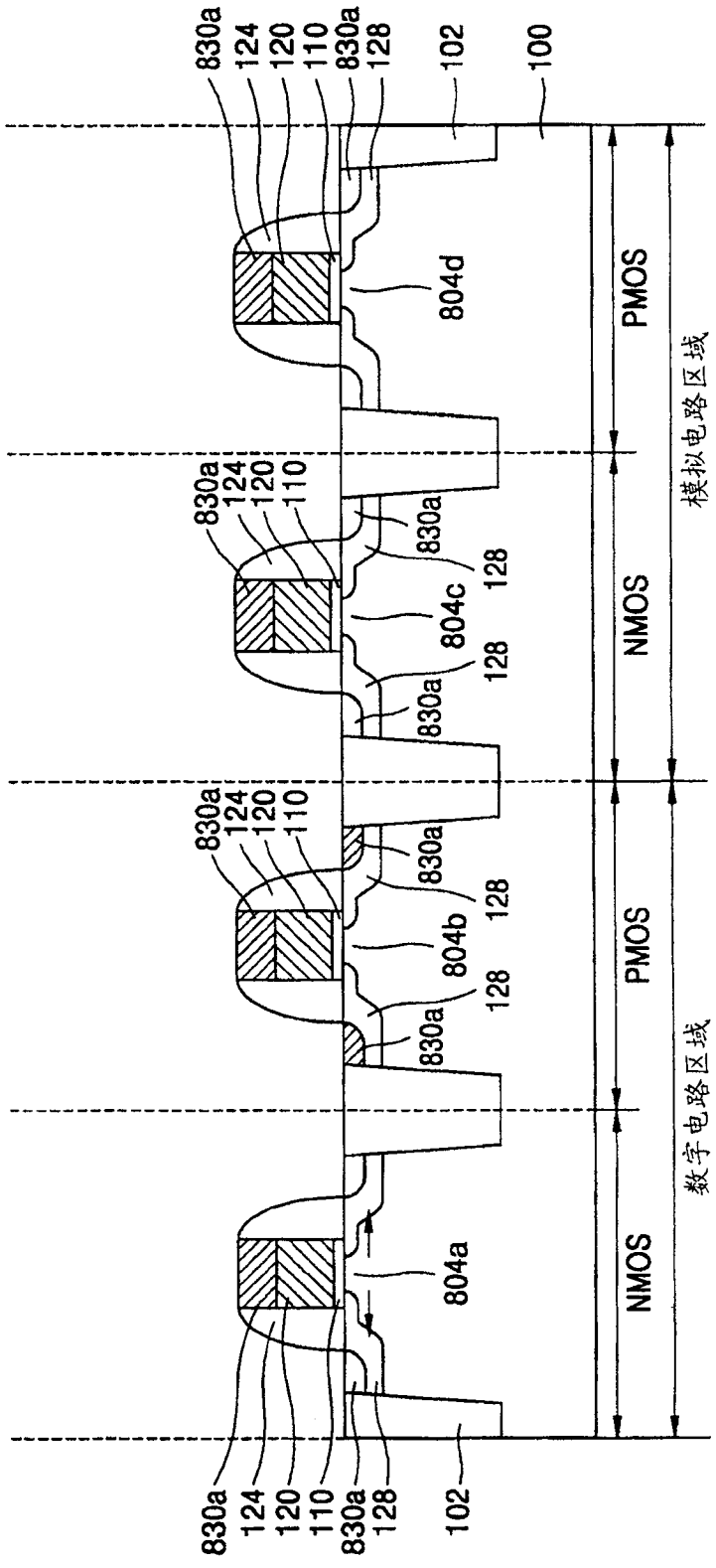

830a
124
120
110
830a
128
102
100
804d
PMOS
模拟电路区域
830a
124
120
110
830a
804c
128
128
830a
NMOS
830a
124
120
110
830a
804b
128
128
830a
PMOS
数字电路区域
804a
NMOS
830a
124
120
110
830a
128
102

图 20

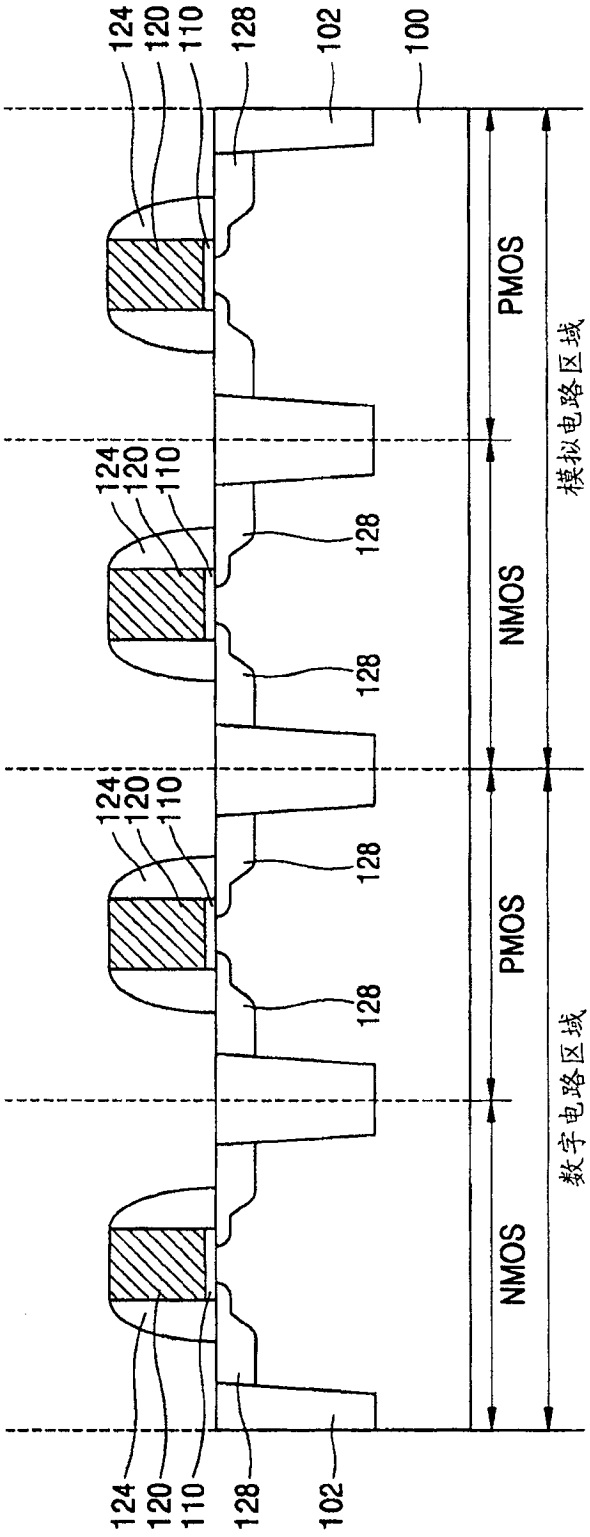


图 21

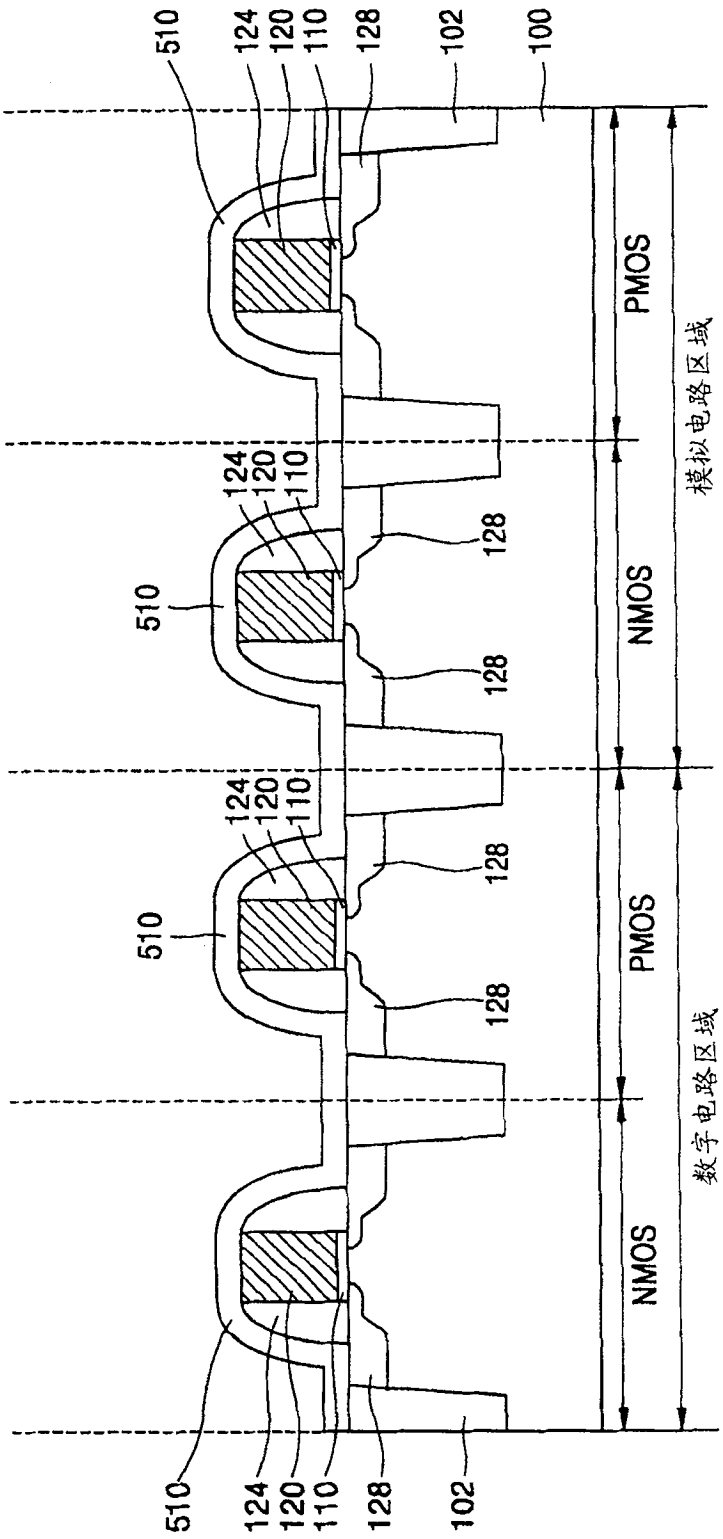


图 22

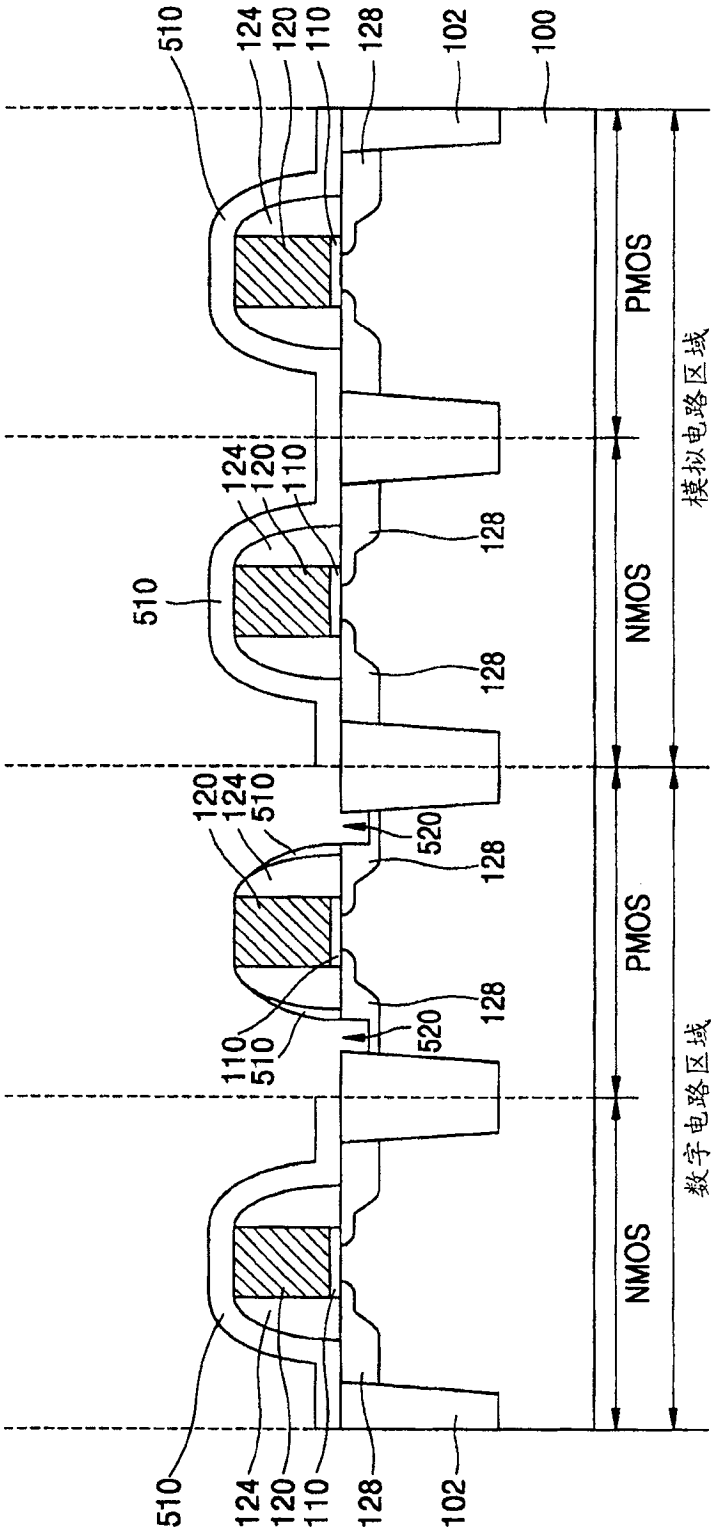

510
124
120
110
128
102
100
PMOS
NMOS
模拟电路区域
520
PMOS
NMOS
数字电路区域

图 23

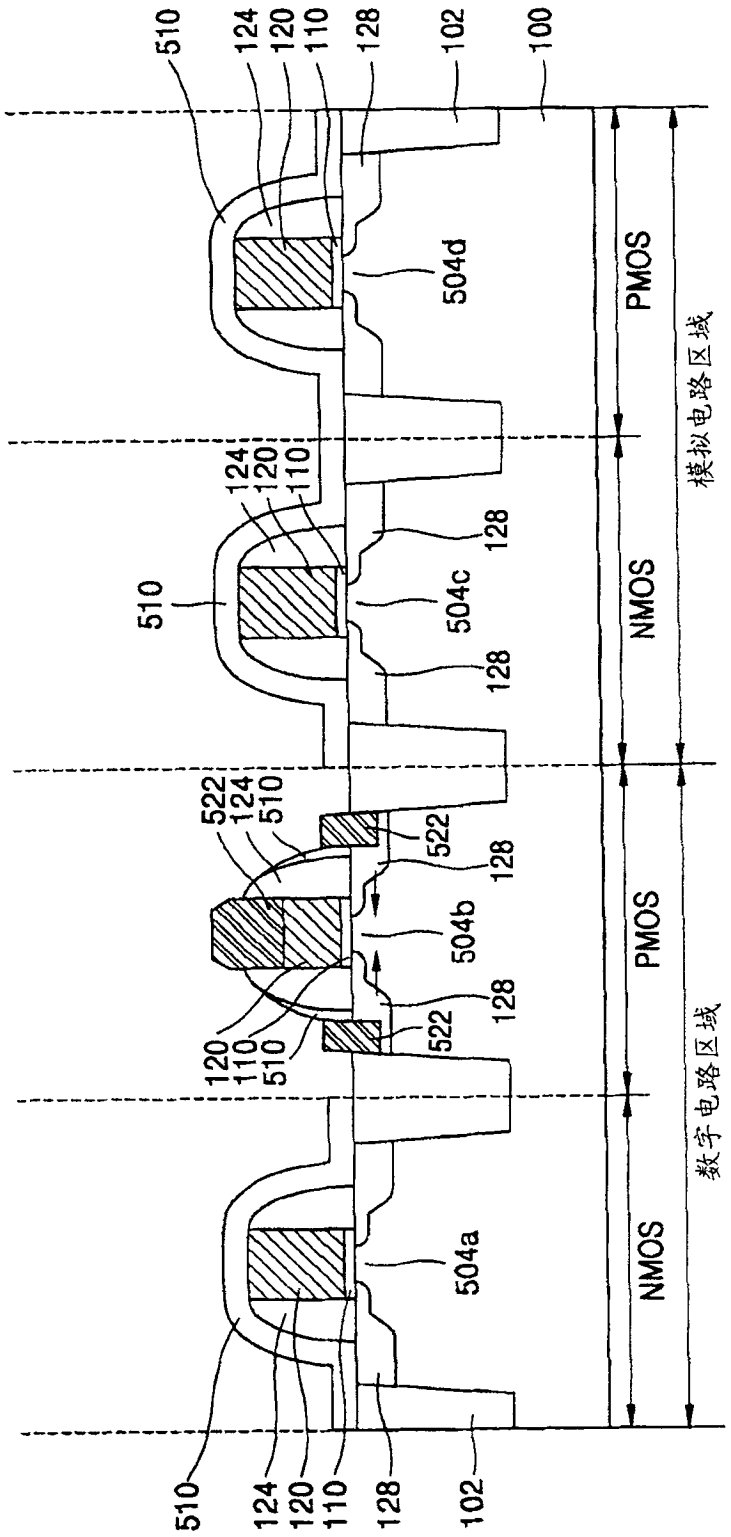

510
124
120
110
128
102
100
504d
PMOS
模拟电路区域
504c
NMOS
522
504b
数字电路区域
504a

图 24

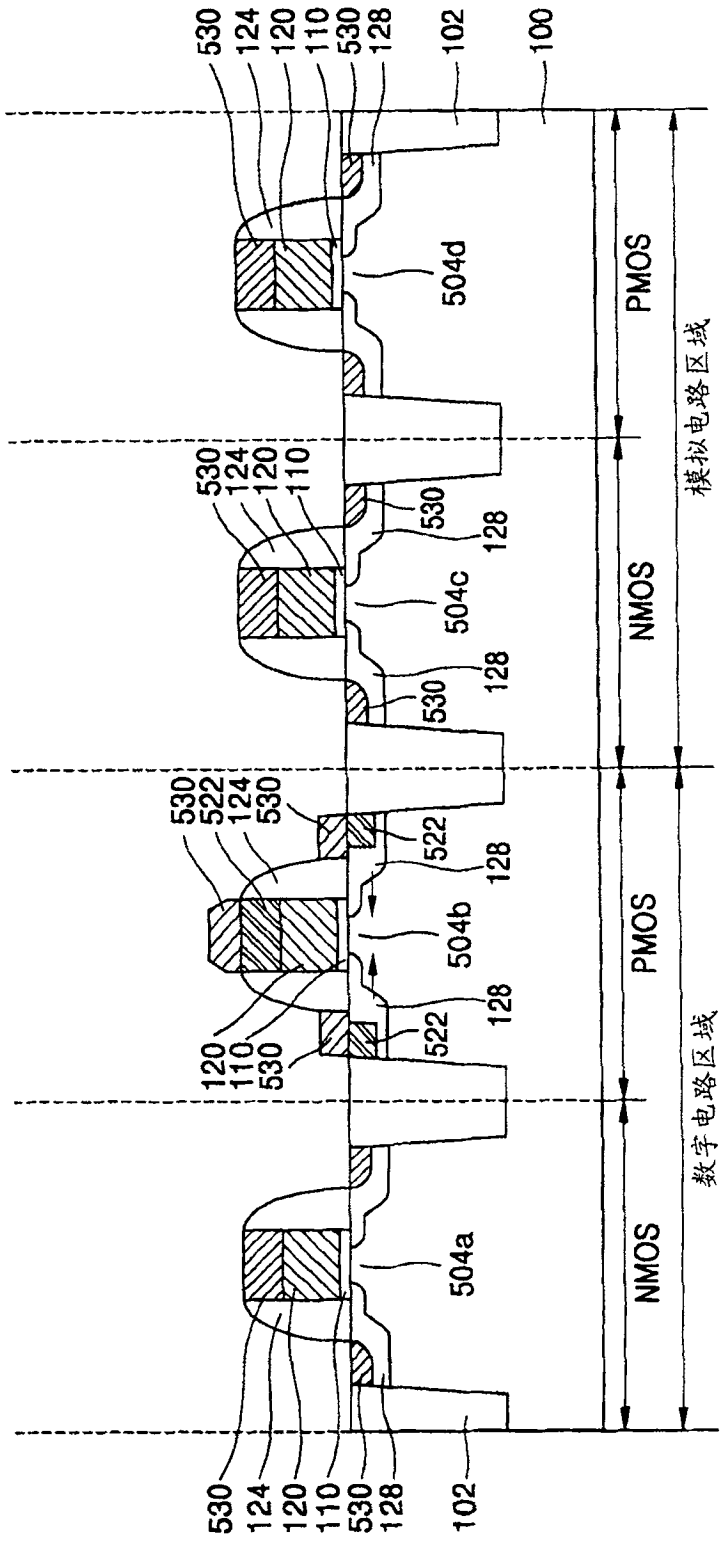

530
124
120
110
530
128
102
100
504d
PMOS
模拟电路区域
530
124
120
110
530
128
504c
128
530
NMOS
530
522
124
530
522
128
504b
128
522
120
110
530
PMOS
数字电路区域
504a
NMOS
530
124
120
110
530
128
102

图 25

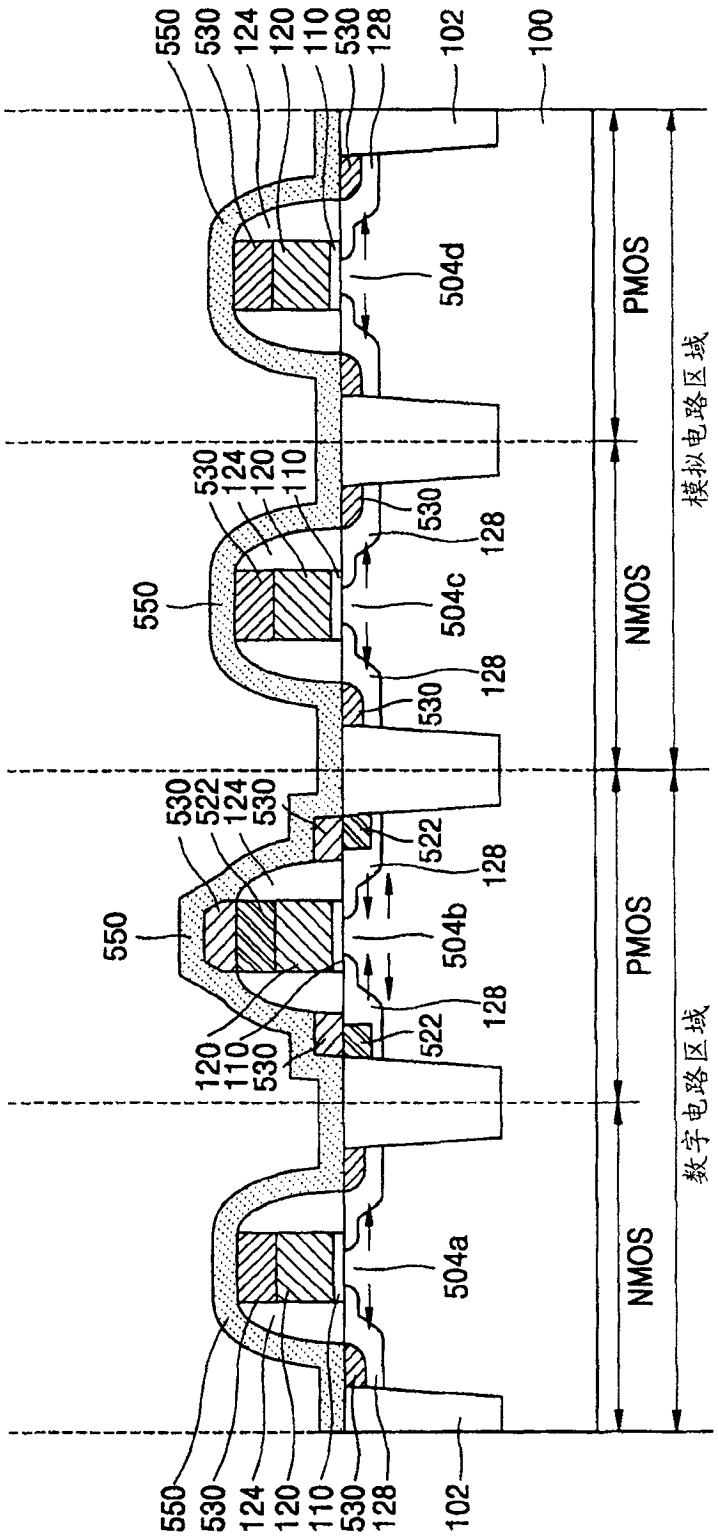

550
530
124
120
110
530
128
102
100
504d
PMOS
模拟电路区域
530
124
120
110
530
128
550
504c
NMOS
128
530
530
522
124
530
522
128
550
504b
PMOS
128
522
120
110
530
数字电路区域
504a
NMOS
550
530
124
120
110
530
128
102

图 26

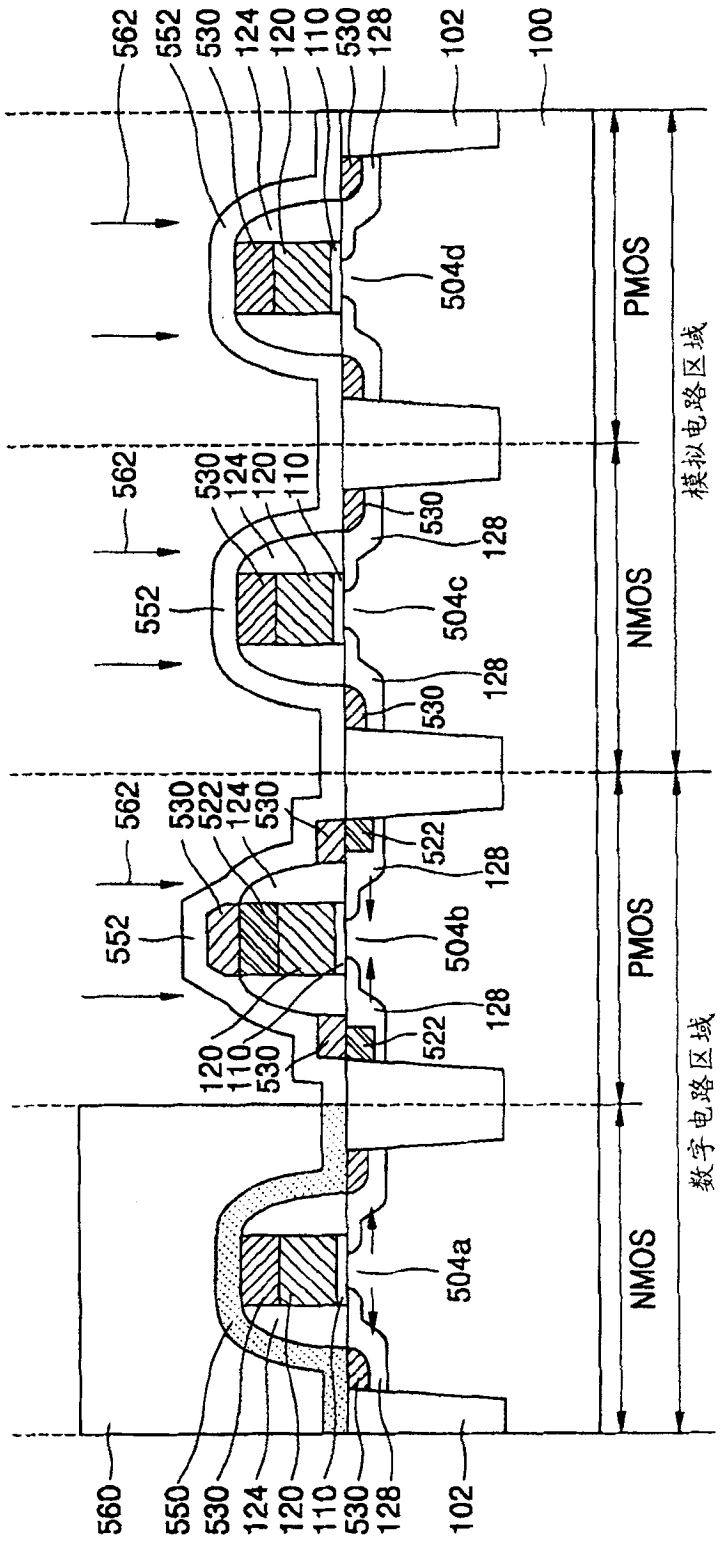

562
552
530
124
120
110
530
128
102
100
504d
PMOS
模拟电路区域
562
530
124
120
110
530
128
552
504c
NMOS
562
530
522
124
530
522
128
552
504b
PMOS
120
110
530
522
128
504a
NMOS
数字电路区域
560
550
530
124
120
110
530
128
102

图 27

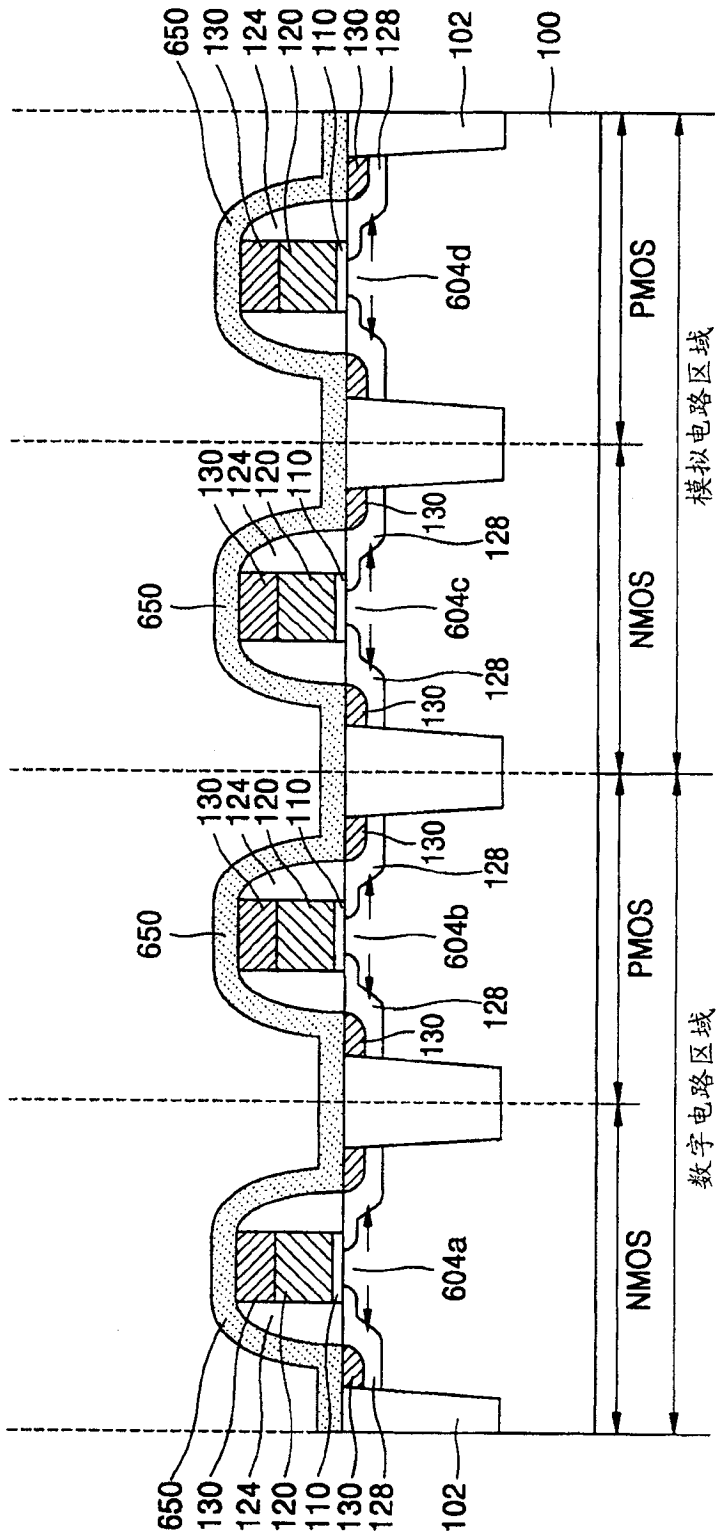

650
130
124
120
110
130
128
102
100
604d
604c
604b
604a
PMOS
NMOS
PMOS
NMOS
模拟电路区域
数字电路区域

图 28

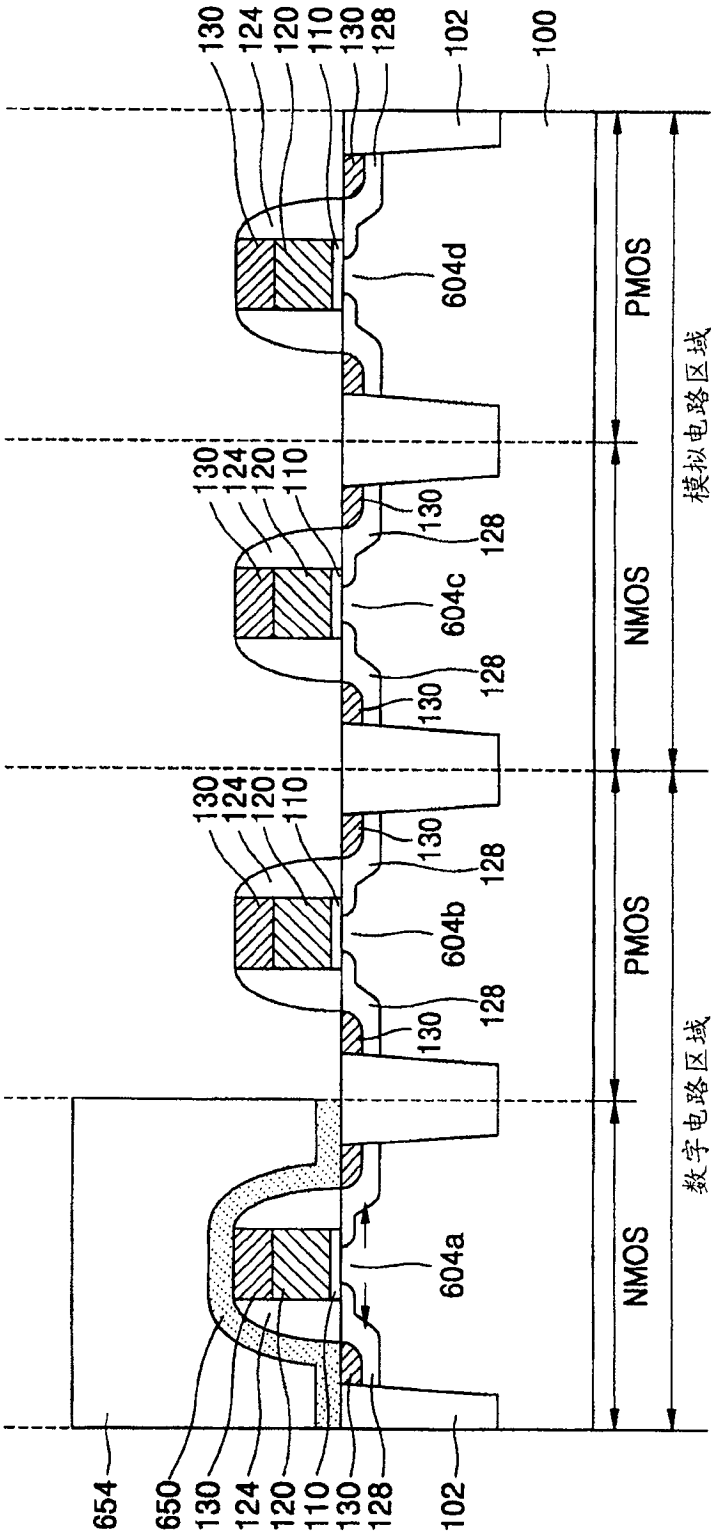

130
124
120
110
130
128
102
100
604d
PMOS
模拟电路区域
130
124
120
110
130
128
604c
128
130
NMOS
130
124
120
110
130
128
604b
128
130
PMOS
数字电路区域
604a
NMOS
654
650
130
124
120
110
130
128
102

图 29

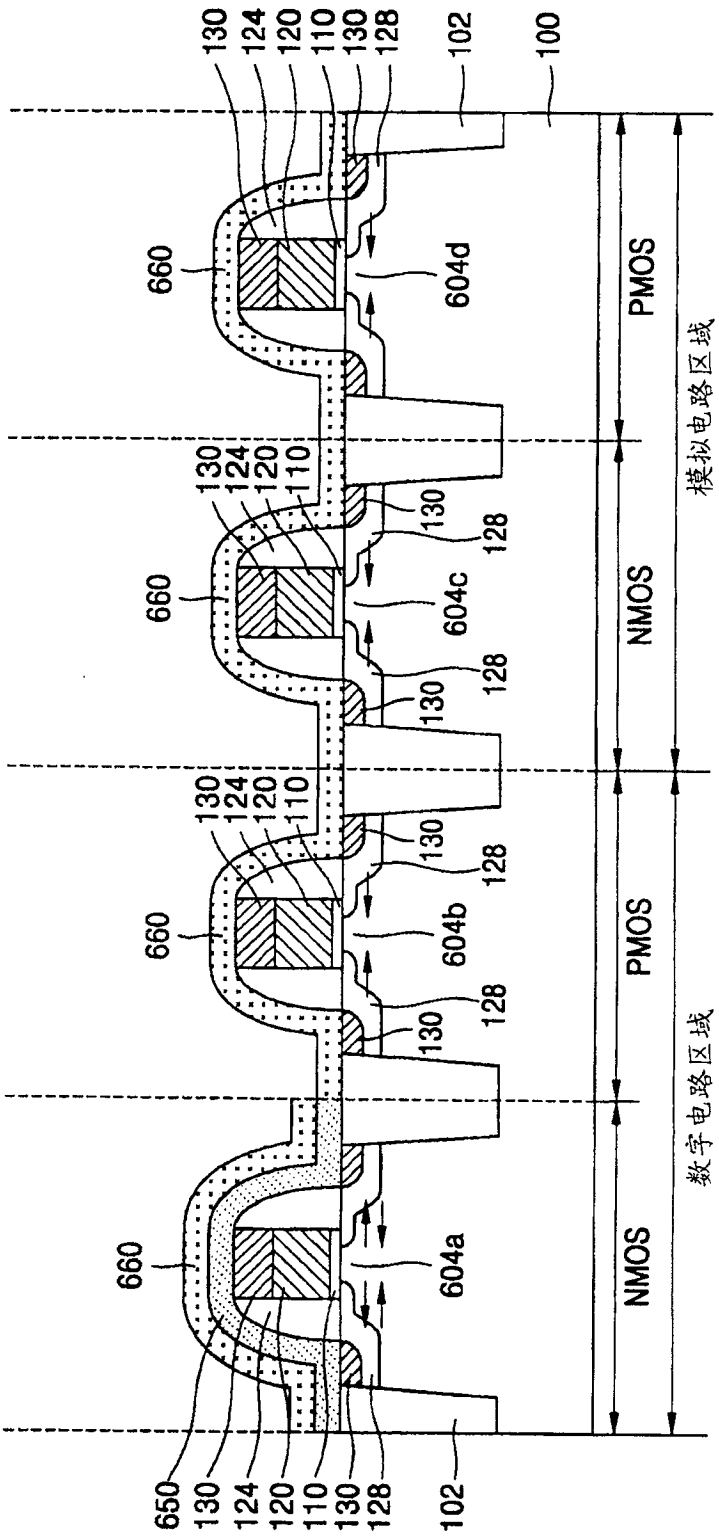

130
124
120
110
130
128
102
100
660
604d
PMOS
模拟电路区域
130
124
120
110
130
128
660
604c
NMOS
128
130
130
124
120
110
130
128
660
604b
PMOS
128
130
数字电路区域
660
604a
NMOS
650
130
124
120
110
130
128
102

图 30

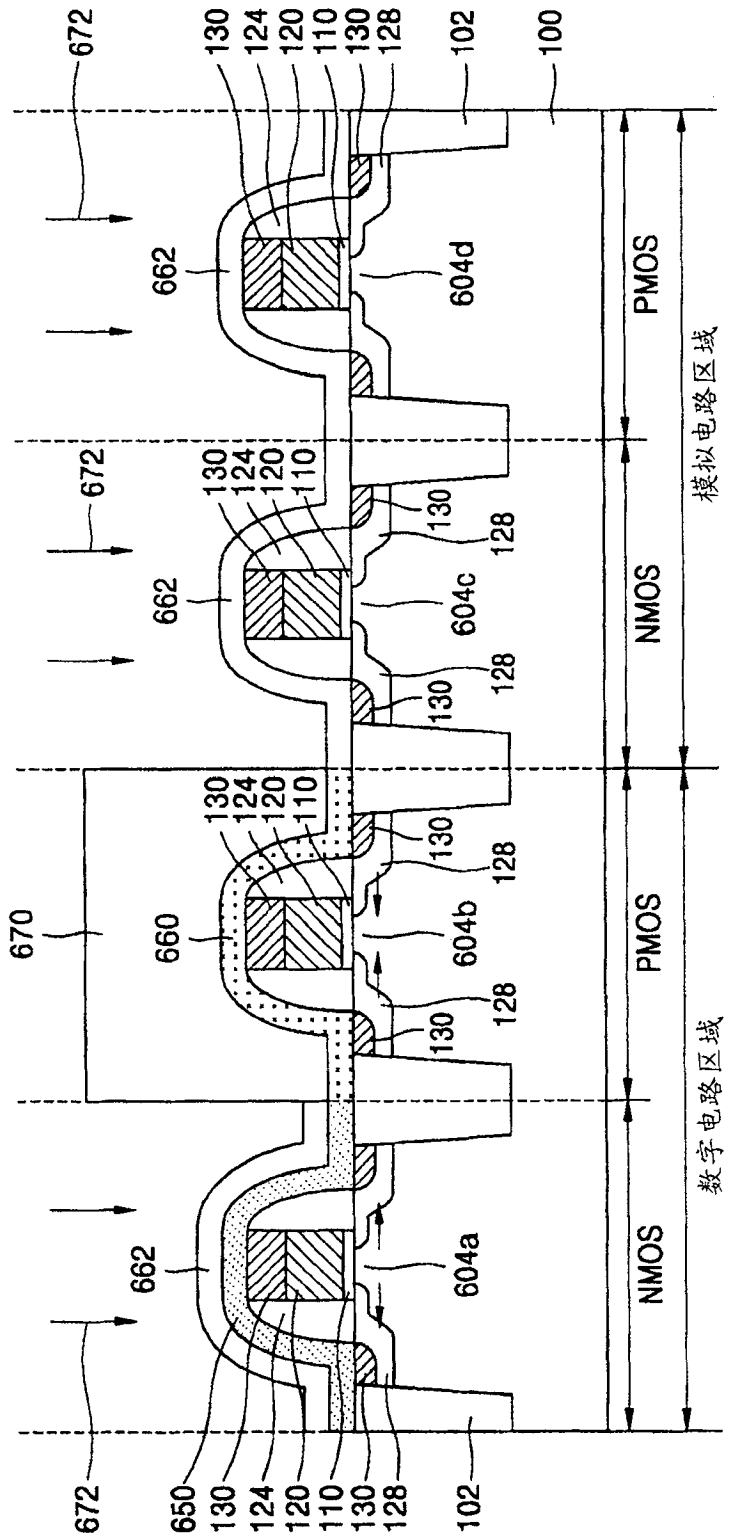

672
130
124
120
110
130
128
102
100
662
604d
PMOS
模拟电路区域
672
130
124
120
110
130
128
662
604c
128
130
NMOS
670
130
124
120
110
130
128
660
604b
128
130
PMOS
数字电路区域
662
604a
NMOS
672
650
130
124
120
110
130
128
102

图 31

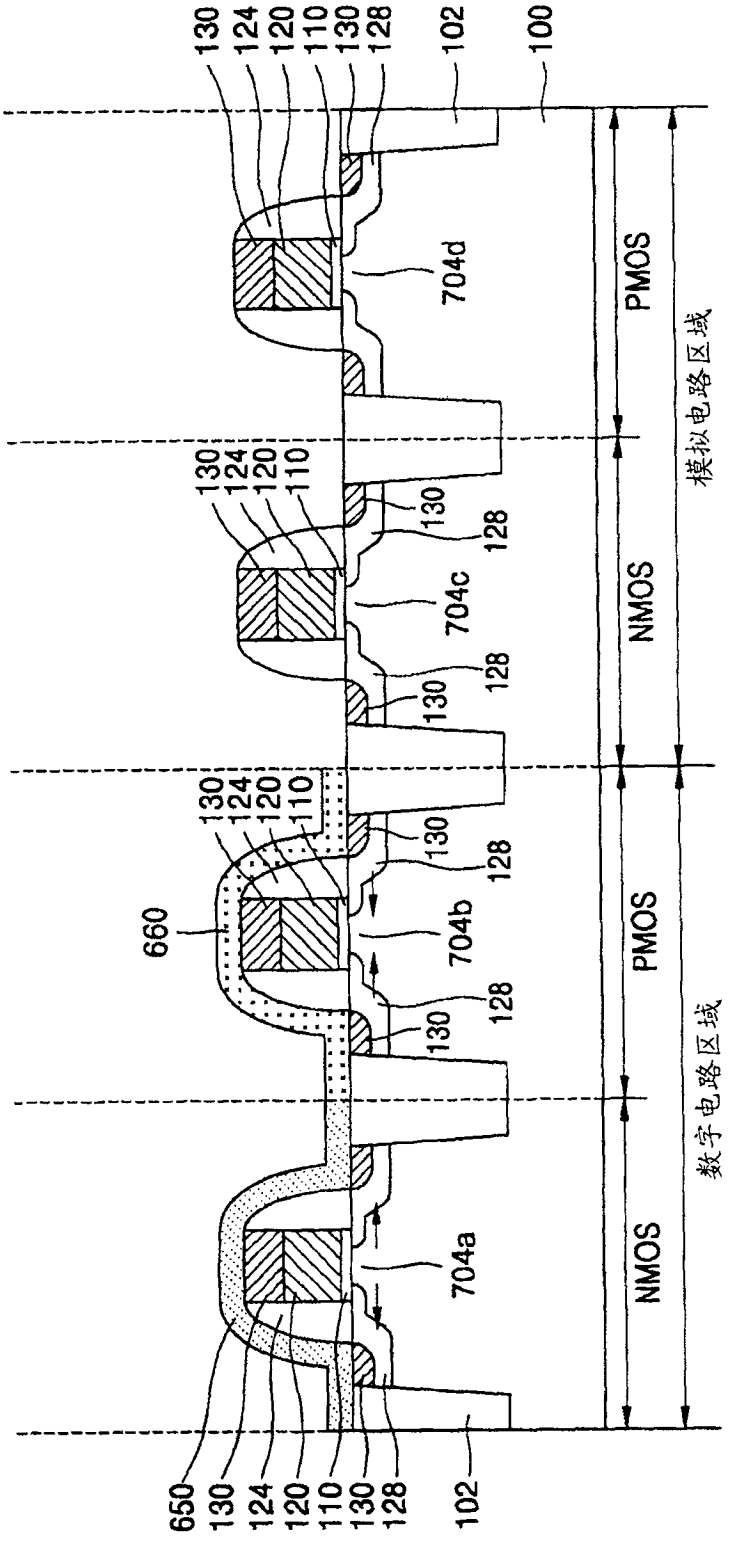

130
124
120
110
130
128
102
100
704d
PMOS
模拟电路区域
130
124
120
110
130
128
704c
NMOS
128
130
128
130
124
120
110
130
660
704b
PMOS
128
130
128
数字电路区域
704a
NMOS
650
130
124
120
110
130
128
102

图 32