

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G02F 1/133 (2006.01)

G09G 3/36 (2006.01)



[12] 发明专利申请公开说明书

[21] 申请号 200610093261.8

[43] 公开日 2006 年 12 月 27 日

[11] 公开号 CN 1885105A

[22] 申请日 2006.6.23

[21] 申请号 200610093261.8

[30] 优先权

[32] 2005.6.23 [33] KR [31] 54646/05

[71] 申请人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 金京勋 金一坤 文国哲 朴泰炯

金喆镐 朴京淳

[74] 专利代理机构 北京市柳沈律师事务所

代理人 吕晓章 李晓舒

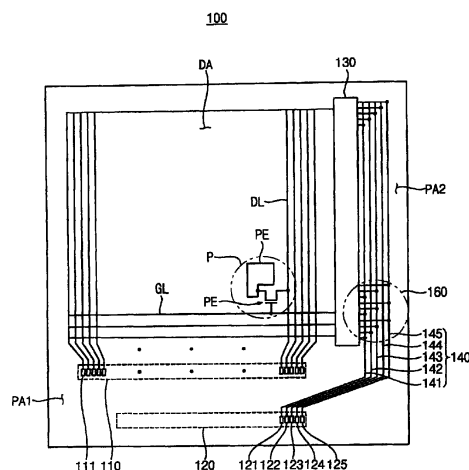
权利要求书 3 页 说明书 14 页 附图 7 页

[54] 发明名称

阵列基板和具有该阵列基板的显示设备

[57] 摘要

本发明提供了一种 LCD 显示设备，其中，通过向栅极线输出栅极信号的栅极电路部件来控制栅极线。第一信号线路被形成在栅极电路部件附近，并且向栅极电路部件发送启动栅极电路部件的操作的启动信号。第二信号线路被形成在第一信号线路的一侧，并且向栅极电路部件发送控制该栅极电路部件的输出的控制信号。第一连接线路电连接在栅极电路部件和第二信号线路之间。第一连接线路与第一信号线路相交。因此，所述线路的电阻被增大，以便保护栅极电路免受静电损害。



1. 一种阵列基板，包括：

由栅极线和数据线限定的多个像素；

栅极电路部件，向栅极线输出栅极信号；

第一信号线路，被形成在栅极电路部件附近，以便向栅极电路部件发送启动该栅极电路部件的启动信号；

第二信号线路，被形成在第一信号线路的一侧，以便向栅极电路部件发送控制栅极电路部件的输出的控制信号；以及

第一连接线路，电连接在栅极电路部件和第二信号线路之间，并且与第一信号线路相交。

2. 如权利要求 1 所述的阵列基板，还包括：

第三信号线路，被形成在第一信号线路的所述一侧，以便向栅极电路部件发送工作电压；以及

第二连接线路，电连接在栅极电路部件和第三信号线路之间，并且与第一信号线路相交。

3. 如权利要求 2 所述的阵列基板，其中，第二信号线路被形成在第一信号线路和第三信号线路之间。

4. 如权利要求 1 所述的阵列基板，其中，栅极电路部件包括彼此相关地耦接的多个级。

5. 如权利要求 4 所述的阵列基板，其中，第二信号线路向所述级中奇数编号的级发送第一时钟信号。

6. 如权利要求 5 所述的阵列基板，其中，第一连接线路电连接到每个奇数编号的级，以便向所述奇数编号的级发送第一时钟信号。

7. 如权利要求 4 所述的阵列基板，其中，第二信号线路向所述级中偶数编号的级发送第二时钟信号。

8. 如权利要求 7 所述的阵列基板，其中，第一连接线路电连接到偶数编号的级，以便向所述偶数编号的级发送第二时钟信号。

9. 如权利要求 4 所述的阵列基板，其中，第三信号线路发送确定栅极信号的低电平的栅极关断电压。

10. 如权利要求 9 所述的阵列基板，其中，第二连接线路电连接到所述

级, 以便向所述级发送栅极关断电压。

11. 如权利要求 1 所述的阵列基板, 其中, 第一到第三信号线路包括与数据线的金属基本相同的金属。

12. 如权利要求 1 所述的阵列基板, 其中, 第一和第二连接线路包括与栅极线的金属基本相同的金属。

13. 如权利要求 1 所述的阵列基板, 其中, 每个像素包括连接到栅极线和数据线的开关元件, 并且所述开关元件和所述栅极电路部件包括非晶硅薄膜晶体管 TFT。

14. 一种阵列基板, 包括:

由栅极线和数据线限定的多个像素;

栅极电路部件, 包括向栅极线输出栅极信号的多个级;

启动信号线路, 被形成在栅极电路部件附近, 以便向栅极电路部件发送启动该栅极电路部件的操作的启动信号;

时钟信号线路, 被形成在启动信号线路的一侧, 以便向所述级发送控制所述级的输出的时钟信号;

电压线路, 被形成在时钟信号线路的一侧, 以便向栅极电路部件发送驱动电压;

第一连接线路, 电连接在栅极电路部件和时钟信号线路之间, 并且与启动信号线路相交; 以及

第二连接线路, 电连接在栅极电路部件和电压信号线路之间, 并且与启动信号线路相交。

15. 一种显示设备, 包括:

第一基板; 以及

第二基板, 其与第一基板组合来容纳液晶层, 所述第二基板包括显示区域和外围区域, 所述显示区域具有多个像素, 并且所述外围区域具有输出栅极信号的栅极电路部件、向栅极电路部件发送驱动信号的信号线路、以及连接在所述栅极电路部件和信号线路之间的连接线路,

其中, 所述信号线路包括向栅极电路部件发送启动信号的第一信号线路, 所述第一信号线路临近栅极电路部件, 并与所述连接线路相交。

16. 如权利要求 15 所述的显示设备, 其中, 所述信号线路还包括:

第二信号线路, 被形成在第一信号线路的一侧, 以便向栅极电路部件发

送控制该栅极电路部件的输出的控制信号；以及

第三信号线路，被形成在第二信号线路的一侧，以便向栅极电路部件发送驱动信号。

17. 如权利要求 15 所述的显示设备，其中，所述连接线路包括：

第一连接线路，电连接在栅极电路部件和第二信号线路之间；以及

第二连接线路，电连接在栅极电路部件和第三信号线路之间。

18. 如权利要求 17 所述的显示设备，其中，栅极电路部件包括彼此相关地连接的多个级，所述第二信号线路向所述级中奇数编号的级发送第一时钟信号，并且第一连接线路电连接到每个奇数编号的级。

19. 如权利要求 18 所述的显示设备，其中，所述第二信号线路向所述级中偶数编号的级发送第二时钟信号，并且第一连接线路电连接到每个偶数编号的级。

20. 如权利要求 18 所述的显示设备，其中，所述第三信号线路向所述级发送确定栅极信号的低电平的栅极关断电压，并且第二连接线路电连接到每个级。

21. 如权利要求 17 所述的显示设备，其中，所述栅极电路部件包括：

第一栅极电路部件，将栅极信号输出到所述栅极线中奇数编号的栅极线；
以及

第二栅极电路部件，将栅极信号输出到所述栅极线中偶数编号的栅极线。

阵列基板和具有该阵列基板的显示设备

技术领域

本发明涉及一种用于防止静电的显示设备的阵列基板。

背景技术

通常，液晶显示(LCD)设备包括具有阵列基板的 LCD 板、面向阵列基板的相对基板、在阵列基板和相对基板之间插入的液晶层、以及用于驱动 LCD 板的驱动单元。阵列基板包括多条栅极线、多条数据线、以及诸如电连接到栅极线和数据线的薄膜晶体管(TFT)的多个开关元件。在 LCD 板制造过程期间，可能产生静电，并且所述静电可能引起诸如短路或开路的线路(wiring)缺陷和对于 TFT 的损害。

近来，为了减小 LCD 器件的大小，已经将栅极线的驱动电路集成到 LCD 板中。所述栅极驱动电路可以被形成为附属地连接到多个级的单个移位寄存器。因此，因为信号线路以及栅极驱动电路被形成在 LCD 板上，所以 LCD 板可能由于静电而受到损害。特别是，可能由于静电而频繁地损害垂直启动信号 STV 所施加到的多个级。

发明内容

本发明提供一种阵列基板，在该阵列基板的制造期间，其受到保护以免受静电损害。根据本发明的一个方面，第一信号线路被布置在栅极电路部件附近，以发送用于启动栅极电路部件的操作的启动信号。第二信号线路被布置在第一信号线路的一侧，以发送控制栅极电路部件的输出的控制信号。第一连接线路电连接在栅极电路部件和第二信号线路之间，并且与第一信号线路相交(intersect)。栅极电路部件包括用于向栅极线施加栅极信号的多个级。时钟信号线路被布置在启动信号线路的一侧，以发送控制所述级的输出的时钟信号。电压线路被布置在时钟信号线路的一侧，以便向栅极电路部件发送驱动电压。第一连接线路电连接在栅极电路部件和时钟信号线路之间，并且与启动信号线路相交。第二连接线路电连接在栅极电路部件和电压信号线路

之间，并且与启动信号线路相交。

所述显示器的基板之一包括显示区域和外围区域，所述外围区域具有：栅极电路；信号线路，用于向栅极信号部件发送驱动信号；以及连接线路，将栅极电路部件连接到信号线路。信号线路包括用于发送启动信号的第一信号线路。第一信号线路临近栅极电路部件，并且和由与启动信号线路的材料不同的材料构成的连接线路相交；因此，所述线路的电阻被增大，使得保护电连接到启动信号线路的栅极电路部件免受静电损害。

附图说明

通过参考附图来描述本发明的详细示例实施例，本发明的上述和其它特征和优点将变得更加清楚，在附图中：

图 1 是图示根据本发明示例实施例的阵列基板的平面图；

图 2 是图示图 1 中的阵列基板的放大平面图；

图 3 是沿着图 2 中的线 I-I'截取的阵列基板的横截面图；

图 4 是图示图 1 中的栅极电路部件的方框图；

图 5 是图示图 4 中的所述级的内部电路图；

图 6 是图示本发明示例实施例中的液晶显示(LCD)设备的平面图；以及

图 7 是沿着图 6 中的线 II-II'截取的 LCD 设备的横截面图。

具体实施方式

将理解的是：当元件或层被称为“在”另一元件或层“上面”、“连接到”或“耦接到”另一元件或层时，它可以直接在所述另一元件或层之上、连接到或耦接到所述另一元件或层，或者可以存在插入的元件或层。反之，当元件被称为“直接地在”另一元件或层“上面”、“直接连接到”或“直接耦接到”另一元件或层时，不存在插入的元件或层。相同的标号自始至终表示相同的元件。如在此使用的那样，术语“和/或”包括相关联的列出项中的一个或多个的任一个或所有组合。在这里可以使用诸如“在...之下”、“在...下面”、“下面的”、“在...上面”、“上面的”等在空间上相关联的术语，以便使说明如附图所示的一个元件或特征与另一个(些)元件或特征的关系的描述较为容易。

图 1 是图示根据本发明示例实施例的阵列基板的平面图。参考图 1，阵

列基板 100 包括显示区域 DA 和围绕显示区域 DA 的外围区域 PA。在显示区域 DA 中形成多条栅极线 GL、多条数据线 DL、以及由栅极线 GL 和数据线 DL 限定的多个像素 P。在每个像素 P 中形成电连接到栅极线 GL 和数据线 DL 的开关元件(即薄膜晶体管或 TFT)、以及电连接到所述开关元件的像素电极 PE。虽然在图 1 中未示出,但是可以在像素 P 中形成作为存储电容器的公共电极的存储公共线。外围区域 PA 包括第一外围区域 PA1 和第二外围区域 PA2。

第一外围区域 PA1 包括第一焊盘(pad)部分 110 和第二焊盘部分 120。第一焊盘部分 110 包括多个焊盘 111,每个焊盘 111 从数据线 DL 之一的一端延伸。向像素 P 输出驱动信号的驱动芯片被安装在第一焊盘部分 110 上。所述驱动信号包括被发送到像素 P 的数据信号。向安装在第一焊盘部分 110 上的驱动芯片发送从外部设备提供的外部信号的柔性印刷电路板 FPCB 的输出端与第二焊盘部分 120 接触。

在第二外围区域 PA2 中形成栅极电路部件 130、信号线路部件 140 和连接线路部件 160。栅极电路部件 130 向栅极线 GL 输出栅极信号。信号线路部件 140 向栅极电路部件 130 发送栅极控制信号。连接线路部件 160 电连接在栅极电路部件 130 和信号线路部件 140 之间。栅极电路部件 130 可以是相关地(dependently)连接到对应于栅极线 GL 的多个级的移位寄存器。信号线路部件 140 可以包括与数据线 DL 基本平行的第一、第二、第三、第四和第五信号线路 141、142、143、144 和 145。信号线路部件 140 可以包括与数据线 DL 的金属基本相同的金属。

第一信号线路 141 向栅极电路部件 130 发送用于确定栅极信号的高电平的第一栅极电压 VDD。第二信号线路 142 发送作为用于启动栅极电路部件 130 的操作的控制信号的垂直启动信号 STV。第二信号线路 142 电连接到栅极电路部件 130 的第一级和最后一级。

第三信号线路 143 发送用于控制奇数编号的栅极信号的输出的第一时钟信号 CK。第四信号线路 144 发送用于控制偶数编号的栅极信号的输出的第二时钟信号 CKB。第五信号线路 145 向栅极电路部件 130 发送用于确定栅极信号的低电平的第二栅极电压 VSS。

第一信号线路 141 被布置在栅极电路部件 130 附近。第二信号线路 142 被布置在第一信号线路 141 附近。第三信号线路 143 位于第二信号线路 142

附近。第四信号线路 144 被布置在第三信号线路 143 附近。第五信号线路 145 位于第四信号线路 144 附近。

在第一到第五信号线路 141、142、143、144 和 145 的端子处分别形成第一、第二、第三、第四和第五焊盘 121、122、123、124 和 125。在第一外围区域 PA1 中形成的第二焊盘部分 120 包括第一到第五焊盘 121、122、123、124 和 125。

可以使用与栅极线 GL 的材料基本相同的材料来形成连接线路部件 160。连接线路部件 160 位于与放置数据线 DL 的平面不同的平面上。连接线路部件 160 与栅极线 GL 基本平行。即，连接线路部件 160 在与信号线路部件 140 相交的方向上延伸。连接线路部件 160 包括多个连接线路，它们电连接在第一、第二、第三、第四和第五信号线路 141 至 145 与栅极电路部件 130 之间。例如，第一连接线路电连接在第一级的输入端和第一到第五信号线路之间。

连接线路部件 160 被布置在与用于发送垂直启动信号 STV 的第二信号线路 142 相交的方向上。即，第二信号线路 142 具有与连接线路部件 160 部分重叠的结构，所述连接线路部件 160 包括与栅极线 GL 的材料基本相同的材料。

结果，由于与连接线路部件 160 重叠的第二信号线路 142 的一部分具有增大的电容，因此可以使流入第二信号线路 142 的静电消散。因此，可以保护可电连接到第二信号线路 142 的电子元件免受静电损害。

图 2 是图示图 1 中的阵列基板的放大平面图。参考图 1 和 2，阵列基板 100 包括第一和第二外围区域 PA1 和 PA2 以及显示区域 DA。在第二外围区域 PA2 中形成栅极电路部件 130 的多个级 SRC2k-1 和 SRC2k、信号线路部件 140、以及电连接在所述多个级 SRC2k-1 和 SRC 与信号线路部件 140 之间的多个连接线路部件 161 和 162。所述多个级 SRC2k-1 和 SRC2k 包括多个 TFT。每个 TFT 包括由栅极金属图案(pattern)形成的栅极电极、由数据金属图案形成的源极/漏极电极和使用非晶硅而形成的沟道层。

对应于数据金属图案的一部分的信号线路部件(即第一、第二、第三、第四和第五信号线路 141、142、143、144 和 145)沿与在显示区域 DA 中形成的数据线 DL 基本平行的方向延伸。第二信号线路 142 位于栅极电路部件 130 附近。第二信号线路 142 向栅极电路部件 130 发送来自第二焊盘 122 的垂直启动信号 STV。第三到第五信号线路 143 到 145 依序布置在第二信号线路 142

的一侧。第三到第五信号线路 143 到 145 发送第一和第二时钟信号 CK 和 CKB。第二信号线路 142 可以形成在栅极电路部件 130 和第三信号线路 143 之间。第二信号线路 142 具有大约 60 μ m 的宽度。

对应于栅极金属图案的一部分的连接线路部件 161 和 162 沿着与在显示区域 DA 中形成的栅极线 GL 基本平行的方向延伸。连接线路部件 161 和 162 的每一个将信号线路部件 140 和所述多个级 SRC2k-1 和 SRC2k 的每一个相互电连接。具体地说,被发送到第一信号线路 141 的第一栅极电压 VDD、被发送施加到第五信号线路 145 的第二栅极电压 VSS、以及被发送到第三信号线路 143 的第一时钟信号 CK 被施加到奇数编号的级 SRC2k-1。因此,将奇数编号的级 SRC2k-1 电连接到信号线路部件 140 的第一连接线路部件 161 包括第一、第二和第三连接线路 161a、161b 和 161c。

第一连接线路 161a 从第一信号线路 141 延伸,并且电连接到奇数编号的级 SRC2k-1 的输入端。第二连接线路 161b 通过接触部件 C11 电连接到第五信号线路 145,然后耦接到奇数编号的级 SRC2k-1 的输入端。第三连接线路 161c 通过接触部件 C12 电连接到第三信号线路 143,然后耦接到奇数编号的级 SRC2k-1 的输入端。这里,在这个示例实施例中,被形成为数据金属图案的一部分的第一连接线路 161a 从第一信号线路 141 延伸。或者,第一连接线路 161a 可以被形成为栅极金属图案的一部分。

同时,被发送到第一信号线路 141 的第一栅极电压 VDD、被发送到第五信号线路 145 的第二栅极电压 VSS 和被发送到第四信号线路 144 的第二时钟信号 CKB 被施加到偶数编号的级 SRC2k。因此,将偶数编号的级 SRC2k 电连接到信号线路部件 140 的第二连接线路部件 162 包括第一、第二和第三连接线路 162a、162b 和 162c。第一连接线路 162a 从第一信号线路 141 延伸,以便电连接到偶数编号的级 SRC2k 的输入端。第二连接线路 162b 通过接触部件 C21 电连接到第五信号线路 145,以便耦接到偶数编号的级 SRC2k 的输入端。第三连接线路 162c 通过接触部件 C22 电连接到第四信号线路 144,以便耦接到偶数编号的级 SRC2k 的输入端。

这里,在此示例实施例中,被形成为数据金属图案的一部分的第一连接线路 162a 从第一信号线路 141 延伸。或者,第一连接线路 161a 可以被形成为栅极金属图案的一部分。因此,用于发送垂直启动信号 STV 的第二信号线路 142 与奇数编号的级 SRC2k-1 的连接线路中的第二和第三连接线路 161b

和 161c 部分重叠。而且,第二信号线路 142 与偶数编号的级 SRC2k 的连接线路中的第二和第三连接线路 162b 和 162c 部分重叠。

结果,第二信号线路 142 的电阻由于分别电连接到所述多个级的第二和第三连接线路而增大。当第二信号线路 142 的电阻增加时,流向第二信号线路的静电被消散,以便保护电连接到第二信号线路的第一和最后一级免受静电损害。

显示区域 DA 包括多个像素 P2k-1 和 P2k。在第 2k-1 像素 P2k-1 上形成电连接到第 2k-1 栅极线 GL2k-1 的第一开关元件 170,所述第 2k-1 栅极线 GL2k-1 耦接到奇数编号的级 SRC2k-1 的输出端。具体地说,第一开关元件 170 包括第一栅极电极 171、第一源极电极 173 和第一漏极电极 174。第一栅极电极 171 耦接到第 2k-1 栅极线 GL2k-1。第一源极电极 173 电连接到数据线 DL。第一漏极电极 174 通过第一接触焊盘 175 电连接到第一像素电极 176。第一开关元件 170 还包括在第一栅极电极 171 与第一源极/漏极电极 173 和 174 之间形成的第一沟道部分 172。

在第 2k 像素 P2k 上形成电连接到第 2k 栅极线 GL2k 的第二开关元件 180,所述第 2k 栅极线 GL2k 耦接到偶数编号的级 SRC2k 的输出端。具体地说,第二开关元件 180 包括第二栅极电极 181、第二源极电极 182 和第二漏极电极 184。第二栅极电极 181 耦接到第 2k 栅极线 GL2k。第二源极电极 182 电连接到数据线 DL。第二漏极电极 184 通过第二接触焊盘 185 电连接到第一像素电极 186。第二开关元件 180 还包括在第二栅极电极 181 与第二源极/漏极电极 183 和 184 之间形成的第二沟道部分 182。

图 3 是沿着图 2 中的线 I-I' 截取的阵列基板的横截面图。参考图 1 到 3,阵列基板 100 包括基础基板 101,其具有显示区域 DA 以及外围区域 PA1 和 PA2。在基础基板 101 上形成栅极金属层后,部分地蚀刻该栅极金属层,以便在基础基板 101 上形成栅极金属图案。

栅极金属图案包括栅极线 GL2k-1 和 GL2k、栅极电路部件 130 以及连接线路部件 160 的第二和第三连接线路 161b、161c 和 162b 和 162c。在第二和第三连接线路 161b、161c、162b 和 162c 的末端形成包括多个接触孔的接触部件 C11、C12、C21 和 C22。接触部件 C11、C12、C21 和 C22 将第三到第五信号线路 143、144 和 145 电连接到第二和第三连接线路 161b、161c、162b 和 162c。

在包括栅极金属图案的基础基板 101 上形成栅极绝缘层 102。在栅极绝缘层 102 上形成沟道层后，使沟道层形成图案，以便在栅极绝缘层上形成第一沟道部分 172 和第二沟道部分 182。在此，沟道层包括使用非晶硅形成的有源层 172a 和 182a、以及使用在原处掺杂了 N 型杂质的多晶硅形成的电阻性接触层 172b 和 182b。

在包括第一和第二沟道部分 172 和 182 的基础基板 101 上形成数据金属层后，使数据金属层形成图案，以便在基础基板 101 上形成数据金属图案。数据金属图案包括数据线 DL、第一和第二源极电极 173 和 183、第一和第二漏极电极 174 和 184、栅极电路部件 130 和第一、第二、第三、第四和第五信号线路 141 至 145。而且，数据金属图案包括第一连接线路 161a 和 162a，所述第一连接线路 161a 和 162a 从第一信号线路 141 延伸，以便分别耦接到级 SRC2k-1 和 SRC2k 的输入端。

当第二和第三连接线路 161b、161c、162b 和 162c 被布置在垂直启动信号所发送到的第二信号线路 142 下面时，第二信号线路 142 的电阻可能增大。因此，可以保护耦接到第二信号线路 142 的级免受静电损害。

使用作为蚀刻掩模的第一源极/漏极电极 173 和 174 来从基础基板 101 部分地去除第一沟道部分 172 的电阻性接触层 172b，以限定第一开关元件 170 的沟道区域。而且，使用作为蚀刻掩模的第一源极/漏极电极 183 和 184 来从基础基板 101 部分地去除第二沟道部分 182 的电阻性接触层 182b，以限定第二开关元件 180 的沟道区域。

在包括数据金属图案的基础基板 101 上形成钝化层 103。从基础基板 101 部分地去除钝化层 103，以形成第一和第二接触孔 175 和 185，通过所述第一和第二接触孔 175 和 185 将第一和第二漏极电极 174 和 184 的上表面曝光。虽然未示出，但是可以通过栅极电路部件 130 来进一步形成用于将多个开关元件彼此电连接的多个接触孔。

在包括第一和第二接触孔 175 和 185 的基础基板 101 上形成像素电极层。使像素电极层形成图案，以形成第一像素电极 176 和第二像素电极 186。像素电极层的示例可以包括透明导电材料，诸如铟锡氧化物(ITO)、铟锌氧化物(IZO)或铟锡锌氧化物(ITZO)。

图 4 是图示图 1 中的栅极电路部件的方框图。参考图 4，栅极电路部件 130 可以对应于包括彼此相关地连接的多个级 SRC₁ 到 SRC_{n+1} 的移位寄存

器。在栅极电路部件 130 的侧面部分形成信号线路部件 140。信号线路部件 140 向栅极电路部件 130 发送用于操作栅极电路部件 130 的驱动信号。

信号线路部件 140 包括第一、第二、第三、第四和第五信号线路 141 到 145。第一信号线路 141 根据由栅极电路部件 130 产生的驱动信号来发送第一栅极电压 VDD。第二信号线路 142 发送垂直启动信号 STV。第三信号线路 143 发送第一时钟信号 CK。第四信号线路 144 发送第二时钟信号 CKB。第五信号线路 145 发送第二栅极电压 VSS。

所述多个级 SRC₁ 到 SRC_{n+1} 包括第一到第 N 驱动级 SRC₁ 到 SRC_n 以及一个伪(dummy)级 SRC_{n+1}。所述级 SRC₁ 到 SRC_{n+1} 中的每一个包括输入端 IN、时钟端 CK、控制端 CT、第一输出端 GOUT 和第二输出端 SOUT。时钟端 CK 接收第一时钟信号 CK 或第二时钟信号 CKB。

例如, 将第一时钟信号 CK 施加到所述多个级 SRC₁ 到 SRC_{n+1} 的奇数编号的级 SRC₁、SRC₃、...、SRC_{n+1}, 而将第二时钟信号 CKB 施加到其偶数编号的级 SRC₂、SRC₄、...、SRC_n。奇数编号的级 SRC₁、SRC₃、...、SRC_{n+1} 的第一输出端 GOUT 的每一个响应第一时钟信号 CK, 以便输出奇数编号的栅极信号 G₁、G₃、...、G_{n-1}。偶数编号的级 SRC₂、SRC₄、...、SRC_n 的第一输出端 GOUT 的每一个响应第二时钟信号 CKB, 以便输出偶数编号的栅极信号 G₂、G₄、...、G_n。

具体地说, 第一到第 N 级 SRC₁ 到 SRC_n 的第一输出端 GOUT 一对一地连接到奇数编号的栅极线 GL₁、GL₃、...、GL_{2n-1}。因此, 将由第一到第 N 级 SRC₁ 到 SRC_n 的第一输出端 GOUT 发送的栅极信号依序施加到奇数编号的栅极线 GL₁、GL₃、...、GL_{2n-1}。这里, 由于没有对应于伪级 SRC_{n+1} 的第一输出端 GOUT 的栅极线, 因此伪级 SRC_{n+1} 的第一输出端 GOUT 处于浮置状态。奇数编号的级 SRC₁、SRC₃、...、SRC_{n+1} 的第二输出端 SOUT 的每一个输出作为级控制信号的第一时钟信号 CK。偶数编号的级 SRC₂、SRC₄、...、SRC_n 的第二输出端 SOUT 的每一个输出作为级控制信号的第二时钟信号 CKB。

具体地说, 第一级 SRC₁ 的输入端 IN 接收从前一级的第二输出端 SOUT 输出的控制信号, 并且控制端 CT 接收从下一级的第二输出端 SOUT 输出的控制信号。但是, 由于在第一级 SRC₁ 之前不存在前一级, 因此第一级 SRC₁ 的输入端接收垂直启动信号 STV。而且, 由于在伪级 SRC_{n+1} 之后不存在下

一级, 因此伪级 SRC_{n+1} 的控制端 CT 接收垂直启动信号 STV。因此, 第一级 SRC₁ 和最后一级 SRC_{n+1} 接收垂直启动信号 STV。

级 SRC₁ 到 SRC_{n+1} 的每一个还包括第一电压端 VDD 和第二电压端 VSS。第一电压端 VDD 接收用于确定栅极信号的高电平的第一栅极电压 VDD。第二电压端 VSS 接收用于确定栅极信号的最低电平的第二栅极电压 VSS。

图 5 是图示图 4 中的级的内部电路图。参考图 5, 每个级包括第一上拉部件 131、第二上拉部件 132、第一下拉部件 133、第二下拉部件 134、上拉操作部件 135 和下拉操作部件 136。第一上拉部件 131 响应于施加到时钟端 CK 的时钟信号 CK 或 CKB, 以便向第一输出端 GOUT 输出栅极信号。第二上拉部件 132 响应于施加到时钟端 CK 的时钟信号 CK 或 CKB, 以便向第一输出端 SOUT 输出控制信号。

第一上拉部件 131 包括第一晶体管 NT1。第一晶体管 NT1 包括连接到第一节点 N1 的栅极电极、连接到时钟端 CK 的源极电极、和连接到第一输出端 GOUT 的漏极电极。第二上拉部件 132 包括第二晶体管 NT2。第二晶体管 NT2 包括连接到第一节点 N1 的栅极电极、连接到时钟端 CK 的源极电极、和连接到第二输出端 SOUT 的漏极电极。

在第一上拉部件 131 关断后, 第一下拉部件 133 导通, 以释放从第一输出端 GOUT 发送的栅极信号。另一方面, 在第二上拉部件 132 关断后, 第二下拉部件 134 导通, 以释放从第二输出端 SOUT 发送的控制信号。第一下拉部件 133 包括第三晶体管 NT3。第三晶体管 NT3 包括连接到第二节点 N2 的栅极电极、连接到第二电压端 VSS 的源极电极、和连接到第一输出端 GOUT 的漏极电极。第二下拉部件 134 包括第四晶体管 NT4。第四晶体管 NT4 包括连接到第二节点 N2 的栅极电极、连接到第二电压端 VSS 的源极电极、和连接到第二输出端 SOUT 的漏极电极。

上拉驱动部件 135 包括导通第一和第二上拉部件 131 和 132 的第五、第六和第七晶体管 NT5、NT6 和 NT7。第五晶体管 NT5 包括连接到输入端 IN 的栅极电极、连接到第一节点 N1 的源极电极、和连接到第一电压端 VDD 的漏极电极。第六晶体管 NT6 包括连接到第一电压端 VDD 的栅极电极、连接到第三节点 N3 的源极电极、和连接到第一电压端 VDD 的漏极电极。第七晶体管 NT7 包括连接到第一节点 N1 的栅极电极、连接到第二电压端 VSS 的源极电极、和连接到第三节点 N3 的漏极电极。

下拉驱动部件 136 包括第八到第十二晶体管 NT8、NT9、NT10、NT11 和 NT12。下拉驱动部件 136 关断第一和第二上拉部件 131 和 132，并且导通第一和第二下拉部件 133 和 134。第八晶体管 NT8 包括连接到第三节点 N3 的栅极电极、连接到第二节点 N2 的源极电极、和连接到第一电压端 VDD 的漏极电极。

第九晶体管 NT9 包括连接到第一节点 N1 的栅极电极、连接到电压端 VSS 的源极电极、和连接到第二节点 N2 的漏极电极。第十晶体管 NT10 包括连接到输入端 IN 的栅极电极、连接到第二电压端 VSS 的源极电极、和连接到第二节点 N2 的漏极电极。第十一晶体管 N11 包括连接到第二节点 N2 的栅极电极、连接到第二电压端 VSS 的源极电极、和连接到第一节点 N1 的漏极电极。第十二晶体管 NT12 包括连接到控制端 CT 的栅极电极、连接到第二电压端 VSS 的源极电极、和连接到第一节点 N1 的漏极电极。

当通过前一级的第二输出端 SOUT 发送的控制信号被施加到输入端 IN 时，第五晶体管 NT5 导通，以便增大第一节点 N1 的电压。当第一节点 N1 的电压增大时，第一和第二晶体管 NT1 和 NT2 导通，使得从第一和第二输出端 GOUT 和 SOUT 输出栅极信号和控制信号。

当第六晶体管 NT6 保持导通时，第一节点 N1 的电压增大，使得第七晶体管导通，由此减小第三节点 N3 的电压。当第三节点 N3 的电压减小时，第八晶体管 NT8 保持关断。因此，不向第二电极 N2 施加驱动电压 VDD。而且，当第一节点 N1 的电压增大时，第九晶体管 N9 导通，以便将第二节点 N2 的电压保持为第二栅极电压 VSS。因此，第三和第四晶体管 N3 和 N4 关断。

当通过控制端 CT 从下一级的第二输出端 SOUT 发送控制信号时，第十二晶体管 N12 导通，以便将第一节点 N1 的电压释放到第二栅极电压 VSS。当第一节点的电压减小时，第七和第九晶体管 NT7 和 NT9 导通。因此，第二节点 N2 的电压增大，使得第三和第四晶体管 NT3 和 NT4 导通。从第一和第二输出端 GOUT 和 SOUT 输出的栅极信号和控制信号被释放到第二栅极电压 VSS。

这里，当第二节点 N2 的电压增大时，第十和第十一晶体管 NT10 和 NT11 导通，使得第一节点 N1 的电压被迅速地释放。当重复上述过程时，每一级输出用于将高状态维持预定时间的栅极信号和控制信号。

图 6 是图示本发明示例实施例中的液晶显示(LCD)设备的平面图。参考

图 1 到 6, LCD 设备包括 LCD 板和驱动设备。LCD 板包括阵列基板 100、面向阵列基板 100 的相对基板 300、以及被密封剂 250 密封在阵列基板 100 和相对基板 300 之间的液晶层(未示出)。驱动设备包括安装在阵列基板 100 的第一外围区域 PA1 上的驱动芯片 210、以及将驱动芯片 210 电连接到外部设备的软性印刷电路板 220。

在第二外围区域 PA2 中形成第一栅极电路部件 130a、第一信号线路部件 140 和第一连接线路部件 160a。第一栅极电路部件 130a 产生用于奇数编号的栅极线的栅极信号。第一信号线路部件 140 向第一栅极电路部件 130a 发送第一驱动信号。第一连接线路部件 160a 将第一栅极电路部件 130a 连接到第一信号线路部件 140。

在第三外围区域 PA3 中形成第二栅极电路部件 130b、第二信号线路部件 150 和第二连接线路部件 160b。第二栅极电路部件 130b 产生用于偶数编号的栅极线的栅极信号。第二信号线路部件 150 向第二栅极电路部件 130b 发送第二驱动信号。第二连接线路部件 160b 将第二栅极电路部件 130b 连接到第二信号线路部件 150。第一信号线路部件 140 包括第一、第二、第三、第四和第五线路 141 至 145。第一线路 141 发送第一栅极电压 VDD。第二线路 142 发送垂直启动信号 STV。第三信号线路 143 发送第一时钟信号 CK。第四信号线路 144 发送第二时钟信号 CKB。第五信号线路 145 发送第二栅极电压 VSS。第二信号线路 142 被布置在第一栅极电路部件 130a 附近。第三到第五信号线路 143 到 145 被依序布置在第二信号线路 142 附近。

第一连接线路部件 160a 与第二信号线路 142 相交,以增大第二信号线路 142 的电阻。当第二信号线路 142 的电阻增加时,可以保护电连接到第二信号线路 142 的第一栅极电路部件 130a 免受静电损害。

第二信号线路部件 150 包括第一、第二、第三、第四和第五线路 151 到 155。第一线路 151 发送第一栅极电压 VDD。第二线路 152 发送垂直启动信号 STV。第三信号线路 153 发送第一时钟信号 CK。第四信号线路 154 发送第二时钟信号 CKB。第五信号线路 155 发送第二栅极电压 VSS。第二信号线路 152 位于第二栅极电路部件 130b 附近。在第二信号线路 152 附近依序形成第三到第五信号线路 153 到 155。

将第二信号线路部件 150 连接到第二栅极电路部件 130a 的第二连接线路部件 160b 与第二信号线路 152 相交,以增大第二信号线路 152 的电阻。当第

二信号线路 152 的电阻增加时,可以保护电连接到第二信号线路 152 的第二栅极电路部件 130b 免受静电损害。第一和第二栅极电路部件 130a 和 130b 包括彼此从属地(subordinately)互连的多个级。第一和第二栅极电路部件 130a 和 130b 的驱动电路和驱动流程与参考图 4 和 5 所述的那些相同。

图 7 是沿着图 6 中的线 II-II' 截取的 LCD 设备的横截面图。参考图 2 和 7, LCD 板包括阵列基板 100、面向阵列基板 100 的相对基板 300、以及在阵列基板 100 和相对基板 300 之间插入的液晶层 400。阵列基板 100 包括第一基础基板 101,它具有显示区域 DA 以及外围区域 PA1 和 PA2。在显示区域 DA 中形成多个像素 P2k-1 和 P2k。在第一像素 P2k 中形成第一开关元件 170 和第一像素电极 176。第一开关元件 170 电连接到与奇数编号的级 SRC2k-1 的输出端耦接的第 2k-1 栅极线 GL2k-1。第一像素电极 176 电连接到第一开关元件 170。第一开关元件 170 包括第一栅极电极 171、第一沟道部分 172、第一源极电极 173 和第一漏极电极 174。

在第二像素 P2k-1 中形成第二开关元件 180 和第二像素电极 186。第二开关元件 180 电连接到与偶数编号的级 SRC2k 的输出端耦接的第 2k 栅极线 GL2k。第二像素电极 186 电连接到第二开关元件 180。第二开关元件 180 包括第二栅极电极 181、第二沟道部分 182、第二源极电极 183 和第二漏极电极 184。

在第二外围区域 PA2 中形成栅极电路部件 130、信号线路部件 140 以及多个连接线路部件 161 和 162。信号线路部件 140 包括第一、第二、第三、第四和第五信号线路 141、142、143、144 和 145。连接线路部件 161 和 162 电连接信号线路部件 140 和栅极电路部件 130 的每一级。

在本发明的这一示例实施例中,第二信号线路 142 与连接到奇数编号的级 SRC2k-1 的连接线路中的第二和第三连接线路 161b 和 161c、以及连接到偶数编号的级 SRC2k 的连接线路中的第二和第三连接线路 162b 和 162c 重叠。

因此,第二信号线路 142 由于分别连接到多个级的第二和第三连接线路而具有增大的电阻。当第二信号线路 142 的电阻增大时,可以使流入第二信号线路的静电消散,使得可以保护耦接到第二信号线路的第一和最后一级免受静电损害。

相对基板 300 包括第二基础基板 301。第二基础基板包括光掩蔽层 310、滤色器层 320 和公共电极层 330。光掩蔽(或遮蔽)层 310 限定与在阵列基板 100

上形成的像素相对应的多个区域，并且阻挡通过液晶层 400 泄漏的光。滤色器层 320 包括红色图案 R、绿色图案 G 和蓝色图案 B。滤色器层 320 被形成在由光掩蔽层 310 限定的所述多个区域中。

公共电极层 330 面向在阵列基板 100 上形成的像素电极 176 和 186。公共电极层 330 对应液体电容器的第二电极。液晶层 400 被插入在阵列基板 100 和相对基板 300 之间。液晶层 400 中的分子的方位角根据在像素电极 176 和 186 与公共电极层 330 之间的电势差而改变。

表 1 示出了根据本发明示例实施例的用于发送垂直启动信号 STV 的第二信号线路的所测量的电容。

	测试 1			测试 2		
型号	2.34 英寸			2.32 英寸		
	VGL_STV	STV	CK	REV 01	REV 00	
				STV 交叉	STV	CK
电容	130pF	8pF	30pF	34pF	7pF	22pF

表 1

测试 1 指示在传统的 2.34 英寸的 LCD 板中的信号线路的电容。在传统的 2.34 英寸的 LCD 板中的信号线路被形成在与第五信号线路 145 相同的位置上，所述第五信号线路 145 被形成在图 1 中的信号线路部件 140 的信号线路中的最外侧。

在传统的 2.34 英寸的 LCD 板中，可能在栅极电路部件耦接到垂直启动信号 STV 线路所在的部分处发生缺陷。但是，在栅极电路部件耦接到时钟信号线路 CK 所在的部分处可能不发生缺陷。因此，当在用于发送第二栅极电压 VSS 的线路 VGL 被短路到用于发送垂直启动信号 STV 的线路的条件下测量传统的 2.34 英寸 LCD 板中的信号线路的电容时，线路 VGL 的电容是大约 130pF，垂直启动信号 STV 线路的电容是大约 8pF，并且时钟信号 CK 线路的电容是大约 30pF。即，可以注意到，垂直启动信号 STV 线路具有比时钟信号 CK 线路的电容低得多的电容。

结果，当垂直启动信号 STV 线路的电容高于时钟信号 CK 线路的电容时，可以不发生缺陷。

测试 2 示出了在传统的 2.32 英寸 LCD 板 REV 00 中的信号线路的电容、以及根据本发明示例实施例的 2.32 英寸 LCD 板 REV 01 的垂直启动信号 STV

线路的电容。

在传统的 2.32 英寸 LCD 板中的垂直启动信号 STV 的电容达到了 7pF。时钟信号线路的电容是 22pF。因此，垂直启动信号 STV 线路具有比时钟信号 CK 线路的电容低得多的电容。但是，在根据本发明示例实施例的 2.32 英寸的 LCD 板中的垂直启动信号 STV 线路的电容达到 34pF，其比等于 22pF 的时钟信号线路的电容高。

垂直启动信号 STV 线路与时钟信号(CK 或 CKB)线路和第二栅极电压 VSS 线路重叠，使得可以增大垂直启动信号 STV 线路的电容。因此，当垂直启动信号 STV 线路的电容高于时钟信号线路的电容时，可以注意到，可以按照与时钟信号线路的方式相似的方式来保护垂直启动信号 STV 线路免受静电损害。

根据本发明，垂直启动信号线路与发送第一栅极电压、第二栅极电压、第一时钟信号和第二时钟信号的其它驱动信号线路的连接线路相交。垂直启动信号线路可以具有增大的电容。

垂直启动信号线路与将栅极电路部件连接到第一栅极电压 VDD 线路以及第一和第二时钟信号线路的连接线路相交，以便增大垂直启动信号线路的电阻。垂直启动信号线路的电容可以增大，以达到与第一栅极电压 VDD 线路相交的连接线路所形成的电容。因此，可以保护垂直启动信号线路和连接到该垂直启动信号线路的栅极电路部件的电子元件免受静电损害。

上文是对本发明的说明，而不应被理解为限定本发明。虽然已经描述了本发明的几个示例实施例，但是本领域技术人员将容易认识到：在实质上不脱离本发明的新颖教导和优点的情况下，可以在示例实施例中进行许多修改。因此，所有这样的修改意欲被包括在如权利要求所限定的本发明的范围中。在权利要求中，部件加功能的语句意欲涵盖在此所述的执行所述功能的结构，并且不仅涵盖结构等同物，还涵盖等同的结构。因此，应当理解，上文是对本发明的说明，而不应被理解为限于所公开的具体实施例，并且对于所公开的实施例的修改以及其它实施例意欲被包括在所附权利要求的范围内。本发明由所附权利要求限定，并且权利要求的等同内容被包含在其中。

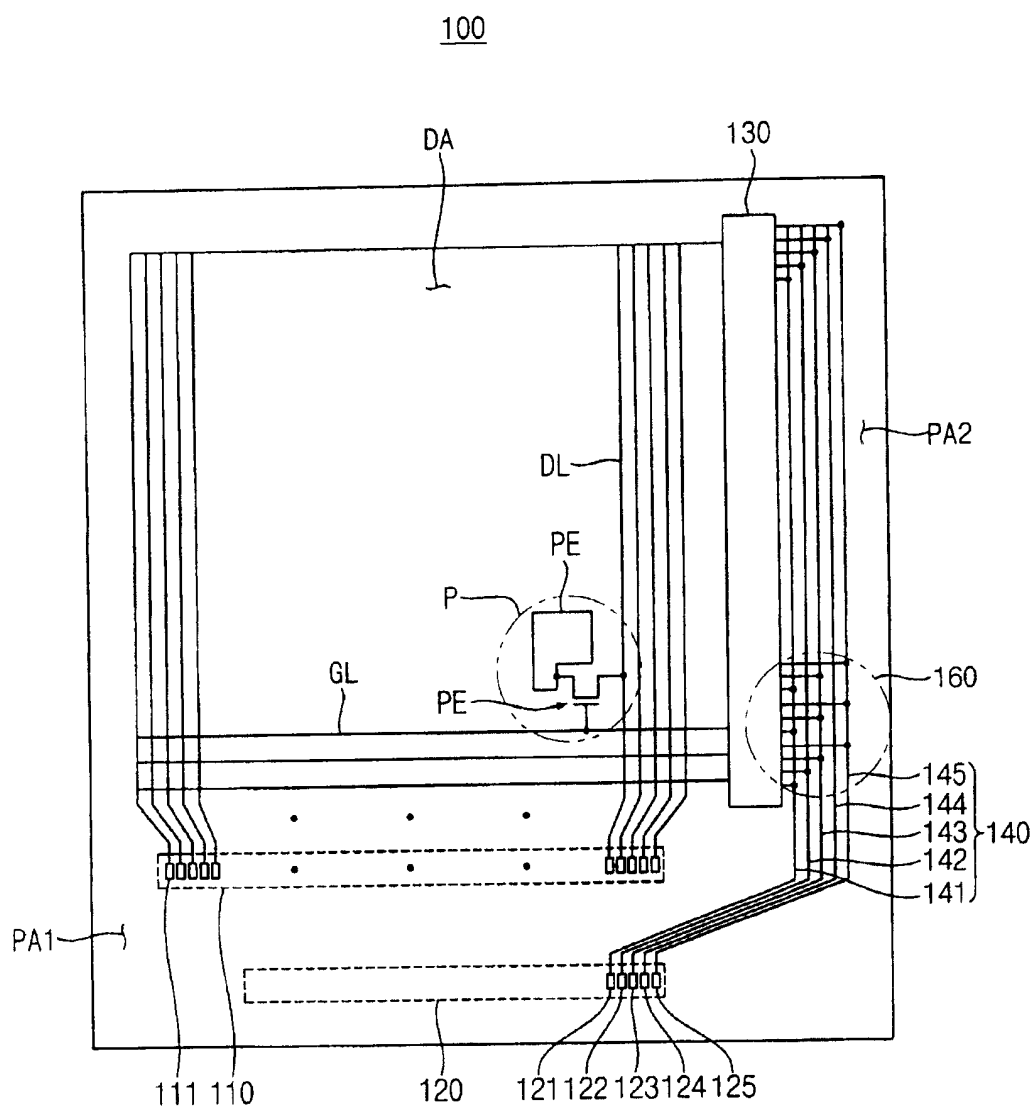


图 1

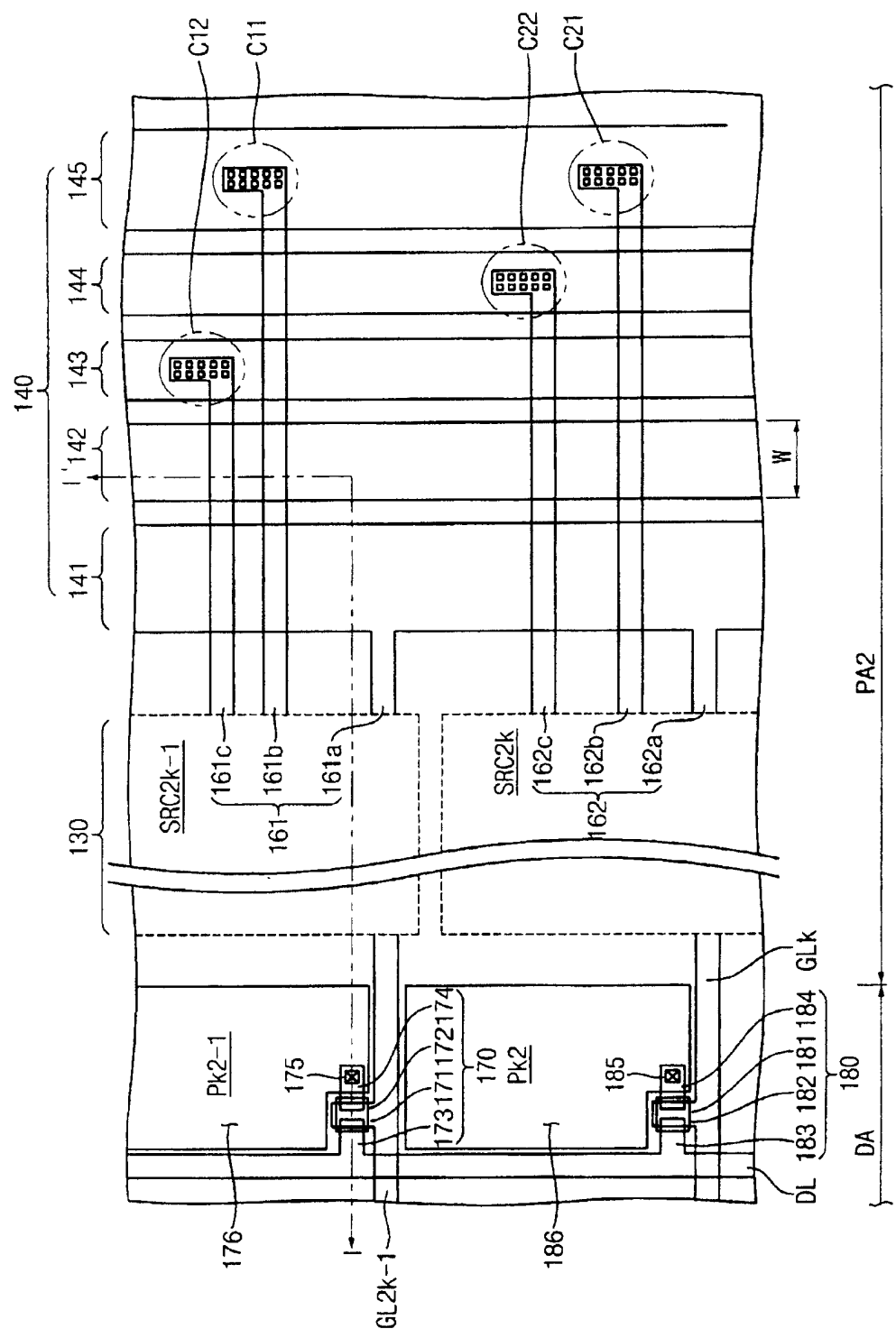


图 2

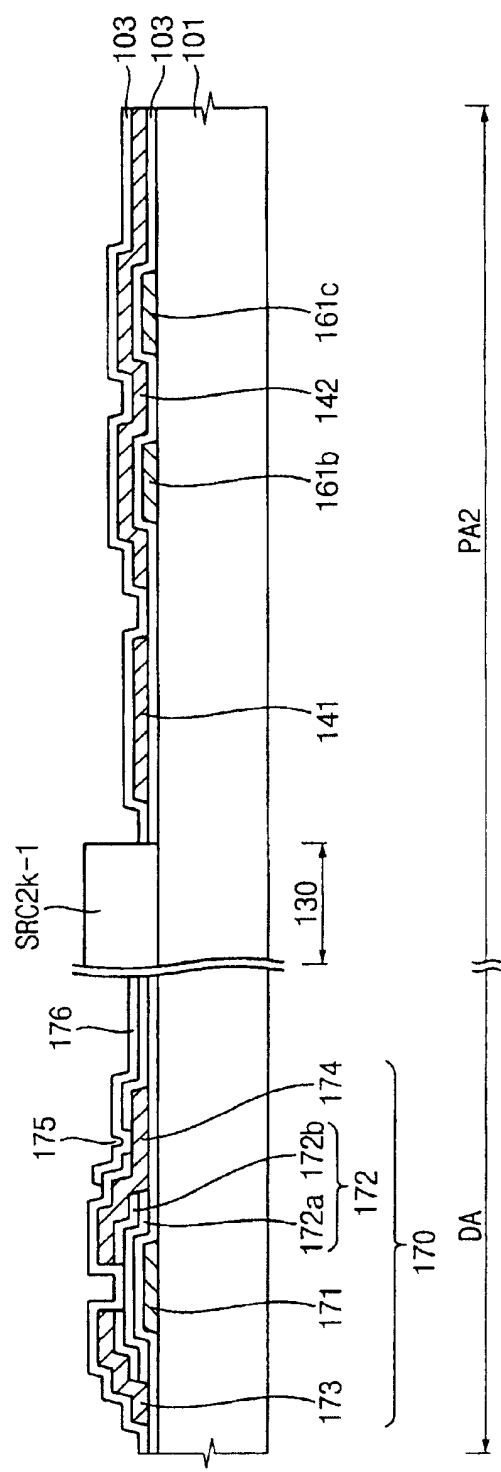


图 3

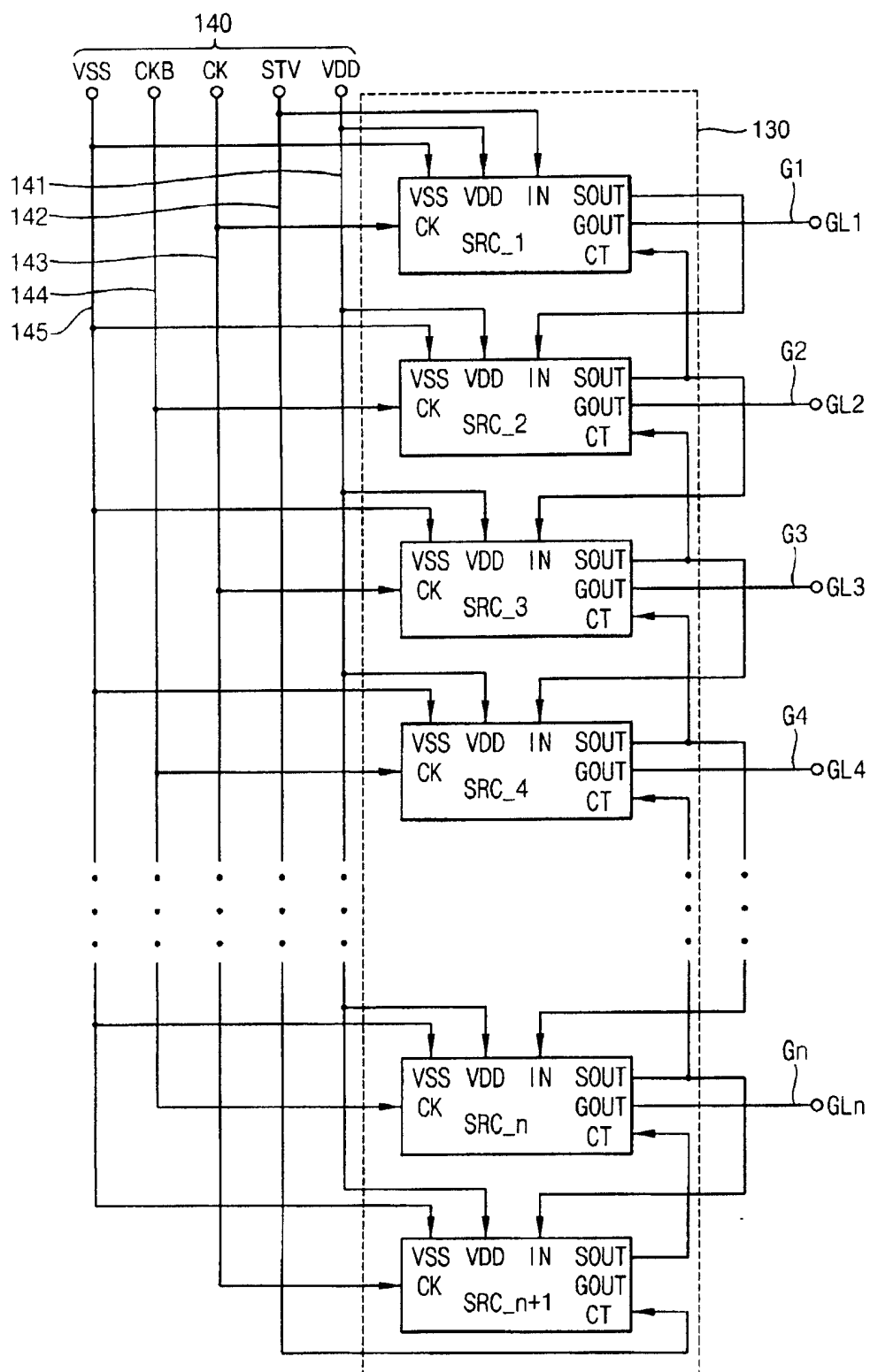


图 4

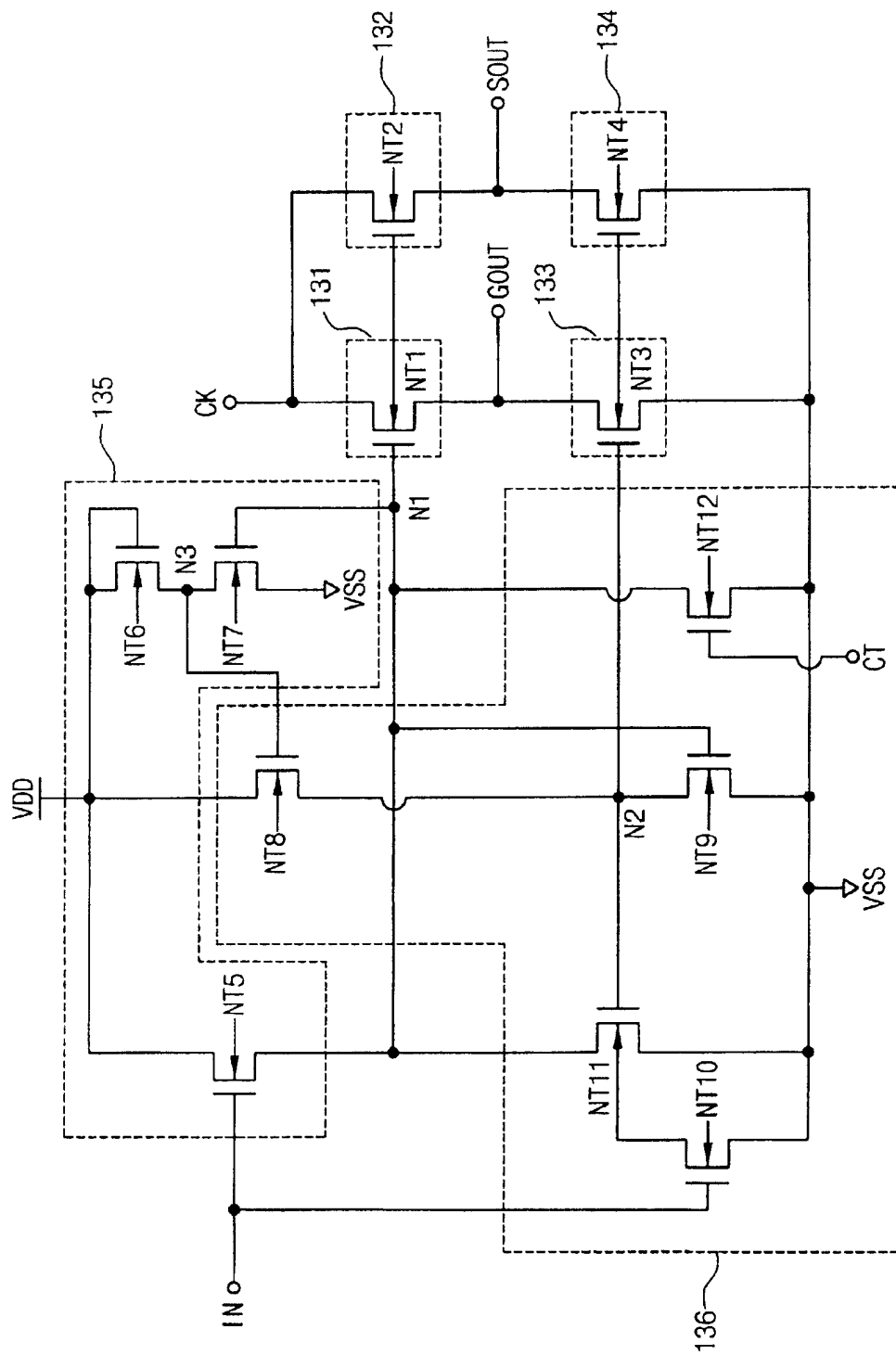


图 5

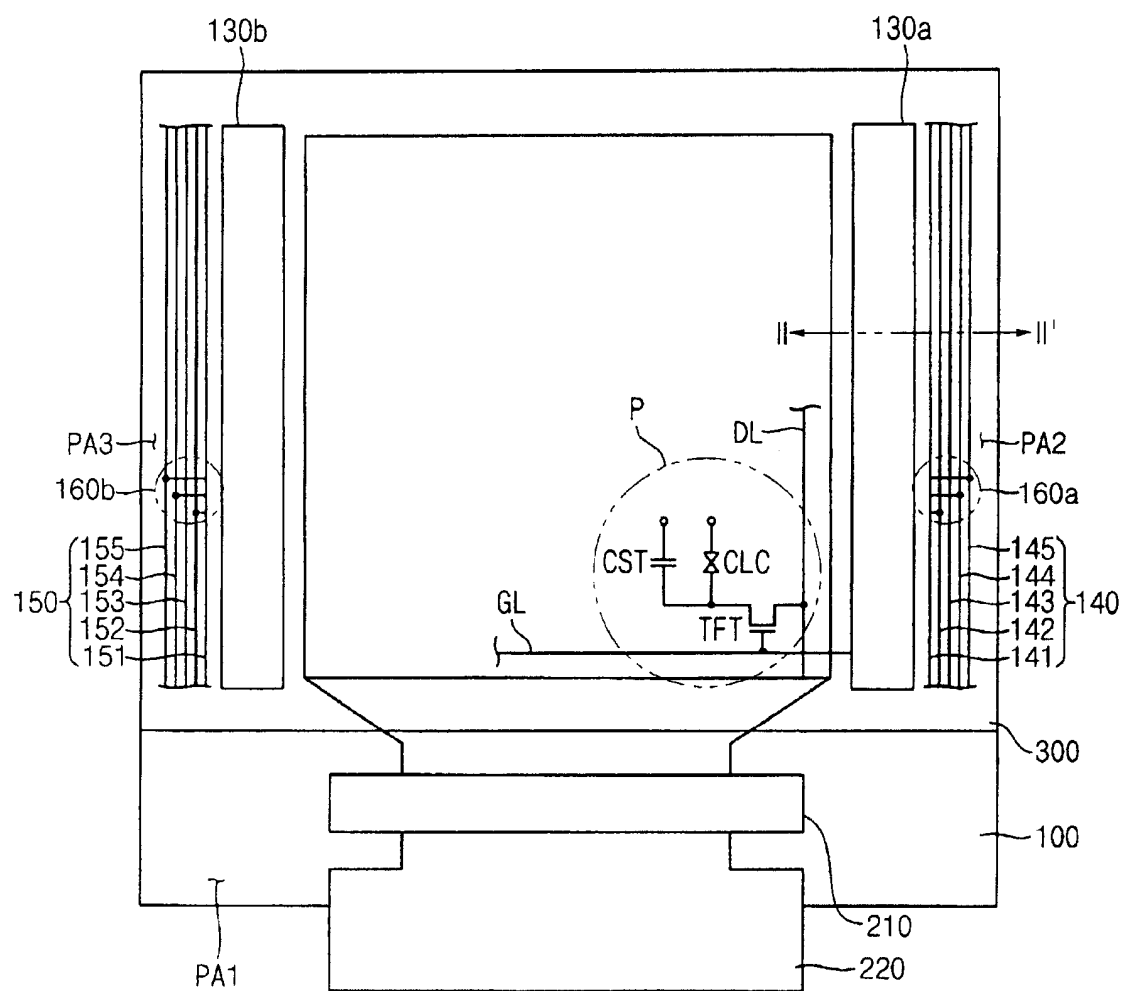


图 6

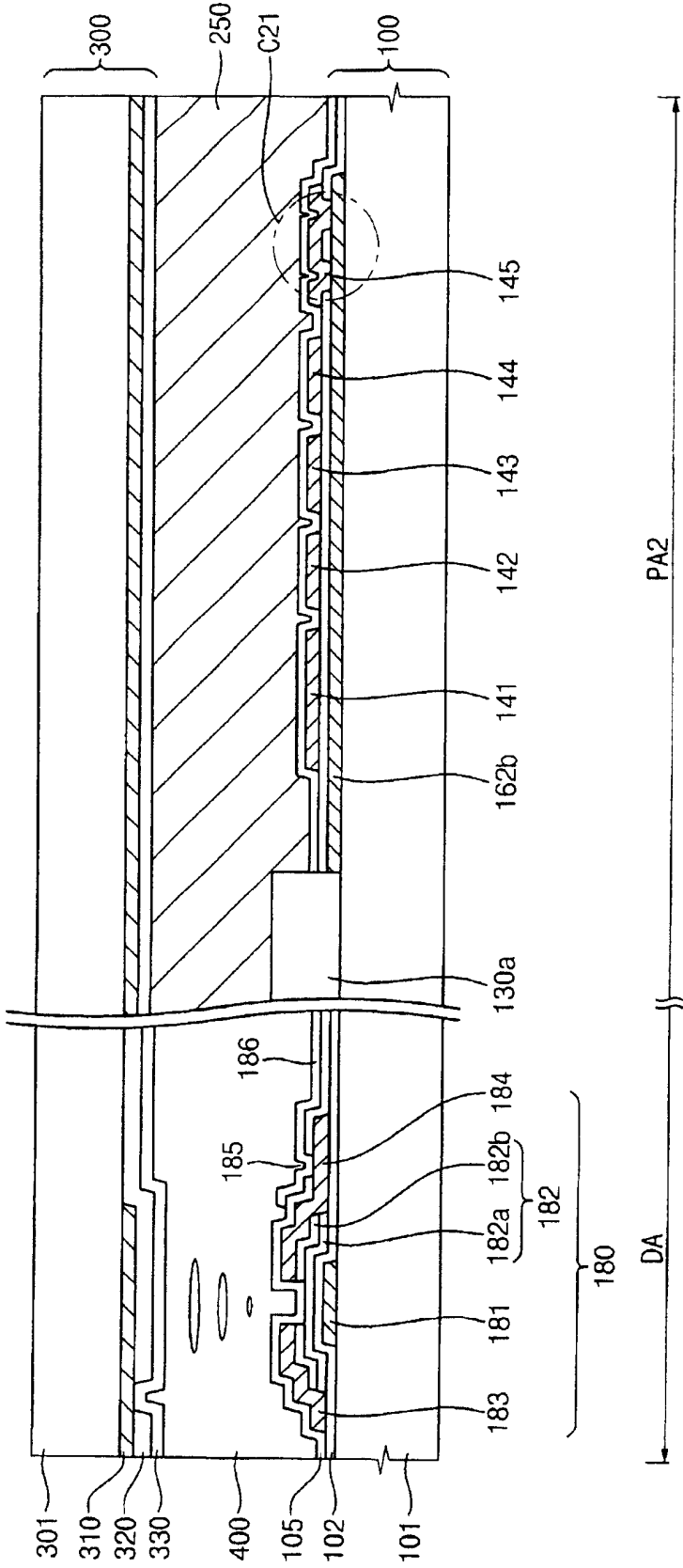


图 7