

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003年10月16日 (16.10.2003)

PCT

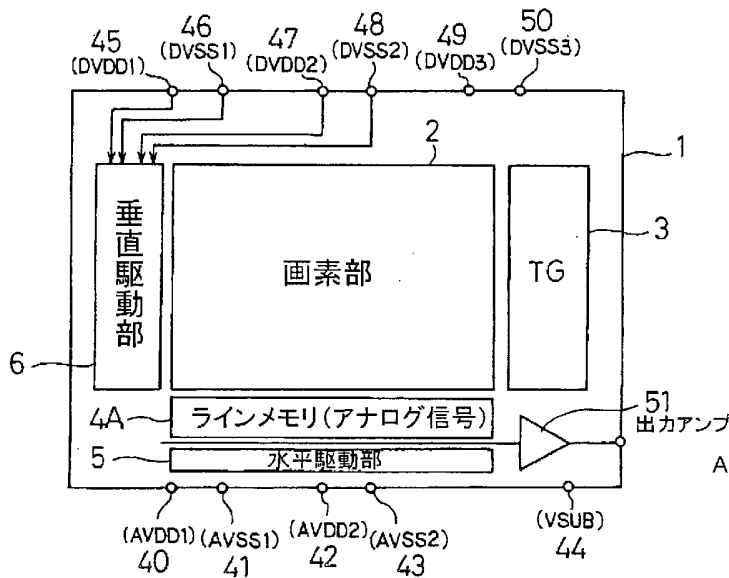
(10) 国際公開番号
WO 03/085964 A1

- (51) 国際特許分類: H04N 5/335, H01L 27/146
- (21) 国際出願番号: PCT/JP03/04338
- (22) 国際出願日: 2003年4月4日 (04.04.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2002-102046 2002年4月4日 (04.04.2002) JP
- (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 中村信男 (NAKAMURA, Nobuo) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP). 梅田智之 (UMEDA, Tomoyuki) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP). 馬淵圭司 (MABUCHI, Keiji) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP). 藤田博明 (FUJITA, Hiroaki) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP). 阿部高志 (ABE, Takashi) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP). 船津英一 (FUNATSU, Eiichi) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式

[続葉有]

(54) Title: SOLID-STATE IMAGE PICKUP DEVICE

(54) 発明の名称: 固体撮像装置



- 6...VERTICAL DRIVE SECTION
- 2...PIXEL SECTION
- 4A...LINE MEMORY (ANALOG SIGNAL)
- 5...HORIZONTAL DRIVE SECTION
- A...OUTPUT AMPLIFIER

(57) Abstract: A solid-state image pickup device for increasing the operation margin of a pixel section and completely transferring signal charge by using power source voltages, wherein respective sections of a semiconductor chip (1) are supplied with power sources of different power source voltage values. For example, as a first power source system, a first digital power source voltage (DVDD1) is supplied from a power source terminal (45), a first digital ground voltage (DVSS1) from a power source terminal (46), a second digital power source voltage (DVDD2) from a power source terminal (47), a second digital ground voltage (DVSS2) from a power source terminal (48), a third digital power source voltage (DVDD3) from a power source terminal (49), and a third digital ground voltage (DVSS3) from the power source terminals (50). As a second power source system, a first analog power source voltage (AVDD1) is supplied from a power source terminal (40), a first analog ground voltage (AVSS1) from a power source terminal (41), a second analog power source voltage (AVDD2) from a power source terminal (42), and a second analog ground voltage (AVSS2) from a power source terminal (43).

(57) 要約: 複数の電源電圧を使うことによって、画素部の動作マージンを大きくしたり、信号電荷の完全転送を図る固体撮像装置であって、半導体チップ1の各部に電源電圧

[続葉有]



WO 03/085964 A1



会社内 Tokyo (JP), 佐藤 弘樹 (SATO, Hiroki) [JP/JP]; 〒240-0005 神奈川県横浜市保土ヶ谷区神戸町134番地 ソニー・エルエスアイ・デザイン株式会社内 Kana-gawa (JP).

(74) 代理人: 佐藤 隆久 (SATO, Takahisa); 〒111-0052 東京都台東区柳橋2丁目4番2号宮木ビル4階 創進国際特許事務所 Tokyo (JP).

(81) 指定国 (国内): CN, JP, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

値の異なる複数の電源を供給するようにした。たとえば、第1の電源システムとして、電源端子45から第1のデジタル電源電圧 (DVDD1)、電源端子46から第1のデジタルグラウンド電圧 (DVSS1)、電源端子47から第2のデジタル電源電圧 (DVDD2)、電源端子48から第2のデジタルグラウンド電圧 (DVSS2)、電源端子49から第3のデジタル電源 (DVDD3) 49、及び電源端子50から第3のデジタルグラウンド電圧 (DVSS3) が供給され、第2の電源システムとして、電源端子40から第1のアナログ電源電圧 (AVDD1)、電源端子41から第1のアナロググラウンド電圧 (AVSS1)、電源端子42から第2のアナログ電源電圧 (AVDD2)、及び電源端子43から第2のアナロググラウンド電圧 (AVSS2) が供給される。

明細書

固体撮像装置

技術分野

本発明は、複数の単位画素から構成される画素部と、前記画素部を制御する周辺回路部とを有する増幅型（CMOSセンサ型）の固体撮像装置に関し、特にその電源回路の改良に関するものである。

背景技術

従来より、たとえば図1～図7に示すような増幅型（CMOSセンサ型）の固体撮像装置が知られている。以下、これらの図を用いて従来例の構成及び動作を説明する。

図1は、従来の固体撮像装置の構成例を示す概略平面図である。

この固体撮像装置は、半導体チップ1上に、2次元配列で多数の単位画素を配置した画素部2と、各種のタイミング信号を生成するタイミングジェネレータ部3と、単位画素の各画素列（カラム）毎にCDS（相関二重サンプリング）を行うカラムCDSやA/D変換を行うカラムAD等の出力カラム部4と、この出力カラム部4を水平方向に選択して駆動する水平駆動部5と、各画素行を選択して駆動する垂直駆動部6と、画素部2から読み出された画素信号に対して信号処理を行う信号処理部（DSP）7等が形成されている。

この固体撮像装置は、電源系統としては第1の電源系統（以下、便宜上デジタル電源という）と第2の電源系統（以下、便宜上アナログ電源という）の2つの電源系統を持って駆動される。半導体チップ1は、第1の電源系統であるデジタル電源電圧DVDDが供給される電源端子8と、デジタルグランド電圧DVSSが供給される電源端子9と、第2の電源系統であるアナログ電源電圧AVDDが

供給される電源端子10と、アナロググランド電圧AVSSが供給される電源端子11とを有する。

このように従来の固体撮像装置では、デジタル電源電圧(DVDD)とアナログ電源電圧(AVDD)は同じ電圧値(例えば1.8V、2.5V、3.3Vなど)であったため、半導体チップ1上に複数の電極パッドPADが配置されていても、チップ1の外部からは1種類の電源電圧が供給され、単一電源電圧で動作している。

図2は、図1に示す従来例の画素部2の積層構造を示す断面図である。

図示のように、シリコン基板12上にはPウェル13が形成されており、このPウェル13上に、素子分離領域(本例ではLOCOS素子分離であるがSTI等の場合もある)14と、電源領域(AVDD)15と、リセットトランジスタのリセットゲート(Reset)16と、フローティングデフェュージョン(FD)部と呼ばれる電荷検出部17と、フォトダイオード23の信号電荷をFD部17に転送する転送トランジスタ(転送ゲートTG)18と、フォトダイオード23を構成するP+型受光層19及びN型光電変換層20等が形成されている。

このような固体撮像装置において、半導体プロセス世代が進んでいくと、使用する電源電圧が小さくなっていく。たとえば0.35 μ mプロセスでは3.3V、0.25 μ mプロセスでは2.5V、0.18 μ mプロセスでは1.8V、などである。

一方、固体撮像装置は第2の電源系統で駆動される回路部(以下、アナログ回路部という)と第1の電源系統で駆動される回路図(以下、デジタル回路部という)が必須のアナログデジタル混載デバイスである。よって、上述したデジタル回路部は電源電圧が低下しても動作する。しかし、アナログ回路部の低電圧化は難しい。

特にアナログ回路部の中でも画素部2については、フォトダイオード23から信号電荷(Qsig)を電荷検出部17に完全転送しなければならないため、低

電圧化が難しい。

図3～図7は、図2に示した断面図に対応するポテンシャル電位を示す説明図であり、縦軸がポテンシャル電位 P_{TN} (V)、横軸が図2の基板表面における各素子の形成位置に対応している。

以下、これらの図により、従来の信号電荷の読出し動作を説明する。

まず、図3において、フォトダイオード(PD)23に信号電荷24を蓄積している間、リセットトランジスタ16のドレイン端子15は電源電圧 $AVDD1$ になっている。図示の例では、 $AVDD1 = 2.5V$ である(図中、26で示す)。この時、転送ゲート18のゲート電圧(Φ_{TG})は0Vである。

また、リセットトランジスタ16の“OFF”時のポテンシャル電位(Φ_R)は、例えば1V程度である(図中、27で示す)。このリセットトランジスタ16は、ディープディプリーション(Deep Depletion)型トランジスタとなっている。

次に、図4に示すように、リセットトランジスタ16のゲートを“ON”状態にする。つまり、 $\Phi_R = 2.5V$ である。そうすると、リセットトランジスタ16のゲート下の電位は深くリセット(図示の例では3Vにリセット)され(図中、28で示す)、FD電位は電源電圧15($AVDD1 = 2.5V$)と同じ電位となる(図中、26で示す)。つまり、リセットトランジスタ16にディープディプリーション型トランジスタを用いることによってFD電位を電源電圧までリセットしている。

次に、図5は、リセットトランジスタ16を“OFF”状態にしたときのポテンシャルを示しており、FD電位は、そのまま $AVDD1$ の電位と同じである。実際にはリセットトランジスタ16のゲートとの寄生容量により、 $AVDD1 = 2.5V$ よりも若干少なくなる(図中、25で示す)。

また、図6は読出し時のポテンシャルを示している。転送ゲート18に“ON”電圧を印加することによって、信号電荷(Q_{sig})24をFD部17に読み

出す。

ここで、信号電荷 (Q_{sig}) 24のうち、大部分の信号電荷 (Q_{sig1}) 30がFD部17へ読み出されるが、一部の信号電荷 (Q_{sig2}) 29はフォトダイオード23に残る。

この残った信号電荷は残像なり、画像特性を劣化させる。

ここで、残像が発生する原因は、転送ゲート18に印加する電圧が相対的に小さいため、転送ゲート18のゲート下にポテンシャルバリア31が発生し、フォトダイオード23の信号電荷を完全に読み出すことができないからである。

このように、従来の増幅型固体撮像装置において、画素部を駆動する電圧が小さくなればなるほど、この残像の発生の可能性が大きくなり、画質を劣化させてしまう。

図7は、転送ゲート18を“OFF”した後のポテンシャルを示している。図示のように、転送ゲート18のゲート電圧 (Φ_{TG}) は0Vになり (図中、32で示す)、フォトダイオード23には信号電荷 (Q_{sig2}) 29が残されてしまう。

以上のように、従来の増幅型固体撮像装置では、画素部を駆動する電圧が小さいために、フォトダイオードの信号電荷を完全に読み出すことができず、残像が発生する原因となる。

また、このような背景から画素部の動作マージンも大きくとれないという問題が生じ、さらに、画素部の構造等が制約を受け、製造工程が煩雑になったり、大きい電源電圧が必要となるといった問題も生じる。

発明の開示

本発明の第1の目的は、複数の電源電圧を使うことによって、画素部の動作マージンを大きくしたり、信号電荷の完全転送を図ることが可能な固体撮像装置を提供することにある。

本発明の第2の目的は、製造工程におけるマスク枚数の削減やプロセス工程の短縮を実現できる固体撮像装置を提供することにある。

前記目的を達成するため、本発明の第1の観点は、複数の単位画素から構成される画素部と、前記画素部を制御する周辺回路部とを有し、当該周辺回路が第1の電源系統の第1の電源電圧の供給を受けて動作し、前記画素部が第2の電源系統の前記第1の電源電圧とは値が異なる第2の電源電圧の供給を受けて動作する固体撮像装置であって、外部から前記第1の電源系統の第1の電源電圧を入力し、前記周辺回路部に供給する第1の電源入力手段と、外部から前記第2の電源系統の第2の電源電圧を入力し、前記画素部に供給する第2の電源入力手段と、を有する。

また、本発明の第2の観点は、複数の単位画素から構成される画素部と、前記画素部を制御する周辺回路部とを有し、当該周辺回路が第1の電源電圧の供給を受けて動作し、前記画素部が前記第1の電源電圧とは値が異なる第2の電源電圧の供給を受けて動作する固体撮像装置であって、外部から単一レベルの電源電圧を入力する電源入力手段と、前記電源入力手段によって入力された電源電圧のレベルを前記第1の電源電圧および/または第2の電源電圧に変換するレベルシフト手段とを有し、前記レベルシフト手段によって生成された第1の電源電圧を前記周辺回路部に選択的に供給し、生成された第2の電源電圧を前記画素部に選択的に供給する。

本発明の固体撮像装置では、外部から複数の異なる電源電圧を入力し、この複数の電源電圧を画素部及び周辺回路部に選択的に供給するようにしたことから、複数の電源電圧を使うことにより、各部分に最適な消費電力の設定が可能となり、特に画素部に必要な第2の電源電圧を有効に設定できる。

したがって、各部の動作マージンが拡大し、画素部を含む回路部分の消費電力を削減することができ、さらに画素部における信号電荷の完全転送を図ることが可能となる。

また、通常はイオン注入マスクで打ち分けているトランジスタの閾値 V_{th} の変更が不要となるので、イオン注入作業時におけるマスク枚数を大幅に削減でき、プロセス工程の短縮を実現できる。

また、本発明の固体撮像装置では、外部から電源電圧からレベルシフト手段を用いて複数の異なる電源電圧を生成し、この複数の異なる電源電圧を画素部及び周辺回路部に選択的に供給するようにしたことから、複数の電源電圧を使うことにより、各部分に最適な消費電力の設定が可能となり、特に画素部に必要な第2の電源電圧を有効に設定できる。

したがって、各部の動作マージンが拡大し、画素部を含む回路部分の消費電力を削減することができ、さらに画素部における信号電荷の完全転送を図ることが可能となる。

また、通常はイオン注入マスクで打ち分けているトランジスタの閾値 V_{th} の変更が不要となるので、イオン注入作業時におけるマスク枚数を大幅に削減でき、プロセス工程の短縮を実現できる。

図面の簡単な説明

- 図1は、従来の増幅型固体撮像装置の構成例を示す概略平面図である。
- 図2は、図1に示す従来例における画素部の積層構造を断面図である。
- 図3は、図1に示す従来例のポテンシャル電位の遷移を示す説明図である。
- 図4は、図1に示す従来例のポテンシャル電位の遷移を示す説明図である。
- 図5は、図1に示す従来例のポテンシャル電位の遷移を示す説明図である。
- 図6は、図1に示す従来例のポテンシャル電位の遷移を示す説明図である。
- 図7は、図1に示す従来例のポテンシャル電位の遷移を示す説明図である。
- 図8は、本発明の第1実施形態による増幅型固体撮像装置の構成例を示す概略平面図である。
- 図9は、本発明の第2実施形態による増幅型固体撮像装置の構成例を示す概略

平面図である。

図10は、本発明の第3実施形態による増幅型固体撮像装置の構成例を示す概略平面図である。

図11は、本発明の第4実施形態における単位画素と垂直駆動部の構成例を示すブロック図である。

図12A～Cは、図11に示す実施形態の動作タイミングを示すタイミングチャートである。

図13は、図11に示す実施形態の画素部の積層構造を示す断面図である。

図14は、図11に示す実施形態のポテンシャル電位の遷移を示す説明図である。

図15は、図11に示す実施形態のポテンシャル電位の遷移を示す説明図である。

図16は、図11に示す実施形態のポテンシャル電位の遷移を示す説明図である。

図17は、図11に示す実施形態のポテンシャル電位の遷移を示す説明図である。

図18は、図11に示す実施形態のポテンシャル電位の遷移を示す説明図である。

図19は、本発明の第5実施形態における単位画素と垂直駆動部の構成例を示すブロック図である。

図20A～Cは、図19に示す実施形態の動作タイミングを示すタイミングチャートである。

図21は、本発明の第6実施形態における単位画素と垂直駆動部の構成例を示すブロック図である。

図22A～Eは、図21に示す実施形態の動作タイミングを示すタイミングチャートである。

図 2 3 は、図 2 1 に示す実施形態のポテンシャル電位の遷移を示す説明図である。

図 2 4 は、図 2 1 に示す実施形態のポテンシャル電位の遷移を示す説明図である。

図 2 5 は、図 2 1 に示す実施形態のポテンシャル電位の遷移を示す説明図である。

図 2 6 は、図 2 1 に示す実施形態のポテンシャル電位の遷移を示す説明図である。

図 2 7 は、図 2 1 に示す実施形態のポテンシャル電位の遷移を示す説明図である。

図 2 8 は、図 2 1 に示す実施形態のポテンシャル電位の遷移を示す説明図である。

図 2 9 は、本発明の第 7 実施形態における単位画素の構成例を示すブロック図である。

図 3 0 A～F は、図 2 9 に示す実施形態の動作タイミングを示すタイミングチャートである。

図 3 1 は、本発明の第 8 実施形態における単位画素の構成例を示すブロック図である。

図 3 2 A～E は、図 3 1 に示す実施形態の動作タイミングを示すタイミングチャートである。

図 3 3 は、本発明の第 9 実施形態における単位画素の構成例を示すブロック図である。

図 3 4 は、図 3 3 に示すレベルシフト回路の積層構造の一例を示す概略断面図である。

発明を実施するための最良の形態

以下、本発明による固体撮像装置の実施の形態について説明する。

本発明の実施の形態による固体撮像装置は、複数レベルの電源電圧を半導体チップの外部から供給したり、あるいは半導体チップ内に昇圧手段を設けることにより、画素部には高電圧を印加し、周辺回路部には低電圧を印加し、FD部を高圧でリセットすることで、FD部の動作ダイナミックレンジを拡大するようにし、残像等の問題を解決するものである。

図8は、本発明の第1実施形態による増幅型固体撮像装置の構成例を示す概略平面図である。なお、図1に示す回路と共通の機能を有する構成部については便宜上、同一符号を付して説明する。

この固体撮像装置は、撮像信号をアナログ信号で出力する構成例であり、半導体チップ1上に、2次元配列で多数の単位画素を配置した画素部2と、各種のタイミング信号を生成するタイミングジェネレータ部3と、画素部2からの各画素行のアナログ画素信号を格納するラインメモリ部(カラム領域)4Aと、ラインメモリ部4Aを水平方向に選択して駆動する水平駆動部5と、各画素行を選択して駆動する垂直駆動部6と、画素部2から読み出された画素信号に対して所定の信号処理を行って出力する出力アンプ部51等が形成されている。

また、このような半導体チップ1は、第1の電源系統であるデジタル電源系統として、電源端子45から第1のデジタル電源電圧(DVDD1)、電源端子46から第1のデジタルグラウンド電圧(DVSS1)、電源端子47から第2のデジタル電源電圧(DVDD2)、電源端子48から第2のデジタルグラウンド電圧(DVSS2)、電源端子49から第3のデジタル電源(DVDD3)49、及び電源端子50から第3のデジタルグラウンド電圧(DVSS3)が供給されている。

また、半導体チップ1は、第2の電源系統であるアナログ電源系統として、電源端子40から第1のアナログ電源電圧(AVDD1)、電源端子41から第1のアナロググラウンド電圧(AVSS1)、電源端子42から第2のアナログ電

源電圧（ $AVDD2$ ）、及び電源端子43から第2のアナロググラウンド電圧（ $AVSS2$ ）が供給されている。

なお、半導体チップ1には、基板コンタクト（ $VSUB$ ）44が設けられている。

このような回路構成において、画素部2、ラインメモリ部4A、出力アンプ部51は第2の電源系統、すなわちアナログ電源で駆動されるアナログ回路部であり、TG部3、垂直駆動部6、水平駆動部5は第1の電源系統、すなわちデジタル電源で駆動されるデジタル回路部である。

このような固体撮像装置において、半導体プロセス世代が進んでいくと、使用する電源電圧が小さくなっていく。たとえば $0.35\mu\text{m}$ プロセスでは 3.3V 、 $0.25\mu\text{m}$ プロセスでは 2.5V 、 $0.18\mu\text{m}$ プロセスでは 1.8V 、などである。

本実施形態では、半導体チップ1の外部から電源電圧値の異なる複数の電源を供給するようにしたものである。

すなわち、図8において、 $DVDD1 = DVDD2$ ではない。例えば $DVDD1 = 3.3\text{V}$ とすると、 $DVDD2 = 2.5\text{V}$ である。このような電源電圧値を固体撮像装置の外部から半導体チップ1に供給することによって、特にフォトダイオード23からの信号電荷の完全転送が可能となる。

また、アナログ用の電源電圧値 $AVDD1$ と $AVDD2$ を異なる電圧で使うこともできる。画素部2の電源を $AVDD1$ とし、ラインメモリ部4A、出力アンプ部51の電源を $AVDD2$ とすることによって、回路の各部分に最適な消費電力の設定が可能となってくる。

これにより、各部の動作マージンが拡大し、アナログ部分の消費電力を削減することができる。

図9は、本発明の第2実施形態による増幅型固体撮像装置の構成例を示す概略平面図である。なお、図1に示す回路と共通の機能を有する構成部については便

宜上、同一符号を付して説明する。

この固体撮像装置は、撮像信号をデジタル信号に変換し、さらにデジタル信号処理を施して出力する構成例であり、半導体チップ1上に、2次元配列で多数の単位画素を配置した画素部2と、各種のタイミング信号を生成するタイミングジェネレータ部3と、カラムCDSやカラムAD等の出力カラム部（カラム領域）4と、この出力カラム部4を水平方向に選択して駆動する水平駆動部5と、各画素行を選択して駆動する垂直駆動部6と、画素部2から読み出された画素信号に対して信号処理を行う信号処理部（DSP）7と、外部からの第2の電源電圧としてのアナログ電源電圧及び第1の電源電圧としてのデジタル電源電圧を昇圧する昇圧回路52と、外部からのアナログ電源電圧及びデジタル電源電圧によって負電源を生成する負電源発生回路53等が形成されている。

そして、このような半導体チップ1は、第1の電源系統であるデジタル電源系統として、電源端子8からデジタル電源電圧（DVDD）、電源端子9からデジタルグラウンド電圧（DVSS）が供給され、第2の電源系統であるアナログ電源系統として、電源端子10からアナログ電源電圧（AVDD）、電源端子11からアナロググラウンド電圧（AVSS）が供給されている。

なお、半導体チップ1には、基板コンタクト（V_{SUB}）44が設けられている。

本実施形態では、デジタル電源電圧（DVDD）とアナログ電源電圧（AVDD）10は、ともに同じ電源電圧値であり、これを昇圧回路52において電源電圧 $AVDD = DVDD$ を昇圧し、さらに負電源発生回路53によって負電源を生成することにより、半導体チップ1の内部で別の電源電圧値を生成している。

このように半導体チップ1の外部から供給される電源電圧値は単一でも、チップ内部で複数の電源電圧を作り出すことによって、特に画素部2の動作マージンを大幅に拡大することができる。

また、この結果、通常はイオン注入マスクで打ち分けているトランジスタの閾

値 V_{th} の変更が不要となるので、イオン注入作業時におけるマスク枚数を大幅に削減することが可能となる。

図 10 は、本発明の第 3 実施形態による増幅型固体撮像装置の構成例を示す概略平面図である。なお、なお、図 1 に示す回路と共通の機能を有する構成部については便宜上、同一符号を付して説明する。

この固体撮像装置は、図 8 に示す第 1 実施形態の構成例をデジタル出力とし、さらにデジタル信号処理を行う構成に変形した構成例であり、半導体チップ 1 上に、2 次元配列で多数の単位画素を配置した画素部 2 と、各種のタイミング信号を生成するタイミングジェネレータ部 3 と、カラム CDS やカラム AD 等の出力カラム部（カラム領域） 4 と、この出力カラム部 4 を水平方向に選択して駆動する水平駆動部 5 と、各画素行を選択して駆動する垂直駆動部 6 と、画素部 2 から読み出された画素信号に対して信号処理を行う信号処理部（DSP） 7 等が形成されている。

また、このような半導体チップ 1 は、第 1 の電源系統であるデジタル電源系統として、電源端子 45 から第 1 のデジタル電源電圧（DVDD1）、電源端子 46 から第 1 のデジタルグラウンド電圧（DVSS1）、電源端子 47 から第 2 のデジタル電源（DVDD2）、電源端子 48 から第 2 のデジタルグラウンド電圧（DVSS2）、電源端子 49 から第 3 のデジタル電源（DVDD3） 49、及び電源端子 50 から第 3 のデジタルグラウンド電圧（DVSS3）が供給されている。

また、半導体チップ 1 は、第 2 の電源系統であるアナログ電源系統として、電源端子 40 から第 1 のアナログ電源電圧（AVDD1）、電源端子 41 から第 1 のアナロググラウンド電圧（AVSS1）、電源端子 42 から第 2 のアナログ電源電圧（AVDD2）、及び電源端子 43 から第 2 のアナロググラウンド電圧（AVSS2）が供給されている。

なお、半導体チップ 1 には、基板コンタクト（VSUB） 44 が設けられてい

る。

この第3実施形態においても、電源電圧値の異なる複数電源を半導体チップ1の外部から供給することによって、回路の動作マージンを拡大し、さらに各回路ブロックの消費電力の最適化を実行することが可能となる。

次に、本発明の第4実施形態として、上述した画素部2の単位画素と、その駆動を行う垂直駆動部6の構成例について説明する。

図11は、本発明の第4実施形態における単位画素と垂直駆動部の構成例を示すブロック図である。

上述のように画素部2には、2次元配列で多数の単位画素55が設けられており、本例の各単位画素55は、フォトダイオード23、転送トランジスタ（転送ゲートTG）18、電荷検出部（FD部）17、増幅トランジスタ56、アナログ電源端子（AVDD1）40、選択（アドレス）トランジスタ57、垂直信号線59等からなる。

また、画素部2を駆動する垂直駆動部6は、画素行を垂直方向に順次選択する垂直レジスタ部64と、この垂直レジスタ部64による選択信号のレベルを電源電圧によってシフトするレベルシフト回路61、62、63等からなる。

各レベルシフト回路61、62、63は、選択トランジスタ57、リセットトランジスタ16、転送ゲート18のゲート電圧を制御し、制御パルスΦR（リセット用）、ΦTG（転送ゲート用）、ΦA（選択用）を単位画素55の各トランジスタに印加する。

図11の例では、転送ゲート18と選択トランジスタ57に電源電圧DVDD1よりも大きな電圧を印加したいので、レベルシフト回路61と63によって、DVDD1よりも大きな電源電圧DVDD2を供給している。

このように、垂直駆動部6の構成は複雑になるが、電源電圧とGND電圧間の電圧差が大きいため、画素の動作マージンを大きくできる。

この結果、通常はイオン注入マスクで打ち分けているトランジスタの閾値Vt

hの変更が不要となるので、イオン注入作業時におけるマスク枚数を大幅に削減することが可能となる。

図12A~Cは、図11に示す各制御パルスの動作タイミングを示すタイミングチャートである。選択トランジスタ57に印加されるパルス ΦA を $DVDD2$ の電圧にする($DVDD2 > DVDD1$)。こうすることによって、選択トランジスタ57のチャンネル電圧は電源電圧 $DVDD1$ よりも大きくできる。その後、リセットトランジスタ16にパルス $\Phi R = DVDD1$ を印加する。これにより、電荷検出部17がリセットできる。

電荷検出部17は完全に画素部2の電源電圧 $AVDD1$ と同一の電位までリセットしたいので、この図では $\Phi R = DVDD1$ でも完全リセットできる閾値電圧になっている(ΦR も $DVDD2$ を使ってよいが、図12A~12Cでは使わない場合を示した)。その後、転送ゲート18に $\Phi TG = DVDD2$ を印加することによって、フォトダイオード23の信号電荷を電荷検出部17に読み出すことができる。

図13は、図11に示す実施形態の画素部2の積層構造を示す断面図である。

図示のように、シリコン基板12上にはPウェル13が形成されており、このPウェル13上に、素子分離領域(本例ではLOCOS素子分離であるがSTI等の場合もある)14と、電源領域($AVDD$)15と、リセットトランジスタのリセットゲート(Reset)16と、電荷検出部17と、フォトダイオード23の信号電荷を電荷検出部17に転送する転送ゲート(TG)18と、フォトダイオード23を構成するP+型受光層19及びN型光電変換層20等が形成されている。

電荷検出部17は、コンタクト17A等を介して増幅トランジスタ56のゲートに接続され、電源領域15は、コンタクト15A等を介して第1のアナログ電源端子($AVDD1$)40に接続されている。

図14～図18は、図13に示した断面図に対応するポテンシャル電位を示す説明図であり、縦軸がポテンシャル電位（V）、横軸が図4の基板表面における各素子の形成位置に対応している。なお、既に説明した図3～図7と共通の要素については、同一符号を付してある。

まず、本例において画素部2の電源電圧（AVDD1）は、この図では1.8Vである（図中、26で示す）。

そして、図14においては、転送ゲート18とリセットトランジスタ16は、 $\Phi TG = \Phi R = \text{“OFF”}$ 状態となっている。フォトダイオード23の領域には、信号電荷（Qsig）24が蓄積されている。

次に、図15は、 $\Phi TG = \text{“OFF”}$ 、 $\Phi R = \text{“ON”}$ の状態でのポテンシャル電位を示したものである。ここで、電荷検出部（FD部）17は、画素部の電源電圧AVDD1によって1.8Vにセットされる。

次に、図16は、 $\Phi TG = \text{“OFF”}$ 、 $\Phi R = \text{“OFF”}$ の状態でのポテンシャル電位を示したものである。ここで、リセットトランジスタ16をOFFしたことによって、電荷検出部17の電位が変動する。これは、リセットトランジスタ16のゲートと電荷検出部17との間の寄生容量による影響である。

次に、図17は、 $\Phi TG = \text{“ON”}$ 、 $\Phi R = \text{“OFF”}$ の状態でのポテンシャル電位を示したものである。 $\Phi TG = \text{“ON”} = DVDD2$ の電圧はDVDD1よりも大きく、この場合、 $DVDD2 = 2.5V (> DVDD1)$ となる。

したがって、転送ゲート18に印加される電圧が大きいため、フォトダイオード23の信号電荷（Qsig）24を完全に電荷検出部17に読み出すことが可能となる。

次に、図18は、 $\Phi TG = \text{“OFF”}$ 、 $\Phi R = \text{“OFF”}$ の状態でのポテンシャル電位を示している。

以上のように、本実施形態では、たとえば、 $\Phi TG = \text{“ON”} = DVDD2$ というように、画素部2の電源電圧AVDD1 = DVDD1よりも大きい電圧を使

用することにより、フォトダイオード 23 の信号電荷を完全に転送することが可能となる。

図 19 は、本発明の第 5 実施形態における単位画素と垂直駆動部の構成例を示すブロック図である。

この第 5 実施形態は、外部から複数レベルの電源電圧を供給する構成であって、上述した図 11 の第 4 実施形態と異なる画素構成を有するものである。

各単位画素 55 の構成要素は、上述した第 4 実施形態と同様に、フォトダイオード 23、転送トランジスタ 18、増幅トランジスタ 56、選択トランジスタ 57、リセットトランジスタ 16 等であるが、その接続状態が異なっている。

また、垂直駆動部 6 は、垂直レジスタ部 64、2 つのレベルシフト回路 65、66 等からなる。

図 20 A～C は、図 19 に示す各制御パルスの動作タイミングを示すタイミングチャートである。

選択トランジスタ 57 を活性化するために、 $\Phi R = "ON" = DVDD1 (= AVDD1)$ が印加される。

これにより、選択トランジスタが活性化し、この画素が選択される（実際は行方向に複数配置されているので行方向の全ての画素が活性化する）。

その後、リセットトランジスタ 16 を活性化する。つまり、 $\Phi R = DVDD1$ が印加され、電荷検出部 17 が画素部 2 の電源電圧 ($AVDD1$) にリセットされる。

次に、転送ゲート 18 にパルスを印加する。すなわち、 $\Phi TG = "ON" = DVDD2 > DVDD1$ とすることによって、フォトダイオード 23 の信号を完全に電荷検出部 17 へ転送することが可能となる。

また、複数の電源電圧を用いることで、画素部 2 に用いるトランジスタの閾値 V_{th} を 1 種類にでき、マスク枚数の削減が可能となる。

図 21 は、本発明の第 6 実施形態における単位画素と垂直駆動部の構成例を示

すブロック図である。

この第6実施形態は、上述した図9の第2実施形態と同様に、外部から単一の電源電圧を供給する構成であって、チップ内部に昇圧回路52を形成し、複数電源電圧を生成する構成の場合である。

そして、単位画素55は、フォトダイオード23、転送ゲート18、電荷検出部17、増幅トランジスタ56、リセットトランジスタ16、選択トランジスタ57等からなる。また、垂直駆動部6は、垂直レジスタ部64と、レベルシフト回路71、72、73と、各レベルシフト回路71、72、73への電源を供給する昇圧回路52からなる。

また、レベルシフト回路71、72、73からは単位画素を駆動するために、 Φ_P パルス67、 Φ_R パルス22、 Φ_{TG} パルス21、 Φ_A パルス60の4本の制御信号が供給されている。

図22A～Eは、図21に示す各制御パルスの動作タイミングを示すタイミングチャートである。

図23～図28は、本実施形態におけるポテンシャル電位を示す説明図であり、縦軸がポテンシャル電位(V)、横軸が基板表面における各素子の形成位置に対応している。なお、既に説明した図3～図7と共通の要素については、同一符号を付してある。

図21の回路において、最初の状態は図22Aと図23に対応する。

次に、昇圧回路52を活性化する。これによって、昇圧回路52が動作し、昇圧電圧(DVDD1)68、(DVDD2)69、(DVDD3)70が発生する。つまり、図22Bと図24に対応する。

この時、リセットトランジスタ16のドレイン端74の電圧はVDである。次に、選択トランジスタ57を選択するパルス(Φ_A)60に電源電圧(DVDD2)を印加する。これによって画素が活性化される。

次に、リセットトランジスタ16を選択するパルス(Φ_R)22に電源電圧(

DVDD1)を印加する。図22Cと図25が対応する。これによって、電荷検出部17の電圧は昇圧電圧DVDD3=VDにセットされる。つまり、電荷検出部17は昇圧された電圧DVDD3にリセットされたことになる。

次に、リセットトランジスタ16の選択するパルス(ΦR)22を“OFF”する。これは図22Dと図26に対応する。

この後、転送ゲート(TG)18に電源電圧DVDD1を印加する。これは図22Eと図27が対応する。これにより、フォトダイオード23の信号電荷(Qsig)24が、電荷検出部18に読み出される。この時、電荷検出部18の電圧が大きいので、読み出される信号電荷量を大きくできる。つまり、信号のダイナミックレンジを大きくすることが可能である。

また、図27に破線領域75で示すように、大きなドレイン電界によるパンチスルー効果を得ることが可能であるので、完全転送をやりやすくなる。つまり、画素の電源電圧(AVDD1)が小さくなくても、このような本実施の形態を用いることで、フォトダイオードの信号電荷を完全に読み出すことができるようになる。

転送ゲート(TG)18を“OFF”する。これは図22Fと図28に対応する。

図29は、本発明の第7実施形態における単位画素の構成例を示すブロック図であり、図30A~Fは、図29に示す各制御パルスの動作タイミングを示すタイミングチャートである。図29において、単位画素55は、フォトダイオード23、転送ゲート18、電荷検出部17、増幅トランジスタ56、リセットトランジスタ16、選択トランジスタ57等からなる。

増幅トランジスタ56のドレイン端は、単位画素55の電源電圧(AVDD1)40に接続されており、リセットトランジスタ16のドレイン端は制御線(Φp)76に接続されている。

次に、このような単位画素55の動作を図30A~Fを用いて説明する。

最初、 $\Phi_{R1} = "H"$ 、 $\Phi_p = "H"$ 状態（第 2 の状態）から、 $\Phi_p = "H" \rightarrow "L"$ （第 1 の状態）に切り替る。その後、 $\Phi_{R2} = "L" \rightarrow "H"$ とパルスが印加される。これによってリセットトランジスタ 16 のゲート電圧（VG）は接地電位 GND から上昇する。

次に、 $\Phi_{R1} = "H" \rightarrow "L"$ にし、続けて $\Phi_p = "L" \rightarrow "H"$ にする。そうすると、リセットトランジスタ 16 のゲート（VG）とドレイン端（ Φ_p ）の寄生容量によるカップリングにより、リセットトランジスタのゲート電圧が上昇し、DVDD1 以上にすることができる。これによって、電荷検出部 17 の電位 VFD を DVDD1 にセットできる。

これは、昇圧回路 52 や、ディプリーション型のトランジスタを使用しなくても、電荷検出部 17 を完全に電源電圧でリセットできるやり方であり、マスク枚数の削減などの手法に有利である。

図 31 は、本発明の第 8 実施形態における単位画素の構成例を示すブロック図であり、図 32 A～E は、図 31 に示す各制御パルスの動作タイミングを示すタイミングチャートである。

図 31 において、単位画素 55 は、フォトダイオード 23、転送ゲート 18、電荷検出部 17、増幅トランジスタ 56、リセットトランジスタ 16、選択トランジスタ 57 等からなる。

本実施形態において、アナログ電源電圧端子（AVDD1）40 \rightarrow 選択トランジスタ 57 \rightarrow 増幅トランジスタ 56 \rightarrow 垂直信号線 59 の順番が重要である。以下、この動作タイミングを図 32 A～E を用いて説明する。

まず、画素を活性化させない状態で、リセットトランジスタ 16 を“ON”にする。そうすると、電荷検出部 17 の電位 VFD は電源 DVDD1 にセットされる。この例では、DVDD1 = AVDD1 であるので、電荷検出部 17 の電圧 VFD は画素の電源電圧になる。

次に、選択トランジスタ 57 を活性化するため、 Φ_A が印加される。これによ

ってノード84の電圧 V_n が0V→中間電圧に昇圧される。ノード84と電荷検出部17は寄生容量でカップリングしていて、電荷検出部17はフローティング状態であるので、図32Eに86で示すように電荷検出部17のVFDは、DVDD1よりも大きな電圧に昇圧される。

このように、リセットするタイミング87を、画素を選択するタイミング88よりも先行させることによって、電荷検出部17の電位VFDを昇圧させることができる。

これは、駆動タイミングの工夫だけで実現できるので、閾値の異なるトランジスタを使わなくて良いし、昇圧回路も少なく済む。

図33は、本発明の第9実施形態における単位画素の構成例を示すブロック図である。

上述した第8実施形態では、図32Cの83に示すように、転送ゲートにパルス印加しない場合の電圧を負電圧(DVSS3)とした。これによって、蓄積期間中のフォトダイオードに流れ込むリーク電流を抑圧することができる。

そこで、第9実施形態では、上述のような負電圧を実現するための具体的手段について説明する。

たとえば図31に示すようなレベルシフト回路80、81等は、図33に示すような構造を有するものである。

すなわち、このレベルシフト回路は、垂直レジスタ部64からの信号を受けるインバータ部(トランジスタ89、92)と、その後のGND側の電圧をDVSS1(=0V)からDVSS2(<0V)へシフトする回路(トランジスタ90、91、93、94)とを有するものである。

このような回路構成により、DVDD2に負電圧を印加すれば、このレベルシフト回路が“OFF”しているときに、画素部2への転送ゲートパルスΦTGには“負電圧”が印加されることになる。

図34は、このようなレベルシフト回路の積層構造の具体例を示す概略断面図

である。図示のように、シリコン基板 12 上の画素部 2 には、全体的にセンサ P ウェル領域 98 が形成されており、センサ P ウェル電圧 (AVSS1) が印加されている。

また、このセンサ P ウェル領域 98 の周囲を取り囲むように N ウェル領域 99 が形成され、その外側に第 2 の P ウェル領域 100 が形成されている。そして、この第 2 の P ウェル領域 100 には、コンタクト 104 によって DVSS2 が印加され、P ウェル電圧ごと負電源となっている。

この P ウェル領域 100 に、図 33 に示した破線枠 106 の部分 (トランジスタ 93、94) が形成されることになる。

また、第 2 の P ウェル領域 100 の外側には、さらに N ウェル領域 101 が形成され、基板コンタクト 44 が形成される。

なお、さらに外側の周辺回路部は、N ウェル領域 103、P ウェル領域 102 等で形成され、P ウェル領域 102 にはコンタクト 105 によって DVSS1 が印加されている。このような構造によって、画素部 2 に負電圧を印加するためのウェル構造を形成することが可能となる。

以上、本発明の具体的構成例について説明したが、本発明はさらに他の構造の増幅型固体撮像装置 (CMOS イメージセンサ) にも広く採用できるものであり、特に低電圧化した場合に非常に有効な技術を提供し得るものである。

以上説明したように本発明の固体撮像装置によれば、外部から複数の電源電圧を入力し、この複数の電源電圧を画素部及び周辺回路部に選択的に供給するようにしたことから、複数の電源電圧を使うことにより、各部分に最適な消費電力の設定が可能となり、特に画素部に必要なアナログ電源電圧を有効に設定できるため、各部の動作マージンが拡大し、画素部を含むアナログ部分の消費電力を削減することができ、さらに画素部における信号電荷の完全転送を図ることが可能となる効果がある。

また、通常はイオン注入マスクで打ち分けているトランジスタの閾値 V_{th} の

変更が不要となるので、イオン注入作業時におけるマスク枚数を大幅に削減でき、プロセス工程の短縮を実現できる効果がある。

また、本発明の固体撮像装置によれば、外部から電源電圧からレベルシフト手段を用いて複数の電源電圧を生成し、この複数の電源電圧を画素部及び周辺回路部に選択的に供給するようにしたことから、複数の電源電圧を使うことにより、各部分に最適な消費電力の設定が可能となり、特に画素部に必要なアナログ電源電圧を有効に設定できるため、各部の動作マージンが拡大し、画素部を含むアナログ部分の消費電力を削減することができ、さらに画素部における信号電荷の完全転送を図ることが可能となる効果がある。

また、通常はイオン注入マスクで打ち分けているトランジスタの閾値 V_{th} の変更が不要となるので、イオン注入作業時におけるマスク枚数を大幅に削減でき、プロセス工程の短縮を実現できる効果がある。

産業上の利用可能性

本発明の固体撮像装置は、複数の電源電圧を使うことにより、各部分に最適な消費電力の設定が可能となり、特に画素部に必要な第2の電源電圧を有効に設定できるため、各部の動作マージンが拡大し、画素部を含むアナログ部分の消費電力を削減することができ、さらに画素部における信号電荷の完全転送を図ることが可能となることから、良好な画質を維持することができ、デジタルカメラ等の撮像装置に適用可能である。

請求の範囲

1. 複数の単位画素から構成される画素部と、前記画素部を制御する周辺回路部とを有し、当該周辺回路が第1の電源系統の第1の電源電圧の供給を受けて動作し、前記画素部が第2の電源系統の前記第1の電源電圧とは値が異なる第2の電源電圧の供給を受けて動作する固体撮像装置であって、

外部から前記第1の電源系統の第1の電源電圧を入力し、前記周辺回路部に供給する第1の電源入力手段と、

外部から前記第2の電源系統の第2の電源電圧を入力し、前記画素部に供給する第2の電源入力手段と、を有する

ことを特徴とする固体撮像装置。

2. 前記画素部に隣接して各画素行の信号を蓄積するカラム領域を有することを特徴とする請求項1記載の固体撮像装置。

3. 前記第1の電源電圧のレベルを変換するレベルシフト手段を有し、前記レベルシフト手段によって生成された電源電圧を所定の部位に供給することを特徴とする請求項2記載の固体撮像装置。

4. 前記第1および第2の電源電圧の少なくとも1つは負電源電圧であることを特徴とする請求項2記載の固体撮像装置。

5. 前記単位画素が、少なくとも受光量に応じた信号電荷を生成する光電変換部と、前記光電変換部によって生成された信号電荷を取り出すための電荷検出部と、前記光電変換部によって生成された信号電荷を前記電荷検出部に転送する転送手段と、前記光電変換部をリセットするリセット手段と、前記電荷検出部の信号電荷を電気信号に変換して出力信号線に出力する増幅手段とを有し、

前記レベルシフト手段は、レベルシフトさせた電源電圧を、転送手段およびリセット手段に供給する

ことを特徴とする請求項3記載の固体撮像装置。

6. 前記レベルシフト手段は、転送手段に供給する電源電圧値は、前記リセット手段に供給する電源電圧値より高く設定して供給する

ことを特徴とする請求項5記載の固体撮像装置。

7. 少なくとも第1の電源電圧値で動作する回路領域と、第2の電源電圧値で動作する回路領域とを有し、電源電圧値の異なる各回路領域を接続する領域に前記レベルシフト手段を挿入して電源電圧値の変換を行う

ことを特徴とする請求項3記載の固体撮像装置。

8. 前記画素部を駆動するための垂直駆動部を有し、前記リセット手段となるリセットトランジスタのソースが前記電荷検出部に接続され、前記リセットトランジスタのドレインが前記垂直駆動部により制御されるドレイン制御線に接続された

ことを特徴とする請求項1記載の固体撮像装置。

9. 前記ドレイン制御線には、信号電荷の読み出し期間以外の期間中は第3の電源電圧が印加されるとともに、信号電荷の読み出し期間中は前記第3の電源電圧より高い第4の電源電圧が印加され、この第4の電源電圧によって前記電荷検出部のリセット及び信号電荷の読み出しを含む一連の読出し動作が行われ、前記信号電荷の読出し動作終了後に前記ドレイン制御線の印加電圧が前記第3の電源電圧に戻る

ことを特徴とする請求項8記載の固体撮像装置。

10. 前記画素部の各トランジスタのゲート絶縁膜厚は、前記画素部以外の周辺回路部におけるトランジスタのゲート絶縁膜厚よりも大きい

ことを特徴とする請求項8記載の固体撮像装置。

11. 前記リセットトランジスタのゲートをフローティング状態に制御する制御トランジスタを有し、前記ドレイン制御線が第1の状態時に前記リセットトランジスタのゲートを第2の状態にホールドすることによって第1の電圧にセットし、次に前記ドレイン制御線を第2の状態にすることにより、容量カップリングに

よってリセットトランジスタのゲートを第1の電圧よりも大きい第2の電圧にセットする

ことを特徴とする請求項8記載の固体撮像装置。

12. 前記単位画素は画素行を選択するための選択トランジスタを有し、前記リセットトランジスタをON状態にすることで前記電荷検出部を第1の電圧にセットし、前記リセットトランジスタをOFF状態にすることで前記電荷検出部をフローティング状態とし、次に前記選択トランジスタをON状態にすることによって前記選択トランジスタのソースと前記電荷検出部の寄生容量により、前記電荷検出部を第2の電圧に昇圧する

ことを特徴とする請求項11記載の固体撮像装置。

13. 前記単位画素は画素行を選択するための選択トランジスタを有するとともに、前記各単位画素に少なくとも1個の電源電圧源を有し、単位画素内の接続順序が電源電圧源、選択トランジスタ、増幅トランジスタ、出力信号線の順であり、前記画素部の駆動の順序が先に前記リセットトランジスタを一度ONし、その後、前記選択トランジスタをONすることにより、前記光電変換部の信号電荷を読み出す

ことを特徴とする請求項11記載の固体撮像装置。

14. 半導体基板上の画素部形成領域に第1導電型の第1のウェル領域を形成し、その外周部に第2導電型の第2のウェル領域を形成し、さらにその外周部に第1導電型の第3のウェル領域を形成し、

前記第3のウェル領域に負電源電圧を印加するとともに、この第3のウェル領域内部にnチャンネルの絶縁ゲート型電界効トランジスタを形成し、前記nチャンネルの絶縁ゲート型電界効トランジスタのソースと前記第3のウェル領域とを同じ負電源電圧とした

ことを特徴とする請求項4記載の固体撮像装置。

15. 複数の単位画素から構成される画素部と、前記画素部を制御する周辺回路

部とを有し、当該周辺回路が第 1 の電源電圧の供給を受けて動作し、前記画素部が前記第 1 の電源電圧とは値が異なる第 2 の電源電圧の供給を受けて動作する固体撮像装置であって、

外部から単一レベルの電源電圧を入力する電源入力手段と、

前記電源入力手段によって入力された電源電圧のレベルを前記第 1 の電源電圧および／または第 2 の電源電圧に変換するレベルシフト手段とを有し、

前記レベルシフト手段によって生成された第 1 の電源電圧を前記周辺回路部に選択的に供給し、生成された第 2 の電源電圧を前記画素部に選択的に供給する、

ことを特徴とする固体撮像装置。

16. 前記画素部に隣接して各画素行の信号を蓄積するカラム領域を有することを特徴とする請求項 15 記載の固体撮像装置。

17. 前記複数の電源電圧の少なくとも 1 つは負電源電圧であることを特徴とする請求項 15 記載の固体撮像装置。

18. 前記単位画素が、少なくとも受光量に応じた信号電荷を生成する光電変換部と、前記光電変換部によって生成された信号電荷を取り出すための電荷検出部と、前記光電変換部によって生成された信号電荷を前記電荷検出部に転送する転送手段と、前記光電変換部をリセットするリセット手段と、前記電荷検出部の信号電荷を電気信号に変換して出力信号線に出力する増幅手段とを有し、

前記レベルシフト手段は、レベルシフトさせた電源電圧を、転送手段およびリセット手段に供給する

ことを特徴とする請求項 15 記載の固体撮像装置。

19. 前記レベルシフト手段は、転送手段に供給する電源電圧値は、前記リセット手段に供給する電源電圧値より高く設定して供給する

ことを特徴とする請求項 18 記載の固体撮像装置。

20. 少なくとも第 1 の電源電圧値で動作する回路領域と、第 2 の電源電圧値で

動作する回路領域とを有し、電源電圧値の異なる各回路領域を接続する領域に前記レベルシフト手段を挿入して電源電圧値の変換を行う

ことを特徴とする請求項 15 記載の固体撮像装置。

21. 前記画素部を駆動するための垂直駆動部を有し、前記リセット手段となるリセットトランジスタのソースが前記電荷検出部に接続され、前記リセットトランジスタのドレインが前記垂直駆動部により制御されるドレイン制御線に接続された

ことを特徴とする請求項 15 記載の固体撮像装置。

22. 前記ドレイン制御線には、信号電荷の読み出し期間以外の期間中は第 3 の電源電圧が印加されるとともに、信号電荷の読み出し期間中は前記第 3 の電源電圧より高い第 4 の電源電圧が印加され、この第 4 の電源電圧によって前記電荷検出部のリセット及び信号電荷の読み出しを含む一連の読出し動作が行われ、前記信号電荷の読出し動作終了後に前記ドレイン制御線の印加電圧が前記第 3 の電源電圧に戻る

ことを特徴とする請求項 21 記載の固体撮像装置。

23. 前記画素部の各トランジスタのゲート絶縁膜厚は、前記画素部以外の周辺回路部におけるトランジスタのゲート絶縁膜厚よりも大きい

ことを特徴とする請求項 21 記載の固体撮像装置。

24. 前記リセットトランジスタのゲートをフローティング状態に制御する制御トランジスタを有し、前記ドレイン制御線が第 1 の状態時に前記リセットトランジスタのゲートを第 2 の状態でホールドすることによって第 1 の電圧にセットし、次に前記ドレイン制御線を第 2 の状態にすることにより、容量カップリングによってリセットトランジスタのゲートを第 1 の電圧よりも大きい第 2 の電圧にセットする

ことを特徴とする請求項 21 記載の固体撮像装置。

25. 前記単位画素は画素行を選択するための選択トランジスタを有し、前記リ

セットトランジスタをON状態にすることで前記電荷検出部を第1の電圧にセットし、前記リセットトランジスタをOFF状態にすることで前記電荷検出部をフローティング状態とし、次に前記選択トランジスタをON状態にすることによって前記選択トランジスタのソースと前記電荷検出部の寄生容量により、前記電荷検出部を第2の電圧に昇圧する

ことを特徴とする請求項24記載の固体撮像装置。

26. 前記単位画素は画素行を選択するための選択トランジスタを有するとともに、前記各単位画素に少なくとも1個の電源電圧源を有し、単位画素内の接続順序が電源電圧源、選択トランジスタ、増幅トランジスタ、出力信号線の順であり、前記画素部の駆動の順序が先に前記リセットトランジスタを一度ONし、その後、前記選択トランジスタをONすることにより、前記光電変換部の信号電荷を読み出す

ことを特徴とする請求項24記載の固体撮像装置。

27. 半導体基板上の画素部形成領域に第1導電型の第1のウェル領域を形成し、その外周部に第2導電型の第2のウェル領域を形成し、さらにその外周部に第1導電型の第3のウェル領域を形成し、

前記第3のウェル領域に負電源電圧を印加するとともに、この第3のウェル領域内部にnチャンネルの絶縁ゲート型電界効トランジスタを形成し、前記nチャンネルの絶縁ゲート型電界効トランジスタのソースと前記第3のウェル領域とを同じ負電源電圧とした

ことを特徴とする請求項17記載の固体撮像装置。

FIG. 1

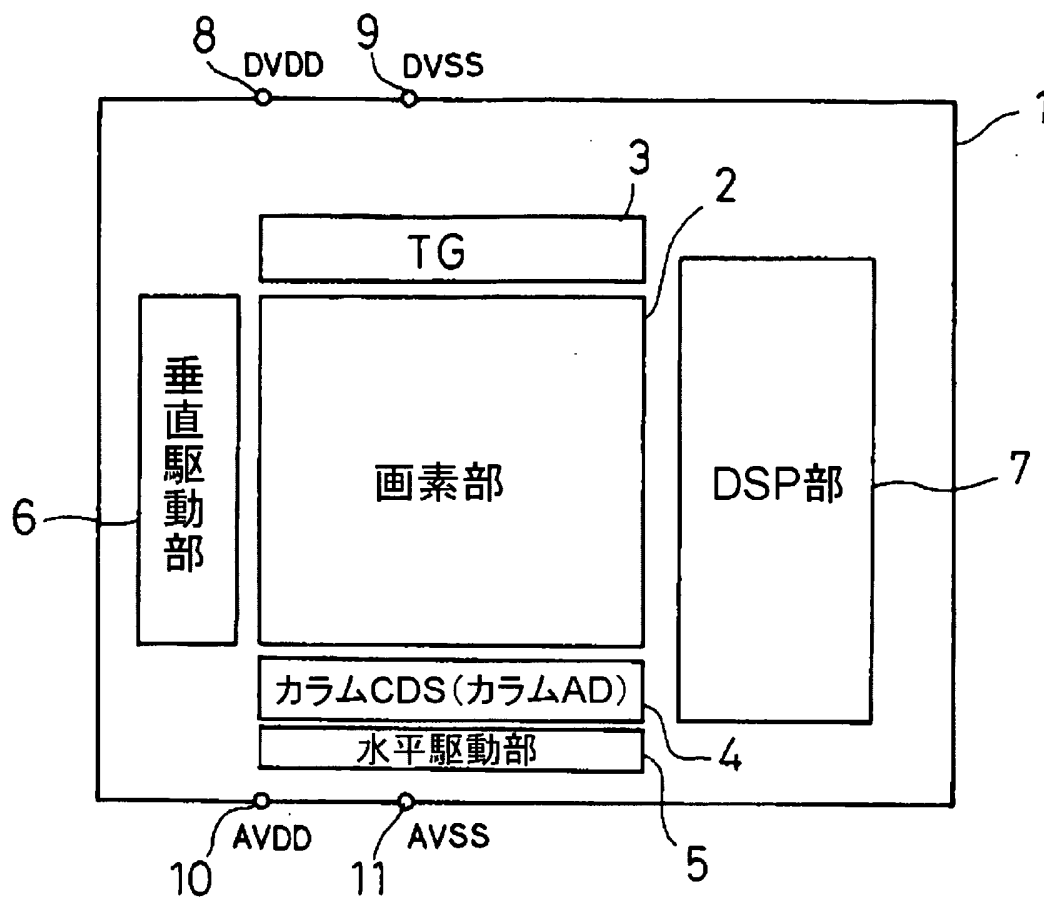


FIG. 2

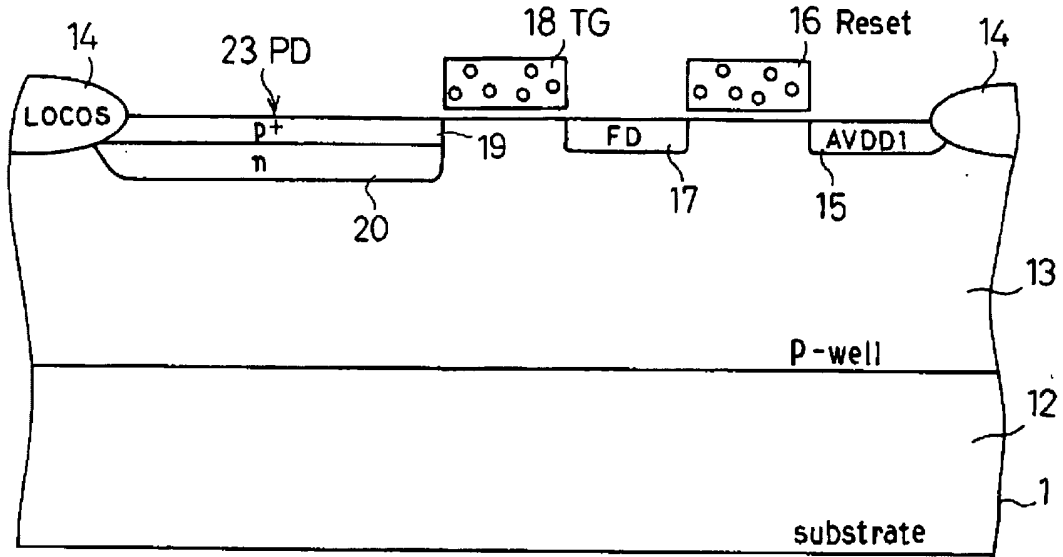


FIG. 3

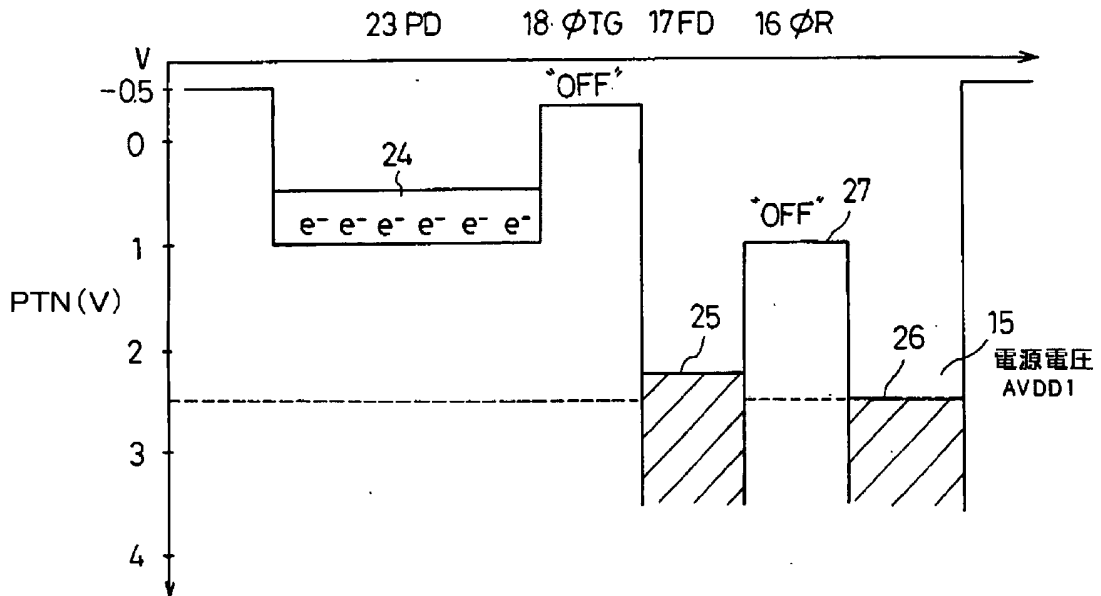


FIG. 4

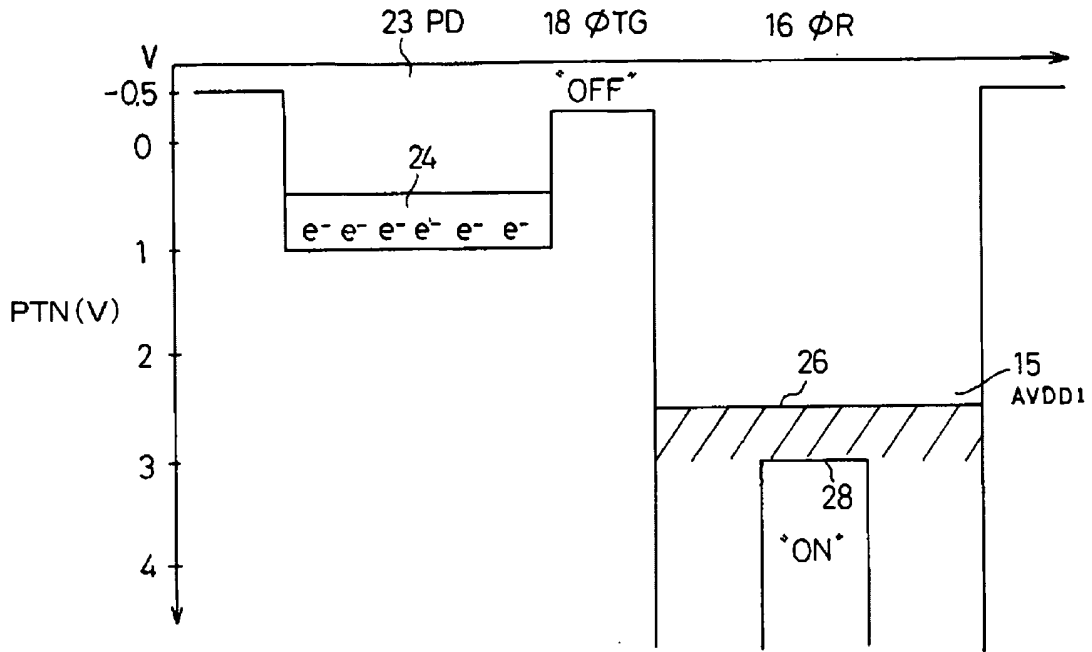


FIG. 5

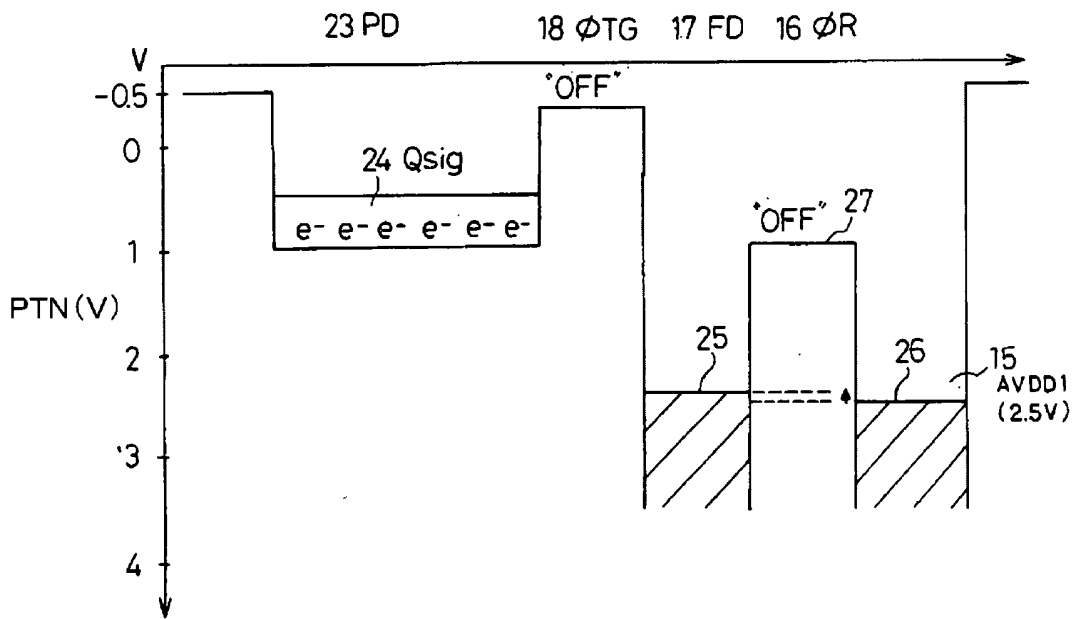


FIG. 6

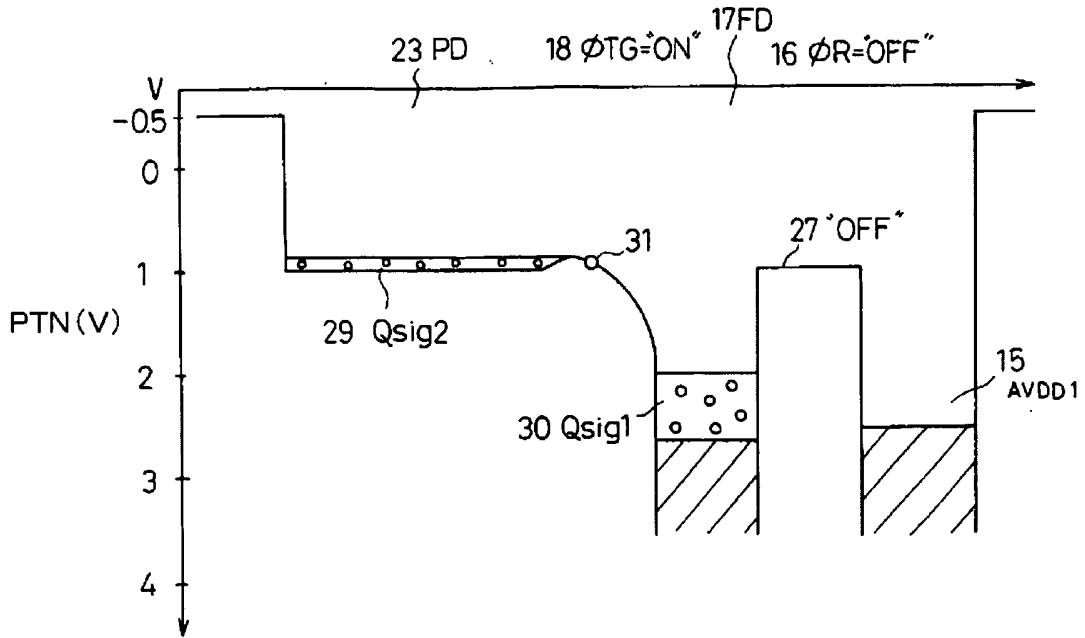


FIG. 7

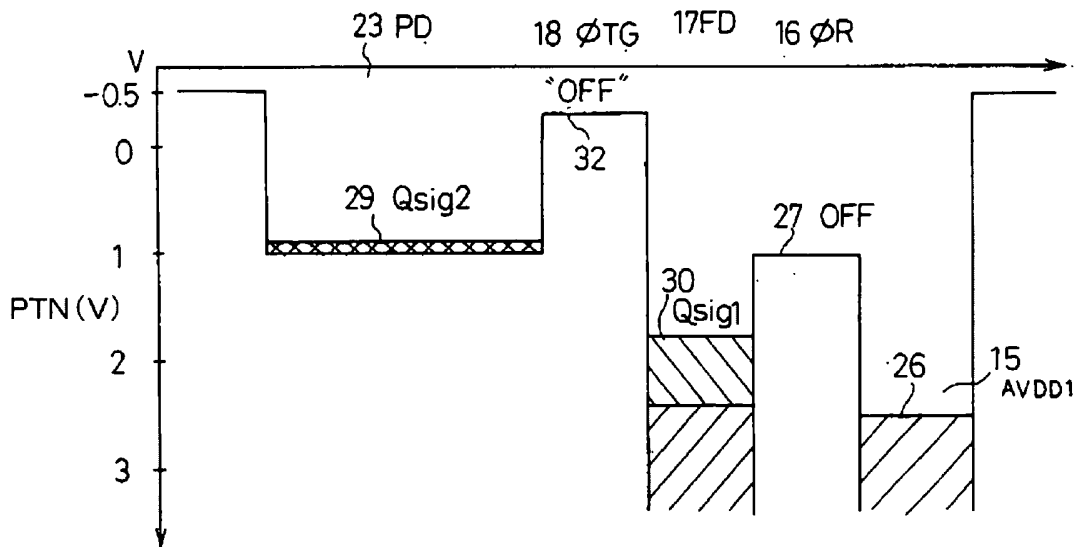


FIG. 8

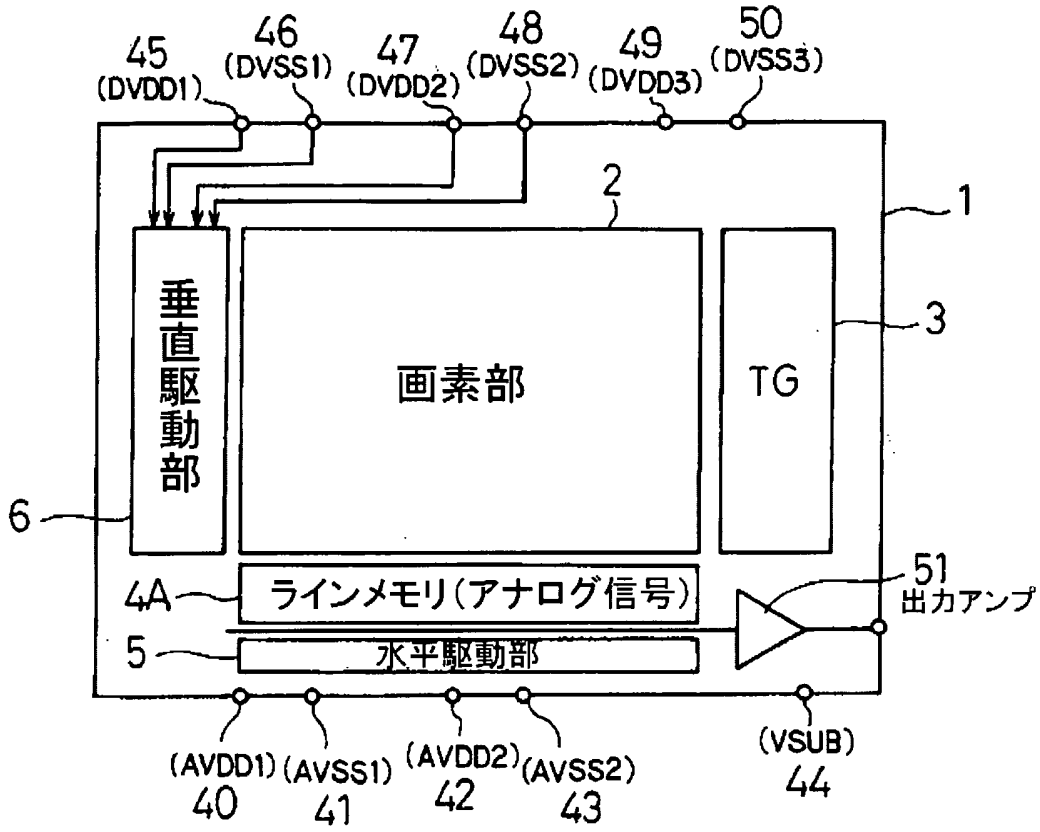


FIG. 9

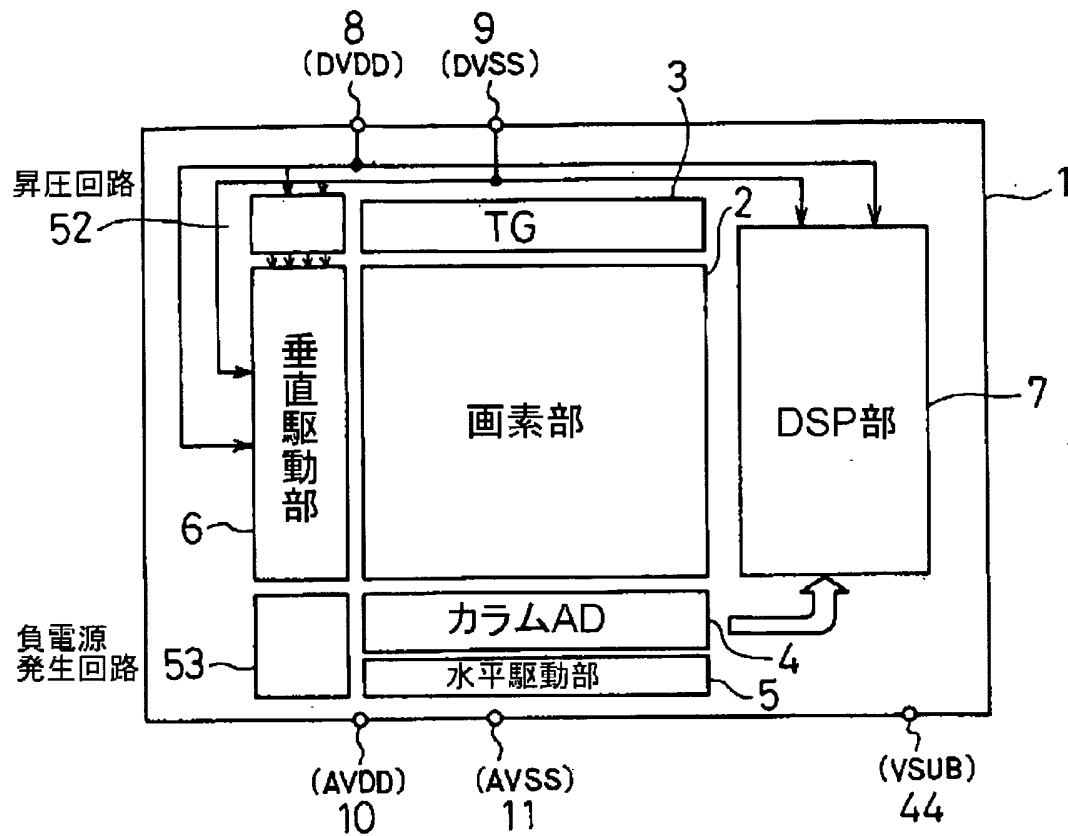


FIG. 10

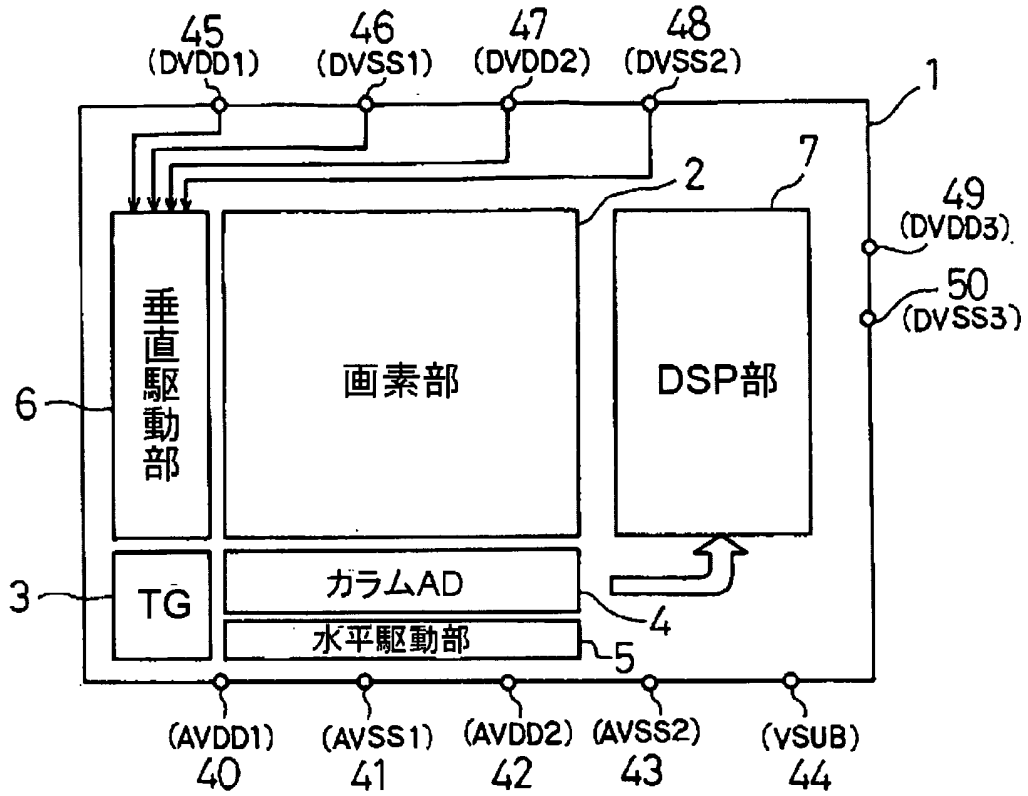
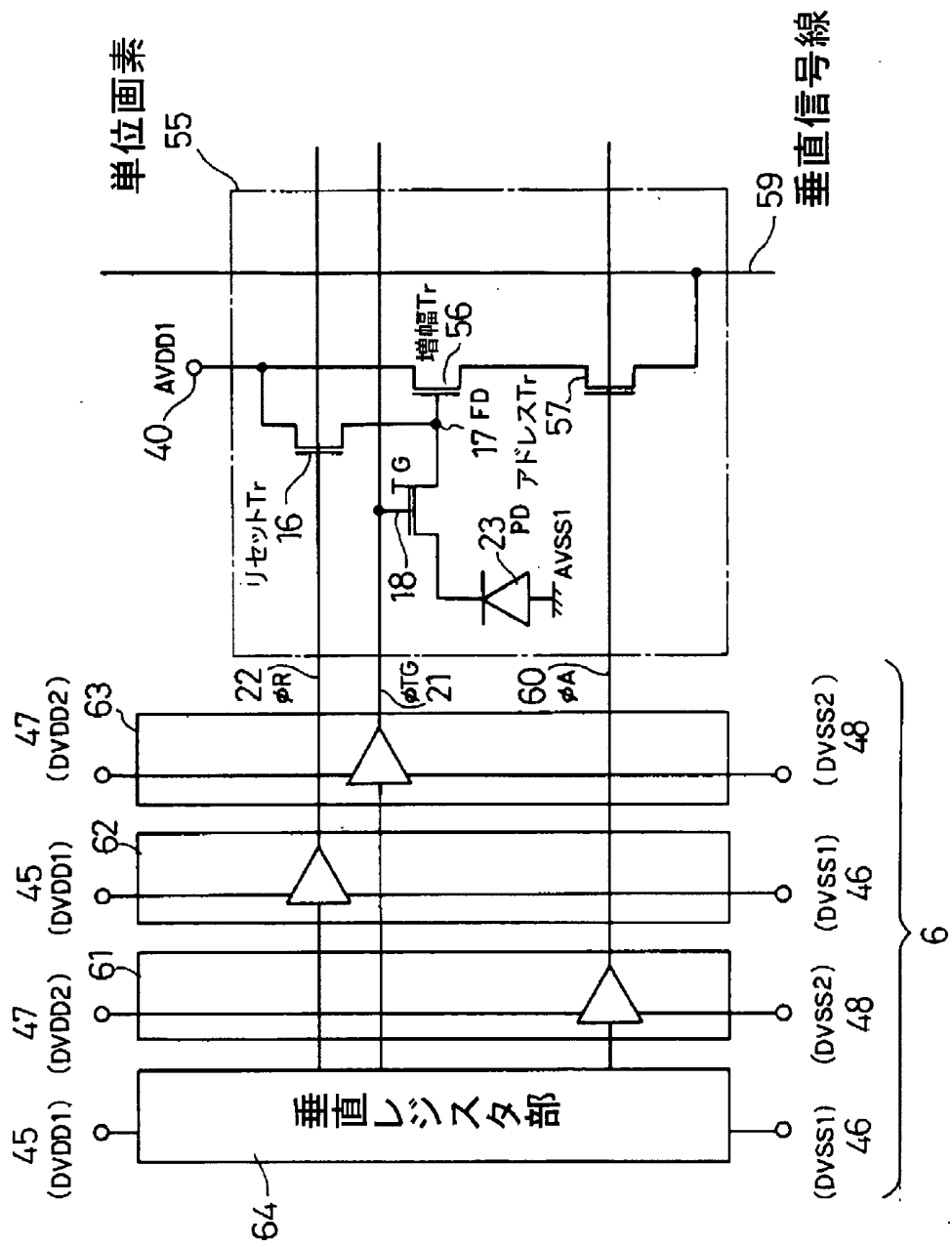


FIG. 11



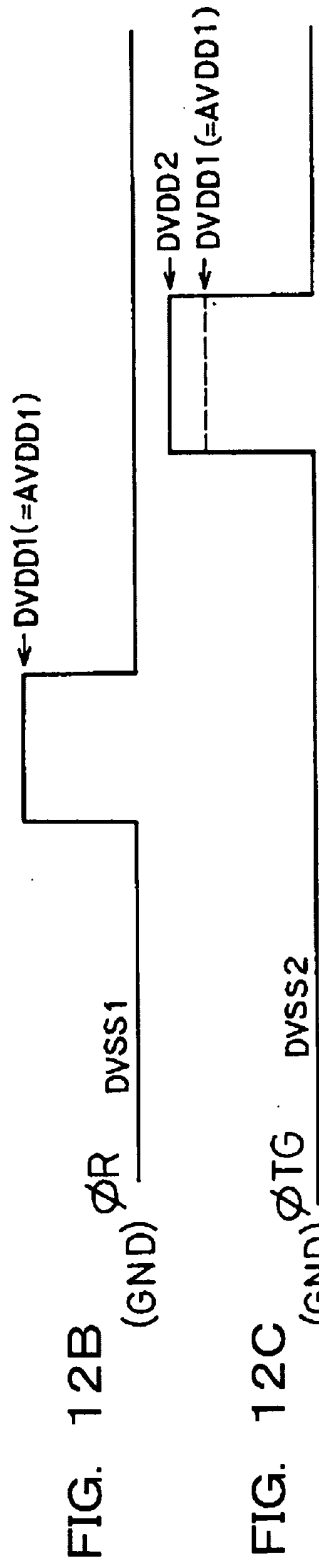
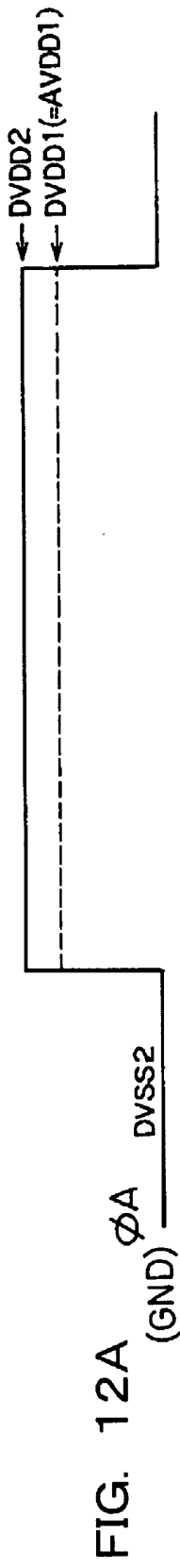


FIG. 13

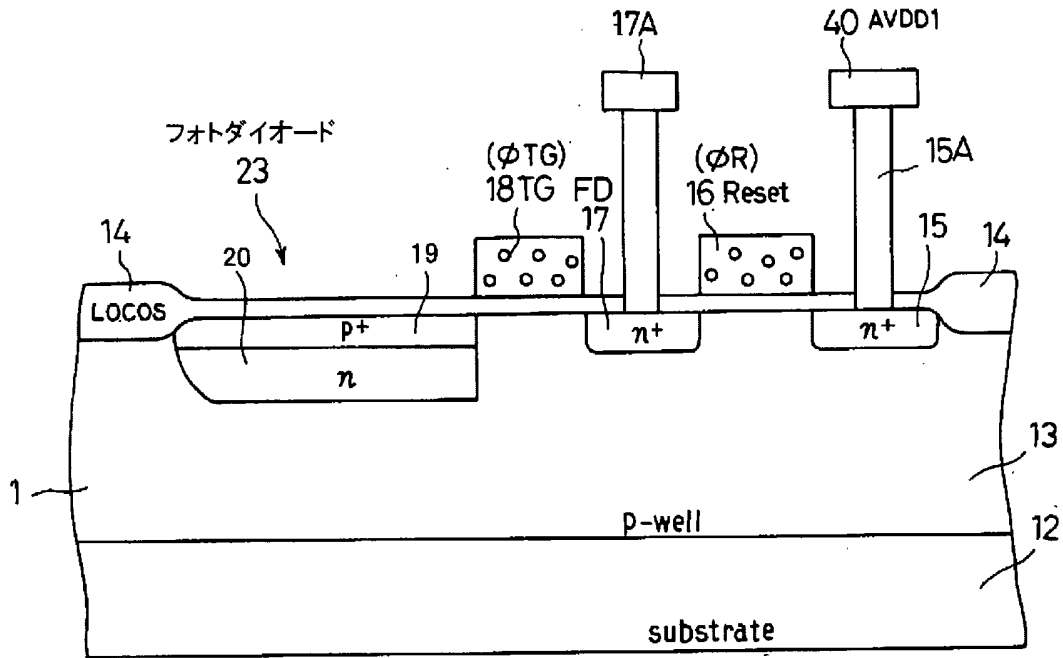


FIG. 14

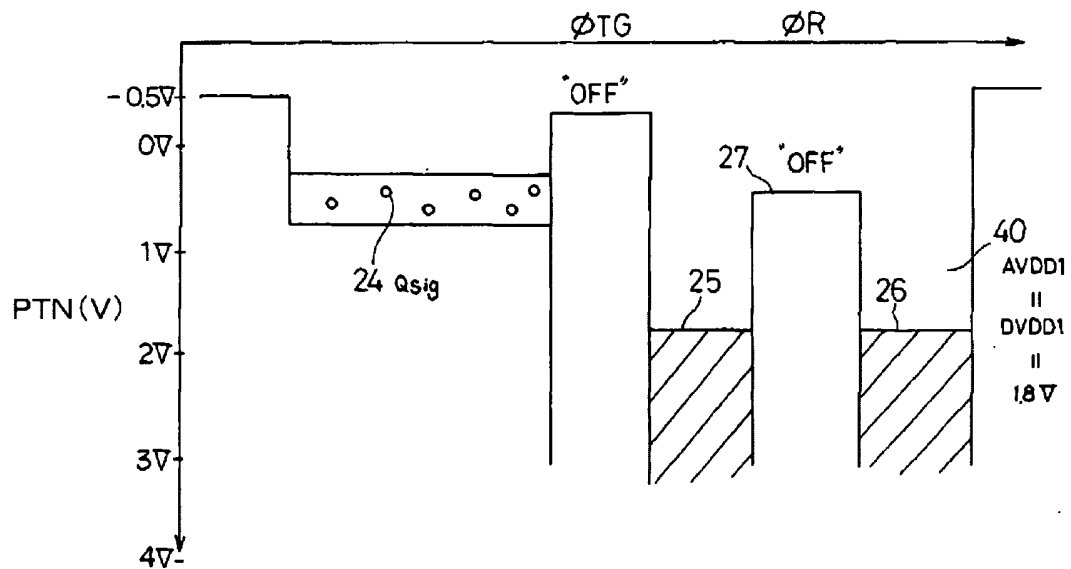


FIG. 15

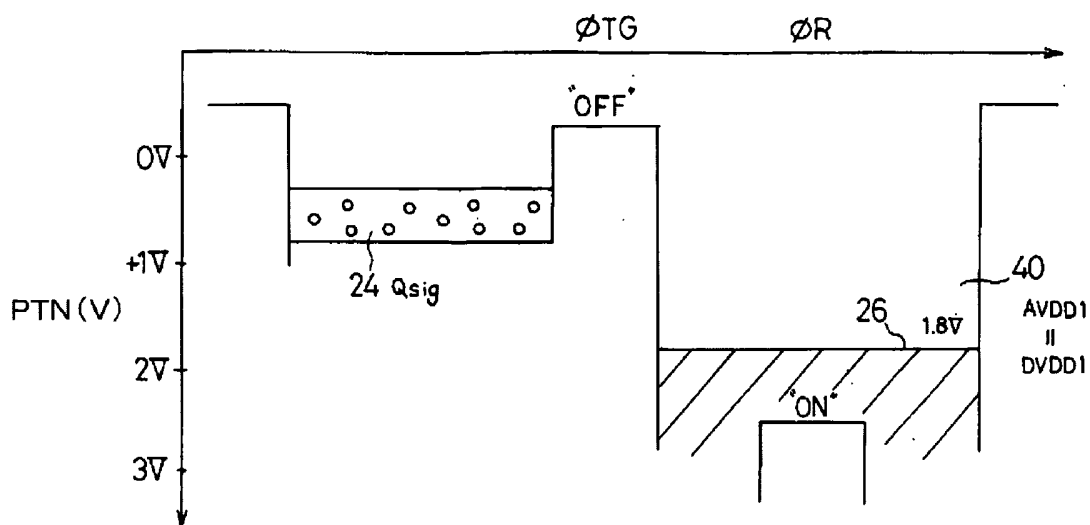


FIG. 16

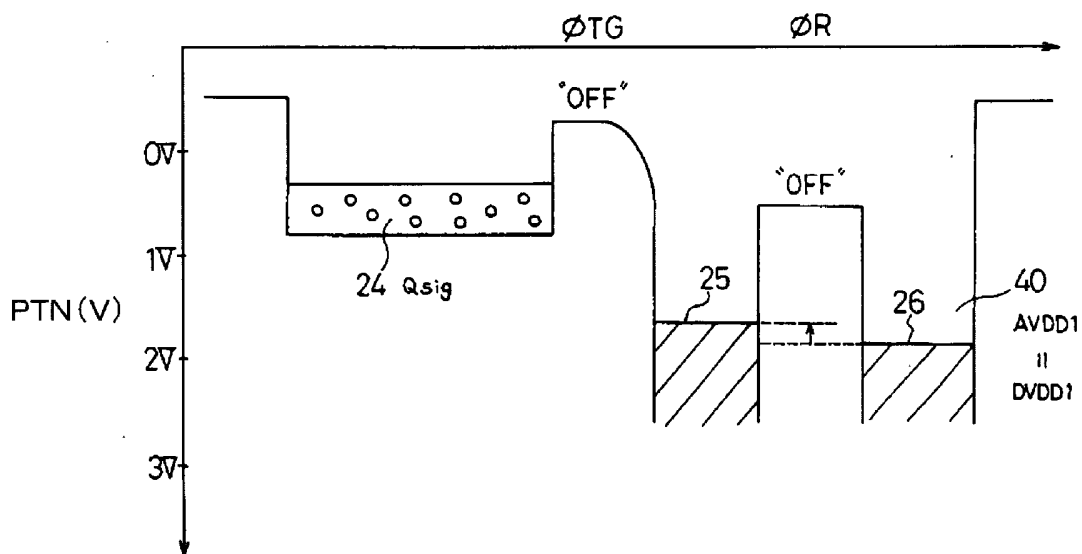


FIG. 17

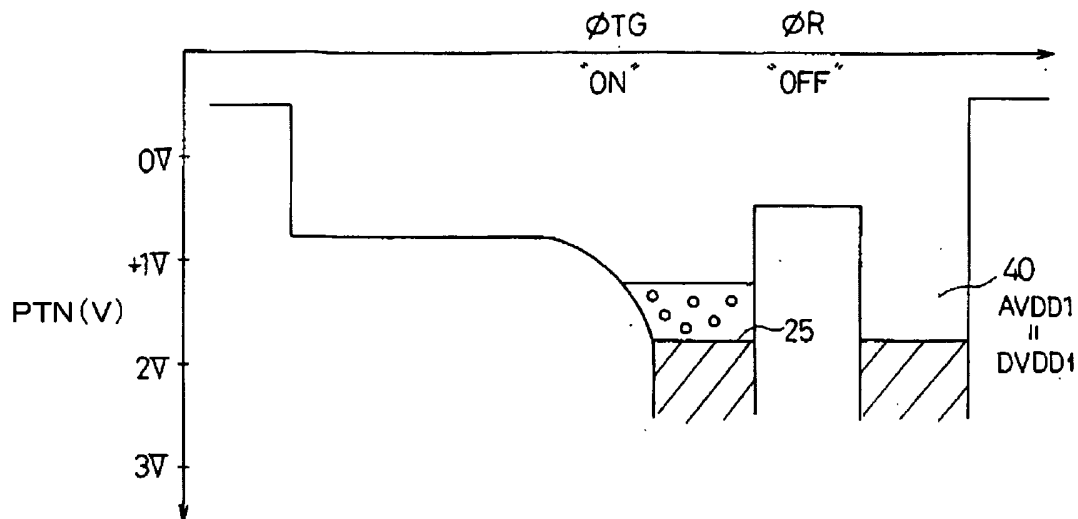
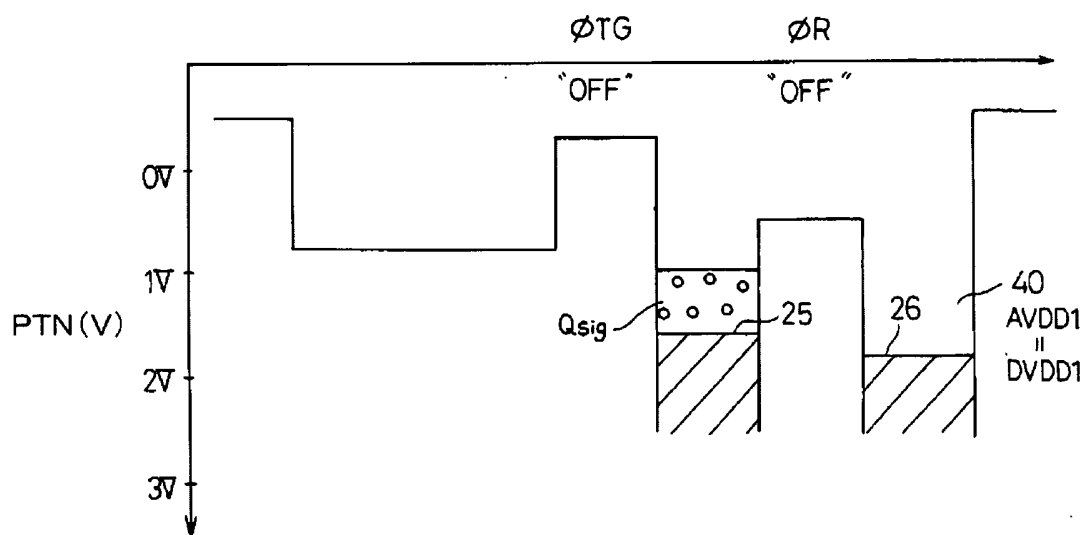


FIG. 18



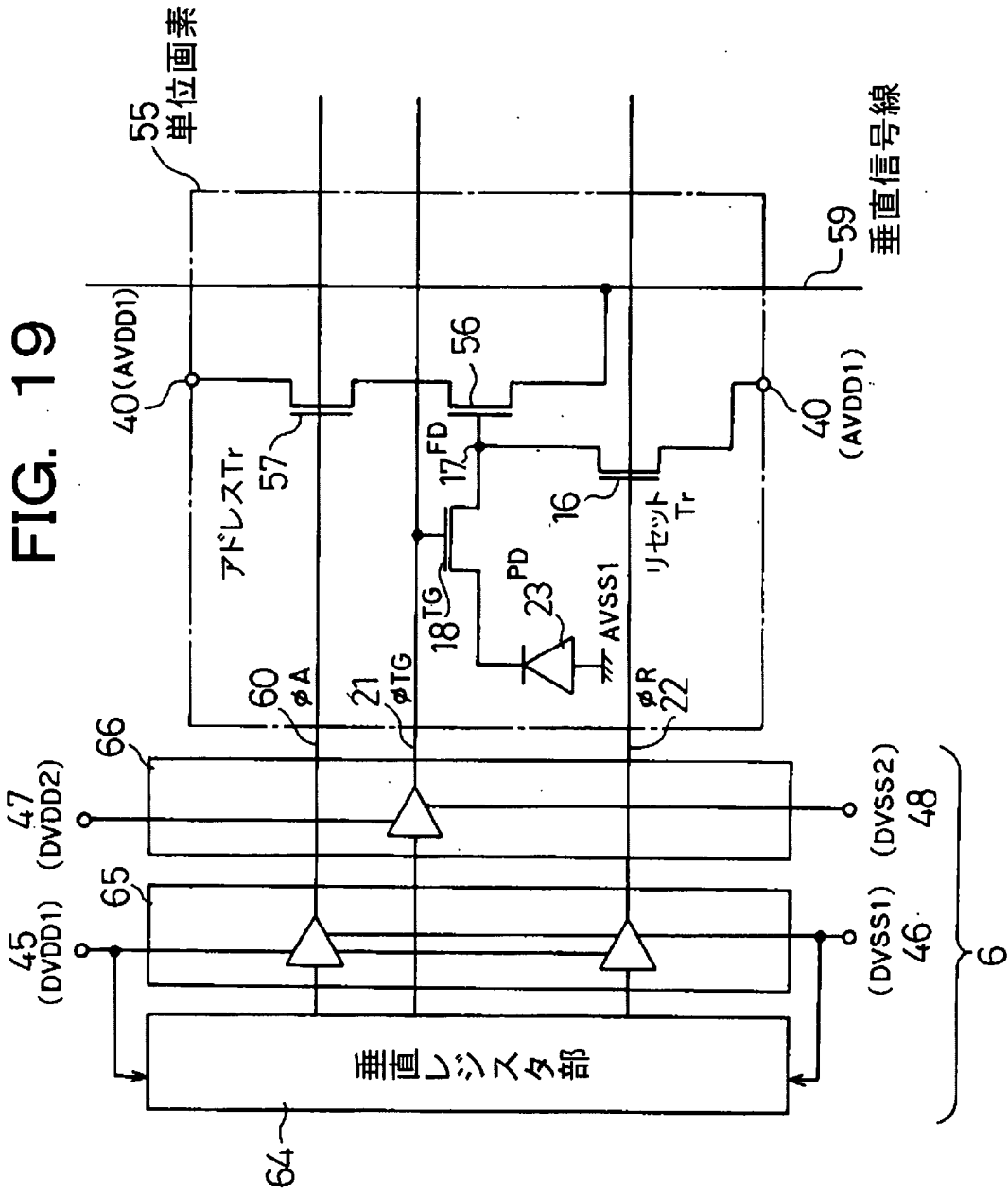




FIG. 20A

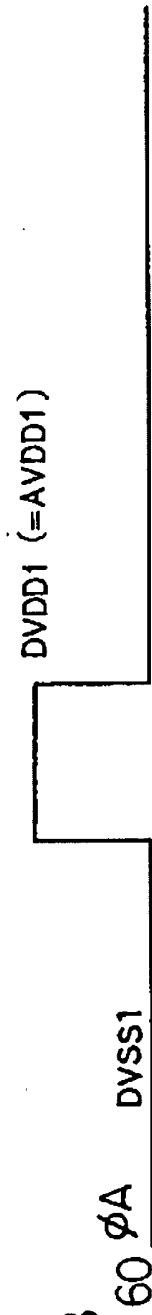


FIG. 20B

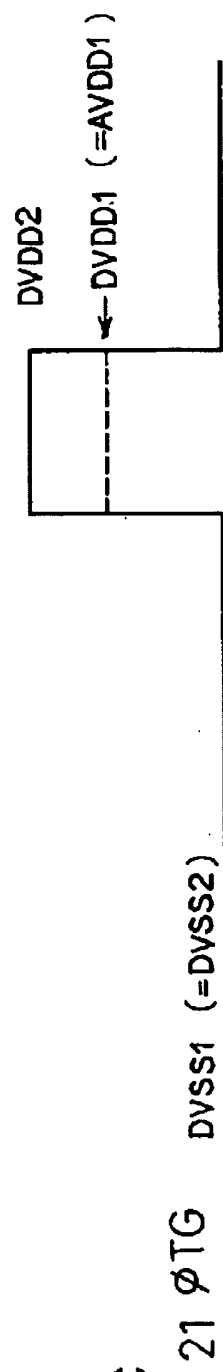


FIG. 20C

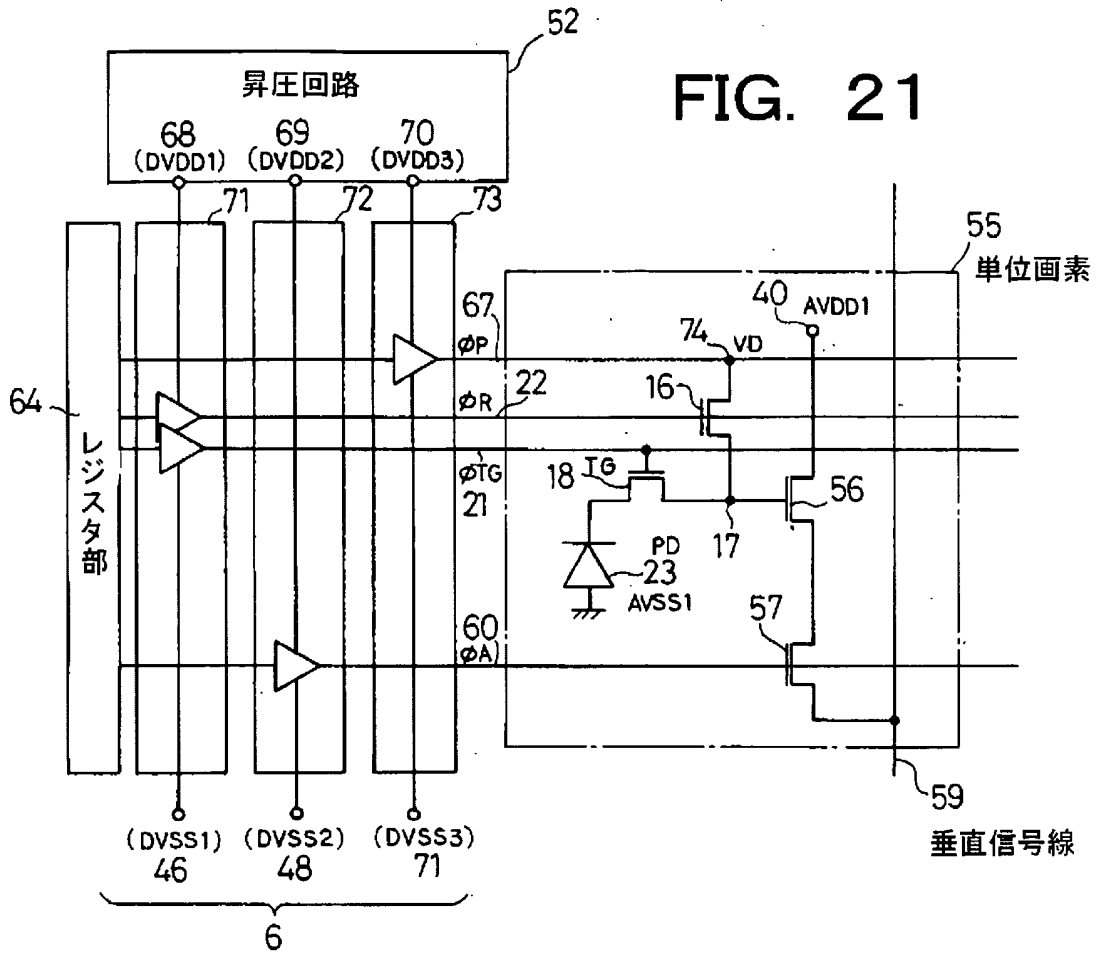


FIG. 21

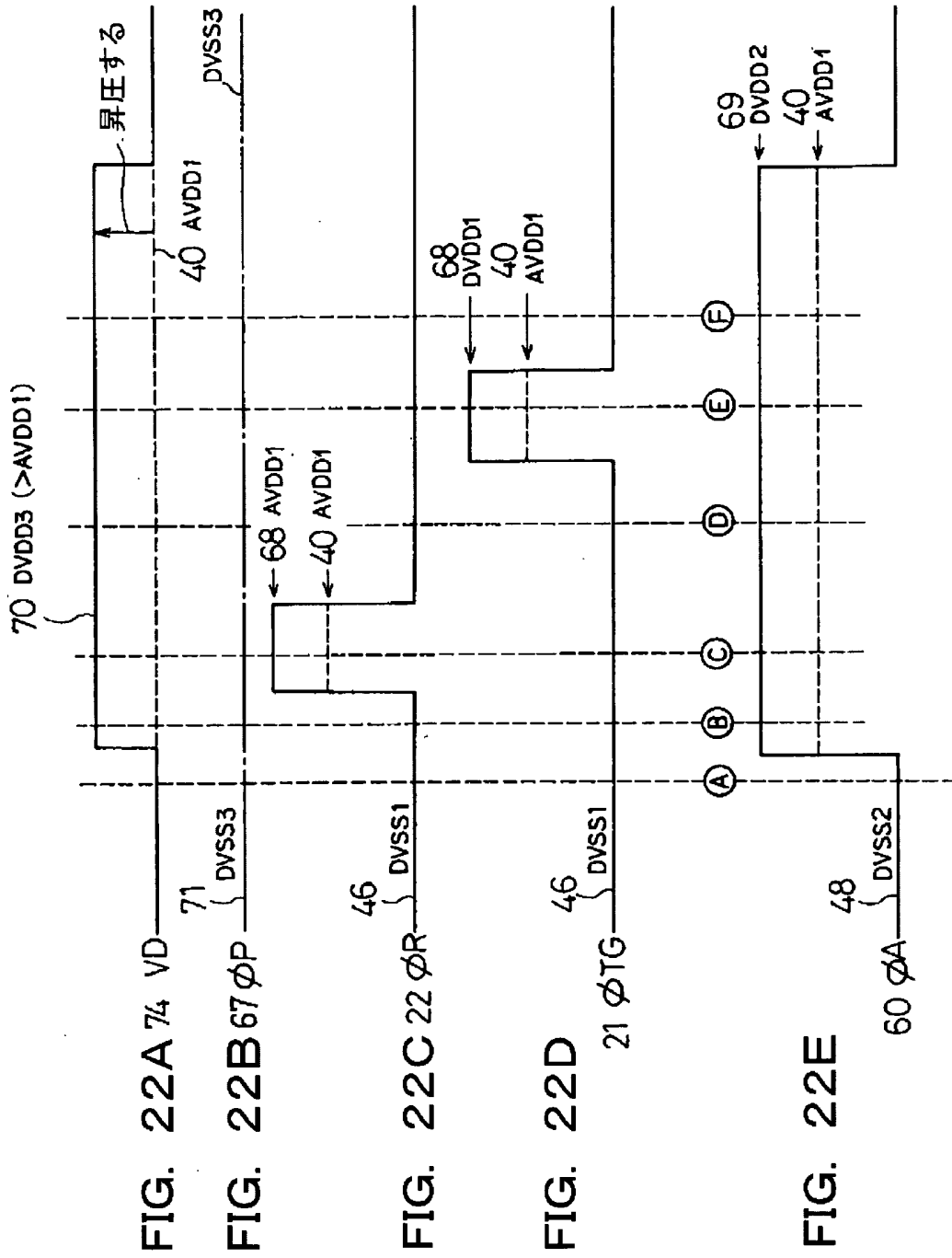


FIG. 23

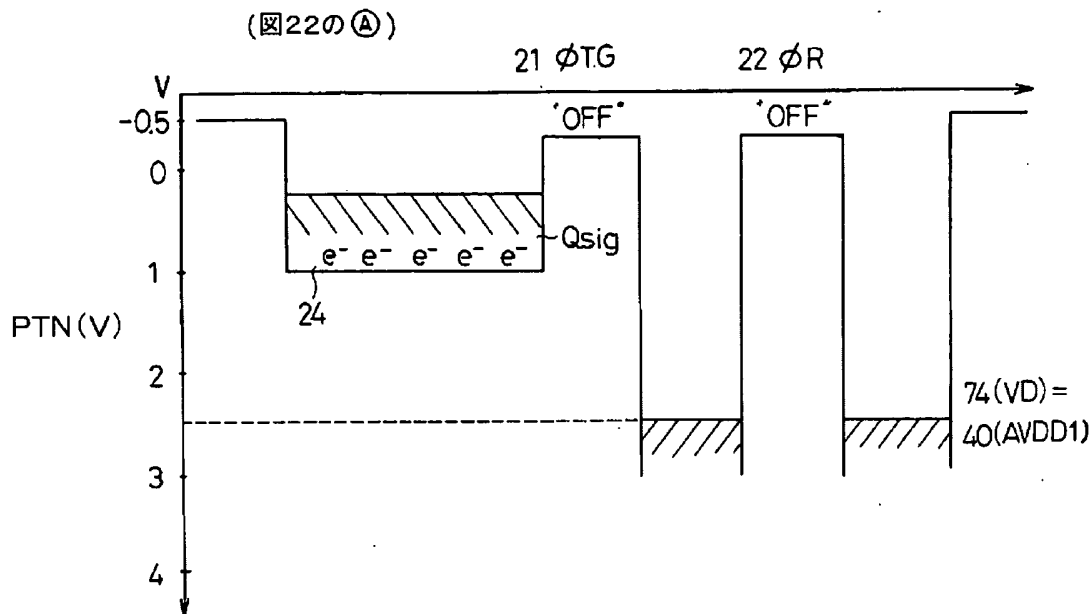


FIG. 24

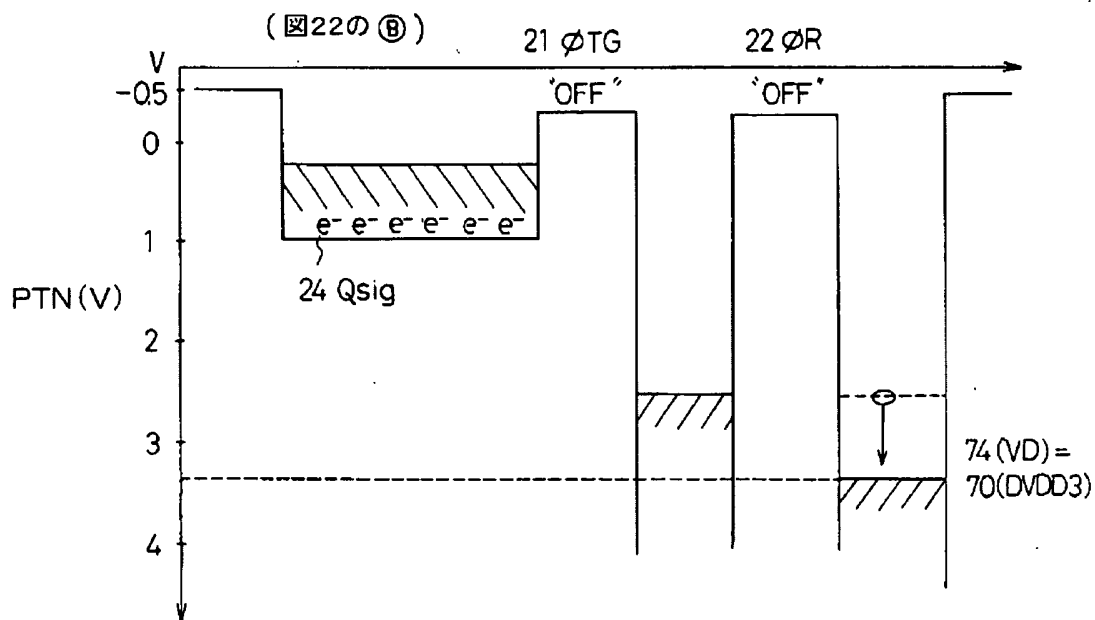


FIG. 25

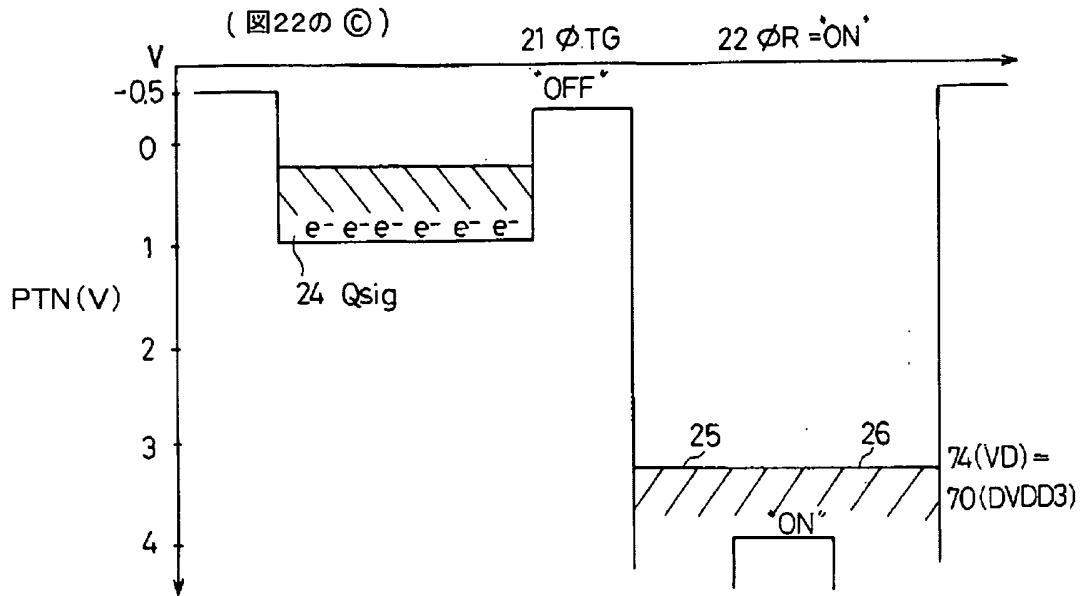


FIG. 26

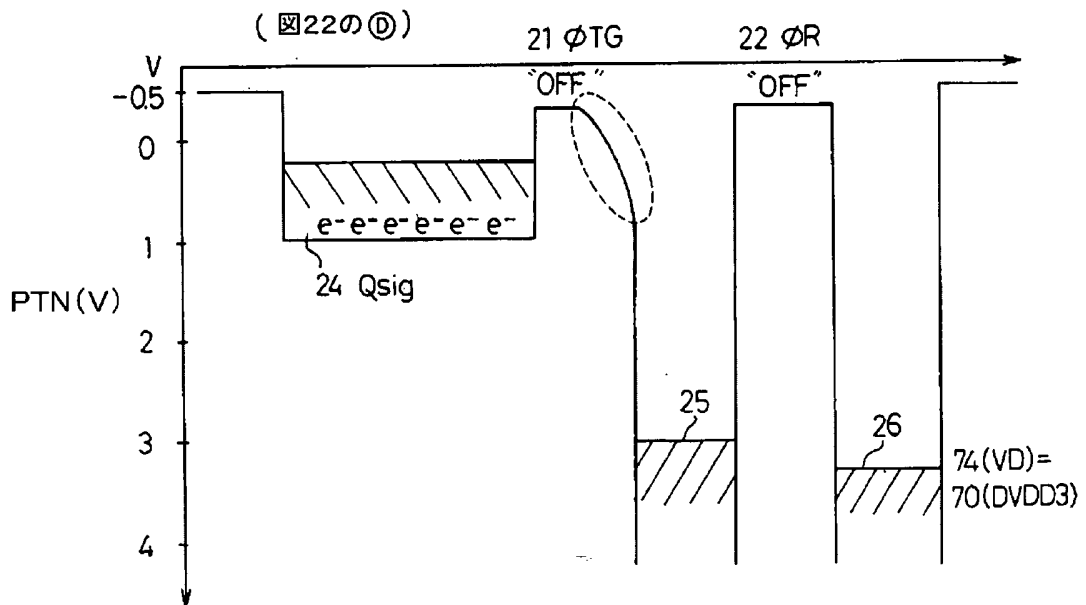


FIG. 27

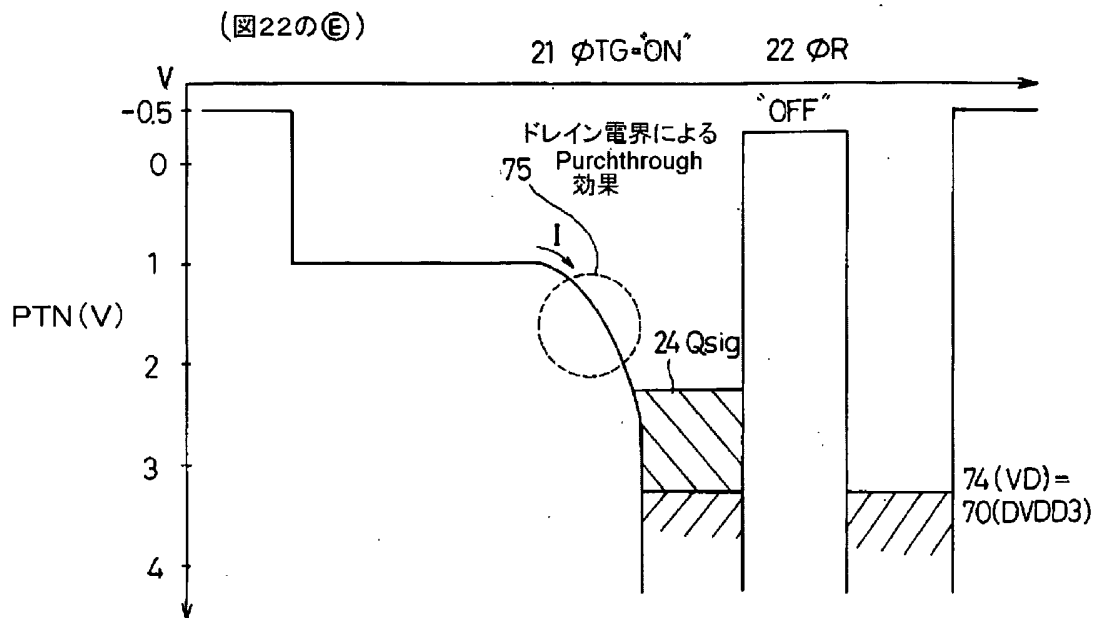


FIG. 28

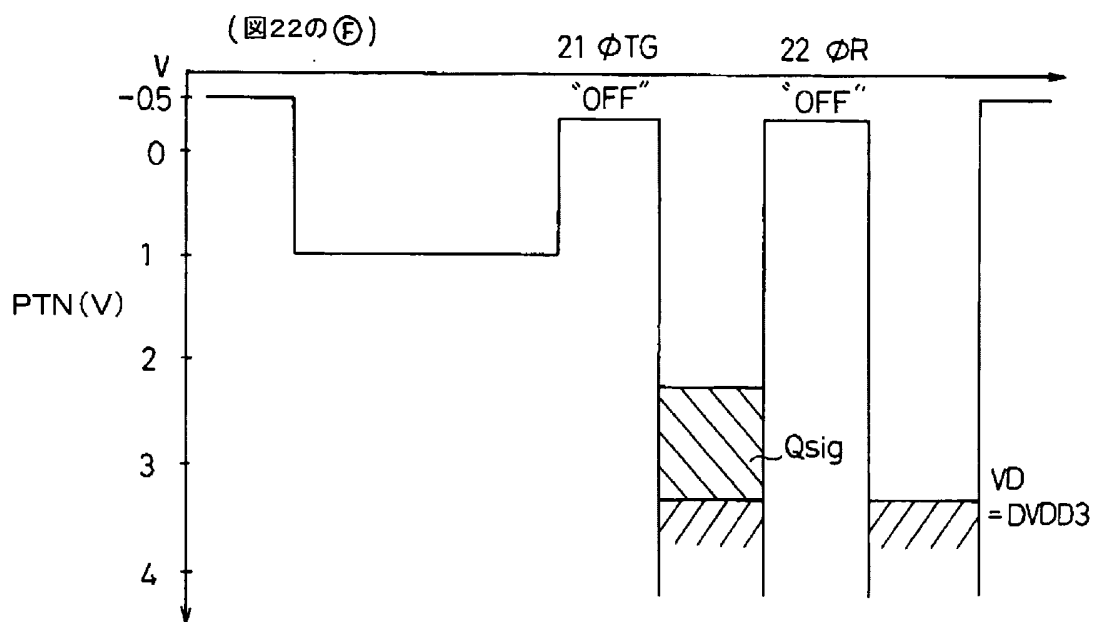
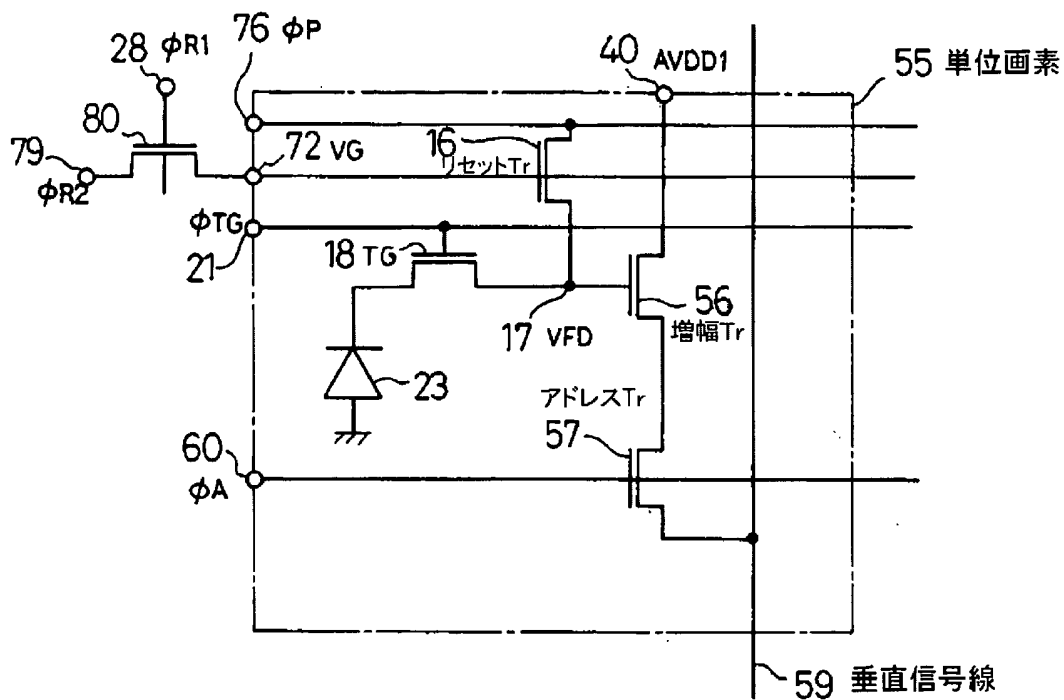


FIG. 29



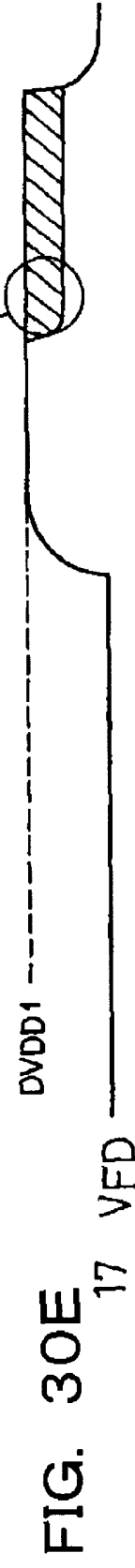
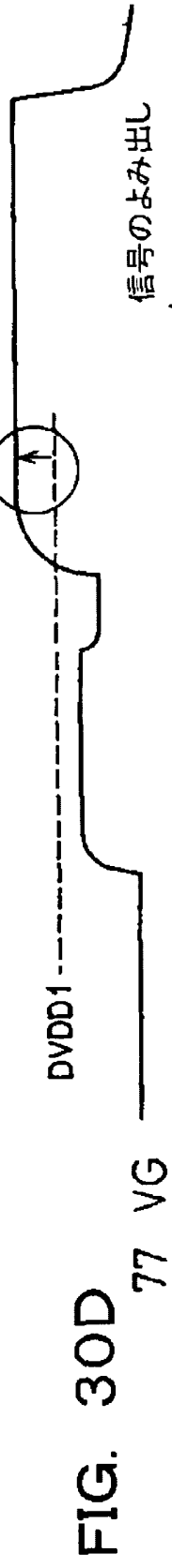
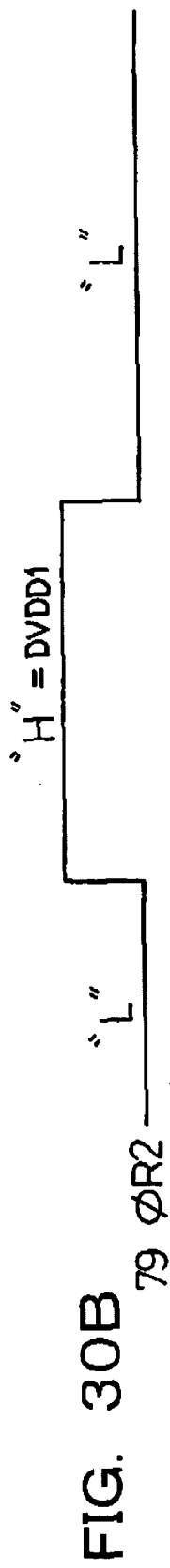
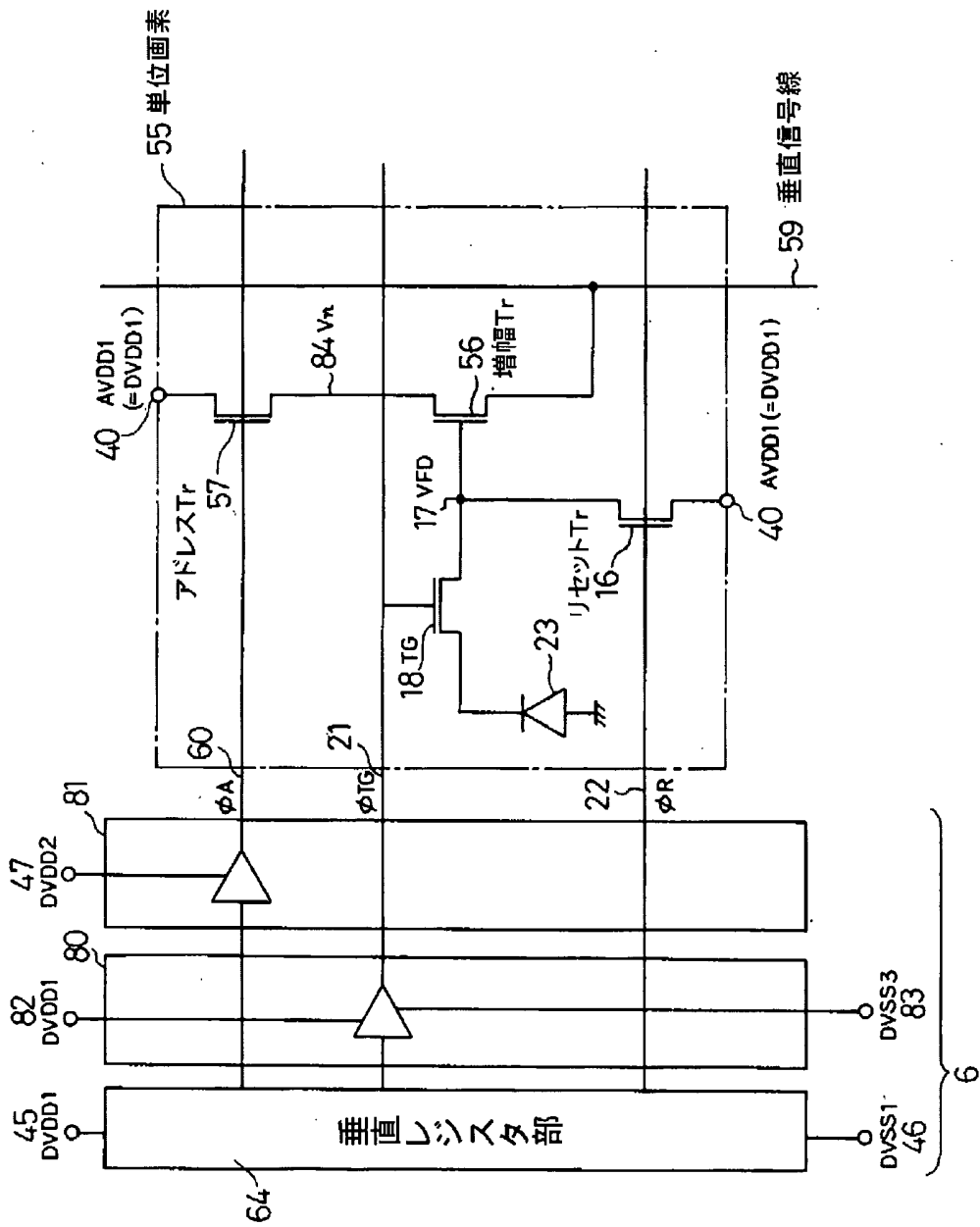


FIG. 31



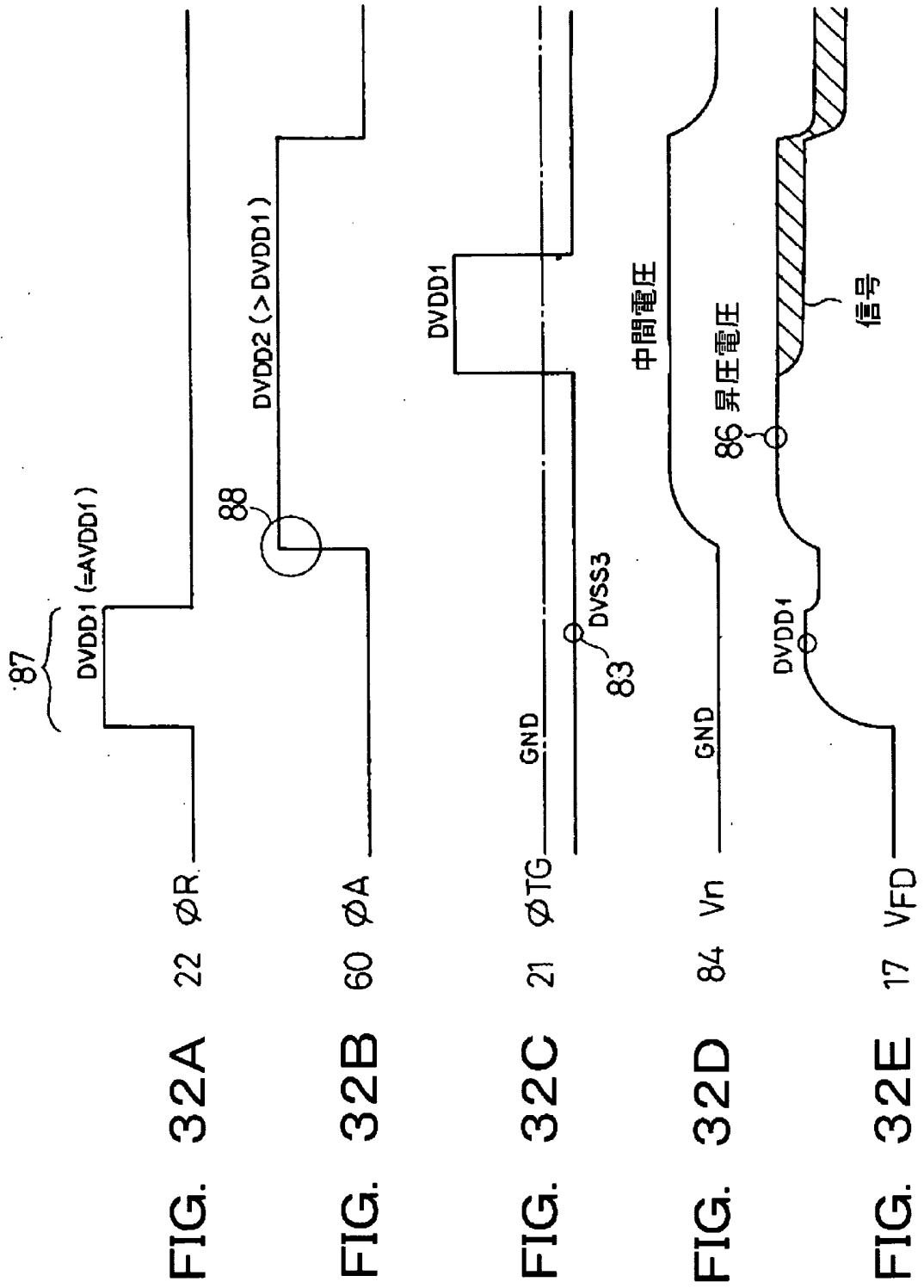
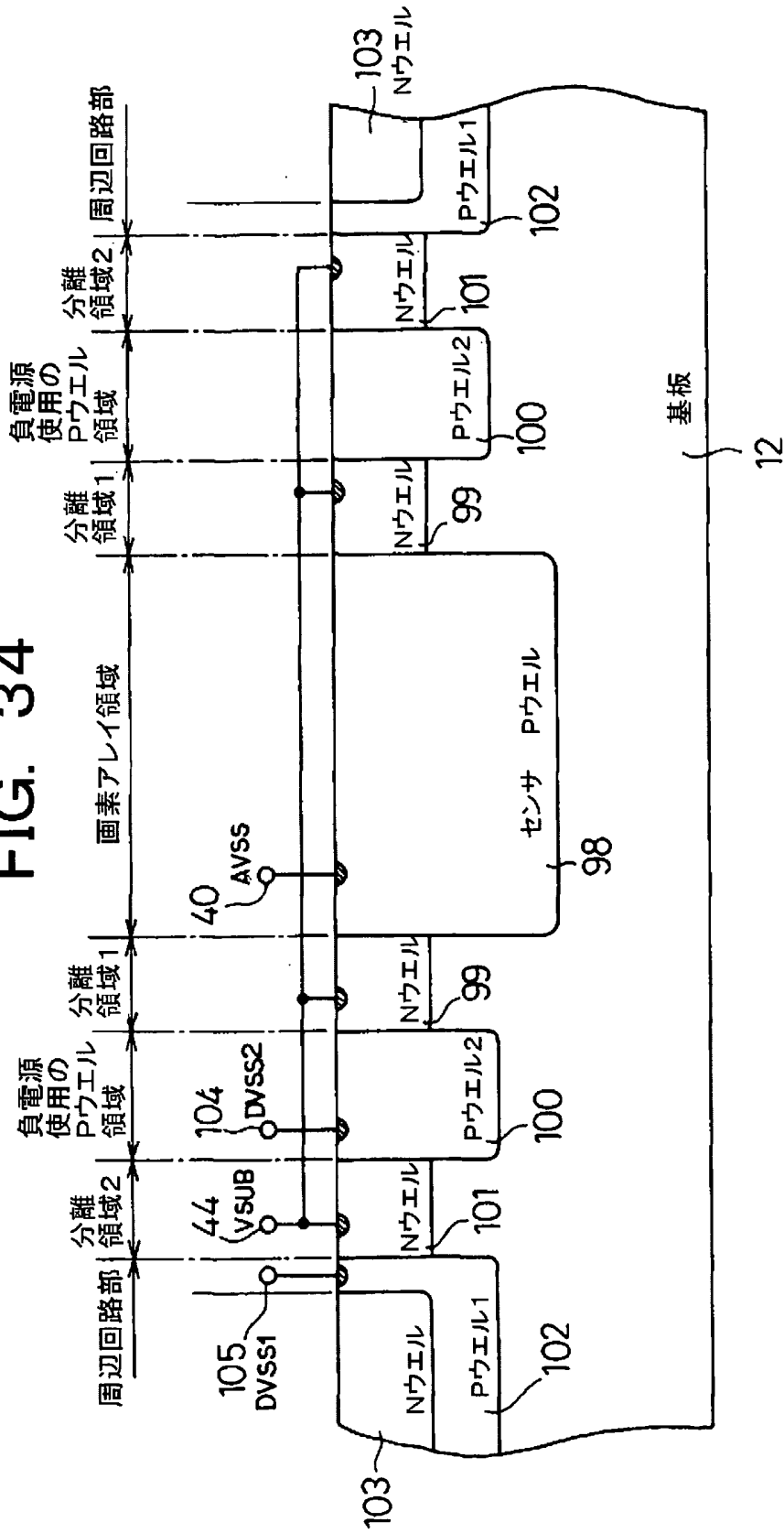


FIG. 34



符号の説明

- 1 ……半導体チップ
- 2 ……画素部
- 3 ……タイミングジェネレータ部
- 4 ……出力カラム部
- 4 A ……ラインメモリ部
- 5 ……水平駆動部
- 6 ……垂直駆動部
- 7 ……信号処理部 (DSP)
- 8、45、47、49 ……デジタル電源
- 10、40、42 ……アナログ電源
- 51 ……出力アンプ部
- 52 ……昇圧回路
- 53 ……負電源発生回路
- 61～63、65、66、71～73、80、81 ……レベルシフト回路

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/04338

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H04N5/335, H01L27/146

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H04N5/30-5/335, H01L27/146

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E, A	JP 2002-217397 A (Sony Corp.), 02 August, 2002 (02.08.02), Full text; Figs. 1 to 11 (Family: none)	1-27
X Y	JP 2000-224495 A (Canon Inc.), 11 August, 2000 (11.08.00), Full text; Figs. 1 to 17 (Family: none)	1, 15 2, 3, 5, 7, 8, 10, 16, 18, 20, 21, 23
Y	JP 2000-209508 A (Toshiba Corp.), 28 July, 2000 (28.07.00), Full text; Figs. 1 to 9 (Family: none)	2, 3, 5, 7, 8, 10, 16, 18, 20, 21, 23

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
---	--

Date of the actual completion of the international search 08 July, 2003 (08.07.03)	Date of mailing of the international search report 22 July, 2003 (22.07.03)
---	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.




INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/04338

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-175107 A (NEC Corp.), 23 June, 2000 (23.06.00), Page 3, Par. No. [0010] (Family: none)	10,23
A	JP 10-304134 A (Fuji Photo Film Co., Ltd.), 13 November, 1998 (13.11.98), Full text; Figs. 1 to 4 (Family: none)	1,4,15,17
A	JP 63-124685 A (Hitachi, Ltd.), 28 May, 1988 (28.05.88), Full text; Figs. 1 to 5 (Family: none)	4,17
A	JP 11-112850 A (Sanyo Electric Co., Ltd.), 23 April, 1999 (23.04.99), Full text; Figs. 1 to 2 (Family: none)	1-27
A	JP 9-121306 A (Matsushita Electric Industrial Co., Ltd.), 06 May, 1997 (06.05.97), Full text; Figs. 1 to 5 (Family: none)	1-27

<p>A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl⁷ H04N 5/335, H01L27/146</p>																	
<p>B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. Cl⁷ H04N 5/30- 5/335, H01L27/146</p>																	
<p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table style="width:100%; border: none;"> <tr> <td style="width: 30%;">日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2003年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2003年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2003年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2003年	日本国登録実用新案公報	1994-2003年	日本国実用新案登録公報	1996-2003年							
日本国実用新案公報	1922-1996年																
日本国公開実用新案公報	1971-2003年																
日本国登録実用新案公報	1994-2003年																
日本国実用新案登録公報	1996-2003年																
<p>国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)</p>																	
<p>C. 関連すると認められる文献</p> <table border="1" style="width:100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">引用文献の カテゴリー*</th> <th style="width: 70%;">引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th style="width: 20%;">関連する 請求の範囲の番号</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">E A</td> <td>J P 2002-217397 A (ソニー株式会社) 2002. 08. 02, 全文, 第1-11図 (ファミリーなし)</td> <td style="text-align: center;">1-27</td> </tr> <tr> <td style="text-align: center;">X</td> <td>J P 2000-224495 A (キヤノン株式会社) 2000. 08. 11, 全文, 第1-17図 (ファミリーなし)</td> <td style="text-align: center;">1, 15</td> </tr> <tr> <td style="text-align: center;">Y</td> <td></td> <td style="text-align: center;">2, 3, 5, 7, 8, 10, 16, 18, 20, 21, 23</td> </tr> <tr> <td style="text-align: center;">Y</td> <td>J P 2000-209508 A (株式会社東芝) 2000. 07. 28, 全文, 第1-9図 (ファミリーなし)</td> <td style="text-align: center;">2, 3, 5, 7, 8, 10, 16, 18, 20, 21, 23</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	E A	J P 2002-217397 A (ソニー株式会社) 2002. 08. 02, 全文, 第1-11図 (ファミリーなし)	1-27	X	J P 2000-224495 A (キヤノン株式会社) 2000. 08. 11, 全文, 第1-17図 (ファミリーなし)	1, 15	Y		2, 3, 5, 7, 8, 10, 16, 18, 20, 21, 23	Y	J P 2000-209508 A (株式会社東芝) 2000. 07. 28, 全文, 第1-9図 (ファミリーなし)	2, 3, 5, 7, 8, 10, 16, 18, 20, 21, 23
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号															
E A	J P 2002-217397 A (ソニー株式会社) 2002. 08. 02, 全文, 第1-11図 (ファミリーなし)	1-27															
X	J P 2000-224495 A (キヤノン株式会社) 2000. 08. 11, 全文, 第1-17図 (ファミリーなし)	1, 15															
Y		2, 3, 5, 7, 8, 10, 16, 18, 20, 21, 23															
Y	J P 2000-209508 A (株式会社東芝) 2000. 07. 28, 全文, 第1-9図 (ファミリーなし)	2, 3, 5, 7, 8, 10, 16, 18, 20, 21, 23															
<p><input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。</p>																	
<p>* 引用文献のカテゴリー</p> <table style="width:100%; border: none;"> <tr> <td style="width: 50%; vertical-align: top;"> 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願 </td> <td style="width: 50%; vertical-align: top;"> の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献 </td> </tr> </table>			「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献													
「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献																
国際調査を完了した日 <p style="text-align: center;">08. 07. 03</p>	国際調査報告の発送日 <p style="text-align: center; font-size: 1.2em;">22.07.03</p>																
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 徳田 賢二	<table style="width:100%; border: none;"> <tr> <td style="width: 20%; text-align: center;"></td> <td style="width: 10%; text-align: center;">5 P</td> <td style="width: 70%; text-align: center;">9 6 5 4</td> </tr> <tr> <td colspan="3"> 電話番号 03-3581-1101 内線 3502 </td> </tr> </table>		5 P	9 6 5 4	電話番号 03-3581-1101 内線 3502											
	5 P	9 6 5 4															
電話番号 03-3581-1101 内線 3502																	

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2000-175107 A (日本電気株式会社) 2000. 06. 23, 第3頁【0010】 (ファミリーなし)	10, 23
A	JP 10-304134 A (富士写真フイルム株式会社) 1998. 11. 13, 全文, 第1-4図 (ファミリーなし)	1, 4, 15, 17
A	JP 63-124685 A (株式会社日立製作所) 1988. 05. 28, 全文, 第1-5図 (ファミリーなし)	4, 17
A	JP 11-112850 A (三洋電機株式会社) 1999. 04. 23, 全文, 第1-2図 (ファミリーなし)	1-27
A	JP 9-121306 A (松下電器産業株式会社) 1997. 05. 06, 全文, 第1-5図 (ファミリーなし)	1-27