



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2016년03월24일

(11) 등록번호 10-1606014

(24) 등록일자 2016년03월18일

(51) 국제특허분류(Int. Cl.)

H01L 29/786 (2006.01)

(21) 출원번호 10-2009-0070412

(22) 출원일자 2009년07월31일

심사청구일자 2014년07월29일

(65) 공개번호 10-2010-0014167

(43) 공개일자 2010년02월10일

(30) 우선권주장

JP-P-2008-197143 2008년07월31일 일본(JP)

(56) 선행기술조사문헌

JP2007123861 A*

JP2007258223 A*

JP2007073976 A

US20080258141 A1

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시킴이샤 한도오파이 에네루기 켄큐쇼

일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

야마자키 슌페이

일본, 카나가와켄 243-0036, 아쓰기시, 하세, 398, 가부시킴이샤 한도오파이 에네루기 켄큐쇼 내

미야이리 히데카즈

일본, 카나가와켄 243-0036, 아쓰기시, 하세, 398, 가부시킴이샤 한도오파이 에네루기 켄큐쇼 내

(뒷면에 계속)

(74) 대리인

장훈

전체 청구항 수 : 총 16 항

심사관 : 설관식

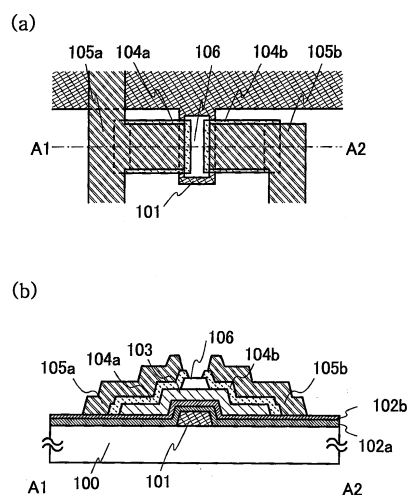
(54) 발명의 명칭 반도체 장치 및 그 제작 방법

(57) 요약

전기 특성 및 신뢰성이 높은 박막 트랜지스터를 갖는 반도체 장치, 및 상기 반도체 장치를 양산성(量産性) 높게 제작하는 방법을 제안하는 것이 과제가 된다.

반도체 층으로서 In, Ga, 및 Zn을 포함하는 산화물 반도체막을 사용하여 반도체 층의 채널 형성 영역과 중첩하는 영역에 채널 보호층을 형성하고, 반도체 층과 소스 전극층 및 드레인 전극층의 사이에 버퍼층이 형성된 역 스택 거형(보텀 게이트 구조)의 박막 트랜지스터를 포함하는 것이 요지(要旨)가 된다. 소스 전극 및 드레인 전극과 반도체 층의 사이에 반도체 층보다 캐리어 농도가 높은 버퍼층을 의도적으로 형성함으로써, 오믹 접촉(ohmic contact)을 형성한다.

대표도 - 도1



(72) 발명자

아키토모토 켄고

일본, 카나가와켄 243-0036, 아쓰기시, 하세, 398,
가부시키키가이샤 한도오파이 에네루기 켄큐쇼 내

시라이시 코지로

일본, 카나가와켄 243-0036, 아쓰기시, 하세, 398,
가부시키키가이샤 한도오파이 에네루기 켄큐쇼 내

명세서

청구범위

청구항 1

게이트 전극과;
상기 게이트 전극 위의 게이트 절연막과;
상기 게이트 절연막 위의 산화물 반도체층과;
상기 산화물 반도체층의 채널 형성 영역과 중첩하는 상기 산화물 반도체층 위의 채널 보호층과;
상기 산화물 반도체층 위의 제 1 버퍼층 및 제 2 버퍼층과;
상기 제 1 버퍼층 위의 소스 전극 및 상기 제 2 버퍼층 위의 드레인 전극을 포함하고,
상기 제 1 버퍼층 및 상기 제 2 버퍼층은 산화티타늄을 포함하고,
상기 제 1 버퍼층의 일부 및 상기 제 2 버퍼층의 일부는 상기 채널 보호층의 상면에 접촉하는, 반도체 장치.

청구항 2

제 1 항에 있어서,
상기 제 1 버퍼층 및 상기 제 2 버퍼층은 상기 산화물 반도체층보다 높은 캐리어 농도를 갖는, 반도체 장치.

청구항 3

제 1 항에 있어서,
상기 제 1 버퍼층 및 상기 제 2 버퍼층은 n형의 도전성을 부여하는 불순물을 포함하는, 반도체 장치.

청구항 4

제 1 항에 있어서,
상기 제 1 버퍼층 및 상기 제 2 버퍼층은 인듐, 갈륨, 또는 아연을 포함하는, 반도체 장치.

청구항 5

제 1 항에 있어서,
상기 산화물 반도체층 및 상기 제 1 버퍼층의 사이에, 상기 산화물 반도체층보다 높은 캐리어 농도를 갖고, 상기 제 1 버퍼층보다 낮은 캐리어 농도를 갖는, 제 3 버퍼층, 및
상기 산화물 반도체층 및 상기 제 2 버퍼층의 사이에, 상기 산화물 반도체층보다 높은 캐리어 농도를 갖고, 상기 제 2 버퍼층보다 낮은 캐리어 농도를 갖는, 제 4 버퍼층을 더 포함하는, 반도체 장치.

청구항 6

제 1 항에 있어서,

상기 소스 전극 및 상기 드레인 전극은 티타늄을 포함하는, 반도체 장치.

청구항 7

제 1 항에 있어서,

상기 소스 전극 및 상기 드레인 전극 위에 유기 수지를 포함하는 절연층을 더 포함하는, 반도체 장치.

청구항 8

제 1 항에 있어서,

상기 산화물 반도체층은 인듐, 갈륨, 및 아연을 포함하는, 반도체 장치.

청구항 9

기판 위에 게이트 전극을 형성하는 단계와;

상기 게이트 전극 위에 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 위에 산화물 반도체층을 형성하는 단계와;

상기 산화물 반도체층 위에, 상기 산화물 반도체층의 채널 형성 영역과 중첩하는 채널 보호층을 형성하는 단계와;

상기 산화물 반도체층 위에 산화티타늄을 포함하는 버퍼층을 형성하는 단계와;

상기 버퍼층을 에칭함으로써, 제 1 버퍼층 및 제 2 버퍼층을 형성하는 단계와;

상기 제 1 버퍼층 위에 소스 전극을 형성하는 단계와;

상기 제 2 버퍼층 위에 드레인 전극을 형성하는 단계를 포함하고,

상기 제 1 버퍼층 및 상기 제 2 버퍼층은 상기 산화물 반도체층보다 높은 캐리어 농도를 갖고,

상기 산화물 반도체층 및 상기 소스 전극은 상기 제 1 버퍼층을 통하여 서로 전기적으로 접속하고, 상기 산화물 반도체층 및 상기 드레인 전극은 상기 제 2 버퍼층을 통하여 서로 전기적으로 접속하는, 반도체 장치의 제작 방법.

청구항 10

게이트 전극을 형성하는 단계와;

상기 게이트 전극 위에 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 위에 산화물 반도체층을 형성하는 단계와;

상기 산화물 반도체층 위에, 상기 산화물 반도체층의 채널 형성 영역과 중첩하는 채널 보호층을 형성하는 단계와;

상기 산화물 반도체층 위에 산화티타늄을 포함하는 버퍼층을 형성하는 단계와;

상기 버퍼층을 에칭함으로써, 제 1 버퍼층 및 제 2 버퍼층을 형성하는 단계와;

상기 제 1 버퍼층 위에 소스 전극을 형성하는 단계와;

상기 제 2 버퍼층 위에 드레인 전극을 형성하는 단계를 포함하고,

상기 제 1 버퍼층 및 상기 제 2 버퍼층은 상기 산화물 반도체층보다 높은 캐리어 농도를 갖고,

상기 산화물 반도체층 및 상기 소스 전극은 상기 제 1 버퍼층을 통하여 서로 전기적으로 접속하고, 상기 산화물 반도체층 및 상기 드레인 전극은 상기 제 2 버퍼층을 통하여 서로 전기적으로 접속하고,

상기 게이트 절연막, 상기 산화물 반도체층, 및 상기 채널 보호층은 대기에 노출되지 않고 형성되는, 반도체 장치의 제작 방법.

청구항 11

제 9 항 또는 제 10 항에 있어서,

상기 게이트 절연막, 상기 산화물 반도체층, 및 상기 채널 보호층은 스퍼터링법에 의하여 형성되는, 반도체 장치의 제작 방법.

청구항 12

제 9 항 또는 제 10 항에 있어서,

상기 게이트 절연막, 상기 산화물 반도체층, 및 상기 채널 보호층은 산소 분위기 중에서 형성되는, 반도체 장치의 제작 방법.

청구항 13

제 9 항 또는 제 10 항에 있어서,

상기 버퍼층은 회 가스 분위기 중에서 형성되는, 반도체 장치의 제작 방법.

청구항 14

제 9 항 또는 제 10 항에 있어서,

상기 산화물 반도체층을 가열하는 단계를 더 포함하는, 반도체 장치의 제작 방법.

청구항 15

제 9 항 또는 제 10 항에 있어서,

상기 산화물 반도체층은 인듐, 갈륨, 및 아연을 포함하는, 반도체 장치의 제작 방법.

청구항 16

제 9 항 또는 제 10 항에 있어서,

상기 제 1 버퍼층의 일부 및 상기 제 2 버퍼층의 일부는 상기 채널 보호층의 상면에 접촉하는, 반도체 장치의 제작 방법.

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

발명의 설명

발명의 상세한 설명

기술 분야

- [0001] 본 발명의 일 형태는 채널 형성 영역에 산화물 반도체막을 사용한 박막 트랜지스터(이하, TFT라고 한다)로 구성된 회로를 갖는 반도체 장치 및 그 제작 방법에 관한 것이다. 예를 들어, 액정 표시 패널로 대표되는 전기 광학 장치나 유기 발광 소자를 갖는 발광 표시 장치를 부품으로 하여 탑재한 전자 기기에 관한 것이다.
- [0002] 또한, 본 명세서 중에 있어서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반(全般)을 가리키고, 전기 광학 장치, 반도체 회로 및 전자 기기는 모두 반도체 장치이다.

배경 기술

- [0003] 근년에 들어, 매트릭스 상태로 배치된 표시 화소마다 박막 트랜지스터(TFT)로 이루어지는 스위칭 소자를 형성한 액티브 매트릭스형의 표시 장치(액정 표시 장치나 발광 표시 장치나 전기 영동식(泳動式) 표시 장치)가 활발하게 개발되고 있다. 액티브 매트릭스형의 표시 장치는, 화소(또는 1도트)마다 스위칭 소자가 형성되어, 단순 매트릭스 방식과 비교하여 화소 밀도가 증가하는 경우에 저전압 구동할 수 있으므로 유리하다.
- [0004] 또한, 채널 형성 영역에 산화물 반도체막을 사용하여 박막 트랜지스터(TFT) 등을 제작하고, 전자 디바이스나 광 디바이스에 응용하는 기술이 주목을 받고 있다. 예를 들어, 산화물 반도체막으로서 ZnO를 사용하는 TFT나 InGaO₃(ZnO)_m을 사용하는 TFT를 들 수 있다. 이들의 산화물 반도체막을 사용하여 형성된 TFT를 투광성을 갖는 기판 위에 형성하여 화상 표시 장치의 스위칭 소자 등으로 사용하는 기술이 특허 문헌 1, 특허 문헌 2 등으로 개시된다.
- [0005] [특허 문헌 1] 특개2007-123861호 공보
- [0006] [특허 문헌 2] 특개2007-96055호 공보

발명의 내용

해결 하고자하는 과제

- [0007] 채널 형성 영역에 산화물 반도체막을 사용하는 박막 트랜지스터에는 동작 속도가 빠르고, 제조 공정이 비교적으로 간단하고, 충분한 신뢰성을 갖는 것이 요구된다.
- [0008] 박막 트랜지스터를 형성하는 데, 소스 전극 및 드레인 전극은 저저항의 금속 재료를 사용한다. 특히, 대면적의 표시를 행하는 표시 장치를 제조할 때, 배선의 저항에 의한 신호의 지연 문제가 현저하게 된다. 따라서, 배선이나 전극의 재료로서는, 전기 저항값이 낮은 금속 재료를 사용하는 것이 바람직하다. 한편, 전기 저항값이 낮은 금속 재료로 이루어지는 소스 전극 및 드레인 전극과, 산화물 반도체막이 직접 접하는 박막 트랜지스터 구조로 하면, 콘택트 저항이 높아질 우려가 있다. 콘택트 저항이 높아지는 원인은, 소스 전극 및 드레인 전극과 산화물 반도체막의 접촉면에서 쇼트 키 접합이 형성되는 것이 요인의 하나로 생각할 수 있다.
- [0009] 상술한 요인에 더하여, 소스 전극 및 드레인 전극과 산화물 반도체막이 직접 접하는 부분에는 용량이 형성되고, 주파수 특성(f 특성이라고 불린다)이 낮아짐으로써, 박막 트랜지스터의 고속 동작을 방해할 우려가 있다.
- [0010] 본 발명의 일 형태는, 인듐, 갈륨, 및 아연을 포함하는 산화물 반도체막을 사용하는 박막 트랜지스터에 있어서, 소스 전극 및 드레인 전극과 산화물 반도체 층의 콘택트 저항을 저감한 박막 트랜지스터 및 그 제작 방법을 제공하는 것을 과제의 하나로 한다.
- [0011] 또한, 인듐, 갈륨, 및 아연을 포함하는 산화물 반도체막을 사용하는 박막 트랜지스터의 동작 특성이나 신뢰성을 향상시키는 것도 과제의 하나로 한다.
- [0012] 또한, 인듐, 갈륨, 및 아연을 포함하는 산화물 반도체막을 사용하는 박막 트랜지스터의 전기 특성의 편차를 저감하는 것도 과제의 하나로 한다. 특히, 액정 표시 장치에 있어서는, 개개의 소자간에서의 편차가 큰 경우, 그 TFT의 특성의 편차에 기인하는 표시 불균일이 발생할 우려가 있다.
- [0013] 또한, 발광 소자를 갖는 표시 장치에 있어서도, 화소 전극에 일정한 전류가 흐르도록 배치된 TFT(구동 회로 또는 화소에 배치되는 발광 소자에 전류를 공급하는 TFT)의 온 전류(I_{ON})의 편차가 큰 경우, 표시 화면에 있어서 휘도의 편차가 생길 우려가 있다.
- [0014] 이상, 본 발명의 일 형태는 상기 과제의 적어도 하나를 해결하는 것을 목적으로 한다.

과제 해결수단

- [0015] 본 발명의 일 형태는, 반도체 층으로서 인듐, 갈륨, 및 아연을 포함하는 산화물 반도체를 사용하여 반도체 층과 소스 전극층 및 드레인 전극층의 사이에 버퍼층을 형성한 역 스택거형(보텀 게이트 구조)의 박막 트랜지스터를 포함하는 것을 요지로 한다.
- [0016] 본 명세서에 있어서, 인듐, 갈륨, 및 아연을 포함하는 산화물 반도체막을 사용하여 형성된 반도체 층을 “IGZO 반도체층”이라고도 기재한다.
- [0017] 소스 전극과 IGZO 반도체 층은, 옴믹 접촉이 필요하고, 또 그 콘택트 저항은 가능한 한 저감하는 것이 바람직하다. 마찬가지로, 드레인 전극과 IGZO 반도체 층은, 옴믹 접촉이 필요하고, 또 그 콘택트 저항은 가능한 한 저감하는 것이 바람직하다.
- [0018] 그래서, 소스 전극과 IGZO 반도체 층의 사이에 IGZO 반도체 층보다 캐리어 농도가 높은 버퍼층을 의도적으로 형성함으로써, 옴믹 접촉을 형성한다.
- [0019] 버퍼층으로서, n형의 도전형을 갖는 금속 산화물을 사용한다. 금속 산화물로서, 예를 들어, 산화티타늄, 산화몰리브덴, 산화아연, 산화인듐, 산화텅스텐, 산화마그네슘, 산화갈륨, 산화주석 등을 사용할 수 있다. 버퍼층에는 n형 또는 p형의 도전형을 부여하는 불순물을 포함시켜도 좋다. 불순물로서는, 인듐, 갈륨, 알루미늄, 아연, 주석 등을 사용할 수 있다.
- [0020] 버퍼층의 캐리어 농도는, IGZO 반도체 층보다 높고 도전성이 뛰어나기 때문에, 소스 전극 또는 드레인 전극과 반도체 층이 직접 접합하는 경우와 비교하여 접촉 저항을 저감할 수 있다.
- [0021] 이 버퍼층은 n^+ 층으로서 기능하고, 드레인 영역 또는 소스 영역이라고도 부를 수 있다.
- [0022] 본 발명의 반도체 장치의 일 형태는, 게이트 전극과; 상기 게이트 전극 위의 게이트 전극과; 상기 게이트 절연

막 위의 산화물 반도체층과; 상기 산화물 반도체층 위의 상기 산화물 반도체층의 채널 보호 영역을 덮는 채널 보호층과; 상기 산화물 반도체층 위의 제 1 버퍼층 및 제 2 버퍼층과; 상기 제 1 버퍼층 위의 소스 전극 및 상기 제 2 버퍼층 위의 드레인 전극을 포함하고, 상기 제 1 버퍼층 및 상기 제 2 버퍼층은 산화티타늄을 포함하고, 상기 제 1 버퍼층의 일부 및 상기 제 2 버퍼층의 일부는 상기 채널 보호층의 상면에 접촉한다.

[0023] 또한, 반도체 층과 버퍼층의 사이에 캐리어 농도가 반도체 층보다 높고, 버퍼층보다 낮은 제 2 버퍼층을 형성하여도 좋다. 제 2 버퍼층은 n^- 층으로서 기능한다.

[0024] 즉, 본 발명의 반도체 장치의 일 형태는, 게이트 전극과 게이트 전극을 덮는 게이트 절연막과, 게이트 절연막 위에 형성된 IGZO 반도체 층과, IGZO 반도체 층의 채널 형성 영역과 중첩하는 영역에 형성된 채널 보호층과, 반도체 층 위에 형성된 2층의 버퍼층과 2층의 버퍼층 위에 형성된 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터를 갖고, 버퍼층은 n 형의 도전형을 갖는 금속 산화물을 포함하고, 반도체 층과 소스 전극 및 드레인 전극은 버퍼층을 통하여 전기적으로 접속한다. IGZO 반도체 층과 접하는 버퍼층은 n^- 층으로서 기능한다.

[0025] 상기 구성에 있어서, 버퍼층이 티타늄을 포함하는 것이 바람직하다. 또한, 소스 전극층과 드레인 전극층은 티타늄을 포함하는 것이 바람직하다. 예를 들어, 티타늄막과 알루미늄막과 티타늄막을 적층한 다층막을 사용하면 저저항이고, 또 알루미늄막에 힐록이 발생하기 어렵다.

[0026] 본 발명의 일 형태의 박막 트랜지스터의 구조는, 채널 보호층을 형성하는 구조이기 때문에, IGZO 반도체 층의 게이트 절연막과 접하는 면과 반대측의 영역, 소위 백 채널을 공정시의 대미지(에칭시의 플라즈마나 에칭제에 의한 막 감소나 산화 등)로부터 보호할 수 있으므로 반도체 장치의 신뢰성을 향상시킬 수 있다.

[0027] 본 발명의 반도체 장치의 제작 방법의 일 형태는, 기판 위에 게이트 전극을 형성하고, 게이트 전극 위에 게이트 절연막을 형성하고, 게이트 절연막 위에 반도체 층을 형성하고, 반도체 층 위의 채널 형성 영역과 중첩하는 영역에 채널 보호층을 형성하고, 반도체 층 위에 n 형의 도전형을 갖는 버퍼층을 형성하고, 버퍼층 위에 소스 전극 및 드레인 전극을 형성하고, 반도체 층은 인듐, 갈륨, 및 아연을 포함하는 산화물 반도체 층을 사용하여 형성하고, 버퍼층은 n 형의 도전형을 갖는 금속 산화물을 사용하여 형성하고, 버퍼층의 캐리어 농도는 반도체 층의 캐리어 농도보다 높고, 반도체 층과 소스 전극 및 드레인 전극은 버퍼층을 통하여 전기적으로 접속한다.

[0028] 바꾸어 말하면, 본 발명의 일 형태는, 기판 위에 게이트 전극을 형성하고, 게이트 전극 위에 게이트 절연막을 형성하고, 게이트 절연막 위에 인듐, 갈륨, 및 아연을 포함하는 산화물 반도체 층을 형성하고, 반도체 층 위의 채널 형성 영역과 중첩하는 영역에 채널 보호층을 형성하고, 반도체 층 위에 n 형의 도전형을 갖는 금속 산화물을 사용하여 버퍼층을 형성하고, 버퍼층 위에 소스 전극 및 드레인 전극을 형성하는, 반도체 층과 소스 전극 및 드레인 전극층이 버퍼층을 통하여 전기적으로 접속하는 반도체 장치의 제작 방법이다.

[0029] 또한, 본 발명의 반도체 장치의 제작 방법의 일 형태는, 기판 위에 게이트 전극을 형성하고, 게이트 전극 위에 게이트 절연막을 형성하고, 게이트 절연막 위에 반도체 층을 형성하고, 반도체 층 위의 채널 형성 영역과 중첩하는 영역에 채널 보호층을 형성하고, 반도체 층 위에 n 형의 도전형을 갖는 버퍼층을 형성하고, 버퍼층 위에 소스 전극 및 드레인 전극을 형성하고, 반도체 층은 인듐, 갈륨, 및 아연을 포함하는 산화물 반도체 층을 사용하여 형성하고, 버퍼층은 n 형의 도전형을 갖는 금속 산화물을 사용하여 형성하고, 버퍼층의 캐리어 농도는 반도체 층의 캐리어 농도보다 높고, 반도체 층과 소스 전극 및 드레인 전극은 버퍼층을 통하여 전기적으로 접속하고, 게이트 절연막, 반도체 층 및 채널 보호층은 대기에 노출되지 않고 형성된다.

[0030] 또한, 바꾸어 말하면, 본 발명의 일 형태는, 기판 위에 게이트 전극을 형성하고, 게이트 전극 위에 게이트 절연막을 형성하고, 게이트 절연막 위에 인듐, 갈륨, 및 아연을 포함하는 산화물 반도체 층을 형성하고, 반도체 층 위의 채널 형성 영역과 중첩하는 영역에 채널 보호층을 형성하고, 반도체 층 위에 n 형의 도전형을 갖는 금속 산화물을 사용하여 버퍼층을 형성하고, 버퍼층 위에 소스 전극 및 드레인 전극을 형성하고, 게이트 절연막과 반도체 층과 버퍼층을 대기에 노출되지 않고 연속적으로 형성하는, 반도체 층과 소스 전극 및 드레인 전극이 버퍼층을 통하여 전기적으로 접속하는 반도체 장치의 제작 방법이다.

[0031] 게이트 절연막, 반도체 층 및 채널 보호층을 연속적으로 형성하면, 수증기 등의 대기 성분이나 대기 중에 부유하는 불순물 원소나 먼지에 인한 오염이 없는 적층 계면을 형성할 수 있으므로 박막 트랜지스터 특성의 편차를 저감할 수 있다.

[0032] 본 명세서 중에서 연속 성막이란, 스퍼터링법에 의하여 행하는 제 1 성막 공정으로부터 스퍼터링법에 의하여 행하는 제 2 성막 공정까지의 일련의 프로세스 중에서, 피처리 기판을 놓은 분위기가 대기 등의 오염 분위기에 노

출되지 않고, 항상 진공중 또는 불활성 가스 분위기(질소 분위기 또는 희 가스 분위기)에 의하여 제어되는 것을 가리킨다. 연속 성막을 행함으로써 청정화된 피처리 기관에의 수분 등의 재부착을 회피하여 성막할 수 있다.

[0033] 동일 챔버 내에서 제 1 성막 공정으로부터 제 2 성막 공정까지의 일련의 프로세스를 행하는 것은 본 명세서에 있어서의 연속 성막의 범위에 포함된다.

[0034] 또한, 다른 챔버에서 제 1 성막 공정으로부터 제 2 성막 공정까지의 일련의 프로세스를 행하는 경우, 제 1 성막 공정이 끝난 후, 대기에 노출시키지 않고 챔버간을 기관 반송하여 제 2 성막을 행하는 것도 본 명세서에 있어서의 연속 성막의 범위에 포함된다.

[0035] 또한, 제 1 성막 공정과 제 2 성막 공정의 사이에 기관 반송 공정, 열라인먼트 공정, 서냉(徐冷) 공정, 또는 제 2 공정에 필요한 온도로 하기 위해서 기관을 가열 또는 냉각하는 공정 등을 가져도, 본 명세서에 있어서의 연속 성막의 범위에 포함된다.

[0036] 다만, 세정 공정, 웨트 에칭, 레지스트 형성이라고 하는 액체를 사용하는 공정이 제 1 성막 공정과 제 2 성막 공정의 사이에 있는 경우, 본 명세서에 있어서의 연속 성막의 범위에 포함되지 않는다.

[0037] 게이트 절연막, 반도체 층 및 채널 보호층을 스퍼터링법에 의하여 연속 성막함으로써, 생산성이 높아질뿐만 아니라, 신뢰성이 높은 적층 계면을 형성할 수 있다. 또한, 게이트 절연막, 반도체 층 및 채널 보호층은 산소 분위기하에서 형성함으로써, 열화에 의한 신뢰성의 저하나 박막 트랜지스터 특성의 노멀리 온 측으로 시프트하는 것 등을 경감할 수 있다.

[0038] 본 발명의 반도체 장치의 일 형태는, 게이트 전극과 게이트 전극을 덮는 게이트 절연막과 게이트 절연막 위에 형성된 인듐, 갈륨, 및 아연을 포함하는 산화물 반도체 층과, 반도체 층의 채널 형성 영역과 중첩하는 영역에 형성된 채널 보호층과, 반도체 층 위에 형성된 버퍼층과, 버퍼층 위에 형성된 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터를 갖고, 버퍼층은 n형의 도전형을 갖는 금속 산화물을 포함하고, 반도체 층은 소스 전극 및 드레인 전극과, 버퍼층을 통하여 전기적으로 접속하는 반도체 장치이다.

[0039] 또한, 버퍼층의 캐리어 농도가 반도체 층의 캐리어 농도보다 높은 반도체 장치이다.

[0040] 또한, 버퍼층이 n형을 부여하는 불순물을 포함하는 반도체 장치이다.

[0041] 또한, 버퍼층이 인듐, 갈륨, 또는 아연을 불순물로서 포함하는 반도체 장치이다.

[0042] 또한, 반도체 층과 버퍼층의 사이에 캐리어 농도가 반도체 층보다 높고 버퍼층보다 낮은, 제 2 버퍼층을 갖는 반도체 장치이다.

[0043] 또한, 버퍼층이 티타늄을 포함하는 반도체 장치이다.

[0044] 또한, 소스 전극 및 드레인 전극은 티타늄을 포함하는 반도체 장치이다.

[0045] 개시하는 발명의 다른 일 형태는, 기관 위에 게이트 전극을 형성하고, 게이트 전극 위에 게이트 절연막을 형성하고, 게이트 절연막 위에 반도체 층을 형성하고, 반도체 층 위의 채널 형성 영역과 중첩하는 영역에 채널 보호층을 형성하고, 반도체 층 위에 n형의 도전형을 갖는 버퍼층을 형성하고, 버퍼층 위에 소스 전극 및 드레인 전극을 형성하고, 반도체 층은 인듐, 갈륨, 및 아연을 포함하는 산화물 반도체 층을 사용하여 형성하고, 버퍼층은 n형의 도전형을 갖는 금속 산화물을 사용하여 형성하고, 버퍼층의 캐리어 농도는, 반도체 층의 캐리어 농도보다 높고, 반도체 층과 소스 전극 및 드레인 전극은 버퍼층을 통하여 전기적으로 접속하는 반도체 장치의 제작 방법이다.

[0046] 또한, 개시하는 발명의 다른 일 형태는, 기관 위에 게이트 전극을 형성하고, 게이트 전극 위에 게이트 절연막을 형성하고, 게이트 절연막 위에 반도체 층을 형성하고, 반도체 층 위의 채널 형성 영역과 중첩하는 영역에 채널 보호층을 형성하고, 반도체 층 위에 n형의 도전형을 갖는 버퍼층을 형성하고, 버퍼층 위에 소스 전극 및 드레인 전극을 형성하고, 반도체 층은 인듐, 갈륨, 및 아연을 포함하는 산화물 반도체 층을 사용하여 형성하고, 버퍼층은 n형의 도전형을 갖는 금속 산화물을 사용하여 형성하고, 버퍼층의 캐리어 농도는 반도체 층의 캐리어 농도보다 높고, 반도체 층과 소스 전극 및 드레인 전극과 버퍼층을 통하여 전기적으로 접속하고, 게이트 절연막, 반도체 층 및 채널 보호층은 대기에 노출시키지 않고 형성하는 반도체 장치의 제작 방법이다.

[0047] 또한, 게이트 절연막, 반도체 층 및 채널 보호층은 스퍼터링법에 의하여 형성하는 반도체 장치의 제작 방법이다.

- [0048] 또한, 게이트 절연막, 반도체 층, 및 채널 보호층은 산소 분위기하에서 형성하는 반도체 장치의 제작 방법이다.
- [0049] 또한, 버퍼층은 희 가스 분위기하에서 형성하는 반도체 장치의 제작 방법이다.

효 과

- [0050] 본 발명의 일 형태에 의하여 광 전류가 적고, 기생 용량이 작고, 온·오프 비율이 높은 박막 트랜지스터를 얻을 수 있고, 양호한 동작 특성을 갖는 박막 트랜지스터를 제작할 수 있다. 따라서, 전기 특성이 높고 신뢰성이 좋은 박막 트랜지스터를 갖는 반도체 장치를 제공할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0051] 이하에서 본 발명의 일 형태의 실시형태에 대해서 도면을 사용하여 자세히 설명한다. 그러나, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 형태 및 상세한 사항은 본 발명의 취지 및 범위에서 벗어남이 없이 다양하게 변경될 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명이 이하에 나타내는 실시형태의 기재 내용에 한정해서 해석되는 것은 아니다. 또한, 이하에 설명하는 본 발명의 구성에 있어서, 동일 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 다른 도면간에서 공통적으로 사용하고, 그 반복 설명은 생략한다.
- [0052] (실시형태 1)
- [0053] 본 실시형태에서는, 박막 트랜지스터 및 그 제작 방법에 대해서 도 1a 내지 도 2d를 사용하여 설명한다.
- [0054] 도 1a 및 도 1b에는 본 실시형태의 보텀 게이트 구조의 박막 트랜지스터를 도시한다. 도 1a는 평면도이며, 도 1b는 도 1a에 있어서의 A1-A2에서 절단한 단면도이다. 도 1a 및 도 1b에 도시하는 박막 트랜지스터는, 기판(100) 위에 게이트 전극(101)이 형성되고, 게이트 전극(101) 위에 다층막으로 이루어지는 게이트 절연막(102a, 102b)이 형성되고, 게이트 절연막(102a, 102b)을 통하여 게이트 전극(101) 위에 채널 형성 영역으로서 기능하는 비정질의 산화물 반도체 층(103)이 형성되고, 비정질의 산화물 반도체 층(103)의 채널 형성 영역과 중첩하는 영역에 채널 보호층(106)이 형성되고, 비정질의 산화물 반도체 층(103) 위에 단부를 게이트 전극(101)에 중첩하여 버퍼층(104a, 104b)이 형성되고, 버퍼층(104a, 104b)에 접하는 소스 전극 및 드레인 전극(105a, 105b)이 형성된다.
- [0055] 반도체 층(103)으로서 In, Ga, 및 Zn을 포함하는 산화물 반도체막을 사용하여 소스 전극 및 드레인 전극(105a, 105b)과 반도체 층(103)의 사이에 반도체 층(103)보다 캐리어 농도가 높은 버퍼층(104a, 104b)을 의도적으로 형성함으로써 옴릭 접촉을 형성한다.
- [0056] 버퍼층(104a, 104b)은, 금속 산화물로 형성한다. 버퍼층(104a, 104b)으로서 기능하는 금속 산화물로서, 산화티타늄, 산화몰리브덴, 산화아연, 산화인듐, 산화텅스텐, 산화마그네슘, 산화칼슘, 산화주석 등을 사용할 수 있지만, 특히 산화티타늄이 바람직하다. 또한, 금속 산화물에 이종(異種)의 금속을 도핑하여 사용할 수도 있다. 도펀트로서는, 인듐, 갈륨, 알루미늄, 아연, 주석 등을 들 수 있다. 도핑에 의하여 금속 산화물 중의 캐리어 농도를 높일 수 있다.
- [0057] 버퍼층(104a, 104b)은 n^+ 층으로서 기능하여 드레인 영역 또는 소스 영역이라고 부를 수도 있다.
- [0058] 도 1a 및 도 1b에 도시한 박막 트랜지스터의 제작 방법을 도 2a 내지 도 2d를 사용하여 설명한다.
- [0059] 우선, 기판(100) 위에 게이트 전극(101), 게이트 절연막(102), 반도체막(133), 채널 보호층(106)을 형성한다(도 2a 참조).
- [0060] 기판(100)은, 바륨 보로실리케이트 유리, 알루미늄 보로실리케이트 유리, 또는 알루미늄 실리케이트 유리 등, 퓨전(fusion)법이나 플로트(float)법으로 제작되는 무 알칼리 유리 기판, 세라믹 기판 이외에, 본 제작 공정의 처리 온도에 견딜 수 있는 내열성을 갖는 플라스틱 기판 등을 사용할 수 있다. 또한, 스테인리스 합금 등의 금속 기판의 표면에 절연막을 형성한 기판을 적용하여도 좋다. 기판(100)이 마더 유리(mother glass)인 경우, 기판의 크기는, 제 1 세대(320mm×400mm), 제 2 세대(400mm×500mm), 제 3 세대(550mm×650mm), 제 4 세대(680mm×880mm, 또는 730mm×920mm), 제 5 세대(1000mm×1200mm, 또는 1100mm×1250mm), 제 6 세대(1500mm×1800mm), 제 7 세대(1900mm×2200mm), 제 8 세대(2160mm×2460mm), 제 9 세대(2400mm×2800mm, 또는 2450mm×3050mm), 제 10 세대(2950mm×3400mm) 등을 사용할 수 있다.

- [0061] 또한, 기판(100) 위에 하지막으로서 절연막을 형성하여도 좋다. 하지막으로서, CVD법이나 스퍼터링법 등을 사용하여 산화실리콘막, 질화실리콘막, 산화질화실리콘막, 또는 질화산화실리콘막의 단층 또는 적층으로 형성하면 좋다.
- [0062] 게이트 전극(101)은 금속 재료로 형성된다. 금속 재료로서는, 알루미늄, 크롬, 티타늄, 탄탈, 몰리브덴, 구리 등이 적용된다. 게이트 전극의 바람직한 예로서는, 알루미늄 또는 알루미늄과 배리어 금속의 적층 구조체에 의하여 형성된다. 배리어 금속으로서, 티타늄, 몰리브덴, 크롬 등의 고용점 금속이 적용된다. 배리어 금속은 알루미늄의 힐록 방지, 산화 방지를 위하여 형성하는 것이 바람직하다.
- [0063] 게이트 전극은 두께가 50nm 이상 300nm 이하로 형성된다. 게이트 전극의 두께를 300nm 이하로 함으로써, 후에 형성되는 반도체막이나 배선의 단절 방지가 가능하다. 또한, 게이트 전극의 두께를 150nm 이상으로 함으로써, 게이트 전극의 저항을 저감할 수 있고, 대면적화가 가능하다.
- [0064] 또한, 게이트 전극(101) 위에는 반도체막이나 배선을 형성하기 때문에, 단절 방지를 위하여 단부가 테이퍼 형상으로 되도록 가공하는 것이 바람직하다. 또한, 도시하지 않지만, 이 공정에서 게이트 전극에 접속하는 배선이나 용량 배선도 동시에 형성할 수 있다.
- [0065] 게이트 전극(101)은 스퍼터링법, CVD법, 도금법, 인쇄법, 또는 은, 금, 구리 등의 도전성 나노 페이스트를 사용하여 형성할 수 있다. 또한, 잉크젯법에 의하여 도전성 입자 등을 포함하는 액적을 토출하여 소성함으로써 게이트 전극을 형성할 수 있다. 또한, 여기서는 도 2a에 도시하는 바와 같이, 기판 위에 도전막으로서 알루미늄막과 몰리브덴막을 스퍼터링법에 의하여 적층하여 성막하고, 본 실시형태에 있어서의 제 1 포토 마스크를 사용하여 형성한 레지스트 마스크를 사용하여 기판 위에 형성된 도전막을 에칭하여 게이트 전극(101)을 형성한다.
- [0066] 본 실시형태에서는, 2층의 절연막을 적층한 다층막을 게이트 절연막(102)에 사용하는 예를 나타낸다. 제 1 게이트 절연막(102a), 제 2 게이트 절연막(102b)은 각각 두께가 50nm 내지 150nm의 산화실리콘막, 질화실리콘막, 산화질화실리콘막, 또는 질화산화실리콘막으로 형성할 수 있다. 여기서는, 제 1 게이트 절연막(102a)으로서 질화실리콘막 또는 질화산화실리콘막을 형성하고, 제 2 게이트 절연막(102b)으로서 산화실리콘막 또는 산화질화실리콘막을 형성하여 적층하는 형태를 나타낸다. 또한, 게이트 절연막을 2층으로 하지 않고, 산화실리콘막, 질화실리콘막, 산화질화실리콘막, 또는 질화산화실리콘막의 단층으로 형성할 수 있고, 또는 3층의 게이트 절연막을 형성하여도 좋다.
- [0067] 제 1 게이트 절연막(102a)을 질화실리콘막, 또는 질화산화실리콘막을 사용하여 형성함으로써, 기판과 제 1 게이트 절연막(102a)의 밀착력이 높아지고, 기판으로서 유리 기판을 사용한 경우, 기판으로부터의 불순물이 산화물 반도체막에 확산하는 것을 방지할 수 있고, 또 게이트 전극(101)의 산화방지가 가능하다. 즉, 막 박리를 방지할 수 있는 것과 함께, 후에 형성되는 박막 트랜지스터의 전기 특성을 향상시킬 수 있다. 또한, 제 1 게이트 절연막(102a), 제 2 게이트 절연막(102b)은 각각 두께가 50nm 이상이면, 게이트 전극(101)의 요철(凹凸)을 피복할 수 있기 때문에 바람직하다.
- [0068] 여기서는, 산화질화실리콘막이란, 그 조성으로서 질소보다 산소의 함유량이 많은 것이며, 농도 범위로서 산소가 55at.%, 내지 65at.%, 질소가 1at.% 내지 20at.%, 실리콘이 25at.% 내지 35at.%, 수소가 0.1at.% 내지 10at.%의 범위에서 포함되는 것을 가리킨다. 또한, 질화산화실리콘막이란, 그 조성으로서, 산소보다도 질소의 함유량이 많은 것이며, 농도 범위로서 산소가 15at.% 내지 30at.%, 질소가 20at.% 내지 35at.%, 실리콘이 25at.% 내지 35at.%, 수소가 15at.% 내지 25at.%의 범위에서 포함되는 것을 가리킨다.
- [0069] 또한, 반도체 층(103)에 접하는 제 2 게이트 절연막(102b)으로서, 예를 들어, 산화실리콘, 산화알루미늄, 산화마그네슘, 질화알루미늄, 산화이트륨, 산화하프늄을 사용할 수 있다.
- [0070] 제 1 게이트 절연막(102a), 제 2 게이트 절연막(102b)은, 각각 CVD법이나 스퍼터링법을 사용하여 형성할 수 있다. 여기서는, 제 1 게이트 절연막(102a)으로서 질화실리콘막을 플라즈마 CVD법에 의하여 형성한다.
- [0071] 반도체막(133)에 접하는 제 2 게이트 절연막(102b)과 반도체막(133)은 연속적으로 성막하는 것이 바람직하다. 연속적으로 성막함으로써, 수증기 등의 대기 성분이나 대기중에 부유하는 불순물 원소나 먼지에 의한 오염이 없는 적층 계면을 형성할 수 있으므로 박막 트랜지스터 특성의 편차를 저감할 수 있다.
- [0072] 액티브 매트릭스형의 표시 장치에 있어서는, 회로를 구성하는 박막 트랜지스터의 전기 특성이 중요하고, 이 전기 특성이 표시 장치의 성능을 좌우한다. 특히, 박막 트랜지스터의 전기 특성 중, 임계값 전압(V_{th})이 중요하다. 전계 효과 이동도가 높아도, 임계값 전압값이 높고, 또는 임계값 전압값이 마이너스이라면, 회로로서 제어

하는 것이 어렵다. 임계값 전압값이 높고, 임계값 전압의 절대값이 큰 박막 트랜지스터의 경우에는, 구동 전압이 낮은 상태에서는 박막 트랜지스터로서의 스위칭 기능을 달성할 수 없고, 부하가 될 우려가 있다. 또한, 임계값 전압값이 마이너스이라면, 게이트 전압이 0V라도 소스 전극과 드레인 전극의 사이에 전류가 흐르는, 소위 노멀리 온 상태가 되기 쉽다.

[0073] n채널형의 박막 트랜지스터의 경우, 게이트 전압에 정의 전압을 인가하여 비로소 채널이 형성되어 드레인 전류가 흐르기 시작하는 트랜지스터가 바람직하다. 구동 전압을 높게 하지 않으면, 채널이 형성되지 않는 트랜지스터나 부의 전압 상태라도 채널이 형성되어 드레인 전류가 흐르는 트랜지스터는, 회로에 사용하는 박막 트랜지스터로서는 부적합하다.

[0074] 따라서, In, Ga, 및 Zn을 포함하는 산화물 반도체막을 사용하는 박막 트랜지스터도 게이트 전압이 0V에 가능한 가까운 정의 임계값 전압으로 채널이 형성되는 것이 바람직하다.

[0075] 박막 트랜지스터의 임계값 전압은 반도체 층의 계면, 즉, 반도체 층과 게이트 절연막의 계면에 크게 영향을 끼친다고 생각된다.

[0076] 그래서, 이들의 계면을 청정한 상태로 형성함으로써, 박막 트랜지스터의 전기 특성을 향상시키는 것과 함께, 제조 공정의 복잡화를 방지할 수 있고, 양산성과 고성능의 양쪽 모두를 구비한 박막 트랜지스터를 실현한다.

[0077] 특히, 산화물 반도체 층과 게이트 절연막의 계면에 수분이 존재하면 박막 트랜지스터의 전기적 특성의 열화, 임계값 전압의 편차, 노멀리 온 상태가 되기 쉬운 문제를 초래한다. 산화물 반도체 층과 게이트 절연막을 연속적으로 형성함으로써, 이러한 수소 화합물을 배제할 수 있다.

[0078] 따라서, 대기에 노출시키지 않고 게이트 절연막과 산화물 반도체막을 스퍼터링법에 의하여 감압하에서 연속적으로 형성함으로써 양호한 계면을 갖고, 리크 전류가 낮고, 또 전류 구동 능력이 높은 박막 트랜지스터를 실현할 수 있다.

[0079] 또한, 게이트 절연막 및 In, Ga, 및 Zn을 포함하는 산화물 반도체막은 산소 분위기하(또는 산소 90% 이상, 희가스(아르곤 등) 10% 이하)에서 형성하는 것이 바람직하다.

[0080] 이와 같이, 스퍼터링법을 사용하여 연속적으로 성막하면, 생산성이 높고, 박막 계면의 신뢰성이 안정한다. 또한, 게이트 절연막과 반도체 층을 산소 분위기하에서 성막하고, 산소를 많이 포함시키도록 하면, 열화에 인한 신뢰성의 저하나 박막 트랜지스터가 노멀리 온 상태가 되는 것을 경감할 수 있다.

[0081] 또한, 채널 보호층(106)이 되는 절연막에 대해서도 반도체막의 형성에 계속해서 연속적으로 성막하는 것이 바람직하다. 연속 성막함으로써, 반도체막의 게이트 절연막과 접하는 면과 반대측의 영역, 소위 백 채널에 수증기 등의 대기 성분이나 대기중에 부유하는 불순물 원소나 먼지에 인한 오염이 없는 적층 계면을 형성할 수 있으므로 박막 트랜지스터 특성의 편차를 저감할 수 있다.

[0082] 연속적으로 성막하는 방법으로서, 복수의 성막실을 갖는 멀티 챔버형의 스퍼터링 장치나 복수의 타깃을 갖는 스퍼터링 장치 또는 PLD 장치를 사용하면 좋다. 절연막으로서 산화실리콘을 형성하는 경우, 타깃으로서 산화실리콘(인공 석영) 또는 단결정 실리콘을 사용하여 고주파 스퍼터링법 또는 반응성 스퍼터링법에 의하여 형성할 수 있다. 또한, 여기서는, 단결정 실리콘 타깃과 반도체막용의 타깃을 구비한 멀티 챔버형의 스퍼터링 장치를 사용하여 반도체에 접하는 2층째의 게이트 절연막(102b)으로서 산화실리콘막을 형성하고, 대기에 노출시키지 않고 반도체막의 형성과 채널 보호층이 되는 산화실리콘막을 연속적으로 형성한다.

[0083] 반도체 층(103)은 비정질의 산화물 반도체막으로 형성된다. 비정질의 산화물 반도체막으로서, 인듐, 갈륨, 알루미늄, 아연 및 주석 중에서 선택한 원소의 복합 산화물을 사용할 수 있다. 예를 들어, 인듐, 갈륨, 및 아연을 포함하는 산화물(IGZO)을 그 예로서 들 수 있다.

[0084] 산화인듐과 산화갈륨과 산화아연으로 이루어지는 산화물의 경우, 금속 원소의 조성비의 자유도는 높고, 넓은 범위의 혼합 비율로 반도체 층으로서 기능한다. 산화인듐과 산화갈륨과 산화아연을 각각 등몰로 혼합한 재료나 막 중의 금속 원소의 존재 비율이 In:Ga:Zn=2.2:2.2:1.0의 비율로 존재하는 산화물을 일례로서 들 수 있다.

[0085] 반도체 층(103)에 사용하는 산화물 반도체막(133)은, 2nm 이상 200nm 이하, 바람직하게는, 20nm 이상 150nm 이하의 두께로 형성하면 좋다. 또한, 막 중의 산소 결손이 증가하면, 캐리어 농도가 높아지고, 박막 트랜지스터 특성이 손실되기 때문에, 산소 결손을 억제한 조성으로 한다.

[0086] 비정질의 산화물 반도체막(133)은, 반응성 스퍼터링법, 펄스 레이저 증착법(PLD법) 또는 졸-겔법에 의하여 형성

할 수 있다. 여기서는, 반도체막(133)의 형성 방법의 일례로서, 인듐, 갈륨, 및 아연을 포함하는 산화물(IGZO)을 사용한 방법에 대해서 설명한다.

[0087] 산화인듐(In_2O_3)과 산화갈륨(Ga_2O_3)과 산화아연(ZnO)을 각각 등몰로 혼합하여 소결(燒結)한 직경 8인치의 타깃을 사용하여 타깃으로부터 170mm의 위치에 기관을 배치하여 500W의 출력으로 DC(Direct Current) 스퍼터링하여 반도체막(133)을 형성한다. 챔버의 압력은 0.4Pa, 가스 조성비는 Ar/O_2 가 10/5sccm의 조건으로 50nm 형성한다. 성막시의 산소 분압을 인듐주석산화물(ITO) 등의 투명 도전막의 성막 조건보다 높게 설정하여 성막 분위기의 산소 농도를 제어하여 산소 결손을 억제하는 것이 바람직하다. 또한, 펄스 직류(DC) 전원을 사용하면, 먼지를 경감할 수 있고, 막 두께 분포도 균일하게 되기 때문에 바람직하다.

[0088] 또한, 반도체 층(103)에 플라즈마 처리를 행하여도 좋다. 플라즈마 처리를 행함으로써, 반도체 층(103)의 에칭에 의한 대미지를 회복할 수 있다. 플라즈마 처리는 O_2 , H_2O , N_2O , 바람직하게는 산소를 포함하는 H_2 , N_2 , He , Ar , H , NH_3 분위기하에서 행하는 것이 바람직하다. 또한, 상기 분위기에 Cl_2 , CF_4 를 가한 분위기하에서 행하여도 좋다. 또한, 플라즈마 처리는 무바이어스로 행하는 것이 바람직하다.

[0089] 또한, 본 실시형태에서는, 산화물 반도체막용의 타깃과 함께 단결정 실리콘을 구비한 멀티 챔버형의 스퍼터링 장치를 사용하여 전공정에서 형성한 제 2 게이트 절연막(102b)을 대기에 노출시키지 않고, 그 위에 반도체막(133)을 형성한다. 성막한 반도체막(133)은 계속해서 대기에 노출시키지 않고 다음 공정에서 반도체막(133) 위에 채널 보호층(106)이 되는 절연막을 형성한다.

[0090] 채널 보호층(106)은 도 2a에 도시하는 바와 같이, 반도체 층(103)의 채널 형성 영역과 중첩하는 영역에 절연막으로 형성한다. 채널 보호층(106)으로서 기능하는 절연막은 무기 재료(산화실리콘, 질화실리콘, 산화질화실리콘, 질화산화실리콘 등)를 사용할 수 있다. 또한, 감광성 또는 비감광성의 유기 재료(유기 수지 재료)(폴리이미드, 아크릴, 폴리아미드, 폴리아미드아미드, 레지스트, 벤조사이클로부텐 등), 또는 복수 종류로 이루어지는 막, 또는 이들의 막의 적층 등을 사용할 수 있다. 또한, 실록산을 사용하여도 좋다.

[0091] 채널 보호층(106)이 되는 절연막은 플라즈마 CVD법이나 열 CVD법 등의 기상 성장법이나 스퍼터링법에 의하여 형성할 수 있다. 또한, 습식법인 스핀코팅법 등의 도포법을 사용할 수 있다. 또한, 액적 토출법이나 인쇄법(스크린 인쇄나 오프셋 인쇄 등, 패터닝이 형성되는 방법) 등에 의하여 선택적으로 형성하여도 좋다.

[0092] 또한, 여기서는 단결정 실리콘과 산화물 반도체막용의 타깃을 구비한 멀티 챔버형의 스퍼터링 장치를 사용하여 전(前)공정에 의하여 형성한 산화물 반도체막을 대기에 노출시키지 않고, 채널 보호층(106)이 되는 산화실리콘막을 형성한다. 다음, 본 실시형태에 있어서의 제 2 포토 마스크를 사용하여 형성한 레지스트 마스크를 사용하여 반도체막(133) 위에 형성된 산화실리콘막을 선택적으로 에칭하여 도 2a에 도시하는 바와 같이, 채널 보호층(106)을 형성한다. 다음, 본 실시형태에 있어서의 제 3 포토 마스크를 사용하여 형성한 레지스트 마스크를 사용하여 게이트 절연막 위에 형성된 산화물 반도체막(133)을 에칭하여 반도체 층(103)을 형성한다.

[0093] 또한, 인듐, 갈륨, 및 아연을 포함하는 산화물(IGZO)막을 에칭하는 방법으로서, 웨트 에칭법을 이용할 수 있다. 구연산이나 옥살산 등의 유기산을 에찬트로서 사용할 수 있다. 예를 들어, 50nm의 인듐, 갈륨, 및 아연을 포함하는 산화물(IGZO)막은, IT007N(KANTO CHEMICAL Co., Inc제)를 사용하여 150초로 에칭 가공할 수 있다.

[0094] 비정질의 산화물 반도체막 위에 형성되는 한 쌍의 버퍼층(104a, 104b)은, 금속 산화물로 형성한다. 버퍼층(104a, 104b)으로서 기능하는 금속 산화물로서 산화티타늄, 산화몰리브덴, 산화아연, 산화인듐, 산화텅스텐, 산화마그네슘, 산화칼슘, 산화주석 등을 사용할 수 있지만, 특히 산화티타늄이 바람직하다.

[0095] 또한, 금속 산화물에 이종의 금속을 도핑하여 사용할 수도 있다. 도펀트로서는, 인듐, 갈륨, 알루미늄, 아연, 주석 등을 들 수 있다. 도핑에 의하여 금속 산화물 중의 캐리어 농도를 높일 수 있다.

[0096] 버퍼층(104a, 104b)의 캐리어 농도는 인듐, 갈륨, 및 아연을 포함하는 산화물(IGZO)로 이루어지는 반도체 층(103)보다 높고 도전성이 뛰어나기 때문에, 소스 전극 또는 드레인 전극(105a, 105b)과 반도체 층(103)이 직접 접합하는 경우에 비교하여, 접촉 저항을 저감할 수 있다. 또한, 소스 전극 또는 드레인 전극(105a, 105b)과 반도체 층(103)의 접합 계면에 버퍼층(104a, 104b)을 끼움으로써, 접합 계면에 집중하는 전계를 완화할 수 있다.

[0097] 또한, 버퍼층(104a, 104b)이 반도체 층(103)을 확실하게 피복하기 위해서, 도 2b에 도시하는 바와 같이, 버퍼층이 채널 보호층(106)의 일부에 중첩하도록 패터닝하여도 좋다.

- [0098] 버퍼층(104a, 104b)이 되는 금속산화물막으로서는, 2nm 이상 100nm 이하의 두께로 형성하면 좋다.
- [0099] 버퍼층(104a, 104b)이 되는 금속산화물막은, 스퍼터링법 또는 펄스 레이저 증착법(PLD법)에 의하여 형성할 수 있다. 또한, 여기서는 스퍼터링법을 사용하여 산화티타늄막을 형성한다. 다음, 본 실시형태에 있어서의 제 4 포토 마스크를 사용하여 형성한 레지스트 마스크를 사용하여 반도체 층(103)과 채널 보호층(106) 위에 형성된 산화티타늄막을 드라이 에칭 또는 웨트 에칭하여 버퍼층(104a, 104b)을 형성한다. 또한, 산화티타늄의 에칭 방법의 일례로서, 웨트 에칭법을 들 수 있다. 희석한 불산, 염산, 또는 황산 또는, 암모니아수와 과산화수소수와 순수를 1:1:5의 체적 비율로 혼합한 용액을 에chant에 사용할 수 있다.
- [0100] 소스 전극 및 드레인 전극(105a, 105b)은 도전막으로 이루어지고, 게이트 전극(101)과 같은 재료를 사용할 수 있지만, 특히, 버퍼층(104a, 104b)에 접하는 층이 티타늄막인 것이 바람직하다. 도전막의 구체적인 예로서, 단체의 티타늄막, 또는 티타늄막과 알루미늄막의 적층막, 또는 티타늄막과 알루미늄막과 티타늄막을 순차로 적층한 3층 구조로 하여도 좋다.
- [0101] 여기서는, 도 2c에 도시하는 바와 같이, 버퍼층(104a, 104b) 및 채널 보호층 위에 티타늄막과 알루미늄막과 티타늄막으로 이루어지는 3층 적층막을 스퍼터링법에 의하여 형성한다. 다음, 본 실시형태에 있어서의 제 5 포토 마스크를 사용하여 형성한 레지스트 마스크를 사용하여 채널 보호층(106) 위에 형성된 도전막을 에칭하여 분리함으로써, 소스 전극과 드레인 전극(105a, 105b)을 도 2d에 도시하는 바와 같이 형성한다. 또한, 티타늄막과 알루미늄막과 티타늄막을 순차로 적층한 3층 구조의 도전막은 과산화수소수 또는 가열 염산을 에chant로 하여 에칭할 수 있다.
- [0102] 또한, 본 실시형태에 있어서는, 버퍼층(104a, 104b)의 형성과 소스 전극 및 드레인 전극(105a, 105b)의 형성을 분할하여 행하기 때문에, 버퍼층(104a, 104b)과 소스 전극 및 드레인 전극(105a, 105b)의 단부에 있어서의 중첩한 부분의 길이를 용이하게 제어할 수 있다.
- [0103] 본 실시형태에 기재한 인듐, 갈륨, 및 아연을 포함하는 산화물(IGZO)을 반도체 층(103)에 사용한 박막 트랜지스터는, 형성한 반도체 층(103)을 가열 처리함으로써 특성이 개선된다. 구체적으로는, 온 전류가 커지고, 트랜지스터 특성의 편차가 감소한다.
- [0104] 반도체 층(103)의 가열 처리 온도는 바람직하게는, 300℃ 내지 400℃의 범위이며, 여기서는 350℃에서 1시간 처리한다. 가열 처리는 반도체 층(103)의 형성후라면 언제나 행하여도 좋다. 예를 들어, 반도체 층(103)과 채널 보호층(106)이 되는 절연막을 연속적으로 형성한 후라도 좋고, 채널 보호층(106)을 패터닝하여 형성한 후라도 좋고, 버퍼층(104a, 104b)이 되는 금속산화물막을 형성한 후라도 좋다. 또한, 소스 전극 및 드레인 전극(105a, 105b)이 되는 도전막을 형성한 후라도 좋고, 박막 트랜지스터의 밀봉막을 형성한 후라도 좋고, 박막 트랜지스터 위에 형성한 평탄화막의 열 경화 처리를 반도체 층(103)의 가열 처리와 겹쳐도 좋다.
- [0105] 상술한 설명에 따라, 도 1a 및 도 1b에 도시한 비정질의 산화물 반도체층(103), 채널 보호층(106), 버퍼층(104a, 104b) 및 소스 전극 및 드레인 전극(105a, 105b)을 형성한다.
- [0106] 본 발명의 일 형태의 박막 트랜지스터는, 게이트 전극, 게이트 절연막, 반도체 층(In, Ga, Zn을 포함하는 산화물 반도체 층), 버퍼층, 채널 보호층, 소스 전극 및 드레인 전극을 적층한 구조를 갖는다. 반도체 층보다 캐리어 농도가 높은 버퍼층을 사용함으로써, 반도체 층의 막 두께를 박막으로 한 채, 또 기생 용량을 억제할 수 있다.
- [0107] 본 발명의 일 형태의 박막 트랜지스터의 구조는, 채널 보호층(106)을 형성하는 구조이기 때문에, 산화물 반도체막의 게이트 절연막(102b)과 접하는 면과 반대측의 영역, 소위 백 채널을 공정시의 대미지(에칭시의 플라스마나 에칭제에 의한 막 감소나 산화 등)로부터 보호할 수 있다. 따라서, 박막 트랜지스터의 신뢰성을 향상시킬 수 있다.
- [0108] 또한, 채널 보호층(106)은 반도체 층(103)을 형성하는 에칭 공정에 있어서 에칭 스톱퍼로서 기능하기 때문에 채널 스톱퍼층이라고도 말할 수 있다.
- [0109] 또한, 본 실시형태에서는, 채널 보호층(106) 위에서 소스 전극 및 드레인 전극(105a, 105b)의 단부가 버퍼층(104a, 104b)의 단부로부터 후퇴하고, 서로 떨어지는 위치에 있기 때문에, 소스 전극 및 드레인 전극(105a, 105b)간의 리크 전류나 단락을 방지할 수 있다.
- [0110] 따라서, 본 발명의 일 형태를 적용함으로써 광 전류가 적고, 기생 용량이 작고, 온·오프 비율이 높은 박막 트랜지스터를 얻을 수 있어 양호한 동(動) 특성(f 특성)을 갖는 박막 트랜지스터를 제작할 수 있다. 따라서, 전

기 특성이 높고 신뢰성이 좋은 박막 트랜지스터를 갖는 반도체 장치를 제공할 수 있다.

[0111] (실시형태 2)

[0112] 본 실시형태에서는, 상기 실시형태 1과 다른 구조의 산화티타늄을 버퍼층에 갖는 박막 트랜지스터의 구조에 대해서 도 3a1, 도 3a2 및 도 3b 내지 도 3d를 사용하여 설명한다. 또한, 본 실시형태에 있어서 실시형태 1과 동일한 것에는 동일한 부호를 붙이고, 자세한 설명은 생략한다.

[0113] 실시형태 1과 같은 공정을 거쳐 채널 보호층(106)은 도 3a1에 도시하는 바와 같이, 반도체 층(103)의 채널 형성 영역과 중첩하는 영역에 절연막으로 형성한다. 또한, 채널 보호층(106)의 에칭 가공에 있어서, 반도체 층(103)의 버퍼층과 접합하는 표면을 도 3a2에 도시하는 바와 같이, 에칭하여도 좋다. 산화물 반도체 층의 버퍼층과 접합하는 표면을 에칭함으로써, 버퍼층과 보다 양호한 접합을 얻을 수 있다.

[0114] 바꾸어 말하면, 실시형태 1과 같은 공정을 거쳐, 반도체막(133) 위의 게이트 전극(101)에 중첩하는 영역에 채널 보호층(106)을 형성한다. 또한, 채널 보호층(106)을 형성하는 공정에 있어서, 반도체막(133)의 표면을 도 3a2에 도시하는 바와 같이, 에칭하여도 좋다. 채널 보호층(106)의 개구부에 있는 반도체막(133)의 표면은 에칭되고, 결과적으로 상기 표면은 그 후에 형성되는 버퍼층이 되는 금속산화물막(134)과 양호하게 접합할 수 있다. 또한, 본 실시형태에 있어서는, 도 3a2에 도시하는 형태에 의거하여 설명을 계속한다.

[0115] 본 실시형태에서는, 버퍼층이 되는 금속산화물막(134)으로서 산화티타늄을 도 3b에 도시하는 바와 같이 형성한다. 버퍼층이 되는 금속산화물막(134)은 실시형태 1의 기재와 마찬가지로 형성한 후, 패터닝하지 않고 도 3c에 도시하는 바와 같이, 소스 전극 및 드레인 전극(105a, 105b)이 되는 도전막(105)을 금속산화물막(134) 위에 적층한다.

[0116] 도전막(105)은 실시형태 1의 기재와 마찬가지로 형성한다. 여기서는, 도전막(105)으로서 3층 적층막을 스퍼터링법에 의하여 형성한다. 예를 들어, 소스 전극 및 드레인 전극(105a1, 105b1)으로서 티타늄막, 소스 전극 및 드레인 전극(105a2, 105b2)으로서 알루미늄막, 소스 전극 및 드레인 전극(105a3, 105b3)으로서 티타늄막을 사용할 수 있다.

[0117] 바꾸어 말하면, 제 1 도전막으로서 티타늄과, 제 2 도전막으로서 알루미늄과, 제 3 도전막으로서 티타늄을 적층한 도전막(105)을 사용하여 티타늄으로 이루어지는 제 1 도전층(105a1, 105b1)과, 알루미늄으로 이루어지는 제 2 도전층(105a2, 105b2)과, 티타늄으로 이루어지는 제 3 도전층(105a3, 105b3)을 적층한 소스 전극 및 드레인 전극(105a, 105b)을 형성한다.

[0118] 다음, 본 실시형태에 있어서의 제 4 포토 마스크를 사용하여 형성한 레지스트 마스크를 사용하여 도전막(105)을 에칭한다.

[0119] 우선, 소스 전극 및 드레인 전극(105a1, 105b1)을 에칭 스톱퍼로 하여 사용하고, 소스 전극 및 드레인 전극(105a2, 105a3, 105b2, 105b3)을 웨트 에칭에 의하여 에칭하여 형성한다. 상기 웨트 에칭과 동일한 마스크를 사용하여 소스 전극 또는 드레인 전극(105a1, 105b1), 버퍼층(104a, 104b), 반도체 층(103)을 드라이 에칭에 의하여 에칭하여 형성한다. 따라서, 도 3d에 도시하는 바와 같이, 소스 전극 또는 드레인 전극(105a1)은 버퍼층(104a)의 단부와 소스 전극 또는 드레인 전극(105b1)은 버퍼층(104b)의 단부와 각각 일치하고, 소스 전극 또는 드레인 전극(105a2, 105a3), 소스 전극 또는 드레인 전극(105b2, 105b3)은 소스 전극 또는 드레인 전극(105a1, 105b1)보다 단부가 후퇴한다.

[0120] 바꾸어 말하면, 우선, 제 3 도전막인 티타늄막을 에칭하여 제 3 도전층(105a3, 105b3)을 형성하고, 다음에 제 1 도전막인 티타늄막을 에칭 스톱퍼로서 사용하여 제 2 도전막인 알루미늄막을 에칭하여 제 2 도전층(105a2, 105b2)을 형성한다. 또한, 상기 웨트 에칭과 같은 레지스트 마스크를 사용하여 제 1 도전막인 티타늄막과 금속산화물(134)을 드라이 에칭하여 제 1 도전층(105a1, 105b1)과 버퍼층(104a, 104b)을 형성한다. 이러한 공정에 의하여 소스 전극 및 드레인 전극(105a, 105b)을 형성하면, 제 1 도전층(105a1, 105b1)은, 버퍼층(104a, 104b)의 단부와 일치하고, 제 2 도전층(105a2, 105b2) 및 제 3 도전층(105a3, 105b3)은, 제 1 도전층(105a1, 105b1)보다 단부가 후퇴한다. 또한, 이 단계의 단면도를 도 3d에 도시한다.

[0121] 이와 같이, 소스 전극 및 드레인 전극에 사용하는 도전막과 버퍼층 및 반도체 층이 에칭 공정에 있어서 선택 비율이 낮은 경우는, 에칭 스톱퍼로서 기능하는 도전막을 적층하여 다른 에칭 조건으로 복수 횟수 에칭 공정을 행하면 좋다.

- [0122] 또한, 형성한 반도체 층(103)의 가열 처리는 실시형태 1과 마찬가지로 행한다.
- [0123] 본 실시형태에 의하면, 버퍼층(104a, 104b)과 소스 전극과 드레인 전극(105a, 105b)의 패터닝을 동일한 포토 마스크로 형성한 레지스트 마스크를 사용하여 행하기 때문에, 실시형태 1과 비교하여 포토 마스크의 사용 매수를 절감할 수 있다. 결과적으로 복수의 공정을 하나의 공정으로 함으로써 공정수를 삭감하여 수율을 향상시켜, 제조 시간을 단축할 수 있다.
- [0124] (실시형태 3)
- [0125] 본 실시형태에서는, 상기 실시형태 1 및 실시형태 2와 다른 구조의 버퍼층을 갖는 박막 트랜지스터의 구조에 대해서 도 4a 내지 도 4d를 사용하여 설명한다. 또한, 본 실시형태에 있어서, 실시형태 1과 동일한 것에는 동일한 부호를 붙이고, 자세한 설명을 생략한다.
- [0126] 실시형태 2와 마찬가지로의 공정을 거쳐, 반도체 층(103)이 되는 인듐, 갈륨, 및 아연을 포함하는 산화물(IGZO) 반도체막(133) 위에 도 4a에 도시하는 바와 같이, 채널 보호층(106)을 형성한다.
- [0127] 본 실시형태에서는, 여기서 반도체막(133)을 선택적으로 에칭하여 반도체 층(103)을 형성하지 않고, 반도체막(133) 위에 버퍼층(104a, 104b)이 되는 금속산화물막을 실시형태 1과 마찬가지로의 방법으로 형성한다. 다음, 본 실시형태에 있어서의 제 3 포토 마스크를 사용하여 형성한 레지스트 마스크를 사용하여 도 4b에 도시하는 바와 같이, 버퍼층(104a, 104b)과 반도체 층(103)을 형성한다.
- [0128] 소스 전극 및 드레인 전극(105a, 105b)은 도전막으로 이루어지고, 실시형태 1과 마찬가지로 형성된다. 여기서는, 버퍼층(104a, 104b) 및 채널 보호층(106) 위에 도전막으로서 티타늄막과 알루미늄막과 티타늄막으로 이루어지는 3층 적층막을 스퍼터링법에 의하여 형성한다. 다음, 본 실시형태에 있어서의 제 4 포토 마스크를 사용하여 형성한 레지스트 마스크를 사용하여 도전막을 에칭하여 제거하여 도 4c에 도시하는 바와 같이, 소스 전극 및 드레인 전극(105a, 105b)을 형성한다. 도 4d는 평면도이고, 도 4c는 도 4d에 있어서의 A1-A2에서 절단한 단면도이다.
- [0129] 또한, 형성한 반도체 층(103)의 가열 처리는 실시형태 1과 마찬가지로 행한다.
- [0130] 본 실시형태에 따르면, 버퍼층(104a, 104b)과 반도체 층(103)의 패터닝을 동시에 행하기 때문에, 실시형태 1과 비교하여 포토 마스크의 사용 매수를 절감할 수 있다. 결과적으로 복수의 공정을 하나의 공정으로 함으로써, 공정수를 삭감하여 수율을 향상시켜, 제조 시간을 단축할 수 있다.
- [0131] (실시형태 4)
- [0132] 본 실시형태에서는, 전기적으로 접속된 복수의 게이트 전극과 버퍼층을 갖는 박막 트랜지스터에 대해서 도 5a 내지 도 7b를 사용하여 설명한다. 도 5a는 평면도이며 도 5b는 도 5a에 있어서의 A1-A2에서 절단한 단면도이다. 도 6a는 평면도이며, 도 6b는 도 6a에 있어서의 A1-A2에서 절단한 단면도이다. 도 7a는 평면도이며, 도 7b는 도 7a에 있어서의 A1-A2에서 절단한 단면도이다. 또한, 본 실시형태에 있어서, 실시형태 1과 동일한 것에는 동일한 부호를 사용하여 자세한 설명을 생략한다. 또한, 본 실시형태에서는, 2개의 채널 형성 영역을 접속한 구조를 제시하지만, 이것에 한정되지 않고, 3개의 채널 형성 영역이 접속된 트리플 게이트 구조 등, 소위 멀티 게이트 구조(직렬로 접속된 2개 이상의 채널 형성 영역을 갖는 구조)라도 좋다.
- [0133] 본 실시형태의 박막 트랜지스터의 2개의 채널 영역이 접속하는 형태에는, 2개의 채널 영역을 버퍼층(104c)만으로 접속하는 형태(도 5a 및 도 5b 참조)와, 버퍼층(104c) 및 도전층(105c)으로 접속하는 형태(도 6a 및 도 6b 참조)와, 2개의 채널 영역을 반도체 층(103)과 버퍼층(104c)과 도전층(105c)으로 접속하는 형태(도 7a 및 도 7b 참조)의 3개의 형태가 있다. 해당하는 층의 포토 마스크의 제 1 게이트 전극(101a), 제 2 게이트 전극(101b)에 끼워진 부분을 변경함으로써, 이들의 박막 트랜지스터는 실시형태 1과 마찬가지로의 방법에 의하여 형성할 수 있다.
- [0134] 이러한 멀티 게이트 구조는 오프 전류값을 저감하는 데에 매우 유효하다.
- [0135] (실시형태 5)
- [0136] 본 실시형태에서는, 상기 실시형태 1 내지 실시형태 4와 다른 구조의 버퍼층을 갖는 박막 트랜지스터의 구조에 대해서 도 8을 사용하여 설명한다. 또한, 본 실시형태의 박막 트랜지스터는 버퍼층을 제외하여 실시형태 1의 기재와 마찬가지로 형성할 수 있기 때문에, 버퍼층 이외는 자세한 설명을 생략한다.

- [0137] 본 실시형태의 버퍼층은 제 1 버퍼층과 제 2 버퍼층의 2층으로 구성한다. 소스 전극 또는 드레인 전극에 접하는 버퍼층(104a, 104b)을 제 1 버퍼층으로 하여, 제 1 버퍼층(104a, 104b)과 반도체 층(103)에 끼워지는 제 2 버퍼층을 각각 제 2 버퍼층(114a), 제 2 버퍼층(114b)으로 한다.
- [0138] 바꾸어 말하면, 본 실시형태의 버퍼층은, 소스 전극 또는 드레인 전극의 한쪽에 접하는 제 1 버퍼층(104a)과 다른 하나에 접하는 제 1 버퍼층(104b)과, 제 1 버퍼층(104a)과 반도체 층(103)에 끼워지는 제 2 버퍼층(114a)과, 제 1 버퍼층(104b)과 반도체 층(103)에 끼워지는 제 2 버퍼층(114b)으로 이루어진다.
- [0139] 제 1 버퍼층(104a, 104b) 및 제 2 버퍼층(114a, 114b)은 양쪽 모두 금속 산화물로 형성한다. 제 1 버퍼층(104a, 104b) 및 제 2 버퍼층(114a, 114b)으로서 기능하는 금속 산화물로서, 산화티타늄, 산화몰리브덴, 산화아연, 산화인듐, 산화텅스텐, 산화마그네슘, 산화칼슘, 산화주석 등을 사용할 수 있지만, 특히, 산화티타늄이 바람직하다.
- [0140] 또한, 금속 산화물에 이종의 금속을 도핑하여 사용할 수도 있다. 도펀트로서는, 인듐, 갈륨, 알루미늄, 아연, 주석 등을 들 수 있다. 도핑에 의하여 금속 산화물 중의 캐리어 농도를 높일 수 있다. 예를 들어, IGZO를 제 1의 타깃으로 하여, 금속 산화물을 제 2 타깃으로 하여, 동시에 스퍼터링법을 사용하여 형성(공(共)스퍼터링)함으로써, 혼합막을 형성하여 버퍼층으로서 사용하여도 좋다.
- [0141] 제 1 버퍼층(104a, 104b) 및 제 2 버퍼층(114a, 114b)의 캐리어 농도는 인듐, 갈륨 및 아연을 포함하는 산화물(IGZO)로 이루어지는 반도체 층보다 높아 도전성이 뛰어나고, 또 제 1 버퍼층(104a, 104b)은 제 2 버퍼층(114a, 114b)의 캐리어 농도보다 높은 재료를 선택한다. 예를 들어, 제 1 버퍼층으로서 금속 산화물을 사용하여, 제 2 버퍼층으로서 IGZO와 금속 산화물의 혼합막을 사용할 수 있다. 반도체 층(103)으로부터 소스 전극 또는 드레인 전극(105a, 105b)으로 향하여 캐리어 농도가 상승하도록 구배를 형성함으로써, 반도체 층(103)과 소스 전극 또는 드레인 전극(105a, 105b)의 사이의 접촉 저항을 저감할 수 있다.
- [0142] 또한, 반도체 층(103)으로부터 소스 전극 또는 드레인 전극(105a, 105b)으로 향하여 캐리어 농도가 높아지는 구배가 형성된 버퍼층을 접합 계면에 끼움으로써, 접합 계면에 집중하는 전계를 완화할 수 있다.
- [0143] (실시형태 6)
- [0144] 여기서는, 적어도 게이트 절연막과 산화물 반도체막을 대기에 노출시키지 않고 연속적으로 형성하는, 역 스테거형의 박막 트랜지스터의 제작예를 이하에 나타낸다. 여기서는, 연속 성막을 행하는 공정까지의 공정을 나타내고, 그 후의 공정은 실시형태 1 내지 실시형태 5의 어느 하나에 따라 박막 트랜지스터를 제작하면 좋다.
- [0145] 대기에 노출시키지 않고, 연속 성막을 행하는 경우, 도 9에 도시하는 바와 같은 멀티 챔버형의 제조 장치를 사용하는 것이 바람직하다.
- [0146] 제조 장치의 중앙부에는 기관을 반송하는 반송 기구(機構)(대표적으로는, 반송 로봇(81))를 구비한 반송실(80)이 형성되고, 반송실(80)에는 반송실 내에 반입 및 반출하는 기관을 복수 매 수납하는 카세트 케이스를 세트하는 카세트실(82)이 연결된다.
- [0147] 또한, 반송실에는 각각 게이트 밸브(84 내지 88)를 통하여 복수의 처리실이 연결된다. 여기서는, 상면 형상이 6각형의 반송실(80)에 5개의 처리실을 연결하는 예를 나타낸다. 또한, 반송실(80)의 상면 형상을 변경함으로써, 연결되는 처리실의 개수를 변경할 수 있다. 예를 들어, 사각형으로 하면, 3개의 처리실을 연결할 수 있고, 8각형으로 하면 7개의 처리실을 연결할 수 있다.
- [0148] 5개의 처리실 중, 적어도 하나의 처리실은 스퍼터링을 행하는 스퍼터 챔버로 한다. 스퍼터 챔버는 적어도 챔버 내부에 스퍼터 타깃, 타깃을 스퍼터하기 위한 전력 인가 기구나 가스 도입 수단, 소정 위치에 기관을 유지하는 기관 홀더 등이 구비된다. 또한, 스퍼터 챔버 내를 감압 상태로 하기 위해서, 챔버 내의 압력을 제어하는 압력 제어 수단이 스퍼터 챔버에 형성된다.
- [0149] 스퍼터링법에는 스퍼터용 전원에 고주파 전원을 사용하는 RF 스퍼터링법과, DC 스퍼터링법이 있고, 또 펄스적으로 바이어스를 주는 펄스 DC 스퍼터링법도 있다. RF 스퍼터링법은 주로 절연막을 형성하는 경우에 사용되어, DC 스퍼터링법은 주로 금속막을 형성하는 경우에 사용된다.
- [0150] 또한, 재료가 상이한 타깃을 복수 설치할 수 있는 다원(多元) 스퍼터 장치도 있다. 다원 스퍼터 장치는, 동일 챔버에서 다른 재료막을 적층 형성하는 것도, 동일 챔버에서 복수 종류의 재료를 동시에 방전시켜 형성할 수도 있다.

- [0151] 또한, 챔버 내부에 자석(磁石) 기구를 구비한 마그네트론 스퍼터링법을 사용하는 스퍼터 장치나 글로우 방전을 사용하지 않고 마이크로파를 사용하여 발생시킨 플라즈마를 사용하는 ECR 스퍼터링법을 사용하는 스퍼터 장치가 있다.
- [0152] 스퍼터 챔버로서는, 상술한 다양한 스퍼터링법을 적절히 사용한다.
- [0153] 또한, 성막 방법으로서, 성막 중에 타겟 물질과 스퍼터 가스 성분을 화학 반응시켜 그들에 화합물 박막을 형성하는 리액티브 스퍼터링법이나, 성막 중에 기판에도 전압을 인가하는 바이어스 스퍼터링법도 있다.
- [0154] 또한, 5개의 처리실 중, 다른 처리실의 하나는 스퍼터링 전에 기판의 예비 가열 등을 행하는 가열 챔버, 스퍼터링 후에 기판을 냉각하는 냉각 챔버, 또는 플라즈마 처리를 행하는 챔버로 한다.
- [0155] 다음, 제조 장치의 동작의 일례에 대해서 설명한다.
- [0156] 피성막 면을 하향으로 한 기판(94)을 수납한 기판 카세트를 카세트 실(82)에 세트해 두고, 카세트 실(82)에 형성된 진공 배기 수단에 의하여 카세트 실을 감압 상태로 한다. 또한, 미리 각 처리실 및 반송실(80)의 내부를, 각각 형성된 진공 배기 수단에 의하여 감압해 둔다. 이렇게 함으로써, 각 처리실간을 기판이 반송되어 있는 동안, 대기에 노출되지 않고 청정한 상태를 유지할 수 있다.
- [0157] 또한, 피성막 면을 하향으로 한 기판(94)에는, 적어도 게이트 전극이 미리 형성된다. 예를 들어, 기판과 게이트 전극의 사이에 플라즈마 CVD법에 의하여 얻어지는 질화실리콘막, 질화산화실리콘막 등의 하지 절연막을 형성하여도 좋다. 기판(94)으로서 알칼리 금속을 포함하는 유리 기판을 사용하는 경우, 하지 절연막은 기판으로부터 나트륨 등의 가동 이온이 그 위의 반도체 영역 중에 침입하여 TFT의 전기 특성이 변화하는 것을 억제하는 작용을 갖는다.
- [0158] 여기서는, 게이트 전극을 덮는 질화실리콘막을 플라즈마 CVD법에 의하여 형성하고, 1층째의 게이트 절연막을 형성한 기판을 사용한다. 플라즈마 CVD법에 의하여 성막된 질화실리콘막은 치밀하고, 1층째의 게이트 절연막으로 함으로써, 핀홀(pin hole) 등의 발생을 억제할 수 있다. 또한, 여기서는 게이트 절연막을 적층하는 예를 나타내지만, 특히 이것에 한정되지 않고 단층 또는 3층 이상의 적층을 사용하여도 좋다.
- [0159] 다음, 게이트 밸브(83)를 열어 반송 로봇(81)에 의하여 1매째의 기판(94)을 카세트로부터 추출하여 게이트 밸브(84)를 열어 제 1 처리실(89) 내에 반송하여 게이트 밸브(84)를 닫는다. 제 1 처리실(89)에서는 가열 히터나 램프 가열에 의하여 기판을 가열하여 기판(94)에 부착하고 있는 수분 등을 제거한다. 특히, 게이트 절연막에 수분이 포함되면 TFT의 전기 특성이 변화할 우려가 있기 때문에, 스퍼터링 성막 전의 가열은 유효하다. 또한, 카세트 실(82)에 기판을 세트한 단계로 충분히 수분이 제거되는 경우에는, 이 가열 처리는 불필요하다.
- [0160] 또한, 제 1 처리실(89)에 플라즈마 처리 수단을 형성하고, 1층째의 게이트 절연막의 표면에 플라즈마 처리를 행하여도 좋다. 또한, 카세트 실(82)에 가열 수단을 형성하여 카세트 실(82)에서 수분을 제거하는 가열을 행하여도 좋다.
- [0161] 다음, 게이트 밸브(84)를 열어 반송 로봇(81)에 의하여 기판을 반송실(80)에 반송하여 게이트 밸브(85)를 열어 제 2 처리실(90) 내에 반송하여 게이트 밸브(85)를 닫는다.
- [0162] 여기서는, 제 2 처리실(90)은 RF 마그네트론 스퍼터링법을 사용한 스퍼터링 챔버로 한다. 제 2 처리실(90)에서는, 2층째의 게이트 절연막으로서 산화실리콘막(SiO_x 막($x>0$))을 형성한다. 2층째의 게이트 절연막으로서, 산화실리콘막 외에 산화알루미늄막(Al_2O_3 막), 산화마그네슘막(MgO_x 막($x>0$)), 질화알루미늄막(AlN_x 막($x>0$)), 산화이트륨막(YO_x 막($x>0$)) 등을 사용할 수 있다.
- [0163] 또한, 2층째의 게이트 절연막에 할로겐 원소, 예를 들어 불소, 염소 등을 소량(少量) 막 중에 첨가하여, 나트륨 등의 가동 이온의 고정화를 시켜도 좋다. 그 방법으로서, 챔버 내에 할로겐 원소를 포함하는 가스를 도입하여 스퍼터링을 행한다. 다만, 할로겐 원소를 포함하는 가스를 도입하는 경우에는, 챔버의 배기 수단에 제해(除害) 설비를 설치할 필요가 있다. 게이트 절연막에 포함시키는 할로겐 원소의 농도는 SIMS(2차 이온 질량 분석계)를 사용한 분석에 의하여 얻어지는 농도 피크가 $1 \times 10^{15} \text{ cm}^{-3}$ 이상 $1 \times 10^{20} \text{ cm}^{-3}$ 이하의 범위 내로 하는 것이 바람직하다.
- [0164] SiO_x 막($x>0$)을 얻는 경우, 타겟으로서 인공 석영을 사용하여 희 가스, 대표적으로는 아르곤을 사용하는 스퍼터

링법이나, 타깃으로서 단결정 실리콘을 사용하여 산소 가스와 화학 반응시켜 SiO_x 막($x>0$)을 얻는 리액티브 스퍼터링법을 사용할 수 있다. 여기서는, 한 없이 많은 산소를 SiO_x 막($x>0$) 중에 포함시키기 위해서, 타깃으로서 인공 석영을 사용하여 산소만의 분위기 하, 또는 산소가 90% 이상, 또 Ar이 10% 이하의 분위기하에서 스퍼터링을 행하여 산소 과잉의 SiO_x 막($x>0$)을 형성한다.

[0165] SiO_x 막($x>0$)을 형성한 후, 대기에 노출되지 않고, 게이트 밸브(85)를 열어 반송 로봇(81)에 의하여 기판을 반송실(80)에 반송하여 게이트 밸브(86)를 열어 제 3 처리실(91) 내에 반송하여 게이트 밸브(86)를 닫는다.

[0166] 여기서는, 제 3 처리실(91)은, DC 마그네트론 스퍼터링법을 사용한 스퍼터링 챔버로 한다. 제 3 처리실(91)에서는, 반도체 층(IGZO막)을 형성한다. In, Ga 및 Zn을 포함하는 산화물 반도체 타깃을 사용하여 회 가스 분위기하, 또는 산소 분위기하에서 형성할 수 있다. 여기서는, 한 없이 많은 산소를 IGZO막 중에 포함시키기 위해서 타깃으로서 In, Ga 및 Zn을 포함하는 산화물 반도체를 사용하여 산소만의 분위기하, 또는 산소가 90% 이상, 또 Ar이 10% 이하의 분위기하에서 펄스 DC 스퍼터링법의 스퍼터링을 행하여 산소 과잉의 IGZO막을 형성한다.

[0167] 이와 같이, 대기에 노출되지 않고, 산소 과잉의 SiO_x ($x>0$)막과 산소 과잉의 IGZO막을 연속적으로 형성함으로써, 산소 과잉의 막끼리이기 때문에, 계면 상태를 안정시켜, TFT의 신뢰성을 향상시킬 수 있다. IGZO막의 성막 전에 기판이 대기에 노출된 경우, 수분 등이 부착하여 계면 상태에 악영향을 주고, 임계 값의 편차나 전기 특성의 열화, 노멀리 온의 TFT가 되는 증상(症狀) 등을 일으킬 우려가 있다. 수분은 수소화합물이며 대기에 노출되지 않고 연속적으로 형성함으로써, 수소화합물이 계면에 존재하는 것을 배제할 수 있다. 따라서, 연속 성막함으로써 임계 값의 편차의 저감이나 전기 특성의 열화의 방지나 TFT가 노멀리 온 측에 시프트하는 것을 저감할 수 있고, 바람직하게는 시프트를 없앨 수 있다.

[0168] 또한, 제 2 처리실(90)의 스퍼터링 챔버에 인공 석영의 타깃과 In, Ga 및 Zn을 포함하는 산화물 반도체의 타깃의 양쪽 모두를 설치하여 서터를 사용하여 순차로 적층하여 연속적으로 형성함으로써 동일 챔버 내에서 적층을 행할 수도 있다. 서터는 타깃과 기판의 사이에 형성하여 성막을 행하는 타깃은 서터를 열어, 성막을 행하지 않은 타깃은 서터에 의하여 닫는다. 동일 챔버 내에서 적층하는 이점으로서, 사용하는 챔버의 개수를 삭감할 수 있는 점과, 상이한 챔버간을 기판 반송하는 동안에 파티클 등이 기판에 부착하는 것을 방지할 수 있는 점이다.

[0169] 다음, 대기에 노출되지 않고, 게이트 밸브(86)를 열어 반송 로봇(81)에 의하여 기판을 반송실(80)에 반송하여 게이트 밸브(87)를 열어 제 4 처리실(92) 내에 반송하여 게이트 밸브(87)를 닫는다.

[0170] 여기서는, 제 4 처리실(92)은 RF 마그네트론 스퍼터링법을 사용한 스퍼터링 챔버로 한다. 제 4 처리실(92)에서는, 채널 보호층이 되는 절연막으로서 산화실리콘막(SiO_x 막($x>0$))을 형성한다. 또한, 채널 보호층으로서 산화실리콘막 외에 산화알루미늄막(Al_2O_3 막), 산화마그네슘막(MgO_x 막($x>0$)), 질화알루미늄막(AlN_x 막($x>0$)), 산화이트륨막(Y_2O_3 막($x>0$)) 등을 사용할 수 있다.

[0171] 또한, 채널 보호층에 할로젠 원소, 예를 들어 불소, 염소 등을 막 중에 소량 첨가하여 나트륨 등의 가동 이온의 고정화를 시켜도 좋다. 그 방법으로서, 챔버 내에 할로젠 원소를 포함하는 가스를 도입하여 스퍼터링을 행한다. 다만, 할로젠 원소를 포함하는 가스를 도입하는 경우에는, 챔버의 배기 수단에 제해 설비를 설치할 필요가 있다. 채널 보호층에 포함시키는 할로젠 원소의 농도는 SIMS(2차 이온 질량 분석계)를 사용한 분석에 의하여 얻어지는 농도 피크가 $1 \times 10^{15} \text{ cm}^{-3}$ 이상 $1 \times 10^{20} \text{ cm}^{-3}$ 이하의 범위 내로 하는 것이 바람직하다.

[0172] 채널 보호층으로서 SiO_x 막($x>0$)을 얻는 경우, 타깃으로서 인공 석영을 사용하여 회 가스, 대표적으로는, 아르곤을 사용하는 스퍼터링법이나 타깃으로서 실리콘을 사용하여, 산소 가스와 화학 반응시켜 SiO_x 막($x>0$)을 얻는 리액티브 스퍼터링법을 사용할 수 있다. 여기서는, 한 없이 많은 산소를 SiO_x 막($x>0$) 중에 포함시키기 위해서 타깃으로서 인공 석영을 사용하여 산소만의 분위기하, 또는 산소가 90% 이상 또 Ar이 10% 이하의 분위기하에서 스퍼터링을 행하여 산소 과잉의 SiO_x 막($x>0$)을 형성한다.

[0173] 이와 같이, 대기에 노출되지 않고, 산소 과잉의 SiO_x ($x>0$)막과 산소 과잉의 IGZO막과 산소 과잉의 채널 보호층을 연속적으로 형성함으로써, 3층이 모두 산소 과잉의 막끼리이기 때문에, 계면 상태가 보다 안정되어, TFT의 신뢰성을 향상시킬 수 있다. IGZO막의 성막 전후에 기판이 대기에 노출된 경우, 수분 등이 부착하여 계면 상태

에 악영향을 주고, 임계 값의 편차나 전기 특성의 열화, 노멀리 온의 TFT가 되는 증상(症狀) 등을 일으킬 우려가 있다. 수분은 수소화합물이며 대기에 노출되지 않고 연속적으로 형성함으로써, 수소화합물이 IGZO막의 계면에 존재하는 것을 배제할 수 있다. 따라서, 3층을 연속 성막함으로써 임계 값의 편차의 저감이나 전기 특성의 열화의 방지나 TFT가 노멀리 온 측에 시프트하는 것을 저감할 수 있고, 바람직하게는 시프트를 없앨 수 있다.

[0174] 또한, 제 2 처리실(90)의 스퍼터링 챔버에 인공 석영의 타깃과 In, Ga 및 Zn을 포함하는 산화물 반도체의 타깃의 양쪽 모두를 설치하여 서터를 사용하여 순차로 적층하여 3층을 연속적으로 형성함으로써 동일 챔버 내에서 적층을 행할 수도 있다. 동일 챔버 내에서 적층하는 이점으로서, 사용하는 챔버의 개수를 삭감할 수 있는 점과, 상이한 챔버간을 기관 반송하는 동안에 파티클 등이 기관에 부착하는 것을 방지할 수 있는 점이다.

[0175] 상술한 공정을 반복하여 카세트 케이스 내의 기관에 성막 처리를 행하여 복수의 기관의 처리를 행한 후, 카세트실의 진공을 대기에 개방하여 기관 및 카세트를 추출한다.

[0176] 다음, IGZO막을 패터닝하기 위해서, 채널 보호층을 선택적으로 에칭하고, 또 IGZO막을 선택적으로 에칭한다. 드라이 에칭이나 웨트 에칭을 사용하여 형성하여도 좋고, 에칭을 2회로 분할하여 각각 선택적으로 에칭하여도 좋다. 이 단계에 있어서, IGZO막인 제거된 영역은, 게이트 절연막의 표면이 노출된다.

[0177] 다음, 게이트 전극과 중첩하는 위치, 즉 IGZO막의 채널 형성 영역이 되는 위치와 중첩하는 부분만을 남겨 더욱 채널 보호층을 에칭한다. 여기서의 채널 보호층의 에칭은, IGZO막과 충분히 에칭 레이트가 상이한 조건을 사용한다. 채널 보호층의 에칭에 있어서 충분히 에칭 레이트에 차이가 없는 경우, IGZO막의 표면이 부분적으로 에칭되어 채널 보호층과 중첩하는 영역과 비교하여 막 두께가 얇은 영역이 형성된다. 또한, 채널 보호층이 게이트 절연막과 같은 재료인 경우, 이 에칭에 의하여 게이트 절연막도 에칭된다. 따라서, 게이트 절연막이 에칭되지 않도록 하기 위해서는, 채널 보호층은 게이트 절연막과 상이한 재료를 사용하는 것이 바람직하다. 본 실시 형태에서는, 게이트 절연막은 2층이며, 상층은 SiO_x 막($x>0$)이기 때문에 제거될 우려가 있지만, 하층은 질화실리콘막이며 에칭 스톱퍼로서 기능한다.

[0178] 다음, 다시 도 9에 도시하는 멀티 챔버형의 제조 장치의 카세트실에 기관을 세트한다.

[0179] 다음, 카세트실을 감압 상태로 한 후, 대기에 노출되지 않고 게이트 밸브(83)를 열어 반송 로봇(81)에 의하여 반송실(80)에 기관을 반송하여 게이트 밸브(88)를 열어 제 5 처리실(93) 내에 반송하여 게이트 밸브(88)를 닫는다.

[0180] 여기서는, 제 5 처리실(93)은 DC 마그네트론 스퍼터링법을 사용한 스퍼터링 챔버로 한다. 제 5 처리실(93)에서는, 버퍼층을 형성한다. 제 5 처리실(93)의 스퍼터링 챔버에 티타늄의 타깃과 알루미늄의 타깃의 양쪽 모두를 설치하여 서터를 사용하여 순차로 적층하여 연속적으로 형성함으로써 동일 챔버 내에서 적층을 행한다. 여기서는, 서터에 의하여 알루미늄의 타깃을 차폐하여 산소 가스를 도입하여 리액티브 스퍼터링을 행하여 산화티타늄막(TiO_x 막($x>0$))을 형성한다. 이 TiO_x 막($x>0$)은 소스 영역 또는 드레인 영역으로서 기능한다. 다음, 제 5 처리실(93)로부터 산소 가스를 배출하여 아르곤 가스를 도입하여 스퍼터링을 행하여 티타늄막을 형성한다. 다음, 티타늄의 타깃을 서터에 의하여 차폐하여 티타늄막 위에 알루미늄막을 적층하여 그 후, 서터에 의하여 알루미늄의 타깃을 차폐하여 알루미늄막 위에 티타늄막을 적층한다.

[0181] 이와 같이, 대기에 노출되지 않고 TiO_x 막($x>0$)과 금속 다층막의 형성을 연속적으로 형성함으로써, TiO_x 막($x>0$)과 금속 다층막의 사이에서 양호한 계면 상태를 실현할 수 있고, 접촉 저항을 저감할 수 있다.

[0182] 상술한 공정을 반복하여 카세트 케이스 내의 기관에 성막 처리를 행하여 복수의 기관의 처리를 행한 후, 카세트실의 진공을 대기에 개방하여 기관 및 카세트를 추출한다.

[0183] 다음, 금속 다층막의 에칭을 선택적으로 행하여 소스 전극 및 드레인 전극을 형성한다. 더욱 소스 전극 및 드레인 전극을 마스크로 하여 에칭을 행하여 TiO_x 막($x>0$)을 선택적으로 에칭하여 소스 영역 또는 드레인 영역이 형성된다. TiO_x 막($x>0$)의 에칭에서는, 채널 보호층이 에칭 스톱퍼로서 기능한다.

[0184] 상술한 공정에 의하여 채널 보호층을 갖는 역 스택거형의 박막 트랜지스터가 제작된다.

[0185] 또한, 상술한 공정에서는, TiO_x 막($x>0$)과 금속 적층막을 동일 챔버내에서 형성하는 예를 나타내지만, 특히 한정되지 않고, 다른 챔버에서 형성하여도 좋다.

[0186] 여기서는 멀티 챔버 방식의 제조 장치를 예로 하여 설명을 행하였지만, 스퍼터링 챔버를 직렬로 연결하는 인라

인 방식의 제조 장치를 사용하여 대기에 노출되지 않고 연속 성막을 행하여도 좋다.

- [0187] 또한, 도 9에 도시하는 장치는 피성막면을 하향으로 기관을 세트하는, 소위 페이스-다운(face-down) 방식의 처리실로 하지만, 기관을 수직으로 세워 세로 배치 방식의 처리실로 하여도 좋다. 세로 배치 방식의 처리실은 페이스-다운 방식의 처리실보다 풋프린트(footprint)가 작은 장점이 있고, 또 기관의 자중(自重)에 의하여 휠 우려가 있는 대면적의 기관을 사용하는 경우에 유효하다.
- [0188] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0189] (실시형태 7)
- [0190] 본 실시형태에서는, 동일 기관 위에 적어도 구동 회로의 일부와 화소부에 배치하는 박막 트랜지스터를 제작하는 예에 대해서 이하에 설명한다.
- [0191] 화소부에 배치하는 박막 트랜지스터는, 실시형태 1 내지 실시형태 5에 따라 형성한다. 또한, 실시형태 1 내지 실시형태 5에 나타내는 박막 트랜지스터는 n채널형 TFT이기 때문에, 구동 회로 중에서 n채널형 TFT로 구성할 수 있는 구동 회로의 일부를 화소부의 박막 트랜지스터와 동일 기관 위에 형성한다.
- [0192] 액티브 매트릭스형 액정 표시 장치의 블록도의 일례를 도 10a에 도시한다. 도 10a에 도시하는 표시 장치는 기관(5300) 위에 표시 소자를 구비한 화소를 복수 갖는 화소부(5301)와, 각 화소를 선택하는 주사선 구동 회로(5302)와 선택된 화소에서의 비디오 신호의 입력을 제어하는 신호선 구동 회로(5303)를 갖는다.
- [0193] 화소부(5301)는 신호선 구동 회로(5303)로부터 열 방향으로 연장하여 배치된 복수의 신호선(S1) 내지 신호선(Sm)(도시하지 않는다)에 의하여 신호선 구동 회로(5303)와 접속되어 주사선 구동 회로(5302)로부터 행 방향으로 연장되어 배치된 복수의 주사선(G1) 내지 주사선(Gn)(도시하지 않는다)에 의하여 주사선 구동 회로(5302)와 접속되어 신호선(S1) 내지 신호선(Sm) 및 주사선(G1) 내지 주사선(Gn)에 대응하여 매트릭스 형상으로 배치된 복수의 화소(도시하지 않는다)를 갖는다. 그리고, 각 화소는 신호선(Sj)(신호선(S1) 내지 신호선(Sm) 중 어느 하나), 주사선(Gi)(주사선(G1) 내지 주사선(Gn) 중 어느 하나)와 접속된다.
- [0194] 또한, 실시형태 1 내지 실시형태 5에 나타내는 박막 트랜지스터는, n채널형 TFT이고, n채널형 TFT로 구성하는 신호선 구동 회로에 대해서 도 11을 사용하여 설명한다.
- [0195] 도 11에 도시하는 신호선 구동 회로는, 드라이버 IC(5601), 스위치 군(5602_1 내지 5602_M), 제 1 배선(5611), 제 2 배선(5612), 제 3 배선(5613) 및 배선(5621_1 내지 5621_M)을 갖는다. 스위치 군(5602_1 내지 5602_M)의 각각은, 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)를 갖는다.
- [0196] 드라이버 IC(5601)는 제 1 배선(5611), 제 2 배선(5612), 제 3 배선(5613) 및 배선(5621_1 내지 5621_M)에 접속된다. 그리고, 스위치 군(5602_1 내지 5602_M)의 각각은, 제 1 배선(5611), 제 2 배선(5612), 제 3 배선(5613) 및 스위치 군(5602_1 내지 5602_M)에 각각 대응한 배선(5621_1 내지 5621_M)에 접속된다. 그리고, 배선(5621_1 내지 5621_M)의 각각은, 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b), 제 3 박막 트랜지스터(5603c)를 통하여 3개의 신호선에 접속된다. 예를 들어, J열째의 배선(5621_J)(배선(5621_1) 내지 배선(5621_M) 중 어느 하나)은, 스위치 군(5602_J)이 갖는 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b), 및 제 3 박막 트랜지스터(5603c)를 통하여 신호선(Sj-1), 신호선(Sj), 신호선(Sj+1)에 접속된다.
- [0197] 또한, 제 1 배선(5611), 제 2 배선(5612), 제 3 배선(5613)에는 각각 신호가 입력된다.
- [0198] 또한, 드라이버 IC(5601)는 단결정 기관 위에 형성되는 것이 바람직하다. 또한, 스위치 군(5602_1 내지 5602_M)은, 실시형태 1 내지 실시형태 5에 나타낸 화소부와 동일기관 위에 형성되는 것이 바람직하다. 따라서, 드라이버 IC(5601)와 스위치 군(5602_1 내지 5602_M)은 FPC 등을 통하여 접속하면 좋다.
- [0199] 다음, 도 11에 도시한 신호선 구동 회로의 동작에 대해서 도 12의 타이밍 차트를 참조하여 설명한다. 또, 도 12의 타이밍 차트는 i행째의 주사선 Gi가 선택되어 있는 경우의 타이밍 차트를 도시한다. 또한, i행째의 주사선 Gi의 선택 기간은, 제 1 서브 선택 기간 T1, 제 2 서브 선택 기간 T2 및 제 3 서브 선택 기간 T3으로 분할되어 있다. 또한, 도 11의 신호선 구동회로는, 다른 행의 주사선이 선택되는 경우에도 도 12와 같은 동작을 한다.
- [0200] 또한, 도 12의 타이밍 차트는, J열째의 배선(5621_J)이 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)를 통하여 신호선(Sj-1), 신호선(Sj), 신호선(Sj+1)에 접속될 경우에

대해서 도시한다.

- [0201] 또, 도 12의 타이밍 차트는 i행째의 주사선 Gi가 선택되는 타이밍, 제 1 박막 트랜지스터(5603a)의 온 및 오프의 타이밍(5703a), 제 2 박막 트랜지스터(5603b)의 온 및 오프의 타이밍(5703b), 제 3 박막 트랜지스터(5603c)의 온 및 오프의 타이밍(5703c) 및 J열째의 배선(5621_J)에 입력되는 신호(5721_J)를 도시한다.
- [0202] 또한, 배선(5621_L) 내지 배선(5621_M)에는 제 1 서브 선택 기간 T1, 제 2 서브 선택 기간 T2 및 제 3 서브 선택 기간 T3에 있어서, 각각 다른 비디오 신호가 입력된다. 예를 들어, 제 1 서브 선택 기간 T1에서 배선(5621_J)에 입력되는 비디오 신호는 신호선 Sj-1에 입력되고, 제 2 서브 선택 기간 T2에서 배선(5621_J)에 입력되는 비디오 신호는 신호선 Sj에 입력되고, 제 3 서브 선택 기간 T3에 있어서 배선(5621_J)에 입력되는 비디오 신호는 신호선 Sj+1에 입력된다. 또한, 제 1 서브 선택 기간 T1, 제 2 서브 선택 기간 T2 및 제 3 서브 선택 기간 T3에 있어서, 배선(5621_J)에 입력되는 비디오 신호를 각각 Data_j-1, Data_j, Data_j+1로 한다.
- [0203] 도 12에 도시하는 바와 같이, 제 1 서브 선택 기간 T1에 있어서 제 1 박막 트랜지스터(5603a)가 온 하고, 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)가 오프한다. 이 때, 배선(5621_J)에 입력되는 Data_j-1이, 제 1 박막 트랜지스터(5603a)를 통하여 신호선 Sj-1에 입력된다. 제 2 서브 선택 기간 T2에서는, 제 2 박막 트랜지스터(5603b)가 온 하고, 제 1 박막 트랜지스터(5603a) 및 제 3 박막 트랜지스터(5603c)가 오프한다. 이 때, 배선(5621_J)에 입력되는 Data_j가, 제 2 박막 트랜지스터(5603b)를 통하여 신호선 Sj에 입력된다. 제 3 서브 선택 기간 T3에서는, 제 3 박막 트랜지스터(5603c)가 온 하고, 제 1 박막 트랜지스터(5603a) 및 제 2 박막 트랜지스터(5603b)가 오프한다. 이 때, 배선(5621_J)에 입력되는 Data_j+1이, 제 3 박막 트랜지스터(5603c)를 통하여 신호선(Sj+1)에 입력된다.
- [0204] 이상으로부터, 도 11의 신호선 구동 회로는 1 게이트 선택 기간을 3개로 분할함으로써, 1 게이트 선택 기간 중에 1개의 배선(5621)으로부터 3개의 신호선에 비디오 신호를 입력할 수 있다. 따라서, 도 11의 신호선 구동 회로는 드라이버 IC(5601)가 형성되는 기판과, 화소부가 형성되는 기판과의 접속수를 신호선의 수와 비교하여 약 1/3로 할 수 있다. 접속수가 약 1/3이 됨으로써, 도 11의 신호선 구동회로는, 신뢰성, 수율 등을 향상할 수 있다.
- [0205] 또, 도 11과 같이, 1 게이트 선택 기간을 복수의 서브 선택 기간으로 분할하여, 복수의 서브 선택 기간 각각에 있어서 어떤 1개의 배선으로부터 복수의 신호선 각각 비디오 신호를 입력할 수 있으면, 박막 트랜지스터의 배치나 수, 구동 방법 등은 한정되지 않는다.
- [0206] 예를 들어, 3개 이상의 서브 선택 기간 각각에 있어서 1개의 배선으로부터 3개 이상의 신호선 각각에 비디오 신호를 입력하는 경우는 박막 트랜지스터 및 박막 트랜지스터를 제어하기 위한 배선을 추가하면 좋다. 다만, 1 게이트 선택 기간을 4개 이상의 서브 선택 기간으로 분할하면, 1개의 서브 선택 기간이 짧아진다. 따라서, 1 게이트 선택 기간은, 2개 또는 3개의 서브 선택 기간으로 분할되는 것이 바람직하다.
- [0207] 또 다른 예로서, 도 13의 타이밍 차트에 나타난 바와 같이, 1개의 선택 기간을 프리차지 기간 Tp, 제 1 서브 선택 기간 T1, 제 2 서브 선택 기간 T2, 제 3 선택 기간 T3으로 분할하여도 좋다. 또한, 도 13의 타이밍 차트는, i행째의 주사선 Gi가 선택되는 타이밍, 제 1 박막 트랜지스터(5603a)의 온 및 오프의 타이밍(5803a), 제 2 박막 트랜지스터(5603b)의 온 및 오프의 타이밍(5803b), 제 3 박막 트랜지스터(5603c)의 온 및 오프의 타이밍(5803c) 및 J열째의 배선(5621_J)에 입력되는 신호(5821_J)를 도시한다. 도 13에 도시하는 바와 같이, 프리차지 기간 Tp에 있어서, 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)가 온한다. 이 때, 배선(5621_J)에 입력되는 프리차지 전압 Vp이 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)를 통하여 각각 신호선(Sj-1), 신호선(Sj), 신호선(Sj+1)에 입력된다. 제 1 서브 선택 기간 T1에 있어서 제 1 박막 트랜지스터(5603a)가 온하고, 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)가 오프한다. 이 때, 배선(5621_J)에 입력되는 Data_j-1이, 제 1 박막 트랜지스터(5603a)를 통하여 신호선 Sj-1에 입력된다. 제 2 서브 선택 기간 T2에서는, 제 2 박막 트랜지스터(5603b)가 온하고, 제 1 박막 트랜지스터(5603a) 및 제 3 박막 트랜지스터(5603c)가 오프한다. 이 때, 배선(5621_J)에 입력되는 Data_j가, 제 2 박막 트랜지스터(5603b)를 통하여 신호선(Sj)에 입력된다. 제 3 서브 선택 기간 T3에서는, 제 3 박막 트랜지스터(5603c)가 온하고, 제 1 박막 트랜지스터(5603a) 및 제 2 박막 트랜지스터(5603b)가 오프한다. 이 때, 배선(5621_J)에 입력되는 Data_j+1이, 제 3 박막 트랜지스터(5603c)를 통하여 신호선(Sj+1)에 입력된다.
- [0208] 이상으로부터, 도 13의 타이밍 차트를 적용한 도 11의 신호선 구동 회로는, 서브 선택 기간 전에 프리차지 선택

기간을 설정함으로써, 신호선을 프리차지할 수 있기 때문에, 화소에의 비디오 신호의 기록을 고속으로 행할 수 있다. 또한, 도 13에 있어서, 도 12와 같은 것에 관해서는 공통의 부호를 붙이고, 동일 부분 또는 같은 기능을 갖는 부분의 자세한 설명은 생략한다.

[0209] 또한, 주사선 구동 회로의 구성에 대해서 설명한다. 주사선 구동 회로는 시프트 레지스터, 버퍼를 갖는다. 또한 경우에 따라서는, 레벨 시프터를 가져도 좋다. 주사선 구동 회로에 있어서, 시프트 레지스터에 클록 신호(CLK) 및 스타트 펄스 신호(SP)가 입력됨으로써, 선택 신호가 생성된다. 생성된 선택 신호는 버퍼에 있어서 완충 증폭되고, 대응하는 주사선에 공급된다. 주사선에는, 1라인분의 화소의 트랜지스터의 게이트 전극이 접속된다. 그리고, 1라인분의 화소의 트랜지스터를 일제히 온으로 하여야 하기 때문에, 버퍼는 큰 전류를 흘릴 수 있는 것이 사용된다.

[0210] 주사선 구동 회로의 일부에 사용하는 시프트 레지스터의 일 형태에 대해서 도 14 및 도 15를 사용하여 설명한다.

[0211] 도 14에 시프트 레지스터의 회로 구성을 도시한다. 도 14에 도시하는 시프트 레지스터는, 복수의 플립플롭(플립플롭(5701_1) 내지 플립플롭(5701_n))으로 구성된다. 또한, 제 1 클록 신호, 제 2 클록 신호, 스타트 펄스 신호, 리셋 신호가 입력되어 동작한다.

[0212] 도 14의 시프트 레지스터의 접속 관계에 대해서 설명한다. 도 14의 시프트 레지스터는 i단계의 플립플롭(5701_i)(플립플롭(5701-1) 내지 플립플롭(5701-n) 중 어느 하나))은 도 15에 도시한 제 1 배선(5501)이 제 7 배선(5717_i-1)에 접속되고, 도 15에 도시한 제 2 배선(5502)이 제 7 배선(5717_i+1)에 접속되고, 도 15에 도시한 제 3 배선(5503)이 제 7 배선(5717_i)에 접속되고, 도 15에 도시한 제 6 배선(5506)이 제 5 배선(5715)에 접속된다.

[0213] 또한, 도 15에 도시한 제 4 배선(5504)이 기수(奇數)단계의 플립플롭에서는 제 2 배선(5712)에 접속되고, 우수(偶數)단계 플립플롭에서는 제 3 배선(5713)에 접속되고, 도 15에 도시한 제 5 배선(5505)이 제 4 배선(5714)에 접속된다.

[0214] 다만, 1단계의 플립플롭(5701_1)의 도 15에 도시하는 제 1 배선(5501)은 제 1 배선(5711)에 접속되고, n단계의 플립플롭(5701_n)의 도 15에 도시하는 제 2 배선(5502)은 제 6 배선(5716)에 접속된다.

[0215] 또한, 제 1 배선(5711), 제 2 배선(5712), 제 3 배선(5713), 제 6 배선(5716)을 각각 제 1 신호선, 제 2 신호선, 제 3 신호선, 제 4 신호선이라고 불러도 좋다. 또한, 제 4 배선(5714), 제 5 배선(5715)을, 각각 제 1 전원선, 제 2 전원선이라고 불러도 좋다.

[0216] 다음, 도 14에 도시하는 플립플롭의 자세한 내용에 대해서 도 15에 도시한다. 도 15에 도시하는 플립플롭은 제 1 박막 트랜지스터(5571), 제 2 박막 트랜지스터(5572), 제 3 박막 트랜지스터(5573), 제 4 박막 트랜지스터(5574), 제 5 박막 트랜지스터(5575), 제 6 박막 트랜지스터(5576), 제 7 박막 트랜지스터(5577) 및 제 8 박막 트랜지스터(5578)를 갖는다. 또한, 제 1 박막 트랜지스터(5571), 제 2 박막 트랜지스터(5572), 제 3 박막 트랜지스터(5573), 제 4 박막 트랜지스터(5574), 제 5 박막 트랜지스터(5575), 제 6 박막 트랜지스터(5576), 제 7 박막 트랜지스터(5577) 및 제 8 박막 트랜지스터(5578)는, n채널형 트랜지스터이며, 게이트·소스간 전압(Vgs)이 임계값 전압(Vth)을 상회하였을 때 도통 상태가 되는 것으로 한다.

[0217] 다음, 도 14에 도시하는 플립플롭의 접속 구성에 대해서 이하에 설명한다.

[0218] 제 1 박막 트랜지스터(5571)의 제 1 전극(소스 전극 또는 드레인 전극의 한쪽)이 제 4 배선(5504)에 접속되고, 제 1 박막 트랜지스터(5571)의 제 2 전극(소스 전극 또는 드레인 전극의 다른 쪽)이 제 3 배선(5503)에 접속된다.

[0219] 제 2 박막 트랜지스터(5572)의 제 1 전극이 제 6 배선(5506)에 접속되고, 제 2 박막 트랜지스터(5572)의 제 2 전극이 제 3 배선(5503)에 접속된다.

[0220] 제 3 박막 트랜지스터(5573)의 제 1 전극이 제 5 배선(5505)에 접속되고, 제 3 박막 트랜지스터(5573)의 제 2 전극이 제 2 박막 트랜지스터(5572)의 게이트 전극에 접속되고, 제 3 박막 트랜지스터(5573)의 게이트 전극이 제 5 배선(5505)에 접속된다.

[0221] 제 4 박막 트랜지스터(5574)의 제 1 전극이 제 6 배선(5506)에 접속되고, 제 4 박막 트랜지스터(5574)의 제 2 전극이 제 2 박막 트랜지스터(5572)의 게이트 전극에 접속되고, 제 4 박막 트랜지스터(5574)의 게이트 전극이

제 1 박막 트랜지스터(5571)의 게이트 전극에 접속된다.

[0222] 제 5 박막 트랜지스터(5575)의 제 1 전극이 제 5 배선(5505)에 접속되고, 제 5 박막 트랜지스터(5575)의 제 2 전극이 제 1 박막 트랜지스터(5571)의 게이트 전극에 접속되고, 제 5 박막 트랜지스터(5575)의 게이트 전극이 제 1 배선(5501)에 접속된다.

[0223] 제 6 박막 트랜지스터(5576)의 제 1 전극이 제 6 배선(5506)에 접속되고, 제 6 박막 트랜지스터(5576)의 제 2 전극이 제 1 박막 트랜지스터(5571)의 게이트 전극에 접속되고, 제 6 박막 트랜지스터(5576)의 게이트 전극이 제 2 박막 트랜지스터(5572)의 게이트 전극에 접속된다.

[0224] 제 7 박막 트랜지스터(5577)의 제 1 전극이 제 6 배선(5506)에 접속되고, 제 7 박막 트랜지스터(5577)의 제 2 전극이 제 1 박막 트랜지스터(5571)의 게이트 전극에 접속되고, 제 7 박막 트랜지스터(5577)의 게이트 전극이 제 2 배선(5502)에 접속된다. 제 8 박막 트랜지스터(5578)의 제 1 전극이 제 6 배선(5506)에 접속되고, 제 8 박막 트랜지스터(5578)의 제 2 전극이 제 2 박막 트랜지스터(5572)의 게이트 전극에 접속되고, 제 8 박막 트랜지스터(5578)의 게이트 전극이 제 1 배선(5501)에 접속된다.

[0225] 또한, 제 1 박막 트랜지스터(5571)의 게이트 전극, 제 4 박막 트랜지스터(5574)의 게이트 전극, 제 5 박막 트랜지스터(5575)의 제 2 전극, 제 6 박막 트랜지스터(5576)의 제 2 전극 및 제 7 박막 트랜지스터(5577)의 제 2 전극의 접속 개소를 노드(node)(5543)로 한다. 또한, 제 2 박막 트랜지스터(5572)의 게이트 전극, 제 3 박막 트랜지스터(5573)의 제 2 전극, 제 4 박막 트랜지스터(5574)의 제 2 전극, 제 6 박막 트랜지스터(5576)의 게이트 전극 및 제 8 박막 트랜지스터(5578)의 제 2 전극의 접속 개소를 노드(5544)로 한다.

[0226] 또한, 제 1 배선(5501) 및 제 2 배선(5502), 제 3 배선(5503) 및 제 4 배선(5504)을, 각각 제 1 신호선, 제 2 신호선, 제 3 신호선, 제 4 신호선이라고 불러도 좋다. 또한, 제 5 배선(5505)을 제 1 전원선, 제 6 배선(5506)을 제 2 전원선이라고 불러도 좋다.

[0227] 또한, 신호선 구동 회로 및 주사선 구동 회로를 실시형태 1 내지 실시형태 5에 나타내는 n채널형 TFT만으로 제작할 수도 있다. 실시형태 1 내지 실시형태 5에 나타내는 n채널형 TFT는 트랜지스터의 이동도가 크기 때문에, 구동 회로의 구동 주파수를 높일 수 있다. 또한, 실시형태 1 내지 실시형태 5에 나타내는 n채널형 TFT는, 버퍼층에 의하여 기생 용량이 저감되기 때문에, 주파수 특성(f특성이라고 불린다)이 높다. 예를 들어, 실시형태 1 내지 실시형태 5에 나타내는 n채널형 TFT를 사용한 주사선 구동 회로는, 고속으로 동작시킬 수 있기 때문에, 프레임 주파수를 높이는 것 또는 고속 화면의 삽입을 실현할 수 있다.

[0228] 또한, 주사선 구동 회로의 트랜지스터의 채널 폭을 크게 하는 것이나, 복수의 주사선 구동 회로를 배치하는 것 등에 의해서, 더욱 높은 프레임 주파수를 실현할 수 있다. 복수의 주사선 구동 회로를 배치하는 경우는, 짝수 행(行)의 주사선을 구동하기 위한 주사선 구동 회로를 한쪽에 배치하고, 홀수 행의 주사선을 구동하기 위한 주사선 구동회로를 그 반대 쪽에 배치함으로써, 프레임 주파수를 높이는 것을 실현할 수 있다.

[0229] 또한, 액티브 매트릭스형 발광 표시 장치를 제작하는 경우, 적어도 하나의 화소에 복수의 박막 트랜지스터를 배치하기 때문에, 주사선 구동 회로를 복수 배치하는 것이 바람직하다. 액티브 매트릭스형 발광 표시 장치의 블록도의 일례를 도 10b에 도시한다.

[0230] 도 10b에 도시하는 표시 장치는, 기관(5400) 위에 표시 소자를 구비한 화소를 복수 갖는 화소부(5401)와, 각 화소를 선택하는 제 1 주사선 구동 회로(5402) 및 제 2 주사선 구동 회로(5404)와, 선택된 화소로의 비디오 신호의 입력을 제어하는 신호선 구동 회로(5403)를 갖는다.

[0231] 도 10b에 도시하는 표시 장치의 화소에 입력되는 비디오 신호를 디지털 형식으로 하는 경우, 화소는 트랜지스터의 온 및 오프의 변환에 따라, 발광 상태 또는 비발광 상태가 된다. 따라서, 면적 계조법 또는 시간 계조법을 사용하여 계조의 표시를 행할 수 있다. 면적 계조법은 1화소를 복수의 부(副)화소로 분할하여 각 부화소를 독립적으로 비디오 신호에 따라 구동시킴으로써, 계조 표시를 행하는 구동 방법이다. 또한, 시간 계조법은 화소가 발광하는 기간을 제어함으로써 계조 표시를 행하는 구동 방법이다.

[0232] 발광 소자는 액정 소자 등과 비교하여 응답 속도가 높기 때문에, 액정 소자보다 시간 계조법으로 적합하다. 구체적으로 시간 계조법에 의하여 표시를 행하는 경우, 1프레임 기간을 복수의 서브 프레임 기간으로 분할한다. 그리고 비디오 신호에 따라, 각 서브 프레임 기간에 있어 화소의 발광 소자를 발광 또는 비발광의 상태로 한다. 복수의 서브 프레임으로 분할함으로써, 1프레임 기간 중에 화소가 실제로 발광하는 기간의 합계 길이를 비디오 신호에 따라 제어할 수 있기 때문에, 계조를 표시할 수 있다.

- [0233] 또한, 도 10b에 도시하는 발광 장치에서는, 하나의 화소에 스위칭용 TFT와 전류 제어용 TFT의 2개를 배치하는 경우, 스위칭용 TFT의 게이트 배선인 제 1 주사선에 입력되는 신호를 제 1 주사선 구동 회로(5402)로 생성하여, 전류 제어용 TFT의 게이트 배선인 제 2 주사선에 입력되는 신호를 제 2 주사선 구동 회로(5404)로 생성하는 예를 도시하지만, 제 1 주사선에 입력되는 신호와 제 2 주사선에 입력되는 신호의 양쪽 모두를 1개의 주사선 구동 회로로 생성하도록 하여도 좋다. 또한, 예를 들어, 스위칭 소자가 갖는 각 트랜지스터의 수에 따라, 스위칭 소자의 동작을 제어하는 것이 사용되는 제 1 주사선이 각 화소에 복수 형성되는 것도 있다. 이 경우, 복수의 제 1 주사선에 입력되는 신호를 모두 1개의 주사선 구동 회로로 생성하여도 좋고, 복수 각 주사선 구동 회로로 생성하여도 좋다.
- [0234] 또한, 발광 장치에 있어서도 구동 회로 중, n채널형 TFT로 구성할 수 있는 구동 회로의 일부를 화소부의 박막 트랜지스터와 동일 기판 위에 형성할 수 있다. 또한, 신호선 구동 회로 및 주사선 구동 회로를 실시형태 1 내지 실시형태 5에 나타내는 n채널형 TFT만으로 제작할 수도 있다.
- [0235] 또한, 상술한 구동 회로는 액정 표시 장치나 발광 장치에 한정되지 않고, 스위칭 소자와 전기적으로 접속하는 소자를 이용하여 전자 잉크를 구동시키는 전자 페이퍼에 사용하여도 좋다. 전자 페이퍼는, 전기 영동(泳動) 표시 장치(전기 영동 디스플레이)라고도 불리고, 종이와 같은 읽기 쉽다는 장점, 다른 표시 장치와 비교하여 저소비 전력, 얇고 가벼운 형상으로 할 수 있는 이점을 갖는다.
- [0236] 전기 영동 디스플레이에는 다양한 형태를 고려할 수 있지만, 양 전하를 갖는 제 1 입자와 음 전하를 갖는 제 2 입자를 포함하는 복수의 마이크로 캡슐이 용매 또는 용질에 분산되고, 마이크로 캡슐에 전계를 인가함으로써 마이크로캡슐들 중의 입자를 서로 반대 방향으로 이동시켜 한쪽에 모인 입자의 색만을 표시하는 것이다. 또한, 제 1 입자 또는 제 2 입자는 염료를 포함하여, 전계가 없는 경우에 있어서, 이동하지 않는 것이다. 또한, 제 1 입자의 색과 제 2 입자의 색은 다른 것(무색을 포함한다)으로 한다.
- [0237] 이와 같이, 전기 영동 디스플레이는 유전 상수가 높은 물질이 높은 전계 영역에 이동하는, 소위 유전 영동적 효과를 이용한 디스플레이이다. 전기 영동 디스플레이는, 액정 표시 장치에는 필요한 편광판, 대향 기판도 전기 영동 표시 장치에는 필요가 없고, 두께나 무게가 반감한다.
- [0238] 상기 마이크로 캡슐을 용매 중에 분산시킨 것이 전자 잉크라고 불리는 것이며, 이 전자 잉크는 유리, 플라스틱, 피복, 종이 등의 표면에 인쇄할 수 있다. 또한, 컬러 필터나 색소를 갖는 입자를 사용함으로써, 컬러 표시도 가능하다.
- [0239] 또한, 액티브 매트릭스 기판 위에 적절히 2개의 전극 사이에 끼워지도록 상기 마이크로 캡슐을 복수 배치하면, 액티브 매트릭스형의 표시 장치가 완성되며, 마이크로 캡슐에 전계를 인가하면 표시할 수 있다. 예를 들어, 실시형태 1 내지 실시형태 5를 사용할 수 있다.
- [0240] 또한, 마이크로 캡슐 중의 제 1 입자 및 제 2 입자는, 도전체 재료, 절연체 재료, 반도체 재료, 자성(磁性) 재료, 액정 재료, 강유전성 재료, 일렉트로 루미네선스 재료, 일렉트로크로믹 재료, 자기 영동 재료 중으로부터 선택된 일종의 재료, 또는 이들의 복합 재료를 사용하면 좋다.
- [0241] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0242] (실시형태 8)
- [0243] 본 발명의 일 형태의 박막 트랜지스터를 제작하여 상기 박막 트랜지스터를 화소부, 및 구동 회로에 사용하여 표시 기능을 갖는 반도체 장치(표시 장치라고도 부른다)를 제작할 수 있다. 또한, 본 발명의 일 형태의 박막 트랜지스터를 사용하여 구동 회로의 일부 또는 전체를 화소부와 같은 기판 위에 일체 형성하여 시스템 온 패널을 형성할 수 있다.
- [0244] 표시 장치는 표시 소자를 포함한다. 표시 소자로서는 액정 소자(액정 표시 소자라고도 한다), 발광 소자(발광 표시 소자라고도 한다)를 사용할 수 있다. 발광 소자는 전류 또는 전압에 의해서 휘도가 제어되는 소자를 그 범주에 포함하고 있고, 구체적으로는 무기 EL(Electro Luminescence) 소자, 또는 유기 EL 소자 등이 포함된다. 또한, 전자 잉크 등, 전기적 작용에 의하여 콘트라스트가 변화되는 표시 매체도 적용할 수 있다.
- [0245] 또한, 표시 장치는, 표시 소자가 밀봉된 상태에 있는 패널과, 상기 패널에 컨트롤러를 포함하는 IC 등을 실장한 상태에 있는 모듈을 포함한다. 또한, 본 발명의 일 형태는, 상기 표시 장치를 제작하는 과정에 있어서의, 표시 소자가 완성되기 전의 일 형태에 상당하는 소자 기판에 관한 것으로서, 상기 소자 기판은 전류를 표시 소자에 공급하기 위한 수단을 복수의 각 화소에 구비한다. 소자 기판은 구체적으로는, 표시 소자의 화소 전극만이 형

성된 상태라도 좋고, 화소 전극이 되는 도전막을 형성한 후이며, 에칭하여 화소 전극을 형성하기 전의 상태라도 좋고, 모든 형태가 적합하다.

[0246] 또한, 본 명세서 중에서의 표시 장치란, 화상 표시 디바이스, 표시 디바이스, 또는 광원(조명 장치도 포함한다)을 가리킨다. 또한, 커넥터, 예를 들어, FPC(Flexible Printed Circuit) 또는 TAB(Tape Automated Bonding) 테이프, 또는 TCP(Tape Carrier Package)가 부착된 모듈, TAB 테이프나 TCP의 끝에 프린트 배선판이 설치된 모듈, 또는 표기 소자에 COG(Chip On Glass) 방식에 의하여 IC(집적회로)가 직접 실장된 모듈도 모두 표시 장치에 포함하는 것으로 한다.

[0247] 본 실시형태에서는, 본 발명의 일 형태의 반도체 장치로서 액정 표시 장치의 예를 나타낸다.

[0248] 도 16a 및 도 16b에 본 발명의 일 형태를 적용한 액티브 매트릭스형 액정 표시 장치를 도시한다. 도 16a는 액정 표시 장치의 평면도이며, 도 16b는 도 16a에 있어서의 선 V-X의 단면도이다. 반도체 장치에 사용되는 박막 트랜지스터(201)로서는, 실시형태 4에서 나타내는 박막 트랜지스터와 마찬가지로 제작할 수 있고, IGZO 반도체층 및 금속 산화물을 포함하는 버퍼층을 갖는 신뢰성이 높은 박막 트랜지스터이다. 또한, 실시형태 1 내지 실시형태 3, 실시형태 5에서 나타내는 박막 트랜지스터도 본 실시형태의 박막 트랜지스터(201)로서 적용할 수도 있다.

[0249] 도 16a의 본 실시형태의 액정 표시 장치는 소스 배선층(202), 멀티 게이트 구조의 역 스테거형 박막 트랜지스터(201), 게이트 배선층(203), 용량 배선층(204)을 포함한다.

[0250] 또한, 도 16b에 있어서, 본 실시형태의 액정 표시 장치는, 멀티 게이트 구조의 박막 트랜지스터(201), 절연층(211), 절연층(212), 절연층(213), 및 표시 소자에 사용하는 전극층(255), 배향막으로서 기능하는 절연층(261), 편광판(268)이 형성된 기판(200)과 배향막으로서 기능하는 절연층(263), 표시 소자에 사용하는 전극층(265), 컬러 필터로서 기능하는 착색층(264), 편광판(267)이 형성된 기판(266)이 액정층(262)을 협지함으로써 대향하여, 액정 표시 소자(260)를 갖는다.

[0251] 또한, 도 16a 및 도 16b는 투과형 액정 표시 장치의 예이지만, 본 발명의 일 형태는 반사형 액정 표시 장치라도 적용할 수 있고, 반투과형 액정 표시 장치라도 적용할 수 있다.

[0252] 또한, 도 16a 및 도 16b에 도시하는 액정 표시 장치에서는, 기판(266)의 외측(시인측)에 편광판(267)을 형성하고, 내측에 착색층(264), 표시 소자에 사용하는 전극층(265)의 순서로 형성하는 예를 도시하지만, 편광판(267)은 기판(266)의 내측에 형성하여도 좋다. 또한, 편광판과 착색층의 적층 구조도 도 16b에 한정되지 않고, 편광판 및 착색층의 재료나 제작 공정 조건에 의하여 적절히 설정하면 좋다. 또한, 블랙 매트릭스로서 기능하는 차광막을 형성하여도 좋다.

[0253] 화소 전극층으로서 기능하는 전극층(255, 265)은, 산화텅스텐을 포함하는 인듐산화물, 산화텅스텐을 포함하는 인듐아연산화물, 산화티타늄을 포함하는 인듐산화물, 산화티타늄을 포함하는 인듐주석산화물, 인듐주석산화물(이하, ITO라고 기재한다), 인듐아연산화물, 산화실리콘을 첨가한 인듐주석산화물 등의 투과성을 갖는 도전성 재료를 사용할 수 있다.

[0254] 또한, 전극층(255, 265)으로서 도전성 고분자(도전성 폴리머라고도 한다)를 포함하는 도전성 조성물을 사용하여 형성할 수 있다. 도전성 조성물을 사용하여 형성한 화소 전극은 시트 저항이 $10000\Omega/\square$ 이하, 파장 550nm에 있어서의 투과율이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항률이 $0.1\Omega \cdot \text{cm}$ 이하인 것이 바람직하다.

[0255] 도전성 고분자로서는, 이른바 π 전자 공액계 도전성 고분자를 사용할 수 있다. 예를 들어, 폴리아닐린 또는 그의 유도체, 폴리피롤 또는 그의 유도체, 폴리티오펜 또는 그의 유도체, 또는 이들의 2종 이상의 공중합체 등을 들 수 있다.

[0256] 이상의 공정에 의하여, 반도체 장치로서 신뢰성이 높은 액정 표시장치를 제작할 수 있다.

[0257] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.

[0258] (실시형태 9)

[0259] 본 실시형태에서는, 본 발명의 일 형태의 반도체 장치로서 전자 페이퍼의 예를 나타낸다.

[0260] 도 23은 본 발명의 일 형태를 적용한 반도체 장치의 예로서 액티브 매트릭스형의 전자 페이퍼를 나타낸다. 반

도체 장치에 사용되는 박막 트랜지스터(581)로서는, 실시형태 4에서 나타내는 박막 트랜지스터와 마찬가지로 제작할 수 있고, IGZO 반도체 층 및 금속 산화물을 포함하는 버퍼층을 갖는 신뢰성이 높은 박막 트랜지스터이다. 또한, 실시형태 1 내지 실시형태 3, 실시형태 5에서 나타내는 박막 트랜지스터도 본 실시형태의 박막 트랜지스터(581)로서 적용할 수도 있다.

[0261] 도 23의 전자 페이퍼는 트위스트볼 표시방식을 사용한 표시 장치의 예이다. 트위스트 볼 표시방식이란, 백과 흑으로 나누어 칠해진 구형 입자를 표시 소자에 사용하는 전극층인 제 1 전극층 및 제 2 전극층의 사이에 배치하고, 제 1 전극층 및 제 2 전극층에 전위차를 발생시켜서 구형 입자의 방향을 제어함으로써, 표시를 행하는 방법이다.

[0262] 박막 트랜지스터(581)는 멀티 게이트 구조의 역 스택거형 박막 트랜지스터이며, 소스 전극 및 드레인 전극에 의하여 제 1 전극층(587)과 절연층(585)에 형성하는 개구에서 접하여 전기적으로 접속한다. 제 1 전극층(587)과 제 2 전극층(588)의 사이에는 흑색영역(590a) 및 백색영역(590b)을 갖고, 주위에 액체로 채워져 있는 캐비티(594)를 포함하는 구형 입자(589)가 형성되고, 구형 입자(589)의 주위는 수지 등의 충전재(595)로 충전된다(도 23 참조).

[0263] 도 23에서는, 투광성의 도전성 고분자를 포함하는 전극층을 제 1 전극층에 사용한다. 제 1 전극층(587) 위에 무기 절연막이 형성되어, 무기 절연막은 제 1 전극층(587)으로부터 이온성 불순물이 확산하는 것을 방지하는 배리어막으로서 기능한다.

[0264] 또한, 트위스트볼 대신에, 전기 영동 소자를 사용할 수도 있다. 투명한 액체와, 양으로 대전한 흰 미립자와 음으로 대전한 검은 미립자를 밀봉한 직경 10 μ m 내지 200 μ m 정도의 마이크로 캡슐을 사용한다. 제 1 전극층과 제 2 전극층의 사이에 형성되는 마이크로캡슐은, 제 1 전극층과 제 2 전극층에 의해서, 전장(電場)이 주어진다면, 흰 미립자와, 검은 미립자가 반대 방향으로 이동하여, 백 또는 흑을 표시할 수 있다. 이 원리를 응용한 표시 소자가 전기 영동 표시 소자이고, 일반적으로 전자 페이퍼라고 불리고 있다. 전기 영동 소자는 액정 표시 소자와 비교하여 반사율이 높기 때문에, 보조 라이트는 불필요하고, 또 소비전력이 작고, 어두컴컴한 장소에서도 표시부를 인식하는 것이 가능하다. 또한, 표시부에 전원이 공급되지 않은 경우라도, 한번 표시한 상을 유지하는 것이 가능하기 때문에, 전과 발신원으로부터 표시 기능이 떨어진 반도체 장치(단순히 표시 장치, 또는 표시 장치를 구비하는 반도체 장치라고도 한다)를 멀리한 경우라도, 표시된 상을 보존해 두는 것이 가능해진다.

[0265] 상술한 공정에 의하여 반도체 장치로서 신뢰성이 높은 전자 페이퍼를 제작할 수 있다.

[0266] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.

[0267] (실시형태 10)

[0268] 본 실시형태에서는, 본 발명의 일 형태의 반도체 장치로서 발광 표시 장치의 예를 나타낸다. 표시 장치가 갖는 표시 소자로서는, 여기서는 일렉트로루미네선스를 이용하는 발광 소자를 사용하여 나타낸다. 일렉트로루미네선스를 이용하는 발광 소자는, 발광 재료가 유기 화합물인지, 무기 화합물인지에 의하여 구별되어, 일반적으로는, 전자(前者)는 유기 EL 소자, 후자(後者)는 무기 EL 소자라고 불린다.

[0269] 유기 EL 소자는 발광 소자에 전압을 인가함으로써, 한 쌍의 전극으로부터 전자 및 정공이 각각 발광성의 유기 화합물을 포함하는 층에 주입되고, 전류가 흐른다. 그리고, 그들 캐리어(전자 및 정공)가 재결합함으로써, 발광성의 유기 화합물이 여기 상태를 형성하고, 그 여기 상태가 기저 상태로 되돌아올 때에 발광한다. 이러한 메커니즘 때문에, 이러한 발광 소자는 전류 여기형의 발광 소자라고 불린다.

[0270] 무기 EL 소자는, 그 소자 구성에 의하여, 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는, 발광 재료의 입자를 바인더 중에 분산시킨 발광층을 갖고, 발광 메커니즘은, 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는, 발광층을 유전체층으로 협지하고, 또한 그것을 전극 사이에 끼운 구조이며, 발광 메커니즘은 금속 이온의 내각(內殼) 전자 전이를 이용하는 국재(局在)형 발광이다. 또한, 여기서는, 발광 소자로서 유기 EL 소자를 사용하여 설명한다.

[0271] 도 19a 및 도 19b는 본 발명의 일 형태를 적용한 반도체 장치의 예로서 액티브 매트릭스형의 발광 표시 장치를 도시한다. 도 19a는 발광 표시 장치의 평면도이며, 도 19b는 도 19a에 있어서의 선 Y-Z의 단면도이다. 또한, 도 20에 도 19a 및 도 19b에 나타내는 발광 표시 장치의 등가 회로도를 도시한다.

[0272] 반도체 장치에 사용되는 박막 트랜지스터(301, 302)로서는, 실시형태 1 및 실시형태 2에서 나타내는 박막 트랜지스터와 마찬가지로 제작할 수 있고, IGZO 반도체 층과 금속 산화물을 포함하는 n형의 도전형을 갖는 버퍼층을

포함하는 신뢰성이 높은 박막 트랜지스터이다. 또한, 실시형태 3 내지 실시형태 5에서 나타내는 박막 트랜지스터도 본 실시형태의 박막 트랜지스터(301, 302)로서 적용할 수도 있다.

[0273] 도 19a 및 도 20에 도시하는 본 실시형태의 발광 표시 장치는, 멀티 게이트 구조의 박막 트랜지스터(301, 302), 용량 소자(304), 소스 배선층(305), 게이트 배선층(306), 발광 소자(303)를 포함한다. 박막 트랜지스터(301, 302)는 n채널형 박막 트랜지스터이다.

[0274] 또한, 도 19b에 있어서, 본 실시형태의 발광 표시 장치는, 박막 트랜지스터(302), 절연층(311), 절연층(312), 절연층(313), 격벽(321), 및 발광 소자(303)에 사용하는 제 1 전극층(320), 전계 발광층(322), 제 2 전극층(323)을 갖는다.

[0275] 절연층(313)은 아크릴, 폴리이미드, 폴리아미드 등의 유기 수지, 또는 실록산을 사용하여 형성하는 것이 바람직하다.

[0276] 본 실시형태에서는, 화소의 박막 트랜지스터(302)가 n형이기 때문에, 화소 전극층인 제 1 전극층(320)으로서 음극을 사용하는 것이 바람직하다. 구체적으로는, 음극로서는 일 함수가 작은 재료, 예를 들어, Ca, Al, CaF, MgAg, AlLi 등을 사용할 수 있다.

[0277] 격벽(321)은 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 사용하여 형성한다. 특히 감광성의 재료를 사용하여, 제 1 전극층(320) 위에 개구부를 형성하고, 그 개구부의 측벽이 연속된 곡율을 가져 형성되는 경사면이 되도록 형성하는 것이 바람직하다.

[0278] 전계 발광층(322)은 단일 층으로 구성되어도 좋고, 복수의 층이 적층되도록 구성되어도 좋다.

[0279] 전계 발광층(322)을 덮도록 양극을 사용한 제 2 전극층(323)을 형성한다. 제 2 전극층(323)은 실시형태 8에 화소 전극층으로서 열거한 투광성을 갖는 도전성 재료를 사용한 투광성 도전막으로 형성할 수 있다. 상기 투광성 도전막 외에 질화티타늄막 또는 티타늄막을 사용하여도 좋다. 제 1 전극층(320)과 전계 발광층(322)과 제 2 전극층(323)이 중첩함으로써, 발광 소자(303)가 형성된다. 이 후, 발광 소자(303)에 산소, 수소, 수분, 이산화탄소 등이 침입하지 않도록 제 2 전극층(323) 및 격벽(321) 위에 보호막을 형성하여도 좋다. 보호막으로서, 질화실리콘막, 질화산화실리콘막, DLC막 등을 형성할 수 있다.

[0280] 또한, 실제로는, 도 19b까지 완성되면, 외기에 노출되지 않도록 기밀성이 높고, 탈가스가 적은 보호 필름(접합 필름, 자외선 경화 수지 필름 등)이나 커버재로 더 패키징(봉입)하는 것이 바람직하다.

[0281] 다음, 발광 소자의 구성에 대해서 도 21a 내지 도 21c를 사용하여 설명한다. 여기서는, 구동용 TFT가 n형의 경우를 예로 들어, 화소의 단면 구조에 대해서 설명한다. 도 21a 내지 도 21c의 반도체 장치에 사용되는 구동용 TFT(7001, 7011, 7021)는, 실시형태 1에서 나타내는 박막 트랜지스터와 마찬가지로 제작할 수 있고, IGZO 반도체 층 및 금속 산화물을 포함하는 버퍼층을 갖는 신뢰성이 높은 박막 트랜지스터이다. 또한, 실시형태 2 내지 실시형태 5에서 나타내는 박막 트랜지스터를 구동용 TFT(7001, 7011, 7021)로서 적용할 수도 있다.

[0282] 발광 소자는 발광을 추출하기 위해서 적어도 양극 또는 음극의 한쪽이 투명하면 좋다. 그리고, 기판 위에 박막 트랜지스터 및 발광 소자를 형성하고, 기판과는 반대 측의 면으로부터 발광을 추출하는 상면 사출이나, 기판 측의 면으로부터 발광을 추출하는 하면 사출이나, 기판 측 및 기판과는 반대 측의 면으로부터 발광을 추출하는 양면 사출 구조의 발광 소자가 있고, 본 발명의 화소 구성은 어떠한 사출 구조의 발광 소자에도 적용할 수 있다.

[0283] 상면 사출 구조의 발광 소자에 대해서 도 21a를 사용하여 설명한다.

[0284] 도 21a에, 구동용 TFT(7001)가 n형이며, 발광 소자(7002)로부터 방출되는 빛이 양극(7005) 측으로 빠지는 경우의, 화소의 단면도를 도시한다. 도 21a에서는 발광 소자(7002)의 음극(7003)과 구동용 TFT(7001)가 전기적으로 접속되고, 음극(7003) 위에 발광층(7004), 양극(7005)이 순차로 적층된다. 음극(7003)은 일 함수가 작고 또 빛을 반사하는 도전막이라면 다양한 재료를 사용할 수 있다. 예를 들어, Ca, Al, CaF, MgAg, AlLi 등이 바람직하다. 그리고 발광층(7004)은 단층으로 구성되어도 좋고, 복수의 층이 적층되도록 구성되어도 좋다. 복수의 층으로 구성되는 경우, 음극(7003) 위에 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 홀 주입층의 순서로 적층한다. 또한, 이들 층을 모두 형성할 필요는 없다. 양극(7005)은 광을 투과하는 투광성을 갖는 도전성 재료를 사용하여 형성하고, 예를 들어, 산화텅스텐을 포함하는 인듐산화물, 산화텅스텐을 포함하는 인듐아연산화물, 산화티타늄을 포함하는 인듐산화물, 산화티타늄을 포함하는 인듐주석산화물, 인듐주석산화물(이하, ITO라고 기재함), 인듐아연산화물, 산화실리콘을 첨가한 인듐주석산화물 등의, 투광성을 갖는 도전성 도전막을 사용하여도

좋다.

- [0285] 음극(7003) 및 양극(7005)에서 발광층(7004)을 끼우는 영역이 발광 소자(7002)에 상당한다. 도 21a에 도시한 화소의 경우, 발광 소자(7002)로부터 방출되는 광은 화살표로 도시하는 바와 같이, 양극(7005) 측으로 사출된다.
- [0286] 다음에, 하면 사출 구조의 발광 소자에 대하여 도 21b를 사용하여 설명한다. 구동용 TFT(7011)가 n형이고, 발광 소자(7012)로부터 방출되는 광이 음극(7013) 측으로 사출되는 경우의 화소의 단면도를 도시한다. 도 21b에서는, 구동용 TFT(7011)와 전기적으로 접속된 투광성을 갖는 도전막(7017) 위에, 발광 소자(7012)의 음극(7013)이 형성되고, 음극(7013) 위에 발광층(7014) 및 양극(7015)이 순차로 적층된다. 또한, 양극(7015)이 투광성을 갖는 경우, 양극(7015) 위를 덮도록, 광을 반사 혹은 차폐하기 위한 차폐막(7016)이 형성되어도 좋다. 음극(7013)은, 도 21a의 경우와 마찬가지로, 일 함수가 작은 도전성 재료라면 다양한 재료를 사용할 수 있다. 다만, 그의 막 두께는 광을 투과하는 정도(바람직하게는, 5nm 내지 30nm 정도)로 한다. 예를 들어, 20nm의 막 두께를 갖는 알루미늄막을 음극(7013)으로서 사용할 수 있다. 그리고, 발광층(7014)은, 도 21a와 마찬가지로, 단층으로 구성되어도 좋고, 다수의 층이 적층되도록 구성되어도 좋다. 양극(7015)은 광을 투과할 필요는 없지만, 도 21a와 마찬가지로, 투광성을 갖는 도전성 재료를 사용하여 형성할 수 있다. 그리고 차폐막(7016)은 예를 들어 광을 반사하는 금속 등을 사용할 수 있지만, 금속막에 한정되지 않는다. 예를 들어, 흑색의 안료를 첨가한 수지 등을 사용할 수도 있다.
- [0287] 음극(7013)과 양극(7015) 사이에 발광층(7014)을 끼우는 영역이 발광 소자(7012)에 상당한다. 도 21b에 도시하는 화소의 경우, 발광 소자(7012)로부터 방출되는 광은, 화살표로 도시하는 바와 같이, 음극(7013) 측으로 사출된다.
- [0288] 다음에, 양면 사출 구조의 발광 소자에 대하여 도 21c를 사용하여 설명한다. 도 21c에서는, 구동용 TFT(7021)와 전기적으로 접속된 투광성을 갖는 도전막(7027) 위에, 발광 소자(7022)의 음극(7023)이 성막되고, 음극(7023) 위에 발광층(7024), 양극(7025)이 순차로 적층된다. 음극(7023)은, 도 21a의 경우와 마찬가지로, 일 함수가 작은 도전성 재료라면 다양한 재료를 사용할 수 있다. 다만, 그 막 두께는, 광을 투과하는 정도로 한다. 예를 들어, 20nm의 막 두께를 갖는 Al을, 음극(7023)으로서 사용할 수 있다. 그리고, 발광층(7024)은, 도 21a와 마찬가지로, 단층으로 구성되어도 좋고, 복수의 층이 적층되도록 구성되어도 좋다. 양극(7025)은 도 21a와 마찬가지로, 빛을 투과하는 투광성을 갖는 도전성 재료를 사용하여 형성할 수 있다.
- [0289] 음극(7023)과, 발광층(7024)과, 양극(7025)이 겹치는 부분이 발광 소자(7022)에 상당한다. 도 21c에 도시한 화소의 경우, 발광 소자(7022)로부터 발생되는 광은 화살표로 도시하는 바와 같이, 양극(7025) 측과 음극(7023) 측의 양쪽으로 사출한다.
- [0290] 또한, 여기서는, 발광 소자로서 유기 EL 소자에 대하여 설명하였지만, 발광 소자로서 무기 EL 소자를 형성할 수도 있다.
- [0291] 또한, 본 실시형태에서는, 발광 소자의 구동을 제어하는 박막 트랜지스터(구동용 TFT)와 발광 소자가 전기적으로 접속되는 예를 나타내지만, 구동용 TFT와 발광 소자 사이에 전류 제어용 TFT가 접속되는 구성이라도 좋다.
- [0292] 또한, 본 실시형태에서 나타내는 반도체 장치는, 도 21a 내지 도 21c에 도시한 구성에 한정되지 않고, 본 발명의 기술적 사상에 의거한 각종 변형이 가능하다.
- [0293] 상술한 공정에 의하여, 반도체 장치로서 신뢰성이 높은 발광 표시 장치를 제작할 수 있다.
- [0294] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.
- [0295] (실시형태 11)
- [0296] 다음, 본 발명의 반도체 장치의 일 형태인 표시 패널의 구성에 대해서 이하에 나타낸다. 본 실시형태에서는, 표시 소자로서 액정 소자를 갖는 액정 표시 장치의 일 형태인 액정 표시 패널(액정 패널이라고도 한다), 표시 소자로서 발광 소자를 갖는 반도체 장치의 일 형태인 발광 표시 패널(발광 패널이라고도 한다)에 대해서 설명한다.
- [0297] 다음에, 본 발명의 반도체 장치의 일 형태에 상당하는 발광 표시 패널의 외관 및 단면에 대하여 도 22a 및 도 22b를 사용하여 설명한다. 도 22a는, 제 1 기판 위에 형성된 IGZO 반도체 층 및 금속 산화물을 포함하는 버퍼층을 갖는 신뢰성이 높은 박막 트랜지스터 및 발광 소자를 제 2 기판과의 사이에 절개로 밀봉한 패널의 상면도

이며, 도 22b는 도 22a의 H-I에 있어서의 단면도에 상당한다.

- [0298] 제 1 기관(4501) 위에 형성된 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)를 둘러싸도록 셀재(4505)가 형성된다. 또한, 화소부(4502), 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b) 위에 제 2 기관(4506)이 형성된다. 따라서, 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)는 제 1 기관(4501)과 셀재(4505)와 제 2 기관(4506)에 의하여 충전재(4507)와 함께 밀봉된다.
- [0299] 또한, 제 1 기관(4501) 위에 형성된 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)는 박막 트랜지스터를 복수 갖고, 도 22b에서는 화소부(4502)에 포함되는 박막 트랜지스터(4510)와 신호선 구동 회로(4503a)에 포함되는 박막 트랜지스터(4509)를 예시한다.
- [0300] 박막 트랜지스터(4509, 4510)는, IGZO 반도체 층 및 금속 산화물을 포함하는 버퍼층을 갖는 박막 트랜지스터에 상당하고, 실시형태 1 내지 실시형태 5에 나타내는 박막 트랜지스터를 적용할 수 있다. 본 실시형태에 있어서, 박막 트랜지스터(4509, 4510)는, n채널형 박막 트랜지스터이다.
- [0301] 또한, 부호 4511은 발광 소자에 상당하고, 발광 소자(4511)가 갖는 화소 전극인 제 1 전극층(4517)은, 박막 트랜지스터(4510)의 소스 전극층 또는 드레인 전극층과 전기적으로 접속된다. 또한, 발광 소자(4511)의 구성은 본 실시형태에 나타난 구성에 한정되지 않는다. 발광 소자(4511)로부터 추출하는 광의 방향 등에 맞추어 발광 소자(4511)의 구성은 적절히 변화시킬 수 있다.
- [0302] 또한, 신호선 구동 회로(4503a, 4503b), 주사선 구동 회로(4504a, 4504b), 또는 화소부(4502)에 주어지는 각종 신호 및 전위는 FPC(4518a, 4518b)로부터 공급된다.
- [0303] 본 실시형태에서는, 박막 트랜지스터(4509, 4510)를 덮는 절연막에 형성한, 도시하지 않는 콘택트 홀을 통하여 화소부(4502), 신호선 구동 회로(4503a, 4503b), 또는 주사선 구동 회로(4504a, 4504b)와 접속하는 배선(4516)을 소스 전극층 또는 드레인 전극층과 같은 재료를 사용하여 형성한다. 또한, 제 1 기관(4501)의 단부의 배선(4516) 위에 접속 단자(4515)를 제 1 전극층(4517)과 같은 재료를 사용하여 형성한다.
- [0304] 접속 단자(4515)는 FPC(4518a)가 갖는 단자와 이방성 도전막(4519)을 통하여 전기적으로 접속된다.
- [0305] 발광 소자(4511)로부터의 광의 추출 방향으로 위치하는 제 2 기관(4506)은 투광성이 아니면 안 된다. 그 경우에는, 유리 기관, 플라스틱 기관, 폴리에스테르 필름 또는 아크릴 필름과 같은 투광성을 갖는 재료를 사용한다.
- [0306] 또한, 충전재(4507)로서는 질소나 아르곤 등의 불활성 기체 이외에, 자외선 경화 수지 또는 열 경화 수지를 사용할 수 있고, PVC(폴리비닐 클로라이드), 아크릴, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB(폴리비닐 부티랄) 또는 EVA(에틸렌비닐 아세테이트)를 사용할 수 있다. 본 실시형태에서는 충전재(4507)로서 질소를 사용한다.
- [0307] 또한, 필요하다면, 발광 소자의 사출면에 편광판, 또는 원형 편광판(타원 편광판을 포함한다), 위상차판($\lambda/4$ 파장판, $\lambda/2$ 파장판), 컬러 필터 등의 광학 필름을 적절히 형성하여도 좋다. 또한, 편광판 또는 원 편광판에 반사 방지막을 형성하여도 좋다. 예를 들어, 표면의 요철에 따라 반사광을 확산하여 반사를 절감할 수 있는 안티-글레어(anti-glare) 처리를 실시할 수 있다.
- [0308] 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)는, 별도 준비된 기관 위에 단결정 반도체막 또는 다결정 반도체막에 의하여 형성된 구동 회로로 실장되어도 좋다. 또한, 신호선 구동 회로만, 또는 일부, 또는 주사선 구동 회로만, 또는 일부만을 별도 형성하여 실장하여도 좋고, 본 실시형태는 도 22a 및 도 22b의 구성에 한정되지 않는다.
- [0309] 다음에, 본 발명의 반도체 장치의 일 형태에 상당하는 액정 표시 패널의 외관 및 단면에 대하여 도 17a1, 도 17a2를 사용하여 설명한다. 도 17a1, 도 17a2는, 제 1 기관(4001) 위에 형성된 IGZO 반도체층 및 금속 산화물을 포함하는 버퍼층을 갖는 신뢰성이 높은 박막 트랜지스터(4010, 4011), 및 액정 소자(4013)를 제 2 기관(4006)과의 사이에 셀재(4005)에 의하여 밀봉한, 패널의 상면도이며, 도 17b는 도 17a1 및 도 17a2의 M-N에 있어서의 단면도에 상당한다.
- [0310] 제 1 기관(4001) 위에 형성된 화소부(4002)와, 주사선 구동 회로(4004)를 둘러싸도록 셀재(4005)가 형성된다. 또한, 화소부(4002)와, 주사선 구동 회로(4004) 위에 제 2 기관(4006)이 형성된다. 따라서, 화소부(4002)와, 주사선 구동 회로(4004)란, 제 1 기관(4001)과 셀재(4005)와 제 2 기관(4006)에 의하여, 액정(4008)과 함께 밀

봉된다. 또한 제 1 기관(4001) 위의 절재(4005)에 의하여 둘러싸여 있는 영역과는 다른 영역에, 별도 준비된 기관 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 신호선 구동 회로(4003)가 실장된다.

[0311] 또한, 별도 형성한 구동 회로의 접속 방법은, 특히 한정되지 않고, COG 방법, 와이어 본딩 방법, 또는 TAB 방법 등을 사용할 수 있다. 도 17a1는 COG법에 의하여 신호선 구동 회로(4003)를 실장하는 예이며, 도 17a2는 TAB 방식에 의하여 신호선 구동 회로(4003)를 실장하는 예이다.

[0312] 또한, 제 1 기관(4001) 위에 형성된 화소부(4002)와 주사선 구동 회로(4004)는 박막 트랜지스터를 복수 갖고, 도 17b에서는 화소부(4002)에 포함되는 박막 트랜지스터(4010)와 주사선 구동 회로(4004)에 포함되는 박막 트랜지스터(4011)를 예시한다.

[0313] 박막 트랜지스터(4010, 4011)는, IGZO 반도체 층 및 금속 산화물을 포함하는 버퍼층을 갖는 박막 트랜지스터에 상당하여 실시형태 1 내지 실시형태 5에 나타내는 박막 트랜지스터를 적용할 수 있다. 본 실시형태에 있어서, 박막 트랜지스터(4010, 4011)는 n채널형 박막 트랜지스터이다.

[0314] 또한, 액정 소자(4013)가 갖는 화소 전극층(4030)은, 박막 트랜지스터(4010)와 전기적으로 접속된다. 그리고, 액정 소자(4013)의 대향 전극층(4031)은 제 2 기관(4006) 위에 형성된다. 화소 전극층(4030)과 대향 전극층(4031)과 액정(4008)이 중첩하는 부분이 액정 소자(4013)에 상당한다. 또한, 화소 전극층(4030), 대향 전극층(4031)은 각각 배향막으로서 기능하는 절연층(4032, 4033)이 형성되고, 절연층(4032, 4033)을 통하여 액정(4008)을 협지한다.

[0315] 또한, 제 1 기관(4001), 제 2 기관(4006)으로서는, 유리, 금속(대표적으로는 스테인레스, 세라믹, 플라스틱을 사용할 수 있다. 플라스틱으로서는, FRP(Fiberglass-Reinforced Plastics)판, PVF(폴리비닐플루오라이드) 필름, 폴리에스테르 필름 또는 아크릴수지 필름을 사용할 수 있다. 또한, 알루미늄포일을 PVF 필름이나 폴리에스테르 필름의 사이에 둔 구조의 시트를 사용할 수도 있다.

[0316] 또한, (4035)는 절연막을 선택적으로 에칭함으로써 얻어지는 주상(柱狀)의 스페이서이며, 화소 전극층(4030)과 대향 전극층(4031)의 사이의 거리(셀 갭)를 제어하기 위하여 형성된다. 또한, 구 형상의 스페이서를 사용하여도 좋다.

[0317] 또한 별도 형성된 신호선 구동 회로(4003)와, 주사선 구동 회로(4004) 또는 화소부(4002)에 주어지는 각종 신호 및 전위는, FPC(4018)로부터 공급되고 있다.

[0318] 본 실시형태에서는, 접속 단자(4015)가 액정 소자(4013)가 갖는 화소 전극층(4030)과 같은 도전막으로 형성되고, 배선(4016)은 박막 트랜지스터(4010, 4011)의 게이트 전극층과 같은 도전막으로 형성된다.

[0319] 접속 단자(4015)는 FPC(4018)가 갖는 단자와 이방성 도전막(4019)을 통하여 전기적으로 접속된다.

[0320] 또한, 도 17a1, 도 17a2, 도 17b에 있어서는, 신호선 구동 회로(4003)를 별도 형성하여 제 1 기관(4001)에 실장하는 예를 나타내지만, 본 실시형태는 이 구성에 한정되지 않는다. 주사선 구동 회로를 별도 형성하여 실장하여도 좋고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도 형성하여 실장하여도 좋다.

[0321] 도 18은 본 발명의 일 형태를 적용하여 제작되는 TFT 기관(2600)을 사용하여 반도체 장치로서 액정 표시 모듈을 구성하는 일례를 도시한다.

[0322] 도 18은 액정 표시 모듈의 일례이며, TFT 기관(2600)과 대향 기관(2601)이 절재(2602)에 의하여 고착되어, 그 사이에 TFT 등을 포함하는 화소부(2603), 액정층을 포함하는 표시 소자(2604), 착색층(2605)이 형성되어 표시 영역을 형성한다. 착색층(2605)은 컬러 표시를 행하는 경우에 필요하고, RGB 방식의 경우에는, 적, 녹, 청의 각 색에 대응한 착색층이 각 화소에 대응하여 제공된다. TFT 기관(2600)과 대향 기관(2601)의 외측에는 편광판(2606, 2607), 확산판(2613)이 배치되어 있다. 광원은 냉음극관(2610)과 반사판(2611)에 의하여 구성되고, 회로 기관(2612)은, 플렉시블 배선 기관(2609)에 의하여 TFT 기관(2600)의 배선 회로부(2608)와 접속되고, 컨트롤 회로나 전원회로 등의 외부 회로가 내장되어 있다. 또한, 편광판과, 액정층의 사이에 위상차판을 갖는 상태로 적층하여도 좋다.

[0323] 액정 표시 모듈에는 TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, MVA(Multi-domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드 등을 사용할 수 있다.

- [0324] 상술한 공정에 의하여 반도체 장치로서 신뢰성이 높은 표시 패널을 제작할 수 있다.
- [0325] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.
- [0326] (실시형태 12)
- [0327] 본 발명의 일 형태에 따른 반도체 장치는, 다양한 전자 기기(유기기(遊技機)도 포함한다)에 적용할 수 있다. 전자 기기로서는, 예를 들어, 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 한다), 컴퓨터용 등의 모니터, 전자 페이퍼, 디지털 카메라, 디지털 비디오 카메라, 디지털 포토 프레임, 휴대 전화기(휴대 전화, 휴대 전화 장치라고도 한다), 휴대형 게임기, 휴대 정보 단말, 음향 재생 장치, 파친코(pachinko)기 등의 대형 게임기 등을 들 수 있다. 특히, 실시형태 8 내지 실시형태 11에서 나타난 바와 같이, 본 발명의 일 형태에 따른 박막 트랜지스터를 액정 표시 장치, 발광 장치, 전기 영동 방식 표시 장치 등에 적용함으로써, 전자 기기의 표시부에 사용할 수 있다. 이하에 구체적으로 예시한다.
- [0328] 본 발명의 일 형태의 반도체 장치는, 실시형태 9에서 나타난 바와 같이, 전자 페이퍼에 적용할 수 있다. 전자 페이퍼는, 정보를 표시하는 것이라면 다양한 분야의 전자 기기에 사용할 수 있다. 예를 들어, 전자 페이퍼를 사용하여 전자 서적(전자 북), 포스터, 전자 등의 탈 것류의 차내 광고, 신용 카드 등의 각종 카드에 있어서의 표시 등에 적용할 수 있다. 전자 기기의 일례를 도 24a 내지 도 25에 도시한다.
- [0329] 도 24a는 전자 페이퍼로 제작된 포스터(1601)를 도시한다. 광고 매체가 종이인 인쇄물의 경우는, 광고의 교환은 사람들이 행하지만, 본 발명의 일 형태의 반도체 장치를 적용한 전자 페이퍼를 사용하면, 단시간에 광고의 표시를 바꿀 수 있다. 또한, 전기 특성이 좋은 박막 트랜지스터를 사용하기 때문에, 표시도 흐트러지지 않고, 안정한 화상을 얻을 수 있다. 또한, 포스터는 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다.
- [0330] 또한, 도 24b는 전자 등의 탈 것류의 차내 광고(1602)를 도시한다. 광고 매체가 종이인 인쇄물의 경우는, 광고의 교환은 사람들이 행하지만, 본 발명의 일 형태의 반도체 장치를 적용한 전자 페이퍼를 사용하면, 사람들의 수고를 많이 끼치지 않고, 단시간에 광고의 표시를 바꿀 수 있다. 또한, 전기 특성이 좋은 박막 트랜지스터를 사용하기 때문에, 표시도 흐트러지지 않고, 안정한 화상을 얻을 수 있다. 또한, 차내 광고는 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다.
- [0331] 또한, 도 25는 전자 서적(2700)의 일례를 도시한다. 예를 들어, 전자 서적(2700)은 케이스(2701) 및 케이스(2703)의 2개의 케이스로 구성된다. 케이스(2701) 및 케이스(2703)는 축(軸)부(2711)에 의하여 일체화되어, 상기 축부(2711)를 축으로 하여 개폐(開閉) 동작을 행할 수 있다. 이러한 구성에 의하여 종이 서적과 같은 동작을 행할 수 있다.
- [0332] 케이스(2701)에는 표시부(2705)가 조합되어, 케이스(2703)에는 표시부(2707)가 조합된다. 표시부(2705) 및 표시부(2707)는 계속하는 화면을 표시하는 구성으로 하여도 좋고, 다른 화면을 표시하는 구성으로 하여도 좋다. 다른 화면을 표시하는 구성으로 함으로써, 예를 들어, 오른쪽의 표시부(도 25에서는 표시부(2705))에 문장을 표시하여 왼쪽의 표시부(도 25에서는 표시부(2707))에 화상을 표시할 수 있다.
- [0333] 또한, 도 25에서는, 케이스(2701)에 조작부 등을 구비한 예를 도시한다. 예를 들어, 케이스(2701)에 있어서, 전원(2721), 조작키(2723), 스피커(2725) 등을 구비한다. 조작키(2723)에 의하여 페이지를 넘길 수 있다. 또한, 케이스의 표시부와 동일면에 키보드나 포인팅 디바이스 등을 구비하는 구성으로 하여도 좋다. 또한, 케이스의 이면이나 측면에 외부 접속용 단자(이어폰 단자, USB 단자, 또는 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속할 수 있는 단자 등), 기록 매체 삽입부 등을 구비하는 구성으로 하여도 좋다. 또한, 전자 서적(2700)은 전자 사전으로서의 기능을 갖는 구성으로 하여도 좋다.
- [0334] 또한, 전자 서적(2700)은 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다. 무선에 의하여 전자 서적 서버로부터 원하는 서적 데이터 등을 사고, 다운로드하는 구성으로 할 수도 있다.
- [0335] 도 26a에는 텔레비전 장치(9600)의 일례를 도시한다. 텔레비전 장치(9600)는 케이스(9601)에 표시부(9603)가 조합된다. 표시부(9603)에 의하여 영상을 표시할 수 있다. 또한, 여기서는 스탠드(9605)에 의하여 케이스(9601)를 지지한 구성을 도시한다. 표시부(9603)는 실시형태 8 내지 실시형태 11에 나타난 표시 장치를 적용할 수 있다.
- [0336] 텔레비전 장치(9600)의 조작은 케이스(9601)가 구비하는 조작 스위치나, 별체의 리모트 컨트롤러(9610)에 의하여 행할 수 있다. 리모트 컨트롤러(9610)가 구비하는 조작 키(9609)에 의하여 채널이나 음량을 조작할 수 있어 표시부(9603)에 표시되는 영상을 조작할 수 있다. 또한, 리모트 컨트롤러(9610)에 상기 리모트 컨트롤러(961

0)로부터 출력하는 정보를 표시하는 표시부(9607)를 형성하는 구성으로 하여도 좋다.

- [0337] 또한, 텔레비전 장치(9600)는 수신기나 모뎀 등을 구비한 구성으로 한다. 수신기에 의하여 일반의 텔레비전 방송을 수신할 수 있고, 또 모뎀을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써, 일 방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간, 또는 수신자끼리 등)의 정보 통신을 할 수도 있다.
- [0338] 도 26b는 디지털 포토 프레임(9700)의 일례를 도시한다. 예를 들어, 디지털 포토 프레임(9700)은 케이스(9701)에 표시부(9703)가 조합된다. 표시부(9703)는 각종 화상을 표시할 수 있고, 예를 들어, 디지털 카메라 등으로 촬영한 화상 데이터를 표시시킴으로써, 보통의 포토 프레임과 마찬가지로 기능시킬 수 있다.
- [0339] 또한, 디지털 포토 프레임(9700)은, 조작부, 외부 접속용 단자(USB 단자, USB 케이블 등의 각종 케이블과 접속할 수 있는 단자 등), 기록 매체 삽입부 등을 구비하는 구성으로 한다. 이들의 구성은 표시부와 동일면에 조합되어도 좋지만, 측면이나 이면에 구비하면 디자인성이 향상되기 때문에 바람직하다. 예를 들어, 디지털 포토 프레임의 기록 매체 삽입부에 디지털 카메라를 사용하여 촬영한 화상 데이터를 기억한 메모리를 삽입하여 화상 데이터를 취득하여 취득한 화상 데이터를 표시부(9703)에 표시시킬 수 있다.
- [0340] 또한, 디지털 포토 프레임(9700)은, 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다. 무선에 의하여 원하는 화상의 데이터를 취득하여 표시시키는 구성으로 할 수도 있다.
- [0341] 도 27은 휴대형의 오디오 장치인 디지털 플레이어(2100)의 일례를 도시한다. 디지털 플레이어(2100)는 본체(2130), 표시부(2131), 메모리부(2132), 조작부(2133), 이어폰(2134), 제어부(2137) 등을 포함한다. 또한, 이어폰(2134) 대신에 헤드폰이나 무선식 이어폰을 사용할 수 있다. 표시부(2131)는, 실시형태 8 내지 실시형태 11에 나타낸 표시 장치를 적용할 수 있다.
- [0342] 또한, 메모리부(2132)를 사용하여 조작부(2133)를 조작함으로써, 영상이나 음성(음악)을 기록, 재생할 수 있다. 또한, 표시부(2131)는 흑색의 배경에 흰색의 문자를 표시함으로써 소비 전력을 억제할 수 있다. 또한, 메모리부(2132)에 형성된 메모리는 추출할 수 있는 구성으로 하여도 좋다.
- [0343] 도 28은 휴대 전화기(1000)의 일례를 도시한다. 휴대 전화기(1000)는 케이스(1001)에 조합된 표시부(1002) 외에 조작 버튼(1003), 외부 접속 포트(1004), 스피커(1005), 마이크(1006) 등을 구비한다. 표시부(1002)는, 실시형태 8 내지 실시형태 11에 도시한 표시 장치를 적용할 수 있다.
- [0344] 도 28에 도시하는 휴대 전화기(1000)는 표시부(1002) 등을 손가락 등으로 터치(touch)함으로써, 정보를 입력할 수 있다. 또한, 전화를 거는 조작, 또는 메일을 쓰는 조작은 표시부(1002)를 손가락 등으로 터치함으로써 행할 수 있다.
- [0345] 표시부(1002)의 화면은 주로 3개의 모드가 있다. 제 1 모드는 화상의 표시가 주된 표시 모드이며, 제 2 모드는 문자 등의 정보의 입력이 주된 입력 모드이다. 제 3 모드는 표시 모드와 입력 모드의 2개의 모드가 혼합한 표시+입력 모드이다.
- [0346] 예를 들어, 전화를 거는 경우, 또는 메일을 쓰는 경우는, 표시부(1002)를 문자의 입력이 주된 문자 입력 모드로 하여 화면에 표시시킨 문자의 입력 조작을 행하면 좋다. 이 경우, 표시부(1002)의 화면의 대부분에 키 보드 또는 번호 버튼을 표시시키는 것이 바람직하다.
- [0347] 또한, 휴대 전화기(1000)의 내부에 자이로스코프(gyroscope), 가속도 센서 등의 기울기를 검출하는 센서를 갖는 검출 장치를 설치함으로써, 휴대 전화기(1000)의 방향(세로인지 가로인지)을 판단하여, 표시부(1002)의 화면 표시를 자동으로 전환하도록 할 수 있다.
- [0348] 또한, 화면 모드의 전환은 표시부(1002)를 터치함으로써, 또는 케이스(1001)의 조작 버튼(1003)을 조작함으로써 행해진다. 또한, 표시부(1002)에 표시되는 화상의 종류에 따라 전환하도록 할 수도 있다. 예를 들어, 표시부에 표시하는 화상 신호가 동영상의 데이터이라면 표시 모드, 텍스트 데이터라면 입력 모드로 전환한다.
- [0349] 또한, 입력 모드에 있어서, 표시부(1002)의 광 센서에 의하여 검출되는 신호를 검지하여 표시부(1002)의 터치 조작에 의한 입력이 일정 기간 없는 경우에는, 화면의 모드를 입력 모드로부터 표시 모드로 전환하도록 제어하여도 좋다.
- [0350] 표시부(1002)는, 이미지 센서로서 기능시킬 수도 있다. 예를 들어, 표시부(1002)에 손바닥이나 손가락으로 터치하여 장문(掌紋)이나 지문(指紋)을 촬상함으로써, 본인 인증을 행할 수 있다. 또한, 표시부에 근적외광(近赤外光)을 발광하는 백 라이트 또는 근적외광(近赤外光)을 발광하는 검출용 광원을 사용하면, 손가락 정맥(靜脈),

손바닥 정맥 등을 관찰할 수도 있다.

[0351] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.

도면의 간단한 설명

[0352] 도 1a 및 도 1b는 본 발명의 일 형태의 반도체 장치를 설명하는 도면.

[0353] 도 2a 내지 도 2d는 본 발명의 일 형태의 반도체 장치의 제작 방법을 설명하는 도면.

[0354] 도 3a1, 도 3a2, 도 3b 내지 도 3d는 본 발명의 일 형태의 반도체 장치의 제작 방법을 설명하는 도면.

[0355] 도 4a 내지 도 4d는 본 발명의 일 형태의 반도체 장치의 제작 방법을 설명하는 도면.

[0356] 도 5a 및 도 5b는 본 발명의 일 형태의 반도체 장치를 설명하는 도면.

[0357] 도 6a 및 도 6b는 본 발명의 일 형태의 반도체 장치를 설명하는 도면.

[0358] 도 7a 및 도 7b는 본 발명의 일 형태의 반도체 장치를 설명하는 도면.

[0359] 도 8은 본 발명의 일 형태의 반도체 장치를 설명하는 도면.

[0360] 도 9는 멀티 챔버형의 제조 장치의 상면 모식도.

[0361] 도 10a 및 도 10b는 표시 장치의 블록도를 설명하는 도면.

[0362] 도 11은 신호선 구동 회로의 구성을 설명하는 도면.

[0363] 도 12는 신호선 구동 회로의 동작을 설명하는 타이밍 차트.

[0364] 도 13은 신호선 구동 회로의 동작을 설명하는 타이밍 차트.

[0365] 도 14는 시프트 레지스터의 구성을 설명하는 도면.

[0366] 도 15는 도 14에 도시하는 플립플롭의 접속 구성을 설명하는 도면.

[0367] 도 16a 및 도 16b는 본 발명의 일 형태를 적용한 액정 표시 장치를 설명하는 도면.

[0368] 도 17a1, 도 17a2, 도 17b는 본 발명의 일 형태를 적용한 액정 표시 장치를 설명하는 도면.

[0369] 도 18은 본 발명의 일 형태를 적용한 액정 표시 장치를 설명하는 도면.

[0370] 도 19a 및 도 19b는, 본 발명의 일 형태를 적용한 발광 표시 장치를 설명하는 도면.

[0371] 도 20은 본 발명의 일 형태를 적용한 발광 표시 장치를 설명하는 도면.

[0372] 도 21a 내지 도 21c는, 본 발명의 일 형태를 적용한 발광 표시 장치를 설명하는 도면.

[0373] 도 22a 및 도 22b는, 본 발명의 일 형태를 적용한 발광 표시 장치를 설명하는 도면.

[0374] 도 23은 본 발명의 일 형태를 적용한 전자 페이퍼를 설명하는 도면.

[0375] 도 24a 및 도 24b는 본 발명의 일 형태를 적용한 전자 기기를 설명하는 도면.

[0376] 도 25는 본 발명의 일 형태를 적용한 전자 기기를 설명하는 도면.

[0377] 도 26a 및 도 26b는 본 발명의 일 형태를 적용한 전자 기기를 설명하는 도면.

[0378] 도 27은 본 발명의 일 형태를 적용한 전자 기기를 설명하는 도면.

[0379] 도 28은 본 발명의 일 형태를 적용한 전자 기기를 설명하는 도면.

[0380] <도면의 주요 부분에 대한 부호의 설명>

[0381] 100: 기관 101: 게이트 전국

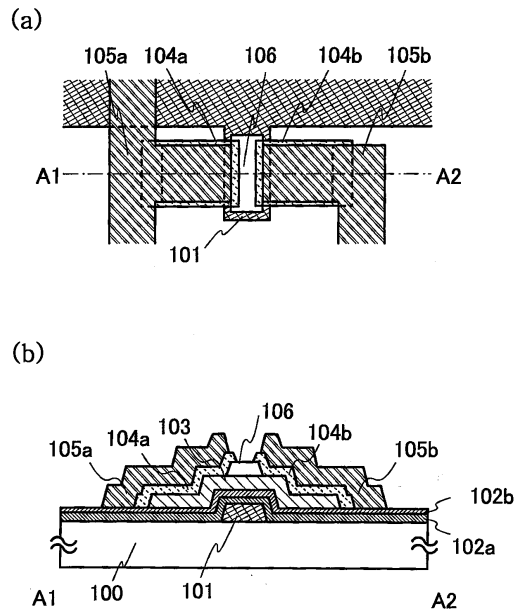
[0382] 102a: 게이트 절연막 102b: 게이트 절연막

[0383] 103: 반도체 층 104a: 버퍼층

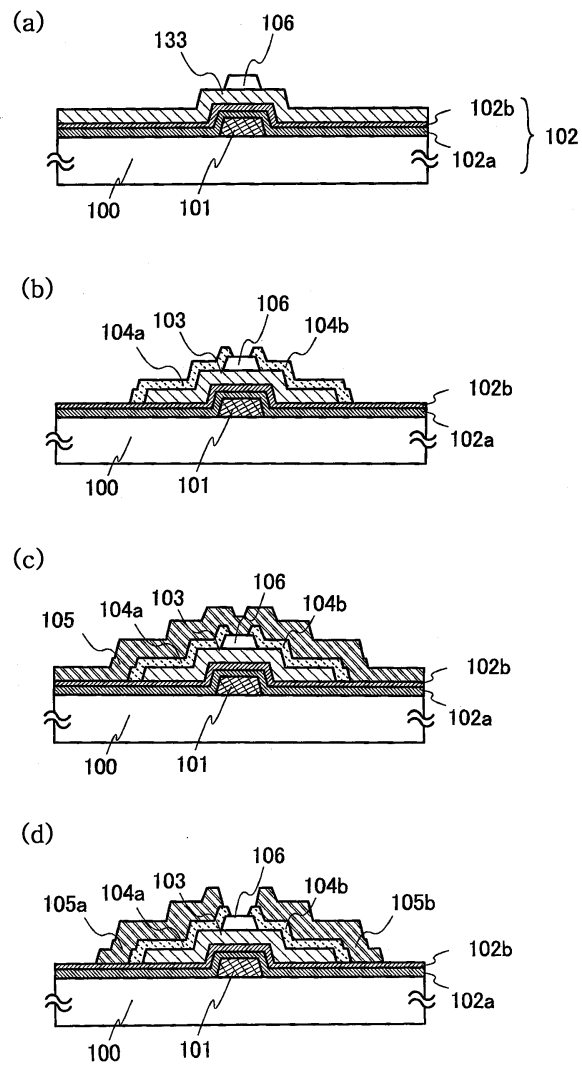
- [0384] 104b: 버퍼층 105a: 소스 전극 및 드레인 전극
- [0385] 105b: 소스 전극 및 드레인 전극 106: 채널 보호층

도면

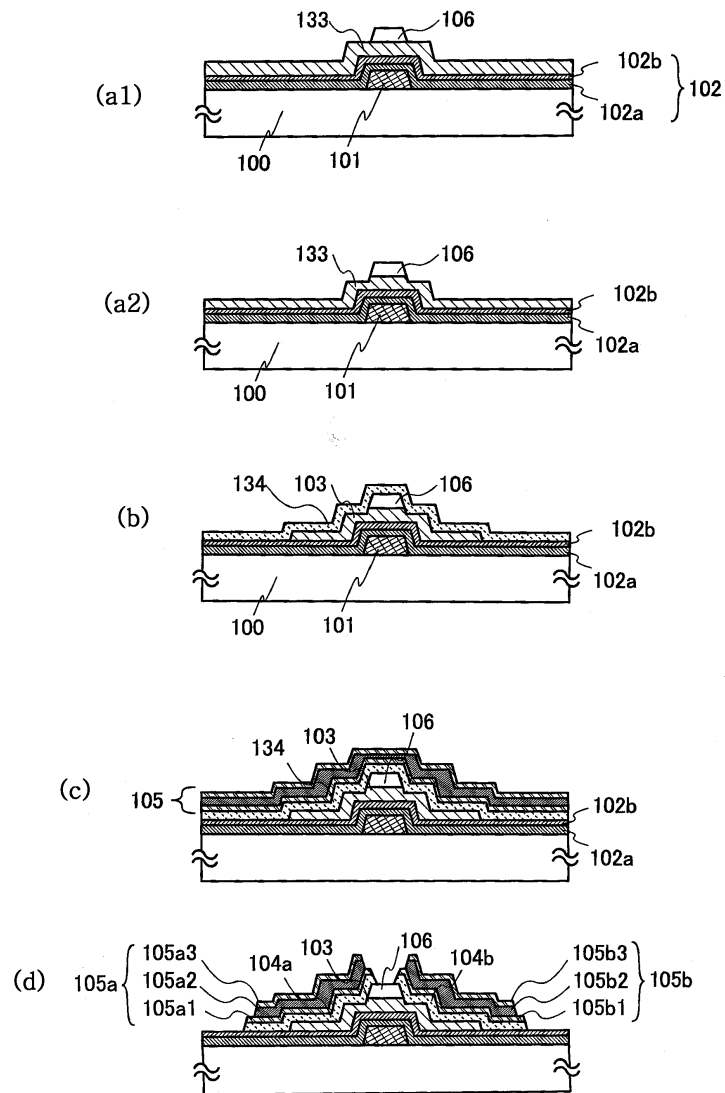
도면1



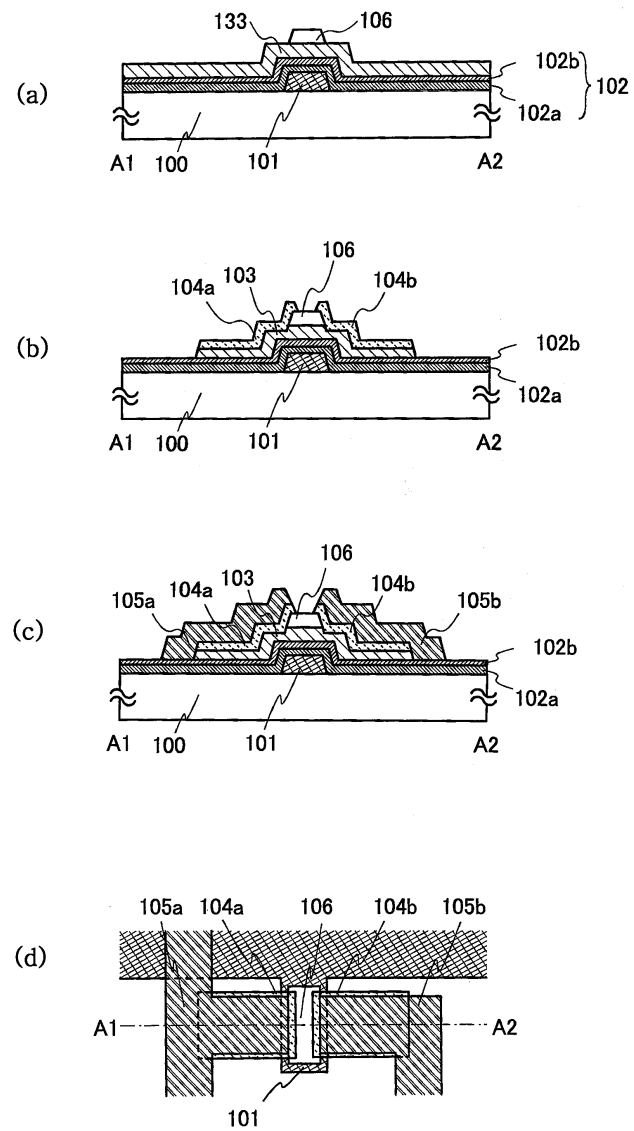
도면2



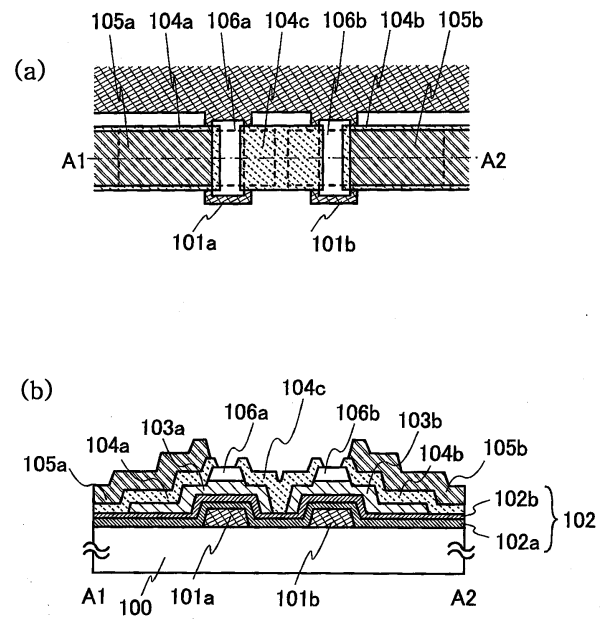
도면3



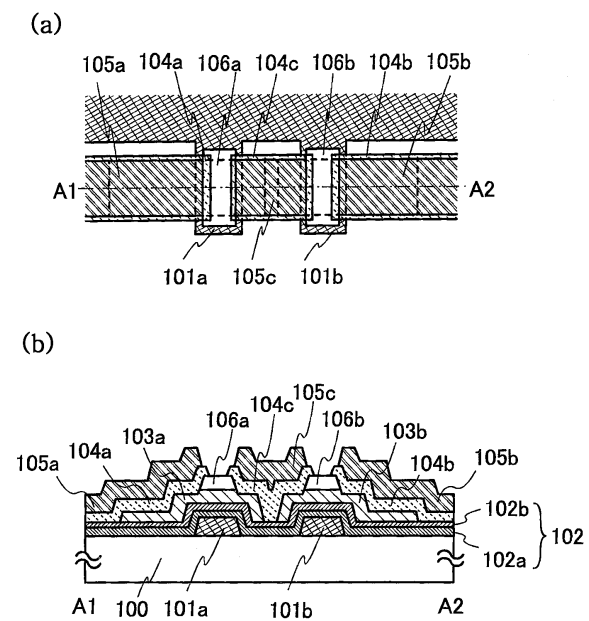
도면4



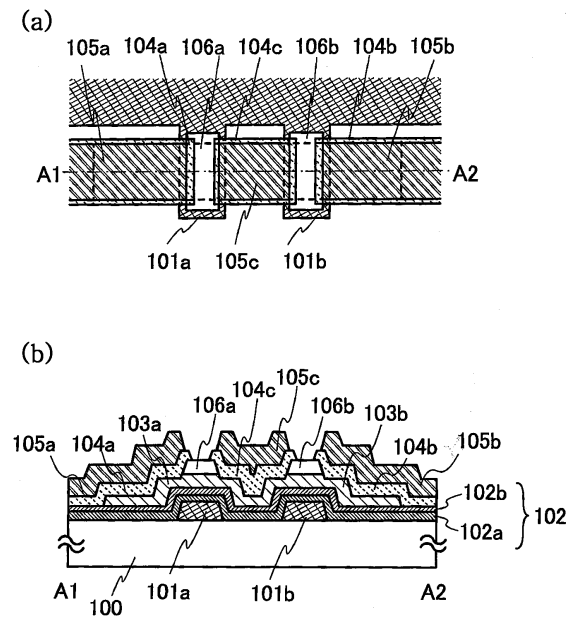
도면5



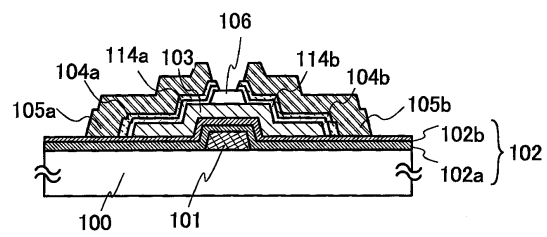
도면6



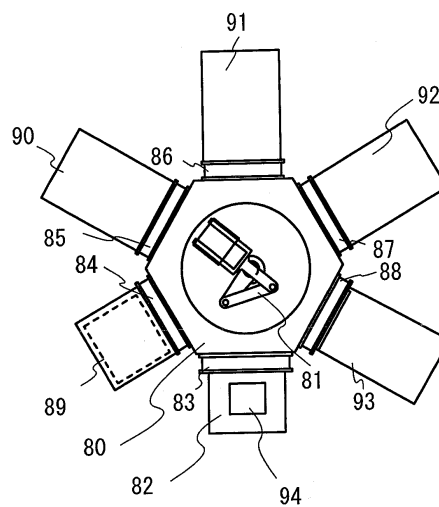
도면7



도면8

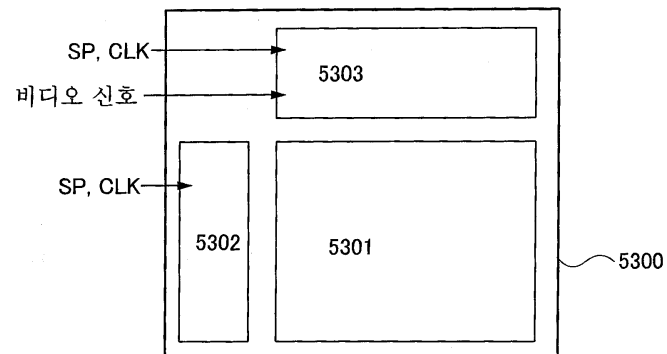


도면9

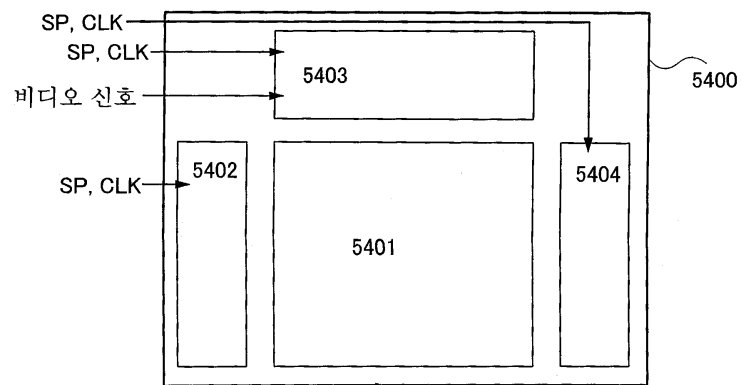


도면10

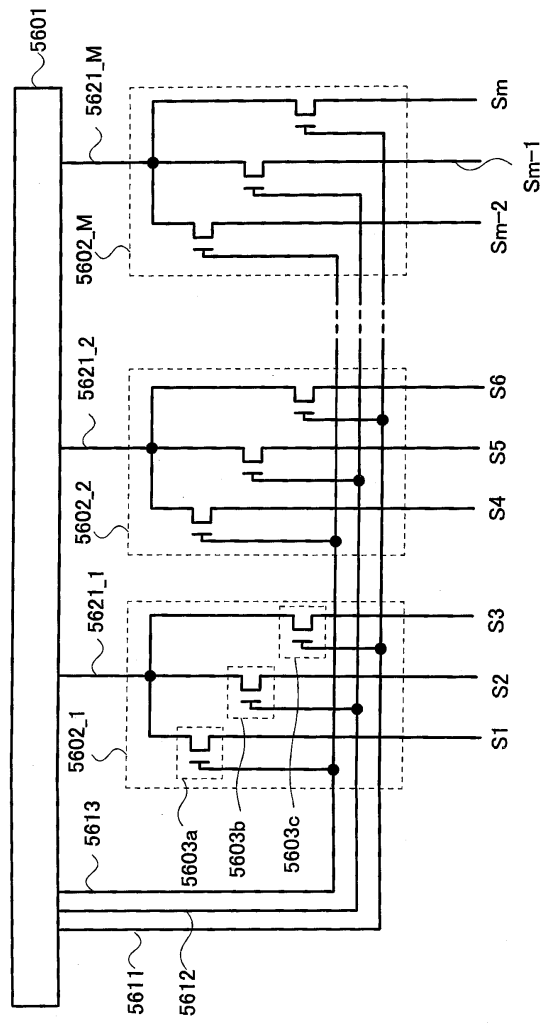
(a)



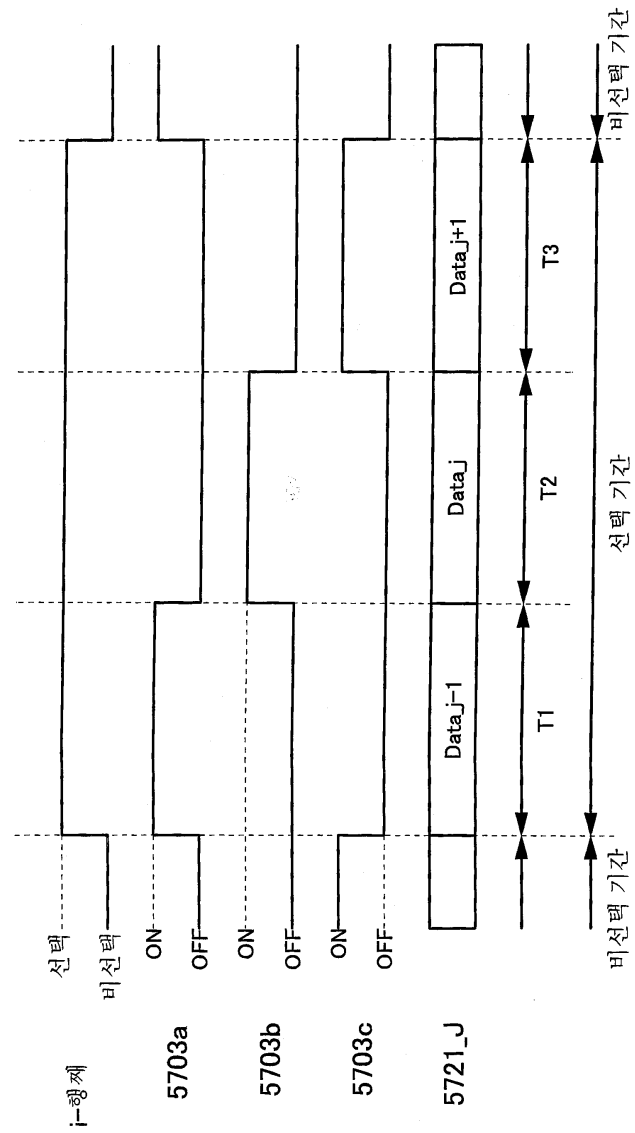
(b)



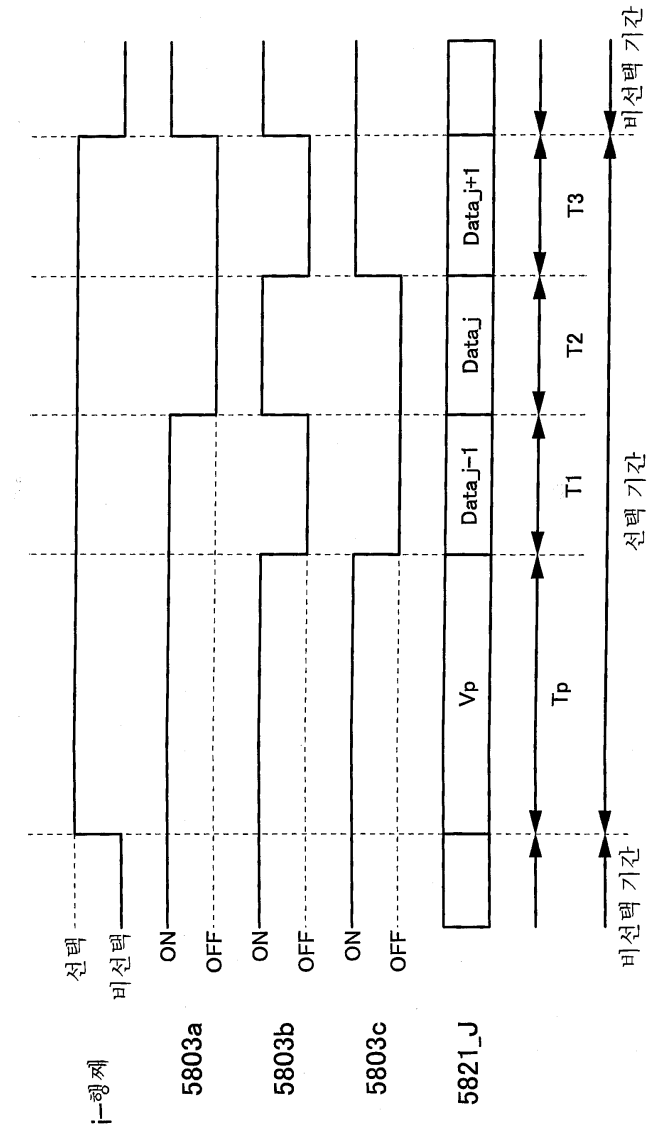
도면11



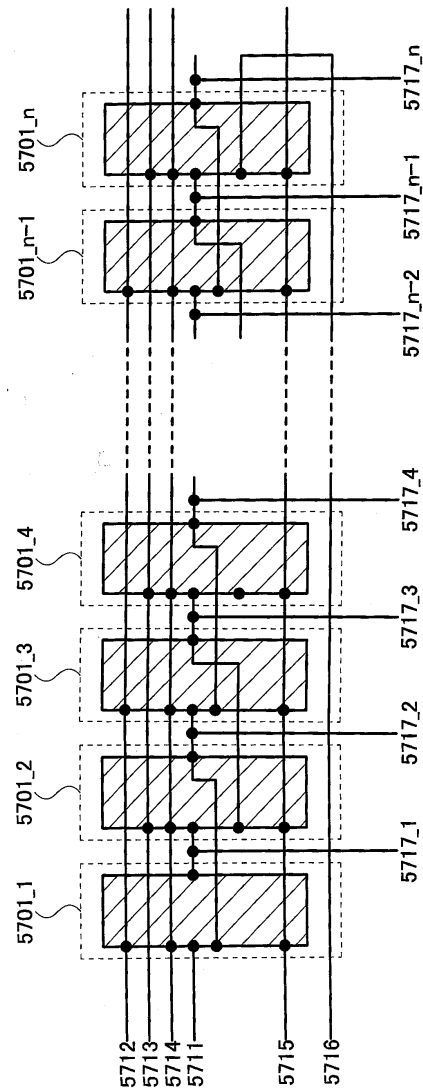
도면12



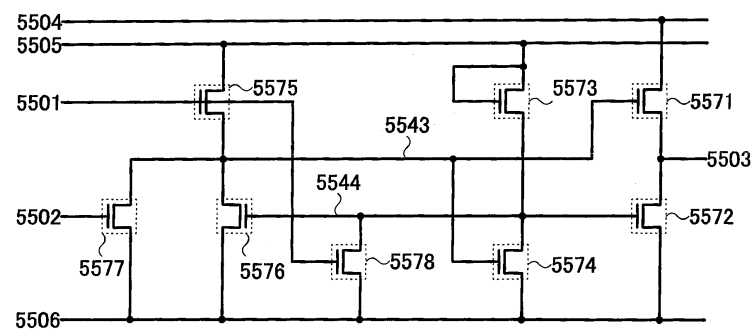
도면13



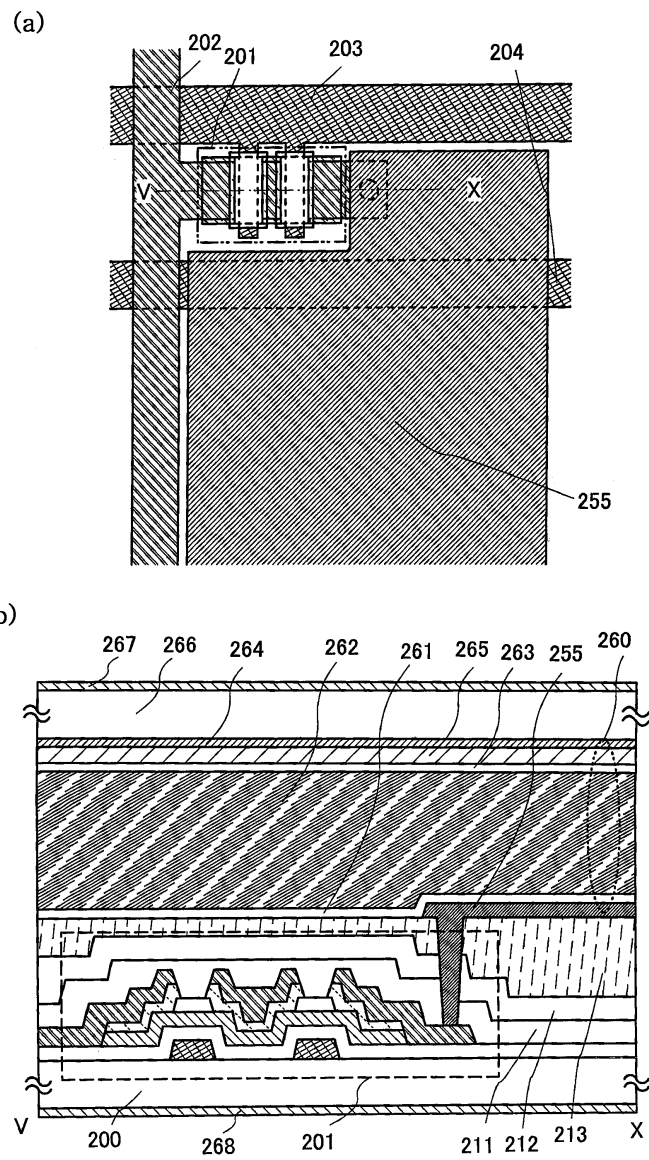
도면14



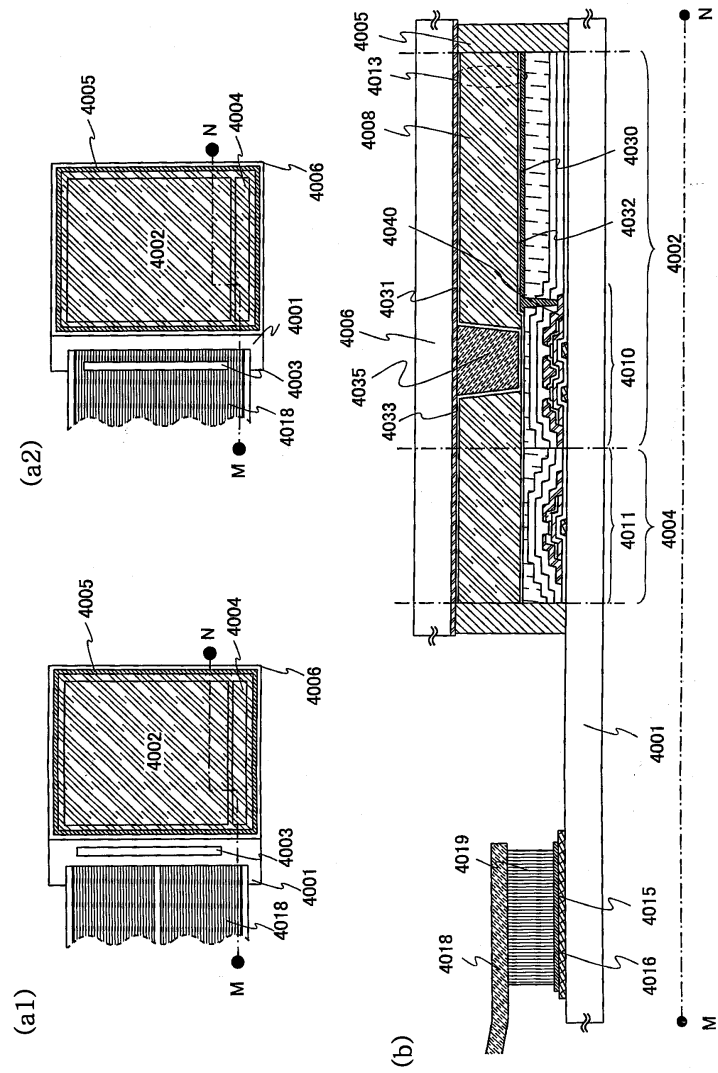
도면15



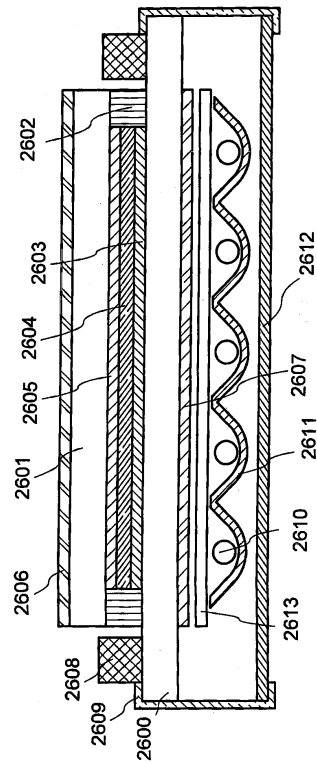
도면16



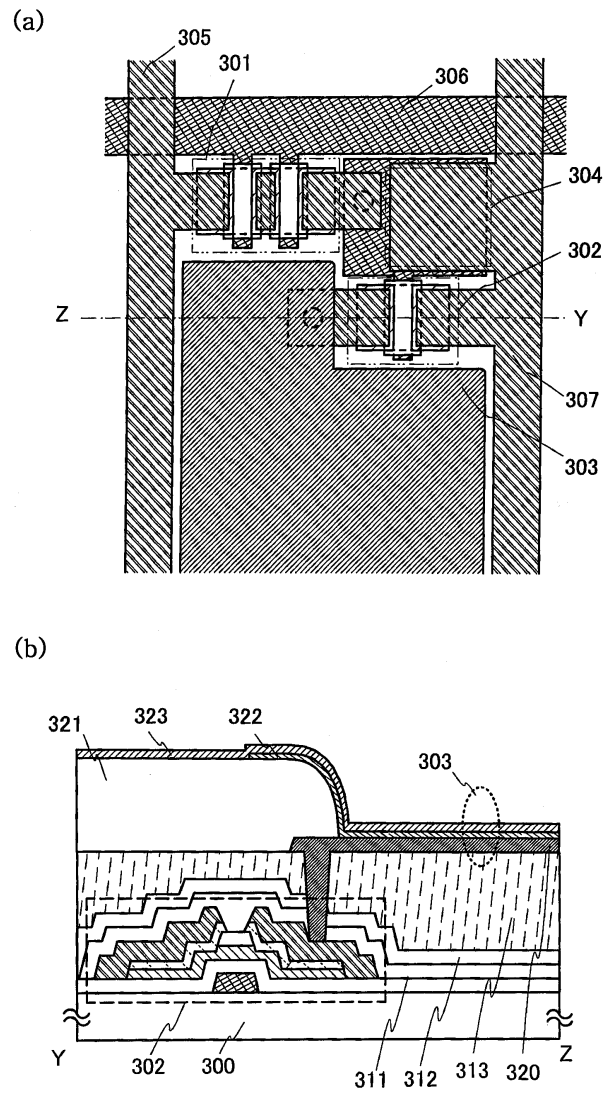
도면17



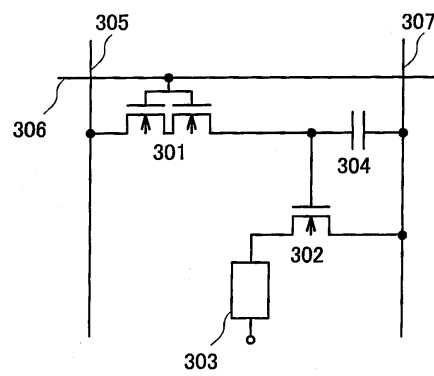
도면18



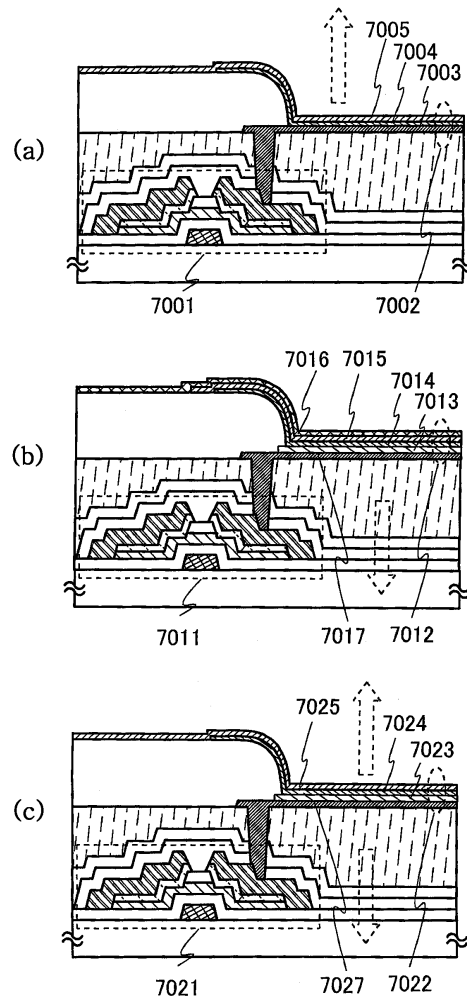
도면19



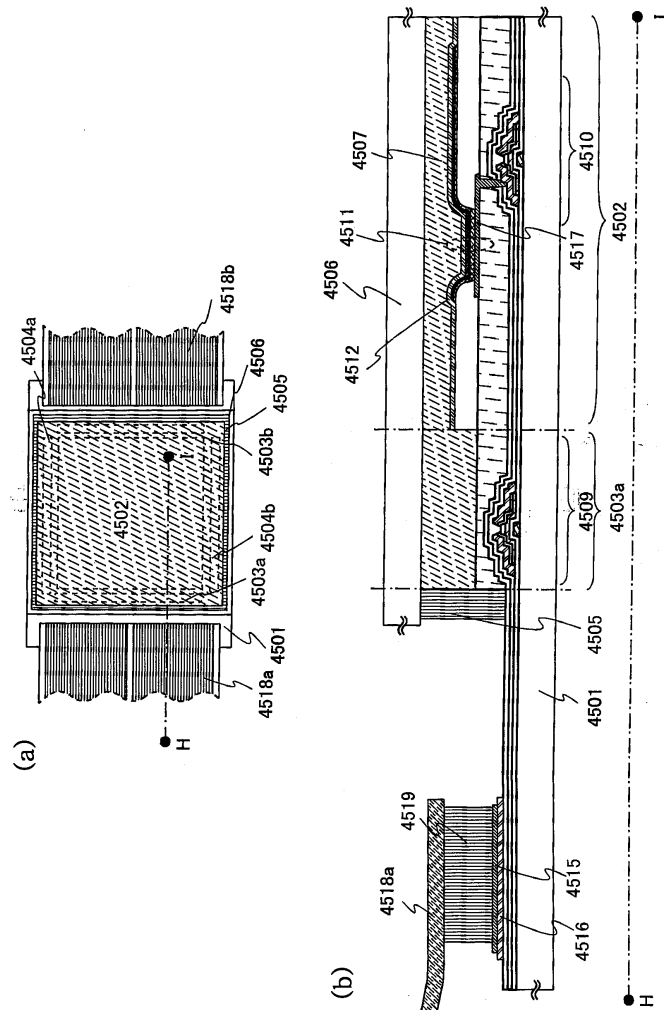
도면20



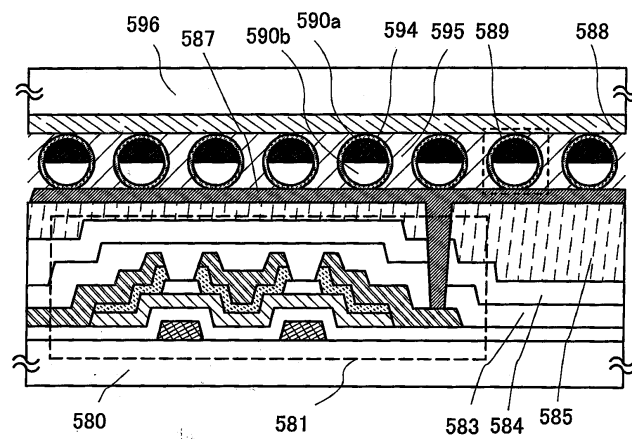
도면21



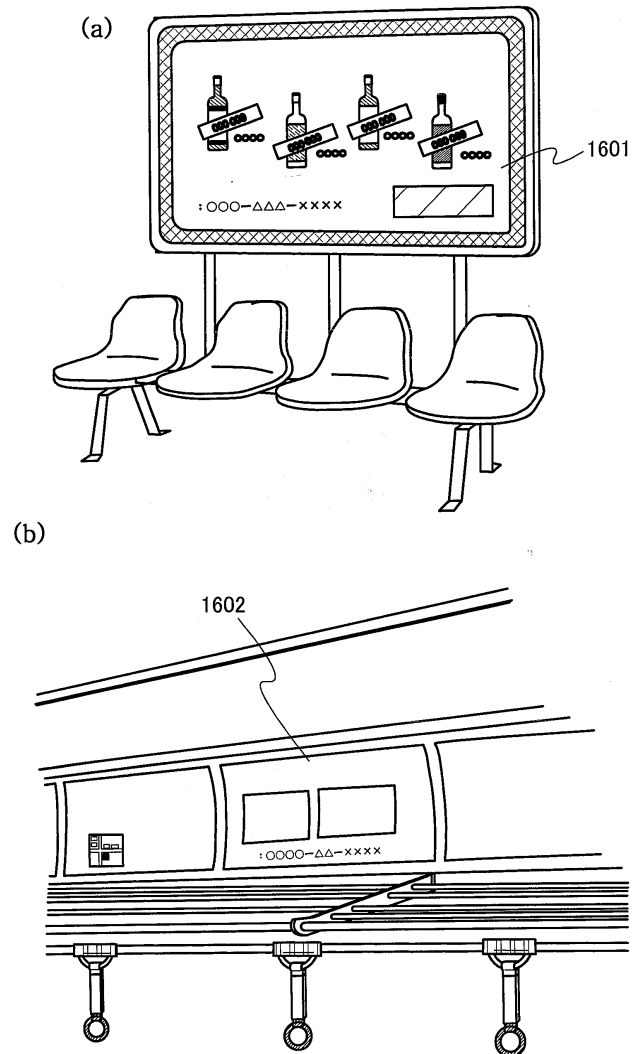
도면22



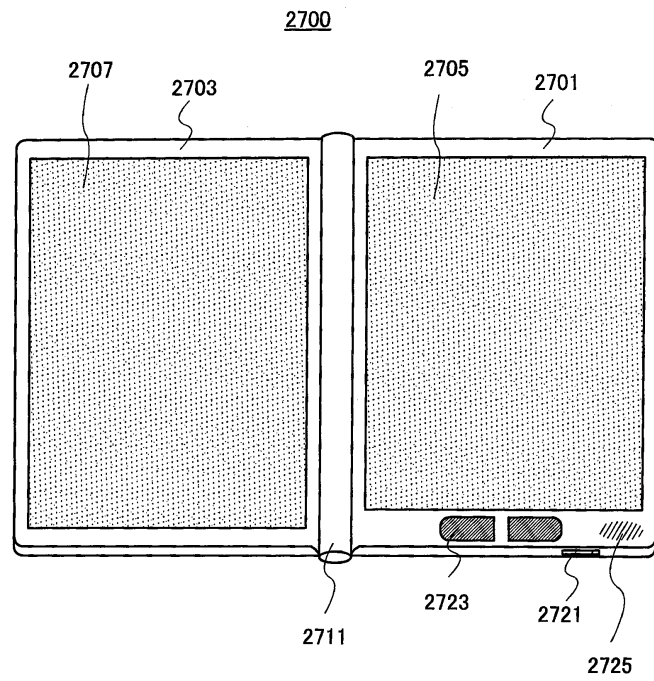
도면23



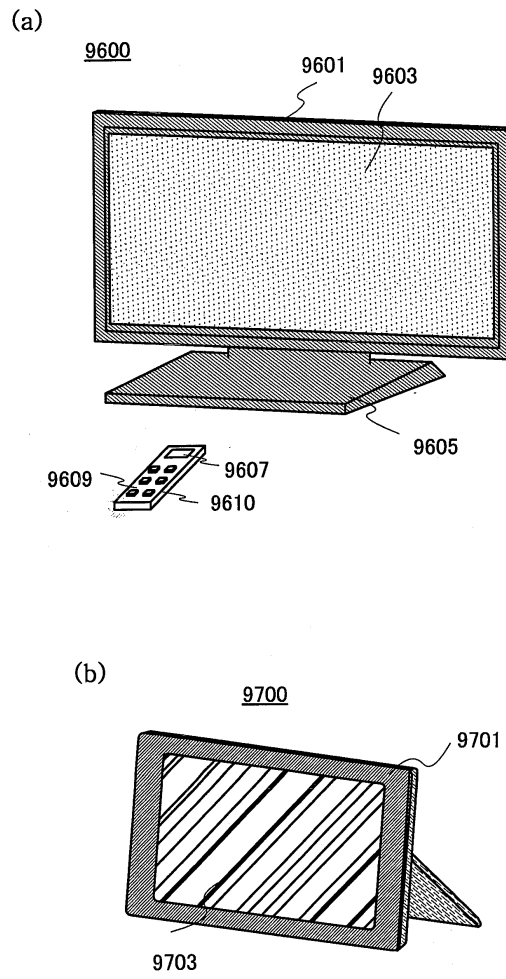
도면24



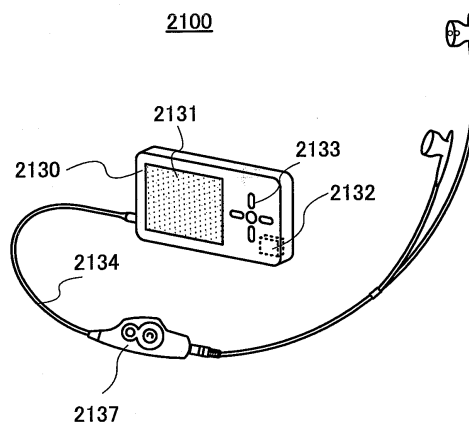
도면25



도면26



도면27



도면28

