

# 發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97140778

※申請日期：97年10月24日

※IPC分類：*H01L 27/24 (2006.01)*  
*H01L 45/00 (2006.01)*

## 一、發明名稱：

(中) 非揮發性半導體記憶裝置  
(英)

## 二、申請人：(共 1 人)

1. 姓名：(中) 日立製作所股份有限公司  
(英) HITACHI, LTD.  
代表人：(中) 1. 古川 一夫  
(英) 1. FURUKAWA, KAZUO  
地址：(中) 日本國東京都千代田區丸之內一丁目六番六號  
(英) 6-6, Marunouchi 1-chome, Chiyoda-ku, Tokyo, Japan  
國籍：(中英) 日本 JAPAN

## 三、發明人：(共 8 人)

1. 姓名：(中) 木下 勝治  
(英) KINOSHITA, MASAHARU  
國籍：(中) 日本  
(英) JAPAN

2. 姓名：(中) 寺尾 元康  
(英) TERAU, MOTOYASU  
國籍：(中) 日本  
(英) JAPAN

3. 姓名：(中) 松岡 秀行  
(英) MATSUOKA, HIDEYUKI  
國籍：(中) 日本  
(英) JAPAN

4. 姓名：(中) 笹子 佳孝  
(英) SASAGO, YOSHITAKA  
國籍：(中) 日本

(英) JAPAN

5. 姓名：(中) 木村 嘉伸  
(英) KIMURA, YOSHINOBU  
國籍：(中) 日本  
(英) JAPAN
6. 姓名：(中) 島 明生  
(英) SHIMA, AKIO  
國籍：(中) 日本  
(英) JAPAN
7. 姓名：(中) 田井 光春  
(英) TAI, MITSUHARU  
國籍：(中) 日本  
(英) JAPAN
8. 姓名：(中) 高浦 則克  
(英) TAKAURA, NORIKATSU  
國籍：(中) 日本  
(英) JAPAN

#### 四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利  主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2007/11/12 ; 2007-292723  有主張優先權

(英) JAPAN

5. 姓名：(中) 木村 嘉伸  
(英) KIMURA, YOSHINOBU  
國籍：(中) 日本  
(英) JAPAN
6. 姓名：(中) 島 明生  
(英) SHIMA, AKIO  
國籍：(中) 日本  
(英) JAPAN
7. 姓名：(中) 田井 光春  
(英) TAI, MITSUHARU  
國籍：(中) 日本  
(英) JAPAN
8. 姓名：(中) 高浦 則克  
(英) TAKAURA, NORIKATSU  
國籍：(中) 日本  
(英) JAPAN

#### 四、聲明事項：

◎本案申請前已向下列國家（地區）申請專利  主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本 ; 2007/11/12 ; 2007-292723  有主張優先權

## 九、發明說明

### 【發明所屬之技術領域】

本發明關於將金屬化合物之結晶狀態與非晶質狀態間之相變化所決定電阻值以非揮發性加以記憶的電氣可改寫之相變化記憶體裝置。

### 【先前技術】

於非揮發性記憶裝置，有以金屬化合物之結晶狀態與非晶質狀態作為記憶資訊使用者，其之記憶材料通常使用碲（Te）化合物。以彼等反射率之差異來記憶資訊的原理，係被廣泛使用於DVD（digital versatile disk）等光學資訊記憶媒體。

近年來，該原理亦被使用於電氣資訊之記憶，其和光學之手法不同，係將非晶質與結晶間之電阻之差、亦即非晶質之高電阻狀態與結晶之低電阻狀態，以電流量或電壓變化加以檢測出的方法。使用於後者之電氣資訊記憶者被稱為相變化記憶體，相變化記憶體之基本記憶格之構造，係組合相變化電阻元件與選擇元件而成的構造。相變化記憶體，係藉由對相變化電阻元件施加電流而產生之焦耳熱，而設定相變化電阻元件之構成要素、亦即非揮發性記錄材料層為結晶狀態或非晶質狀態。又，相變化記憶體，係藉由維持非揮發性記錄材料層之結晶狀態或非晶質狀態，而記憶、保持資訊。改寫時，設為電氣高電阻之非晶質狀態時，係施加大電流使非揮發性記錄材料、亦即電阻

變化材料之溫度成爲融點以上之後，急速冷卻即可，設爲電氣低電阻之結晶狀態時，係限制施加之電流使成爲較融點低之結晶化溫度即可。通常，非揮發性記錄材料層之電阻值因爲相變化而有約百倍～千倍之變化。因此，相變化記憶體因爲結晶或非晶質而使讀出信號大爲不同，感測動作變爲容易。

專利文獻 1：US200610203541A1

專利文獻 2：US6426891B1

#### 【發明內容】

（發明所欲解決之課題）

於習知相變化記憶體之改寫，爲進行自結晶狀態至非晶質狀態、或自非晶質狀態至結晶狀態之相變化，非揮發性記錄材料層須被加熱至極高溫度。因此，隨著重複進行改寫，來自和非揮發性記錄材料層近接之膜，構成和非揮發性記錄材料層近接之膜的原子會產生擴散，而存在改寫條件變化之問題。

於習知技術，例如 US200610203541A1（專利文獻 1）記載之技術，於非揮發性記錄材料層與選擇元件之間配置電連接爲歐姆的金屬膜，但金屬元素會由金屬膜擴散至非揮發性記錄材料層，而存在著改寫條件變化之問題。另外，於 US6426891B1（專利文獻 2），於非揮發性記錄材料層與選擇元件之間配置導電性斷熱膜，用於防止改寫時產生之來自非揮發性記錄材料層之熱擴散，但存在非揮

發性記錄材料層之非晶質化必要之急速冷卻變為困難之問題。本發明目的在於提供相變化記憶體，其可防止來自鄰接於非揮發性記錄材料層之層的原子擴散，或者即使產生擴散時亦成為不影響改寫條件之原子的方式加以構成，另外，非晶質化必要之急速冷容易，而可以保持穩定之改寫條件。

(用以解決課題的手段)

本發明之代表如下。本發明具有：第 1 電極；第 2 電極；非揮發性記錄材料層及選擇元件，形成於第 1 電極與第 2 電極之間；及半導體層，其被形成於非揮發性記錄材料層與選擇元件之間，含有包含於非揮發性記錄材料層的元素。又，以下將形成於非揮發性記錄材料層與選擇元件之間，含有包含於非揮發性記錄材料層的元素之半導體層簡單稱為半導體層。

#### 【實施方式】

以下參照圖 1~4 說明本發明之非揮發性記憶體之記憶格。構造上係以和非揮發性記錄材料層與選擇元件成為不同階層，介由栓塞被電連接者不同，不介由栓塞而使非揮發性記錄材料層與選擇元件以同一階層被電連接、亦即所謂柱狀構造加以說明。又，其中選擇元件說明 pn 多晶矽二極體之例。因此，於圖 1~4 雖圖示形成 pn 接合的第 1 多晶矽層與第 2 多晶矽層，但亦可成為 np 接合或 pin 接

合、nip 接合等其他接合之構造。或者以使用金屬配線層與多晶矽層之肖特基接合構造之選擇元件作為記憶格亦可。又，非揮發性記錄材料層雖以  $\text{Ge}_2\text{Sb}_2\text{Te}_5$  為例加以說明，但選擇包含硫屬元素（S、Se、Te）之其中至少 1 元素的材料組成亦可獲得同程度之性能。

以下各實施形態中，針對依據個別不同積層順序被積層之構造及適當之膜厚統合敘述。

圖 1 為在第 1 金屬配線層 102 上依序積層第 1 多晶矽層 107、第 2 多晶矽層 106、半導體層 105、非揮發性記錄材料層 104、第 2 金屬配線層 103、第 3 金屬配線層 101 而成的第 1 實施形態敘述的構造。

非揮發性記錄材料層 104 被形成於半導體層 105、第 1 多晶矽層 107 及第 2 多晶矽層 106 上。如上述，在第 1 多晶矽層 107 及第 2 多晶矽層 106 所構成之 pn 多晶矽二極體、與非揮發性記錄材料層 104 之間設有半導體層 105，因此，因為改寫動作時產生之焦耳熱使作為雜質被摻入 pn 多晶矽二極體內之原子擴散至非揮發性記錄材料層 104 一事可以被抑制。半導體層 105 之膜厚，太厚或太薄均無法發揮功能。太厚時雖有導電性但電阻會變為過大，其溫度依存性會導致非揮發性記錄材料層 104 之電阻值之溫度餘裕度（margin）不足。太薄時，非揮發性記錄材料層 104 之記憶寫入時之重複溫度上升引起之選擇元件之特性劣化無法被防止。

膜厚、與低電阻狀態 / 高電阻狀態於高溫之電阻比之

關係，在半導體層 105 之膜厚為 160nm 時，低電阻狀態／高電阻狀態於高溫之電阻比約成為 1：20，200nm 時約成為 1：10，240nm 時約成為 1：5。此種電阻變化型非揮發性記憶體，其低電阻狀態與高電阻狀態之電阻比，就防止錯誤讀出觀點而言需要設為約 10 倍，因此半導體層 105 之膜厚為 200nm 以下。

另外，膜厚與可改寫次數之關係，在半導體層 105 之膜厚為 3nm 時，可改寫次數約成為  $10^5$  次，5nm 時約成為  $10^6$  次，8nm 時約成為  $10^6$  次。電阻變化型非揮發性記憶體需要具有至少約  $10^6$  次之可改寫次數，因此半導體層 105 之膜厚為 5nm 以上。

圖 2 為在第 1 金屬配線層 102 上，依序積層非揮發性記錄材料層 104、半導體層 105、第 2 多晶矽層 106、第 1 多晶矽層 107、第 2 金屬配線層 103、第 3 金屬配線層 101 而成的第 2 實施形態的構造。

非揮發性記錄材料層 104 被形成於半導體層 105、第 2 多晶矽層 106 及第 1 多晶矽層 107 之更下方。如上述說明，在第 1 多晶矽層 107 及第 2 多晶矽層 106 所構成之 pn 多晶矽二極體、與非揮發性記錄材料層 104 之間設有半導體層 105，因此，因為改寫動作時產生之焦耳熱使作為雜質被摻入 pn 多晶矽二極體內之原子擴散至非揮發性記錄材料層 104 一事可以被抑制。半導體層 105 之膜厚，太厚或太薄均無法發揮功能。太厚時雖有導電性但電阻會變為過大，其溫度依存性會導致非揮發性記錄材料層 104 之電

阻值之溫度餘裕度不足。太薄時，非揮發性記錄材料層 104 之記憶寫入時之重複溫度上升引起之選擇元件之特性劣化無法被防止。

又，於圖 2，膜厚與電阻比之關係、膜厚與可改寫次數之關係，係和圖 1 相同。

圖 3 為在第 1 金屬配線層 102 上，依序積層第 1 多晶矽層 107、第 2 多晶矽層 106、半導體層 105、非揮發性記錄材料層 104、半導體層 105、第 2 金屬配線層 103、第 3 金屬配線層 101 而成的第 3 實施形態敘述的構造。亦即，在第 1 實施形態敘述的構造之半導體層 105，與第 2 金屬配線層 103 之間，另外追加半導體層 105。如此則，除第 1 實施形態敘述之效果以外，另外可抑制第 2 金屬配線層 103 內之金屬原子朝非揮發性記錄材料層 104 之擴散，可抑制金屬原子引起之改寫條件之變化。又，藉由另外追加之半導體層 105，可抑制第 2 金屬配線層 103 之熱循環引起之劣化，可改寫次數能提升 5 倍以上。

圖 4 為在第 1 金屬配線層 102 上，依序積層半導體層 105、非揮發性記錄材料層 104、半導體層 105、第 2 多晶矽層 106、第 1 多晶矽層 107、第 2 金屬配線層 103、第 3 金屬配線層 101 而成的第 4 實施形態敘述的構造。亦即，在第 2 實施形態敘述的構造之半導體層 105 與第 1 金屬配線層 102 之間，另外追加半導體層 105。如此則，除第 2 實施形態敘述之效果以外，另外可抑制第 1 金屬配線層 102 內之金屬原子朝非揮發性記錄材料層 104 之擴散，可

抑制金屬原子引起之改寫條件之變化。又，藉由另外追加之半導體層 105，可抑制第 1 金屬配線層 102 之熱循環引起之劣化，可改寫次數能提升 5 倍以上。

又，於圖 3~4，膜厚與可改寫次數之關係係和圖 1 相同。又，半導體層 105 之合計膜厚與電阻比之關係係和圖 1 相同。

### （第 1 實施形態）

以下參照圖面說明本發明之非揮發性記憶體之記憶格之製造方法。又，實施形態說明之全圖中具同一機能之構件原則上附加同一符號，並省略重複說明。又，以下實施形態說明之中，除特別必要以外，原則上省略同一或同樣部分之說明。又，實施形態中使用之圖面中，斷面圖為使容易觀看圖面而有省略斜線之情況，另外，平面圖中為使容易觀看亦有附加斜線之情況。

本實施形態中，本發明之記憶格被形成於如圖 5 所示半導體基板 201 上。半導體基板 201，係除了非揮發性記憶體以外，亦形成周邊電路用於使非揮發性記憶體之記憶體矩陣動作。周邊電路係使用既存之 CMOS 技術製造。其中，半導體基板與記憶體矩陣與周邊電路之位置關係如圖 6~8 所示。圖 6~8 所示為，半導體基板、亦即矽基板之元件形成表面垂直方向之斷面模式圖。本實施形態中，如圖 6 所示，說明於周邊電路部上製造記憶體矩陣部之例。亦即，於矽基板上形成作為第 1 層的周邊電路部，於第 2

層形成記憶體矩陣部的積層構造。又，記憶體矩陣與周邊電路之位置關係，可為如圖 7 所示記憶體矩陣部與周邊電路部為同一層，或如圖 8 所示記憶體矩陣部與周邊電路部為同一層、而且在記憶體矩陣部之下層亦存在周邊電路部之積層構造。又，於圖 6、8，記憶體矩陣部為第 2 層，但亦可為第 3 層、第 4 層，為至少在周邊電路部之上層之例。

圖 5 為在半導體基板 201 上，依序積層第 1 金屬配線層 202、第 1 多晶矽層 203、第 2 非晶質矽層 204 而成的構造。第 1 金屬配線層 202 係藉由濺鍍形成，第 1 金屬配線層 202 之材料為鎢，電阻係數低之材料其之電壓降較小、可取得讀出電流，因此更好是例如鋁或銅。又，於第 1 金屬配線層 202 與半導體基板 201 之間，可沈積 TiN 等之金屬化合物而提升黏接性。

第 1 多晶矽層 203，係藉由 LP-CVD (Low Pressure Chemical Vapor Deposition: 低壓化學氣相蒸鍍法) 沈積包含硼 (B) 或鎵 (Ga)、銦 (In) 之任一的非晶質矽之後，藉由 RTA (Rapid Thermal Annealing: 急速加熱處理) 進行結晶化及雜質活化而形成。第 1 多晶矽層 203 具有 50~250nm 之膜厚。其中，第 1 金屬配線層 202 為鎢時，第 1 多晶矽層 203 之形成用材料較好是含硼之非晶質矽，因為其較含鎵或銦之非晶質矽不容易形成鎢矽化物。又，為防止鎢與非晶質矽直接接觸、反應形成鎢矽化物，於第 1 多晶矽層 203 與第 1 金屬配線層 202 之間沈積

TiN 等金屬化合物亦可。第 2 非晶質矽層 204，係藉由 LP-CVD 沈積包含磷 (P) 或砷 (As) 之非晶質矽而獲得。第 2 非晶質矽層 204 具有 50~250nm 之膜厚。

圖 9 表示對圖 5 沈積的第 2 非晶質矽層 204 施予雷射退火之工程。藉由雷射退火進行第 2 非晶質矽層 204 之結晶化及雜質活化而形成第 2 多晶矽層 205。本實施形態中，構成記憶格之選擇元件為 pn 二極體。因此，第 1 多晶矽層 203 與第 2 多晶矽層 205 之接合以 pn 接合加以說明，但 np 接合或 pin 接合、pi 接合等其他接合，或與第 1 多晶矽層 203 之肖特基接合之選擇元件用於記憶格亦可。

圖 10 為於圖 9 上依序沈積半導體層 206、非揮發性記錄材料層 207、第 2 金屬配線層 208 後之構造圖。半導體層 206、非揮發性記錄材料層 207 與第 2 金屬配線層 208 係藉由濺鍍沈積。

非揮發性記錄材料層 207 之材料為  $\text{Ge}_2\text{Sb}_2\text{Te}_5$ ，具有 5~300nm 之膜厚，為了後續工程之乾蝕刻或絕緣性材料填埋之容易進行，更好是使深寬比變低而為 5~50nm 之膜厚。

半導體層 206，係由包含非揮發性記錄材料層 104 之構成元素的材料構成。藉由使用該層，藉由雷射退火之高溫狀態，即使發生半導體層 206 之一部分元素朝非揮發性記錄材料層擴散，亦可以將其對改寫特性或二極體特性之影響抑制於實質上不會發生問題之程度。例如 Ge-Sb-Te 系材料中 Ge 擴散時記憶體特性之變化不會造成問題的

程度。

半導體層 206，係以非揮發性記錄材料層 207 之改寫條件變化不容易發生的 Ge 為材料，具有 5nm 以上、200nm 以下之膜厚。該膜厚範圍之理由係如上述說明。Ge 之含有量較好是 90 原子%以上。取代 Ge，改用 Ge-Si 混合材料亦可獲得同樣效果。此情況下，膜厚較好是 5nm 以上、200nm 以下。另外，其他包含 Ge 與 Si 以外之元素的材料亦可。此情況下，Ge 之含有量為 40 原子%以上時，非揮發性記憶體之改寫特性不容易劣化而較好。亦即，半導體層 206 為 Ge-Si 混合材料以外時，以至少含有 40 原子%以上之 Ge 之材料構成。另外，半導體層 206 亦可使用 Ge 以外之習知各種半導體材料，可使用 InSb、GaSb。特別是半導體層之重點為，該半導體層係由：含有該非揮發性記錄材料層之構成材料的半導體材料構成。於彼等情況下，膜厚較好是 5nm 以上、200nm 以下。

本實施形態中，非揮發性記錄材料層 207 之構成元素之例為  $\text{Ge}_2\text{Sb}_2\text{Te}_5$ ，但亦可使用  $\text{Ge}_3\text{Sb}_2\text{Te}_6$  或  $\text{Ge}_5\text{Sb}_2\text{Te}_8$ 、Ge-Te 等之非揮發性記錄材料層。相變化記憶體之原理僅為資訊改寫原理之一例，除其以外，使用固態電解質記憶體之原理時，例如以  $\text{Cu}_2\text{Se}$  層或 GeSe 層作為非揮發性記錄材料層，第 1 金屬配線層及第 2 金屬配線層之其中至少 1 方設為 Cu 亦可。但是，固態電解質記憶體雖存在有：寫入動作與抹除動作施加反方向電壓的雙向動作方式，及寫入動作與抹除動作施加同方向電壓的一方向動作

方式，其中，因為使用二極體作為非揮發性記錄材料層之選擇元件之故，需要以一方向電壓驅動。

半導體層 206 之膜厚太厚或太薄均無法發揮功能。太厚時雖有導電性但電阻會變為過大，其溫度依存性會導致非揮發性記錄材料層 207 之電阻值之溫度餘裕度不足。太薄時，非揮發性記錄材料層 207 之記憶寫入時之重複溫度上升引起之選擇元件之特性劣化無法被防止。因此，半導體層 206 之膜厚為 5nm 以上 200nm 以下。

圖 11 為於圖 10 上使用習知微影成像技術進行阻劑圖案化後的構造。阻劑 209 之圖案為，記憶體矩陣之字元線之圖案，係和鄰接字元線之圖案平行延伸，成為縱條紋狀圖案。

圖 12 為以圖 11 之阻劑 209 為遮罩，使用習知乾蝕刻技術進行第 2 金屬配線層 208、非揮發性記錄材料層 207、半導體層 206、第 2 多晶矽層 205、第 1 多晶矽層 203 及第 1 金屬配線層 202 之蝕刻，使用習知技術除去阻劑 209 後的構造。第 1 金屬配線層 210、第 1 多晶矽層 211、第 2 多晶矽層 212、半導體層 213、非揮發性記錄材料層 214、及第 2 金屬配線層 215 構成之積層膜之圖案，係反映阻劑 209 之圖案，被形成為縱條紋狀圖案。又，第 1 金屬配線層 210，係使非揮發性記憶體之讀出及寫入可以進行，而作為記憶體矩陣之字元線被電連接於半導體基板 201，其圖示被省略。

圖 13 為於圖 12 之圖案間填充絕緣性材料之後，使用

習知技術、亦即 CMP（化學機械研磨法）進行該絕緣性材料之研磨削薄後的構造。該削薄量為，使絕緣性材料 217 與第 2 金屬配線層 215 之表面高度成為相同的量。

圖 14 為在圖 13 之絕緣性材料 217 與第 2 金屬配線層 215 之上，藉由濺鍍沈積第 3 金屬配線層 218 後的構造。第 3 金屬配線層 218 之材料為鎢，但更好為電阻係數低的鋁或銅。

圖 15 為於圖 14 之第 3 金屬配線層 218 之上使用習知微影成像技術進行阻劑圖案化後的構造。阻劑 219 之圖案為，記憶體矩陣之位元線之圖案，係和鄰接位元線之圖案平行延伸，成為橫條紋狀圖案。又，阻劑 219 之圖案，係和第 1 金屬配線層 210 之圖案交叉。

圖 16 為以圖 15 之阻劑 219 為遮罩，使用習知乾蝕刻技術進行第 3 金屬配線層 218、第 2 金屬配線層 215、非揮發性記錄材料層 214、半導體層 213、第 2 多晶矽層 212、第 1 多晶矽層 211 及絕緣性材料 217 之加工，使用習知技術除去阻劑 219 後的構造。此時，為設為可選擇記憶格，需要殘留記憶體矩陣之字元線、亦即第 1 金屬配線層 210。第 1 多晶矽層 220、第 2 多晶矽層 221、半導體層 222、非揮發性記錄材料層 223、及第 2 金屬配線層 224 構成之積層膜 PU1 為柱狀。記憶體矩陣之位元線、亦即第 3 金屬配線層 226 為，和鄰接之第 3 金屬配線層 226 平行之縱條紋狀，被配置為和第 1 金屬配線層 210 交叉。又，第 3 金屬配線層 226，係使非揮發性記憶體之讀出及寫入可

以進行，而作為記憶體矩陣之位元線被電連接於半導體基板 201，其圖示被省略。

圖 17 為於圖 16 之圖案間沈積絕緣性材料之後，使用習知技術、亦即 CMP 進行該沈積之絕緣性材料之研磨削薄後的構造。該削薄量為，使絕緣性材料 228 與第 3 金屬配線層 226 之表面高度成為相同的量。

圖 18 為在圖 17 之構造之上，沈積絕緣性材料 229 後的構造。

圖 19 為藉由圖 5~圖 18 說明之製造方法製作的記憶格之上面圖。記憶格之字元線、亦即第 1 金屬配線層 210，係和位元線、亦即第 3 金屬配線層 226 呈交叉，積層膜 PU1 配置於該交叉點。

以下參照圖面說明適用本發明之非揮發性記憶體之記憶格的記憶體矩陣之動作方式。

圖 20 為非揮發性記憶體之記憶格陣列的構成圖。記憶格  $MC_{ij}$  ( $i=1, 2, 3, \dots, m$ ,  $j=1, 2, 3, \dots, n$ ) 被配置於，多數條平行配置的第 1 配線（以下稱字元線） $WLi$  ( $i=1, 2, 3, \dots, m$ )，與和字元線  $WLi$  呈交叉而多數條平行被配置的第 2 配線（以下稱位元線） $BLj$  ( $j=1, 2, 3, \dots, n$ ) 之交叉點，成為選擇元件 SE 與相變化電阻元件 VR 被串接之構造。圖中，選擇元件 SE 之一端連接於字元線  $WLi$ ，相變化電阻元件 VR 之一端連接於位元線  $BLj$ ，但如後述說明，欲藉由對字元線  $WLi$  與位元線  $BLj$  之電壓施加方式選擇記憶格時，使選擇元件

SE 之一端連接於位元線  $BL_j$ ，相變化電阻元件 VR 之一端連接於字元線  $WL_i$  亦可。

非揮發性記憶體之記錄如下進行。例如改寫記憶格 MC11 時，對第 1 號字元線  $WL_1$  施加電壓  $V_h$ ，對其他字元線  $WL_i$  施加電壓  $V_1$ ，對第 1 號位元線  $BL_1$  施加電壓  $V_1$ ，對其他位元線  $BL_j$  施加電壓  $V_1$ ，使電流流入記憶格 MC11 之相變化電阻元件而記憶資訊。其中，電壓  $V_h$  為高於電壓  $V_1$  之電壓。改寫時，為排除對非選擇記憶格之誤寫入，而需要具有作用的選擇元件 SE。另外，當然電壓  $V_h$  須為選擇元件 SE 之降幅電壓以下。非揮發性記憶體之讀出如下進行。例如讀出記憶格 MC11 之資訊時，對第 1 號字元線  $WL_1$  施加電壓  $V_m$ ，對其他字元線  $WL_i$  施加電壓  $V_1$ ，對第 1 號位元線  $BL_1$  施加電壓  $V_1$ ，由流入位元線  $BL_1$  之電流之大小讀出資訊。

上述記憶體矩陣說明僅第 1 層之單層之寫入、讀出，但構成多層時可以大容量化而更好。例如圖 21 所示記憶體矩陣設為 2 層積層時，於圖 18 之構造上、亦即於絕緣性材料 310 上，和第 1 實施形態之圖 5~18 同樣，形成記憶體矩陣之第 2 層字元線之第 1 金屬配線層 402，第 2 層之第 1 多晶矽層 403 及第 2 層之第 2 多晶矽層 404 及第 2 層之半導體層 405 及第 2 層之非揮發性記錄材料層 406 及第 2 層之第 2 金屬配線層 407 構成之柱狀的第 2 層之積層膜 PU11，以及記憶體矩陣之第 2 層位元線之第 3 金屬配線層 409，形成絕緣性材料 408 及絕緣性材料 410 即可。

此情況下，進行第 2 層之多晶矽層之退火之同時，第 1 層之非揮發性記錄材料層 214 雖會過熱，但非揮發性記錄材料層 214 被配線層或絕緣層覆蓋，可以防止變形或剝離。

另外，將記憶體矩陣積層 k 層（ $k=1, 2, 3, \dots$ ）時，亦藉由同樣方法製造記憶體矩陣。當然將記憶體矩陣積層時，於非揮發性記憶體之記錄及讀出時需要層之選擇。層之選擇，例如各層之字元線設為共通時，只需設定寫入層由位元線加以選擇幾可。

如上述說明，藉由積層記憶體矩陣，可使記憶格之位元密度變高，可實現低成本之非揮發性記憶體之製造。

#### （第 2 實施形態）

本實施形態係將本發明之記憶格形成於如圖 22 所示半導體基板 201 上。半導體基板 201，係除了非揮發性記憶體以外，亦形成周邊電路用於使非揮發性記憶體之記憶體矩陣動作。周邊電路係使用既存之 CMOS 技術製造。周邊電路與記憶體矩陣之位置關係和第 1 實施形態同樣。

圖 22 為在半導體基板 201 上，依序積層第 1 金屬配線層 202、非揮發性記錄材料層 207、半導體層 206、第 2 非晶質矽層 204、第 1 非晶質矽層 251 而成的構造。第 1 金屬配線層 202 係藉由濺鍍形成，第 1 金屬配線層 202 之材料為鎢，電阻係數低之材料其之電壓降較小、可取得讀出電流，因此更好是例如鋁或銅。又，於第 1 金屬配線層

202 與半導體基板 201 之間，可沈積 TiN 等之金屬化合物而提升黏接性。非揮發性記錄材料層 207 與半導體層 206 係藉由濺鍍沈積。非揮發性記錄材料層 207 之材料為，例如適合結晶－非晶質相變化記錄的  $\text{Ge}_2\text{Sb}_2\text{Te}_5$ ，具有 5~300nm 之膜厚，但為了後續工程之乾蝕刻或絕緣性材料之填埋容易進行，更好是使深寬比變低，較好是 5~50nm 之膜厚。目前為止積層之階段，以半導體層 206 作為保護層進行非揮發性記錄材料層之雷射退火亦可。此情況下，對半導體層 206 之雷射退火，較好是使用多晶矽層可透過之波長 460nm 以上 1 $\mu\text{m}$  以下之長波長雷射，但亦可使用被多晶矽層吸收光，藉由熱傳導加熱非揮發性記錄材料層的 450nm 以下之短波長雷射。雷射照射可為連續或脈衝照射。

第 2 非晶質矽層 204，係藉由 LP-CVD 沈積含磷 (P) 或砷 (As) 之非晶質矽而獲得。第 2 非晶質矽層 204 具有 50~250nm 之膜厚。第 1 非晶質矽層 251，係藉由 LP-CVD 沈積含硼 (B)、鎵 (Ga) 或銦 (In) 之非晶質矽而獲得。第 1 非晶質矽層 251 具有 50~250nm 之膜厚。

半導體層 206 之膜厚太厚或太薄均無法發揮功能。太厚時雖有導電性但電阻會變為過大，其溫度依存性會導致非揮發性記錄材料層 207 之電阻值之溫度餘裕度不足。太薄時，非揮發性記錄材料層 207 之記憶寫入時之重複溫度上升會導致選擇元件之特性劣化無法被防止。因此，半導

體層 206 之膜厚為 5nm 以上 200nm 以下。

又，半導體層 206，係以非揮發性記錄材料層 207 之改寫條件變化不容易發生的 Ge 之含有量 90% 以上之材料，第 1 實施形態敘述之材料亦可。本實施形態中，非揮發性記錄材料層 207 之構成元素之例為  $\text{Ge}_2\text{Sb}_2\text{Te}_5$ ，但亦可使用  $\text{Ge}_3\text{Sb}_2\text{Te}_6$  或  $\text{Ge}_5\text{Sb}_2\text{Te}_8$ 、Ge-Te 等之非揮發性記錄材料層。亦可使用適合固態電解質記憶體記錄之固態電解質材料。

圖 23 表示對圖 22 沈積的第 2 非晶質矽層 204 與第 1 非晶質矽層 251 施予雷射退火之工程。藉由雷射退火進行第 2 非晶質矽層 204 與第 1 非晶質矽層 251 之結晶化及雜質活化而形成第 2 多晶矽層 205 及第 1 多晶矽層 203。本實施形態中，構成記憶格之選擇元件為 pn 二極體。因此，第 1 多晶矽層 203 與第 2 多晶矽層 205 之接合設為 pn 接合，但 np 接合或 pin 接合、pi 接合等其他接合之選擇元件用於記憶格亦可。

使非揮發性記錄材料層 207 較半導體層 206 及第 2 非晶質矽層 204 及第 1 非晶質矽層 251 形成於更下方時，至少以半導體層 206 作為保護層藉由雷射照射進行非揮發性記錄材料層 207 之退火，可以大幅減少 as-depo 狀態之原子配列之紊亂，記憶體元件之動作良品率可提升 10% 以上。施予多晶矽層之退火時，介由半導體層 206 使下方之非揮發性記錄材料層 207 有可能成為較融點大幅之高溫，然以短波長之短脈衝雷射施予退火可抑制朝下方之熱擴

散，可防止變形或剝離。波長為 450nm 以下、脈寬 100 $\mu$ s 以下之脈衝雷射照射時，未觀察到變形或剝離。

圖 24 為，於圖 23 之多晶矽層上藉由濺鍍沈積第 2 金屬配線層 208 之構造。第 2 金屬配線層 208 之材料為鎢，但更好是低電阻係數之鋁或銅。

圖 25 為，和第 1 實施形態之圖 11、12 說明的方法同樣，在圖 24 之第 2 金屬配線層 208 上使用習知微影成像技術、乾蝕刻技術進行第 2 金屬配線層 208、第 1 多晶矽層 203、第 2 多晶矽層 205、半導體層 206、非揮發性記錄材料層 207 及第 1 金屬配線層 202 之加工後的構造。第 1 金屬配線層 210、第 1 多晶矽層 211、第 2 多晶矽層 212、半導體層 213、非揮發性記錄材料層 214、及第 2 金屬配線層 215 構成之積層膜之圖案，係和記憶體矩陣之字元線圖案相同，和鄰接之圖案平行延伸，成為縱條紋狀圖案。又，第 1 金屬配線層 210，係使非揮發性記憶體之讀出及寫入可以進行，而作為記憶體矩陣之字元線被電連接於半導體基板 201，其圖示被省略。

圖 26 為於圖 25 之構造形成後，使用 HDP-CVD 於圖案間填充絕緣性材料之後，使用 CMP 進行平坦化後，藉由習知濺鍍沈積第 3 金屬配線層 218 的構造。第 3 金屬配線層 218 之材料為鎢，但更好是低電阻係數之鋁或銅。

圖 27 為於圖 26 上使用習知微影成像技術、乾蝕刻技術進行第 3 金屬配線層 218、第 2 金屬配線層 215、非揮發性記錄材料層 214、半導體層 213、第 2 多晶矽層 212、

第 1 多晶矽層 211 及絕緣性材料 217 之加工後的構造。此時，為設為可選擇記憶格，需要殘留記憶體矩陣之位元線、亦即第 1 金屬配線層 210。非揮發性記錄材料層 223、半導體層 222、第 2 多晶矽層 221、第 1 多晶矽層 220、及第 2 金屬配線層 224 構成之積層膜 PU2 為柱狀。第 3 金屬配線層 226 之圖案，係記憶體矩陣之位元線之圖案，和鄰接之位元線之圖案呈平行延伸成為橫條紋狀圖案。又，第 3 金屬配線層 226 之圖案，係和第 1 金屬配線層 210 之圖案呈交叉。又，第 3 金屬配線層 226，係使非揮發性記憶體之讀出及寫入可以進行，而作為記憶體矩陣之位元線被電連接於半導體基板 201，其圖示被省略。

半導體層最適化時，第 1 多晶矽層為止積層之後，以波長 350nm 以上 450nm 以下之連續或脈衝雷射，同時進行第 1 多晶矽層與非揮發性記錄材料層之雷射退火亦可。此情況下，半導體層之材料以 Si-Ge 混合材料為佳。Si-Ge 系之折射率及衰減係數之波長依存性成為如圖 28 所示，因此藉由透過多晶矽層之波長 460nm 以上 1 $\mu$ m 以下之長波長雷射進行非揮發性記錄材料層之退火，之後，以波長 350nm 以下之短波長雷射進行多晶矽層之退火亦可。更好是 Si 含有 77 原子%以上 94 原子%以下之 Si-Ge，膜厚設為 5nm 以上、200nm 以下時，多晶矽層或非揮發性記錄材料層均可施予最適化之退火。

圖 29 為於圖 27 之構造形成後，使用 HDP-CVD 於圖案間之間隙填充絕緣性材料 228，使用 CMP 進行平坦化

後，藉由習知濺鍍沈積絕緣性材料 229 之圖。

圖 30 為使用圖 22~27 及圖 29 說明之製造方法製作的記憶格之上面圖。記憶格之字元線、亦即第 1 金屬配線層 210，係和位元線、亦即第 3 金屬配線層 226 交叉，積層膜 PU2 配置於該交叉點。各層使用之材料係和第 1 實施形態同樣。又，和第 1 實施形態同樣積層多數層記憶體矩陣亦可。

本實施形態之非揮發性記憶體之記憶格適用的記憶體矩陣之動作方式係和第 1 實施形態同樣。

(第 3 實施形態)

圖 31 係和第 1 實施形態之圖 5~圖 18 同樣，於半導體基板 201 上形成：記憶體矩陣之字元線的第 1 金屬配線層 210，第 1 多晶矽層 220 及第 2 多晶矽層 221 及半導體層 222 及非揮發性記錄材料層 223 及半導體層 222 及第 2 金屬配線層 224 構成之柱狀積層膜 PU5，記憶體矩陣之位元線的第 3 金屬配線層 226，形成絕緣性材料 229 及絕緣性材料 228 之圖。

藉由設置半導體層，可防止對非揮發性記錄材料層進行重複寫入時之熱循環引起之劣化，可改寫次數能提升 5 倍以上。半導體層之合計膜厚係和第 1 實施形態相同。各層使用之材料係和實施形態相同。又，和第 1 實施形態相同，亦可積層多數層記憶體矩陣。

本實施形態中，和在第 2 金屬配線層之下不存在半導

體層之情況比較，形成半導體材料後，可以該層作為保護層對非揮發性記錄材料層進行雷射退火。半導體層之膜厚係和第 1 實施形態相同。各層使用之材料係和實施形態相同。又，和第 1 實施形態相同，亦可積層多數層記憶體矩陣。

本實施形態之非揮發性記憶體之記憶格適用的記憶體矩陣之動作方式係和第 1 實施形態同樣。又，周邊電路與記憶體矩陣之位置關係係和第 1 實施形態同樣。

（第 4 實施形態）

圖 32 係和第 1 實施形態之圖 5～圖 18 同樣，於半導體基板 201 上形成：記憶體矩陣之字元線的第 1 金屬配線層 210，半導體層 222 及非揮發性記錄材料層 223 及半導體層 222 及第 2 多晶矽層 221 及第 1 多晶矽層 220 及第 2 金屬配線層 224 構成之柱狀積層膜 PU6，及記憶體矩陣之位元線的第 3 金屬配線層 226；形成絕緣性材料 228 及絕緣性材料 229 之圖。

藉由設置半導體層，可防止對非揮發性記錄材料層進行重複寫入時之熱循環引起之劣化，可改寫次數能提升 5 倍以上。半導體層之合計膜厚係和第 1 實施形態相同。各層使用之材料係和實施形態相同。又，和第 1 實施形態相同，亦可積層多數層記憶體矩陣。

本實施形態之非揮發性記憶體之記憶格適用的記憶體矩陣之動作方式係和第 1 實施形態同樣。又，周邊電路與

記憶體矩陣之位置關係係和第 1 實施形態同樣。以上針對各實施形態加以說明。於各實施形態，係在多晶矽二極體與非揮發性記錄材料層之間設置半導體層，該半導體層含有包含於非揮發性記錄材料層之元素，如此則，改寫動作時產生之熱所導致含於多晶矽二極體之雜質之擴散至非揮發性記錄材料層之情況可以被抑制。又，該半導體層含有包含於非揮發性記錄材料之元素，因此即使該半導體層內之元素擴散至非揮發性記錄材料層之情況下對改寫條件之影響亦少。因此，可獲得改寫條件穩定之非揮發性記憶體或可改寫次數較目前為止更多的非揮發性記憶體。

以上於各實施形態說明相變化記憶體，但在不脫離本發明思想範圍內，非揮發性記錄材料層可使用習知各種非揮發性記錄材料，例如相變化材料、固態電解質材料、磁性材料等。此情況下，作為半導體材料藉由設置含有包含於各材料之元素的半導體層，即可獲得同樣效果。

（發明效果）

依本發明可獲得改寫條件穩定的相變化記憶體。例如可實現改寫時間 50ns 以下、可改寫  $10^9$  次以上的非揮發性記憶體。

【圖式簡單說明】

圖 1 為本發明第 1 實施形態之記憶格之重要部分斷面圖。

圖 2 為本發明第 2 實施形態之記憶格之重要部分斷面圖。

圖 3 為本發明第 3 實施形態之記憶格之重要部分斷面圖。

圖 4 為本發明第 4 實施形態之記憶格之重要部分斷面圖。

圖 5 為本發明第 1 實施形態之半導體裝置之製造工程中之鳥瞰圖。

圖 6 為矽基板及周邊電路部及記憶體矩陣部之位置關係圖。

圖 7 為矽基板及周邊電路部及記憶體矩陣部之位置關係圖。

圖 8 為矽基板及周邊電路部及記憶體矩陣部之位置關係圖。

圖 9 為接續圖 5 的半導體裝置之製造工程中之鳥瞰圖。

圖 10 為接續圖 9 的半導體裝置之製造工程中之鳥瞰圖。

圖 11 為接續圖 10 的半導體裝置之製造工程中之鳥瞰圖。

圖 12 為接續圖 11 的半導體裝置之製造工程中之鳥瞰圖。

圖 13 為接續圖 12 的半導體裝置之製造工程中之鳥瞰圖。

圖 14 為接續圖 13 的半導體裝置之製造工程中之鳥瞰圖。

圖 15 為接續圖 14 的半導體裝置之製造工程中之鳥瞰圖。

圖 16 為接續圖 15 的半導體裝置之製造工程中之鳥瞰圖。

圖 17 為接續圖 16 的半導體裝置之製造工程中之鳥瞰圖。

圖 18 為接續圖 17 的半導體裝置之製造工程中之鳥瞰圖。

圖 19 為圖 18 之構造對應之上面圖。

圖 20 為本發明之半導體裝置之記憶體矩陣之重要部分電路圖。

圖 21 為本發明第 1 實施形態之半導體裝置之製造工程中之鳥瞰圖。

圖 22 為本發明第 2 實施形態之半導體裝置之製造工程中之鳥瞰圖。

圖 23 為接續圖 22 的半導體裝置之製造工程中之鳥瞰圖。

圖 24 為接續圖 23 的半導體裝置之製造工程中之鳥瞰圖。

圖 25 為接續圖 24 的半導體裝置之製造工程中之鳥瞰圖。

圖 26 為接續圖 25 的半導體裝置之製造工程中之鳥瞰

圖。

圖 27 為接續圖 26 的半導體裝置之製造工程中之鳥瞰圖。

圖 28 為 Si-Ge 之光學常數相關圖。

圖 29 為接續圖 27 的半導體裝置之製造工程中之鳥瞰圖。

圖 30 為圖 29 之構造對應之上面圖。

圖 31 為本發明第 4 實施形態之半導體裝置之製造工程中之鳥瞰圖。

圖 32 為本發明第 5 實施形態之半導體裝置之製造工程中之鳥瞰圖。

#### 【主要元件符號說明】

101：第 3 金屬配線層；102：第 1 金屬配線層；  
103：第 2 金屬配線層；104：非揮發性記錄材料層；  
105：半導體層；106：第 2 多晶矽層；107：第 1 多晶矽層；  
201：半導體基板；202：第 1 金屬配線層；203：第 1 多晶矽層；  
204：第 2 非晶質矽層；205：第 2 多晶矽層；  
206：半導體層；207：非揮發性記錄材料層；208：第 2 金屬配線層；  
209：阻劑；210：第 1 金屬配線層；211：第 1 多晶矽層；  
212：第 2 多晶矽層；213：半導體層；214：非揮發性記錄材料層；  
215：第 2 金屬配線層；217：絕緣性材料；218：第 3 金屬配線層；  
219：阻劑；220：第 1 多晶矽層；221：第 2 多晶矽層；222：半導體

層；223：非揮發性記錄材料層；224：第2金屬配線層；  
225、228、229：絕緣性材料；226：第3金屬配線層；  
402：第2層之第1金屬配線層；403：第2層之第1多晶  
矽層；404：第2層之第2多晶矽層；405：第2層之半導  
體層；406：第2層之非揮發性記錄材料層；407：第2層  
之第2金屬配線層；408：第2層之絕緣性材料；409：第  
2層之第3金屬配線層；410：第2層之絕緣性材料；  
251：第1非晶質矽層；SE：選擇元件；VR：相變化電阻  
元件；WL1：第1號字元線；WL2：第2號字元線；  
WLi：第i號字元線；WLm：第m號字元線；BL1：第1  
號位元線；BL2：第2號位元線；BLj：第j號位元線；  
BLn：第n號位元線；MC11：第1號字元線與第1號位元  
線之交叉點的記憶格；MCi1：第i號字元線與第1號位元  
線之交叉點的記憶格；MCm1：第m號字元線與第1號位  
元線之交叉點的記憶格；MC1j：第1號字元線與第j號位  
元線之交叉點的記憶格；MCij：第i號字元線與第j號位  
元線之交叉點的記憶格；MCmj：第m號字元線與第j號  
位元線之交叉點的記憶格；MC1n：第1號字元線與第n號  
位元線之交叉點的記憶格；MCin：第i號字元線與第n號  
位元線之交叉點的記憶格；MCmn：第m號字元線與第n  
號位元線之交叉點的記憶格；Laser：雷射；PU1：積層  
膜；PU12：第2層之積層膜；PU2：積層膜；PU5：積層  
膜；PU6：積層膜。

### 五、中文發明摘要

發明之名稱：非揮發性半導體記憶裝置

於相變化記憶體等，以薄膜形成記錄材料與選擇元件之雙方時，因為改寫動作等之熱會使和記錄材料層鄰接之層的原子擴散至記錄材料，而存在著改寫特性變化之問題。

為解決上述問題，本發明係於非揮發性記錄材料層（224）與選擇元件（220、221）之間，具有5nm以上200nm以下膜厚之半導體層（222）。如此則，可獲得大容量、且改寫條件穩定之非揮發性記憶體。

### 六、英文發明摘要

發明之名稱：

## 十、申請專利範圍

1. 一種非揮發性半導體記憶裝置，其特徵為具有：

第 1 電極；

第 2 電極；

非揮發性記錄材料層及選擇元件，形成於上述第 1 電極與上述第 2 電極之間；及

半導體層，其被形成於上述非揮發性記錄材料層與上述選擇元件之間，含有包含於上述非揮發性記錄材料層的元素。

2. 如申請專利範圍第 1 項之非揮發性半導體記憶裝置，其中

上述半導體層，係形成於上述選擇元件上，

上述非揮發性記錄材料層，係形成於上述半導體層上。

3. 如申請專利範圍第 1 項之非揮發性半導體記憶裝置，其中

上述半導體層，係形成於上述非揮發性記錄材料層上，

上述選擇元件，係形成於上述半導體層上。

4. 如申請專利範圍第 1 項之非揮發性半導體記憶裝置，其中

上述非揮發性記錄材料層包含：包含硫屬元素之其中至少 1 元素的材料。

5. 如申請專利範圍第 1 項之非揮發性半導體記憶裝

置，其中

上述半導體層包含：40原子%以上之Ge（鍺）。

6.如申請專利範圍第5項之非揮發性半導體記憶裝置，其中

上述半導體層包含：90原子%以上之Ge。

7.如申請專利範圍第1項之非揮發性半導體記憶裝置，其中

上述半導體層為Ge與Si之混合材料。

8.如申請專利範圍第1項之非揮發性半導體記憶裝置，其中

上述半導體層為InSb或GaSb。

9.如申請專利範圍第1項之非揮發性半導體記憶裝置，其中

上述半導體層具有5nm以上200nm以下之膜厚。

10.如申請專利範圍第1項之非揮發性半導體記憶裝置，其中

上述選擇元件為二極體。

11.如申請專利範圍第10項之非揮發性半導體記憶裝置，其中

上述二極體為pin多晶矽二極體。

12.如申請專利範圍第1項之非揮發性半導體記憶裝置，其中

記憶格包含：上述非揮發性記錄材料層與上述選擇元件，

上述記憶格為相變化記憶體之記憶格。

圖 1

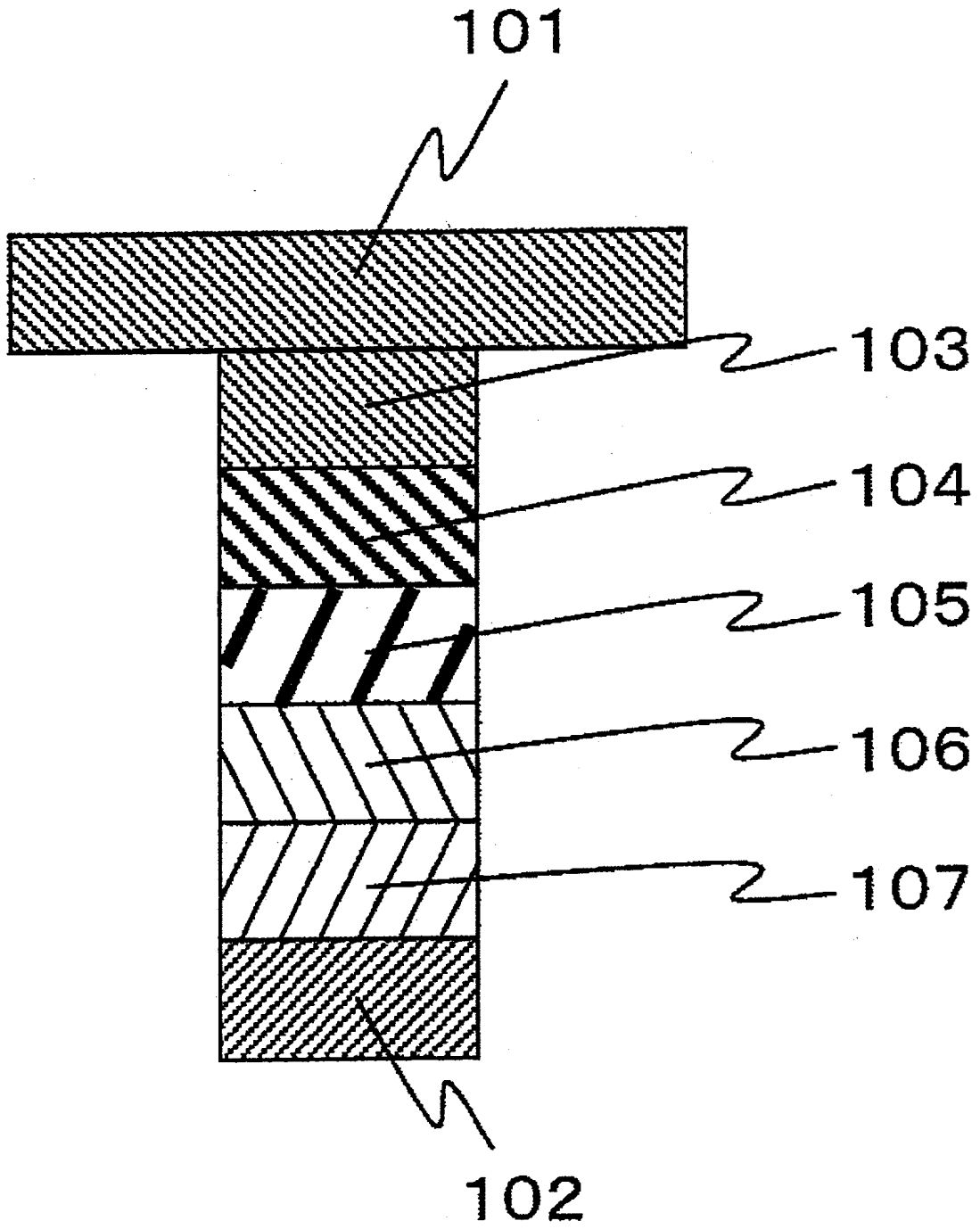


圖2

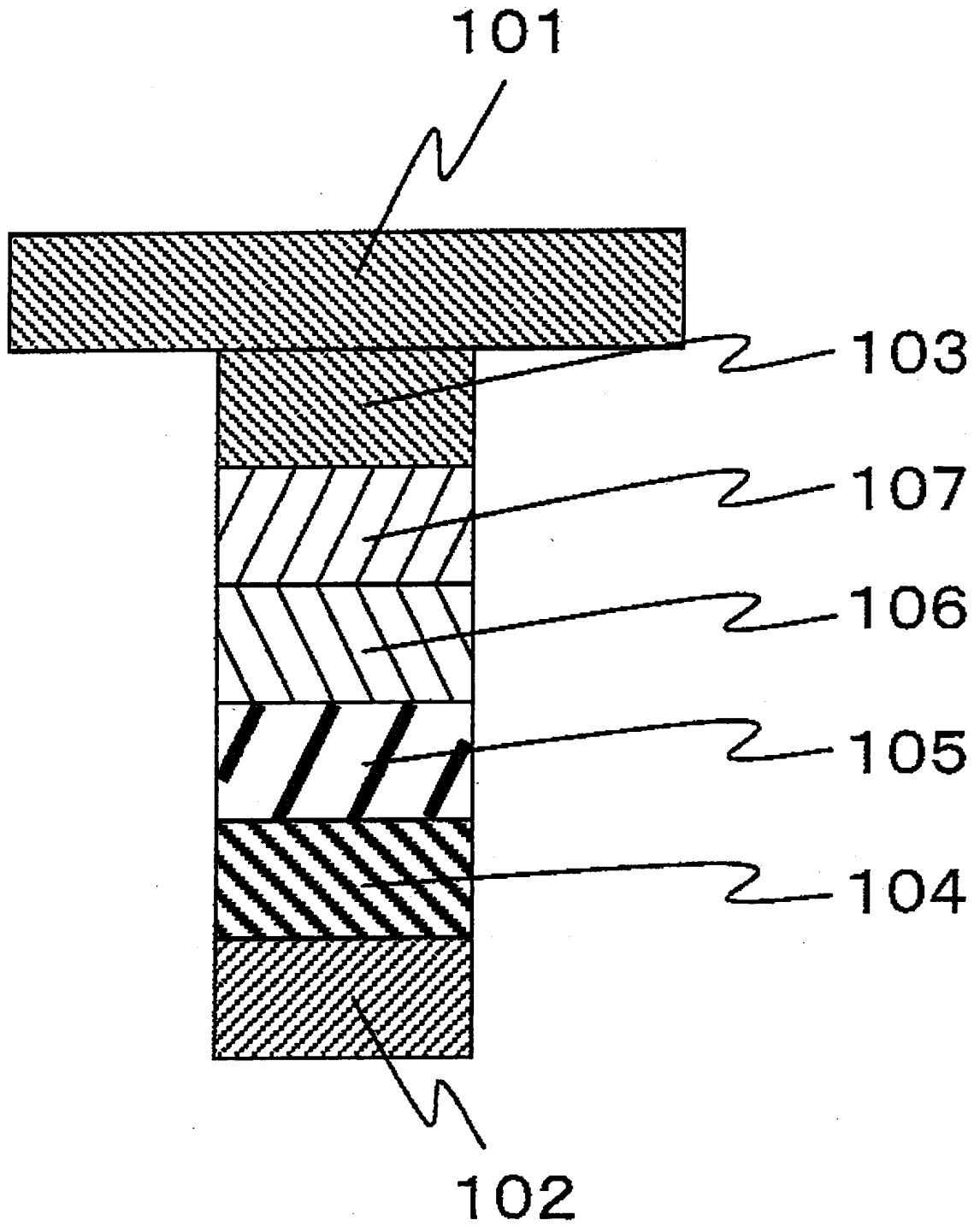


圖3

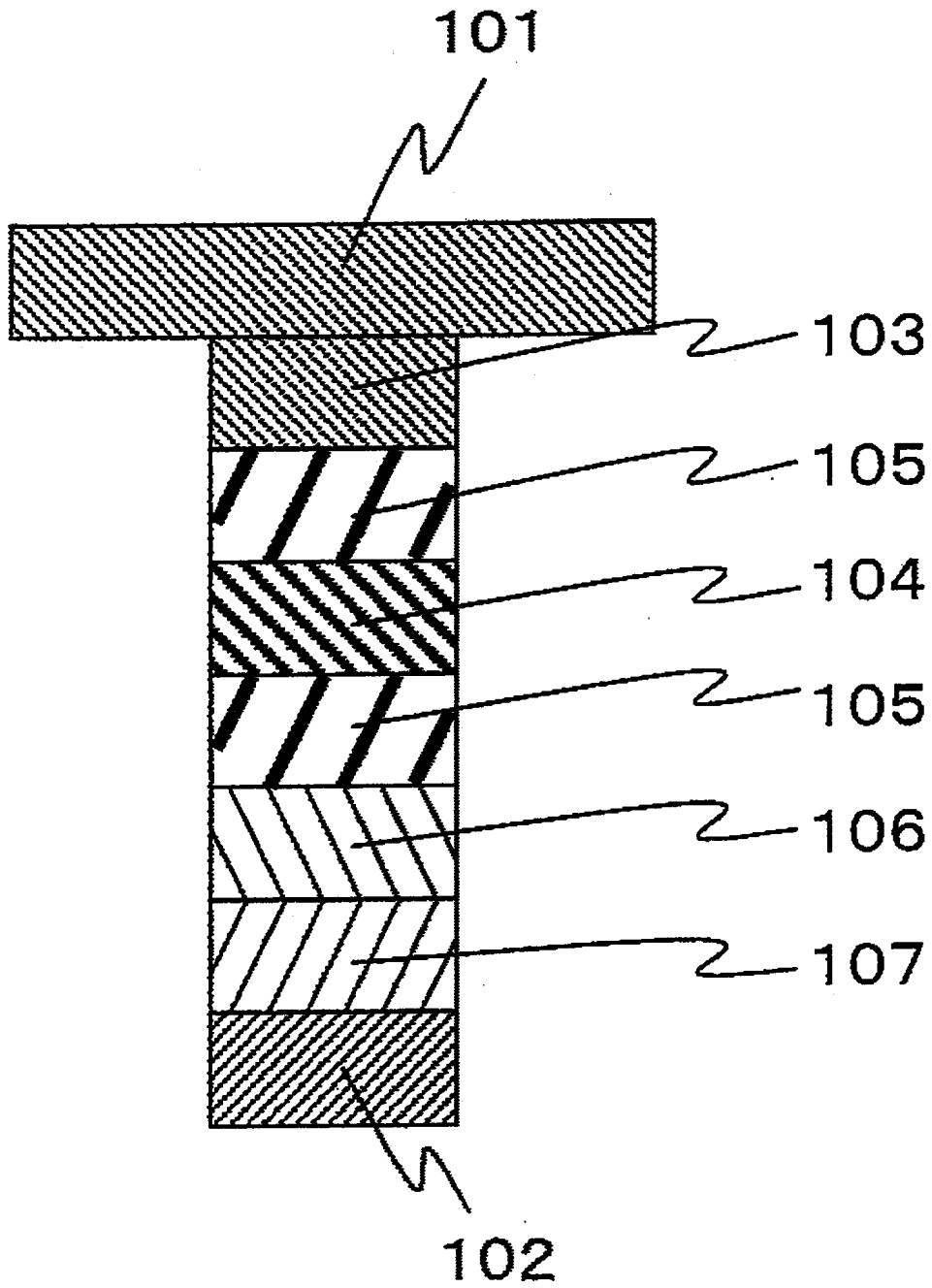


圖4

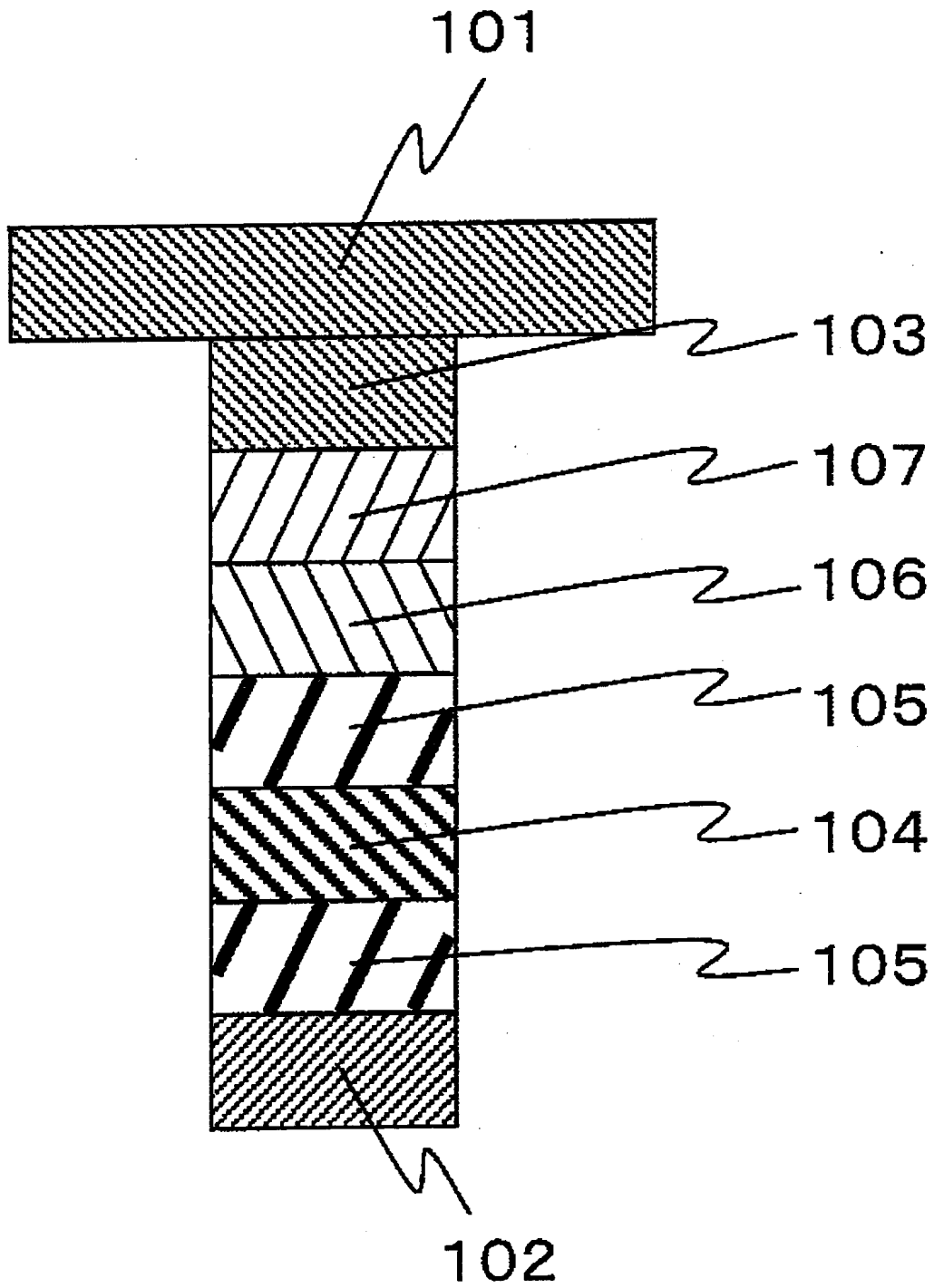


圖5

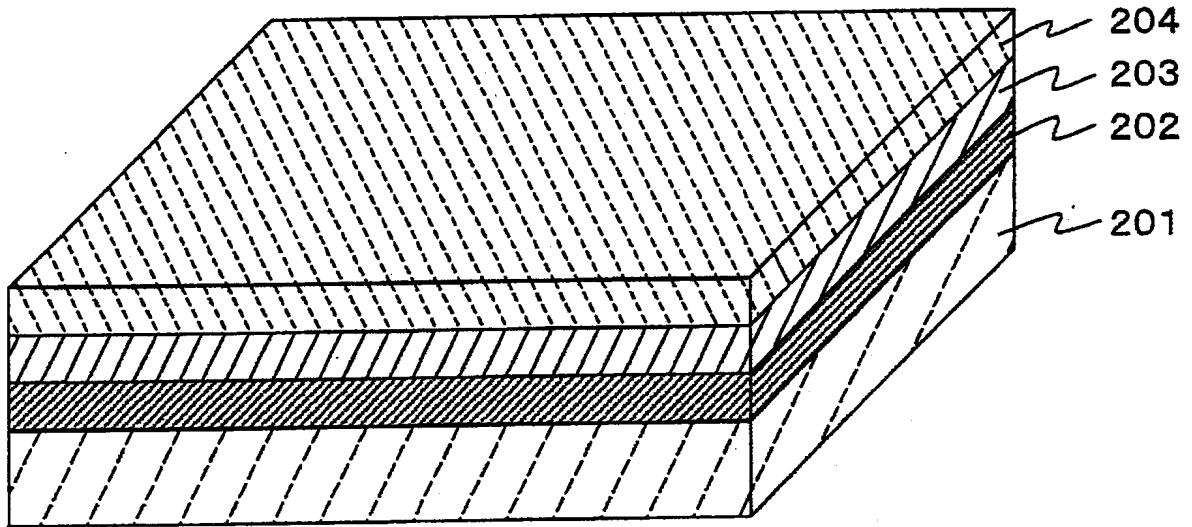


圖6

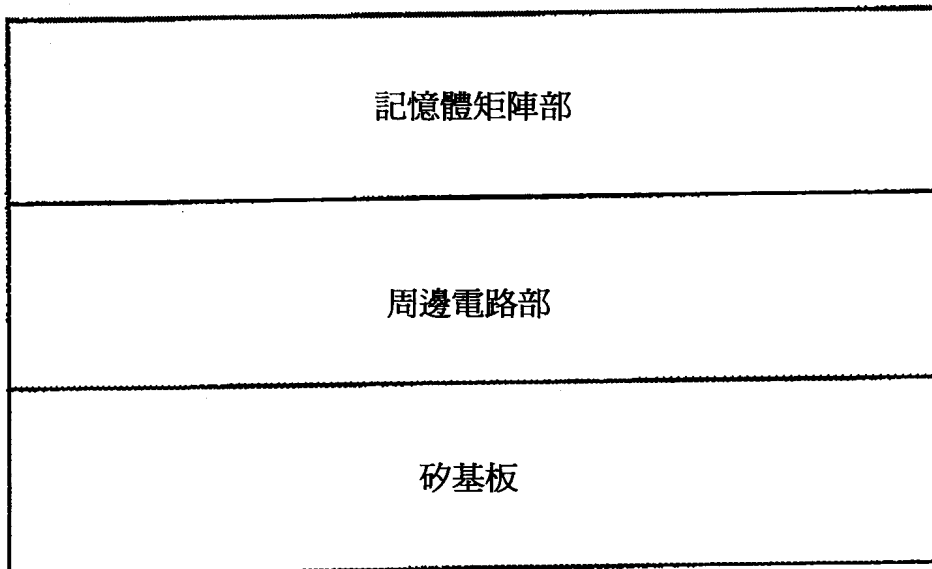


圖7

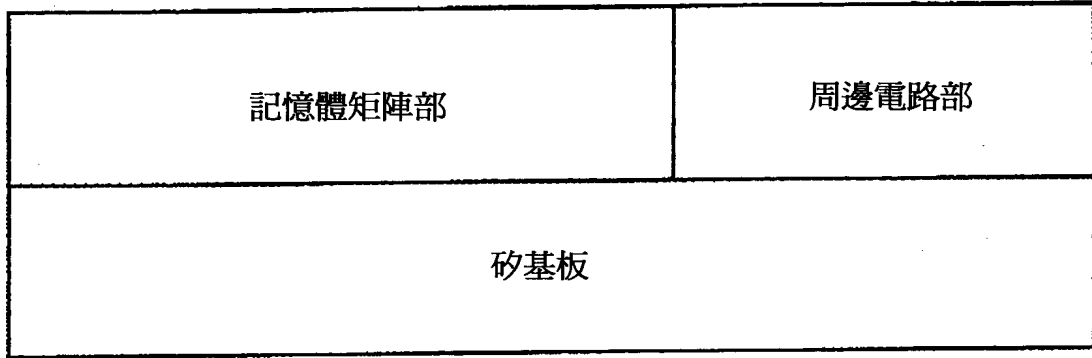


圖8

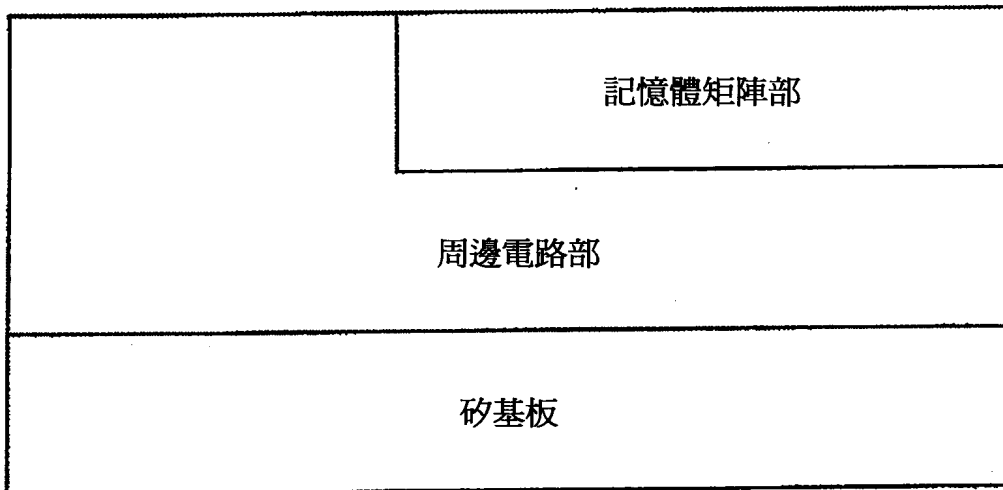


圖9

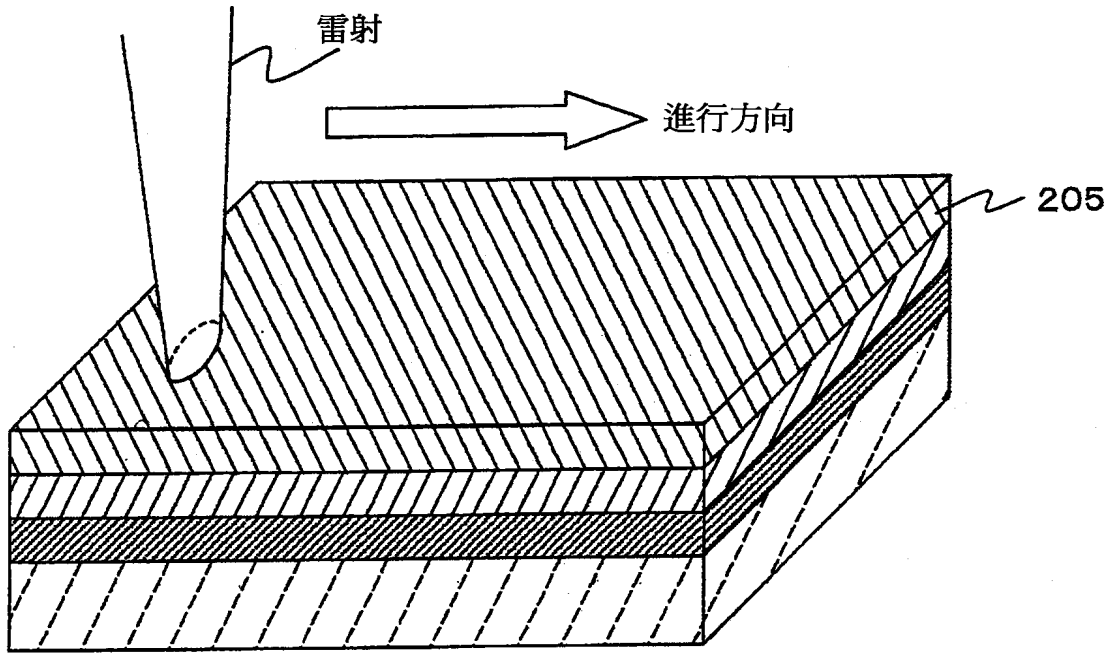


圖 10

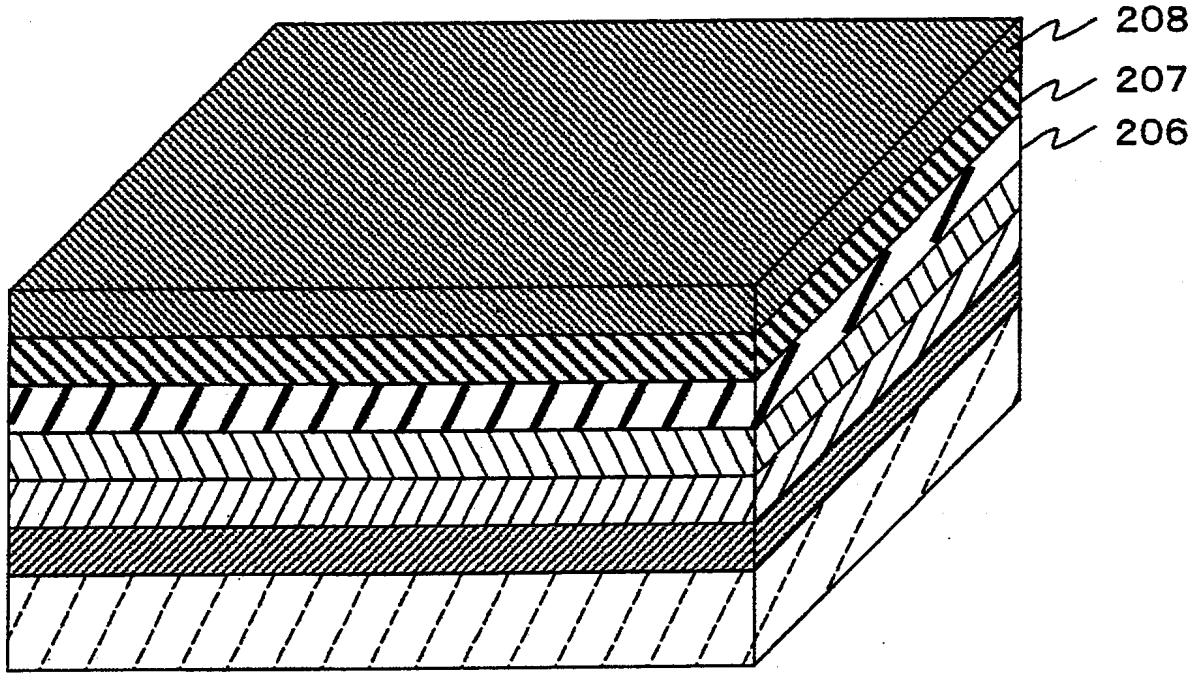


圖 11

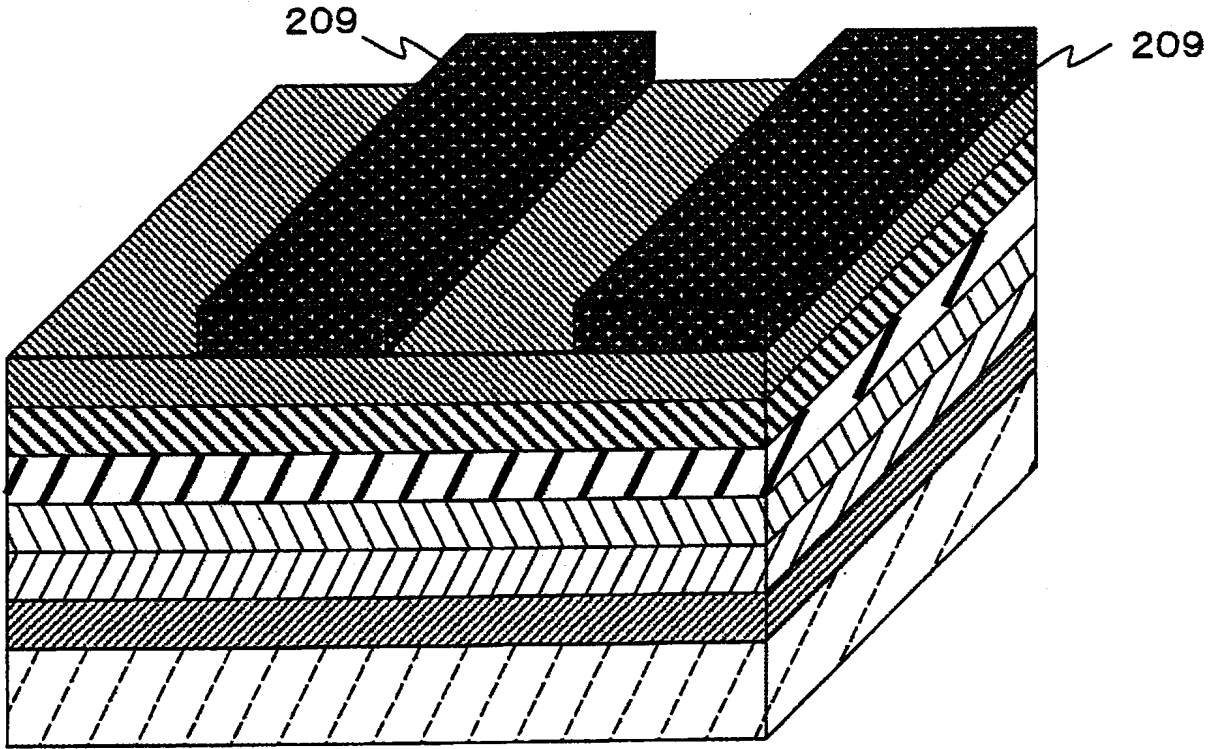


圖 12

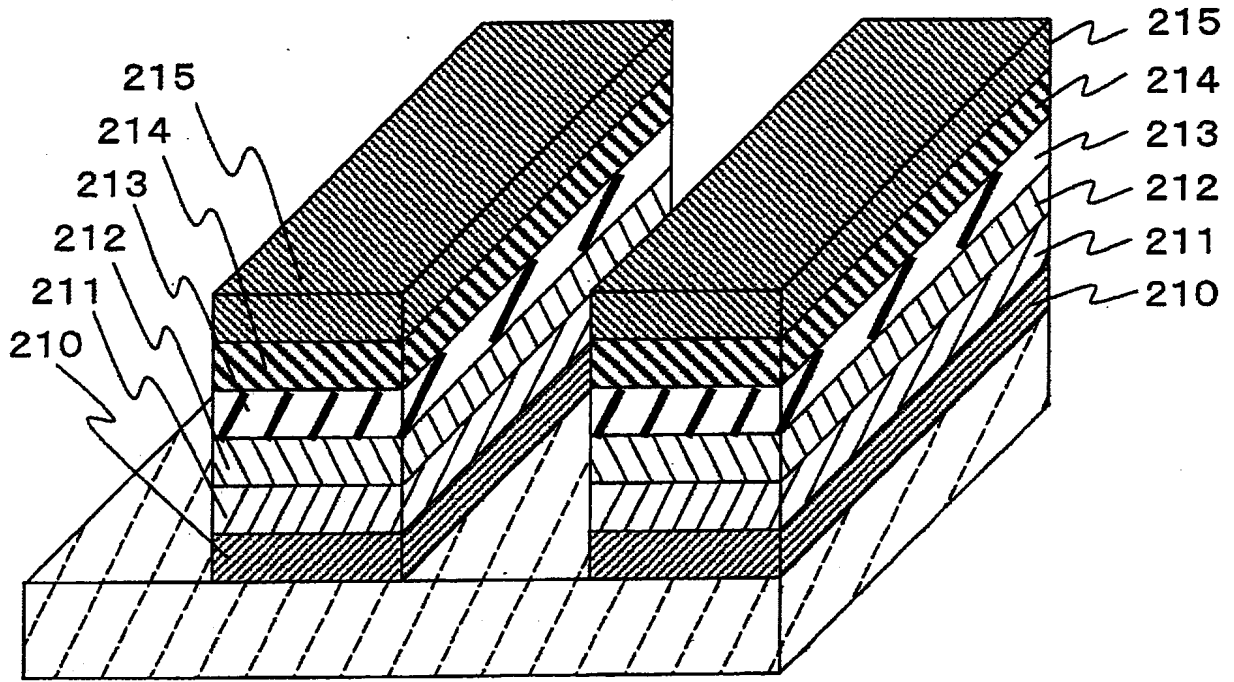


圖 13

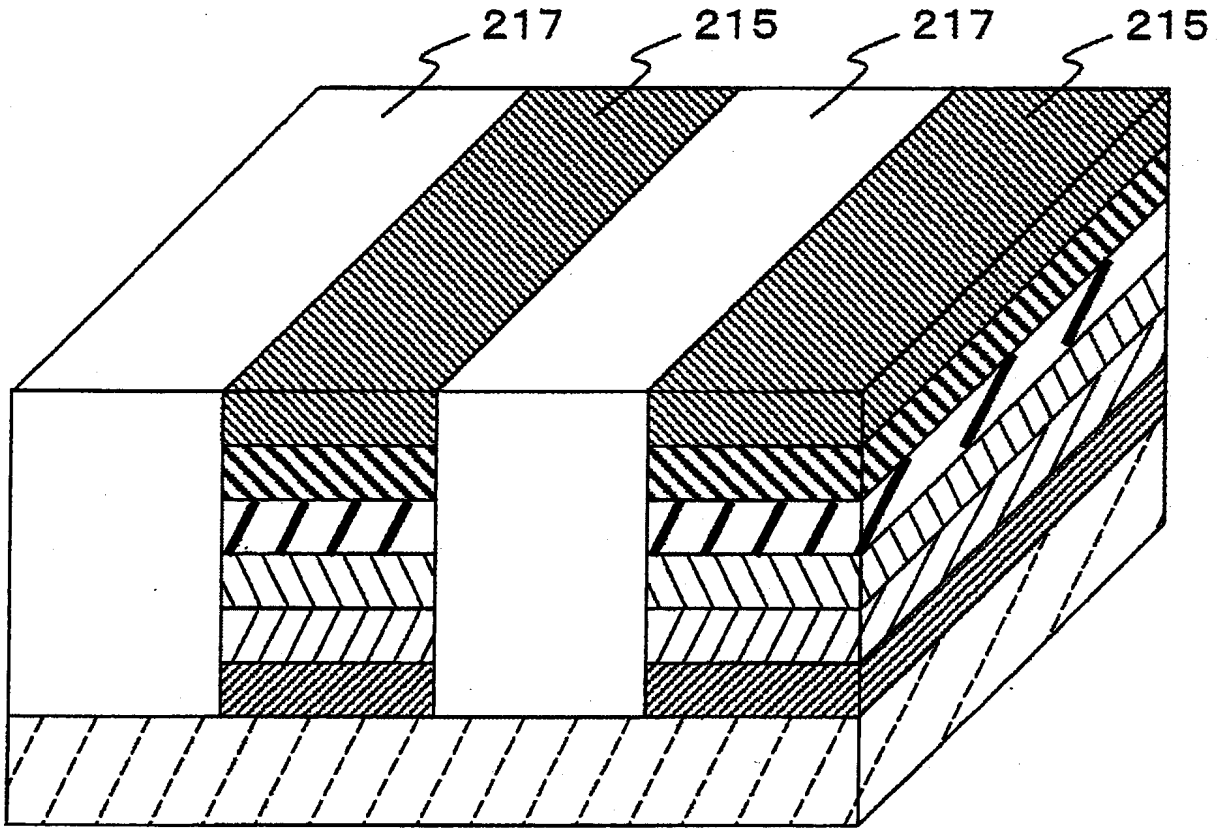


圖 14

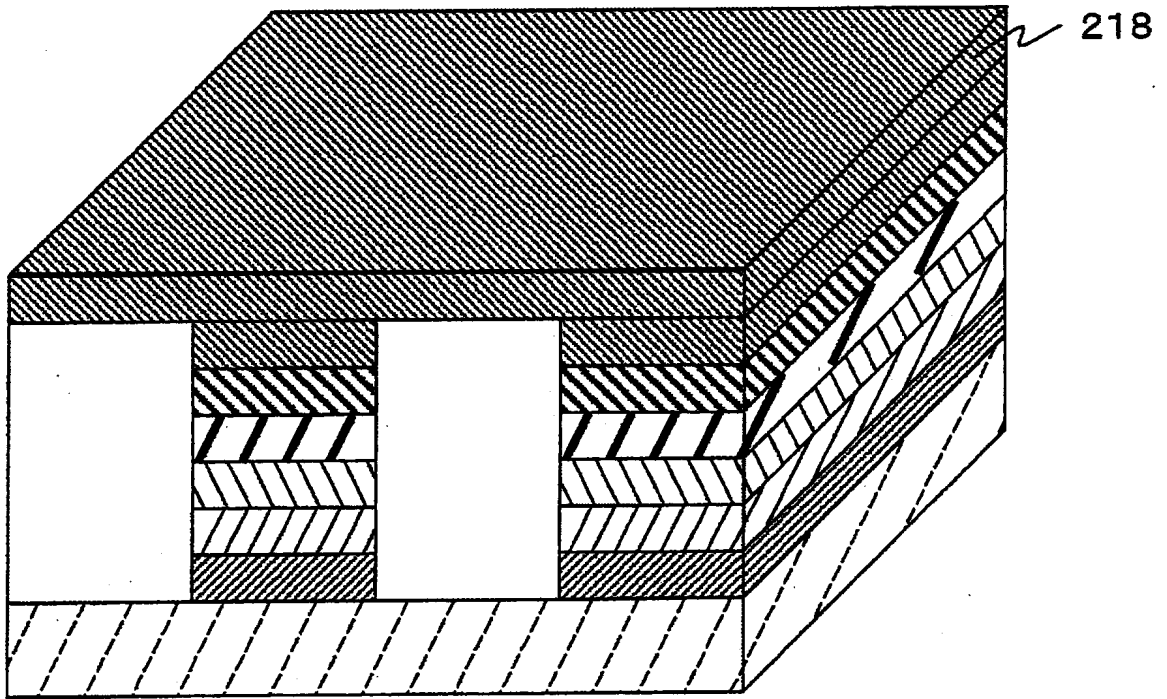


圖15

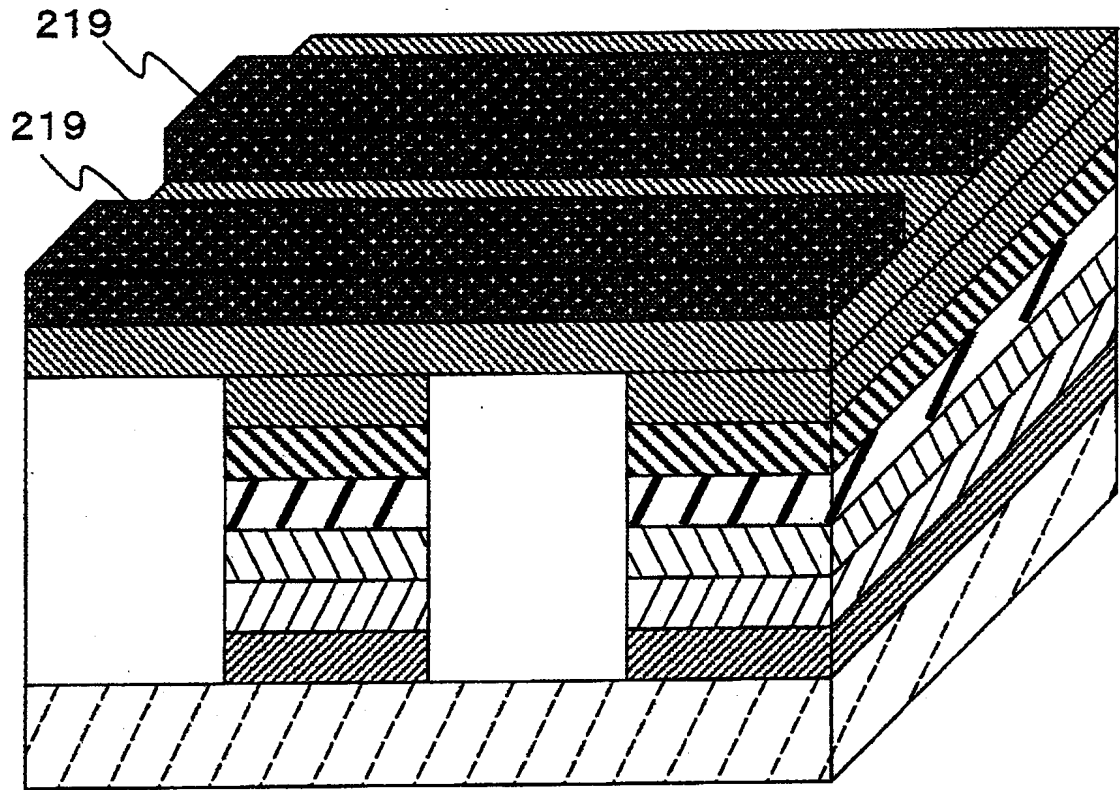


圖 16

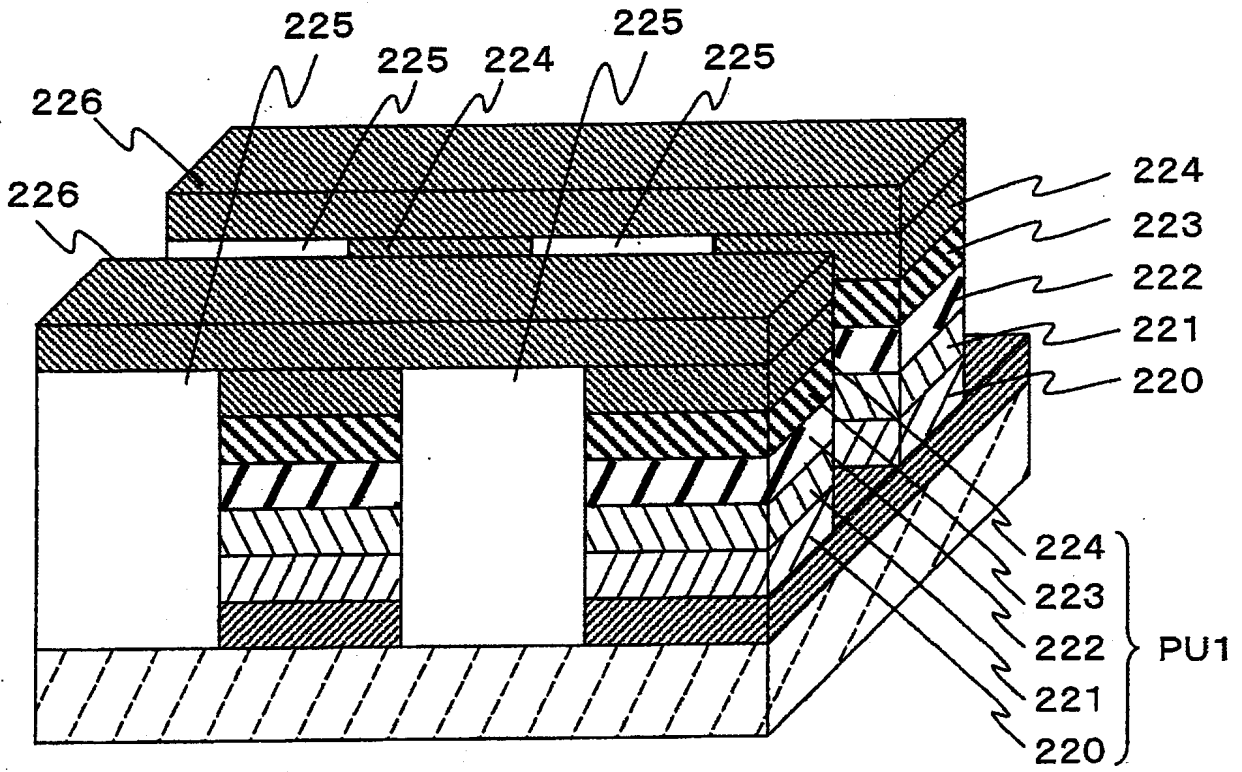


圖 17

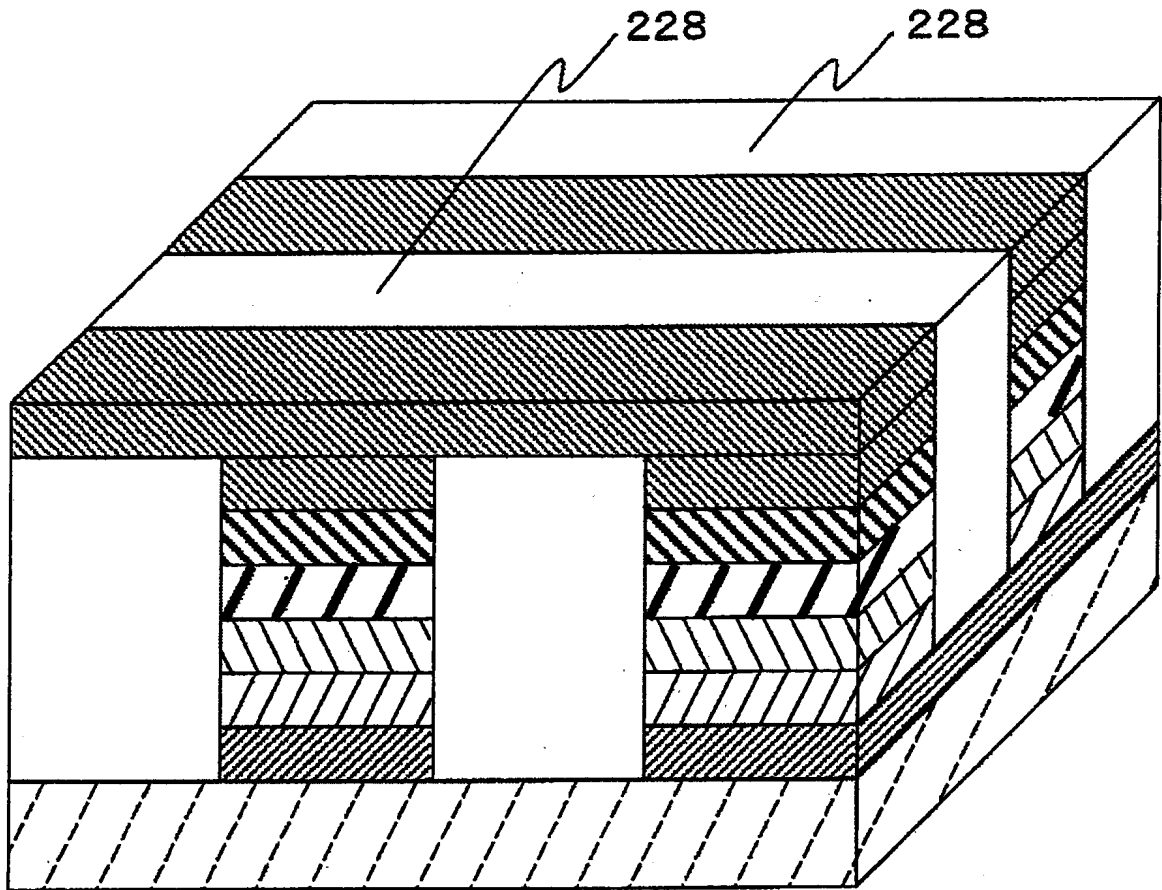


圖 18

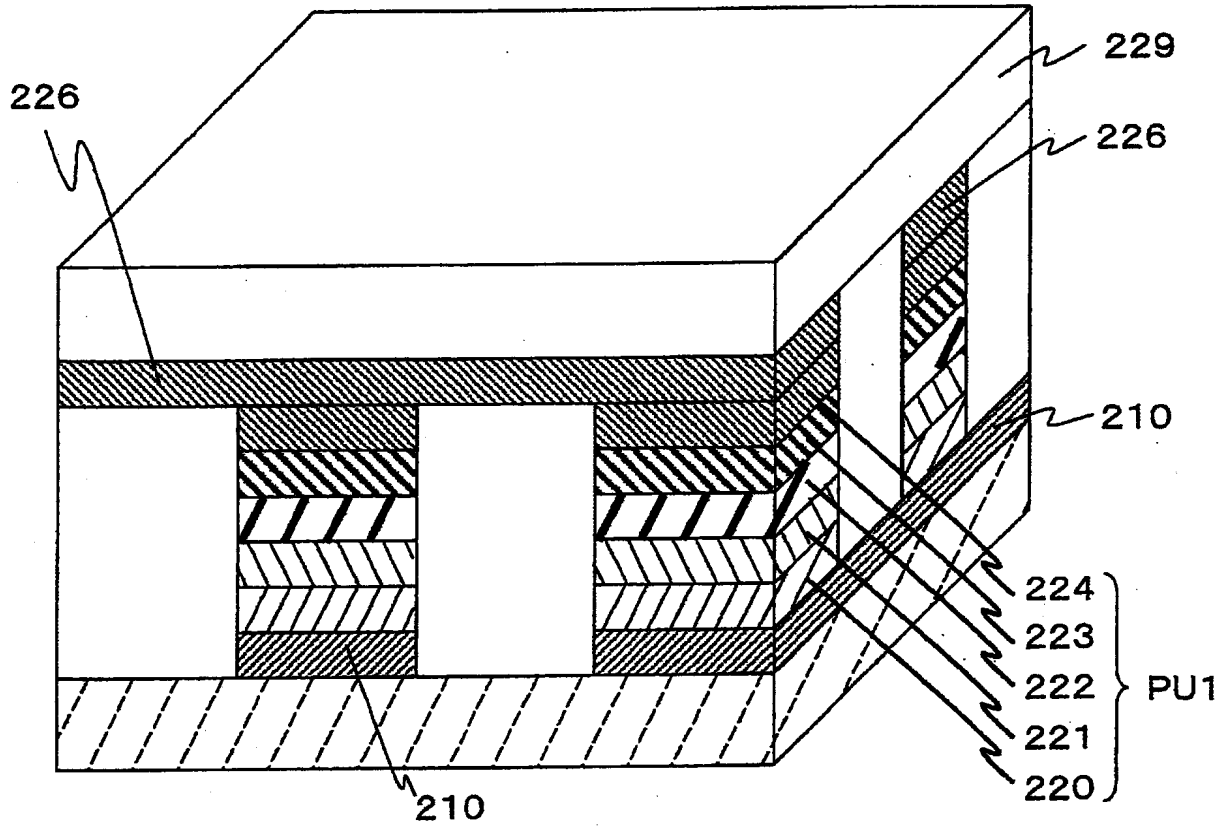


圖 19

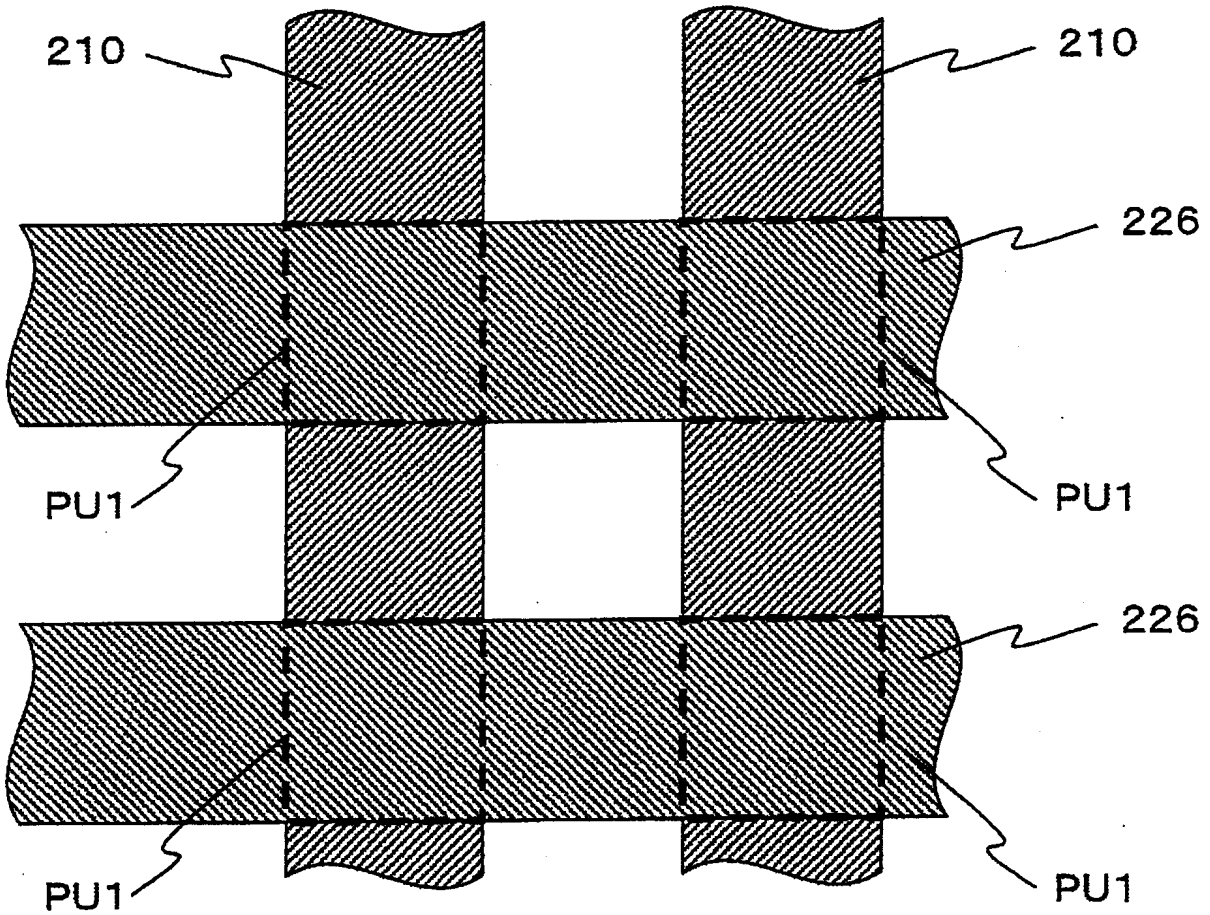


圖 20

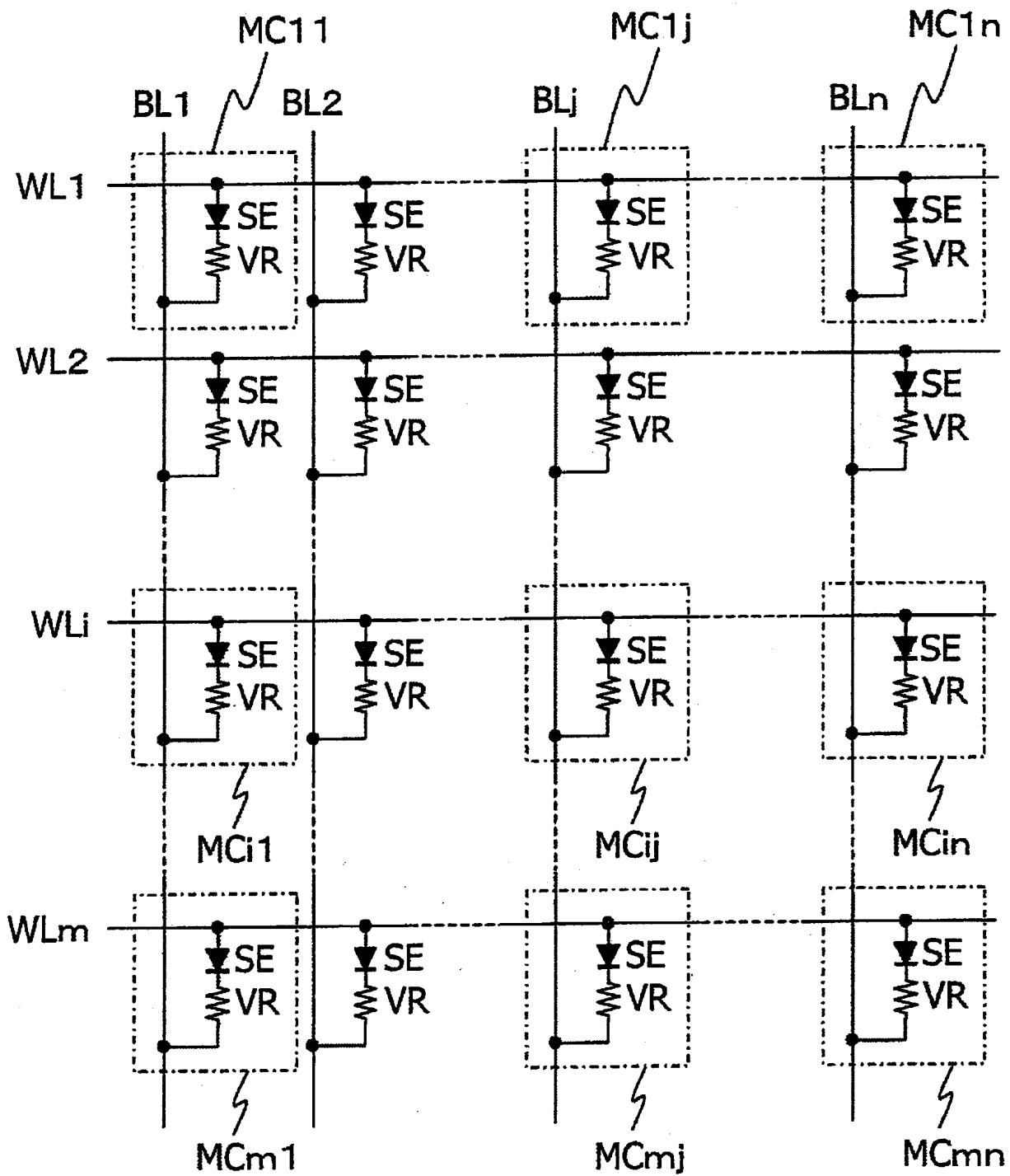


圖 21

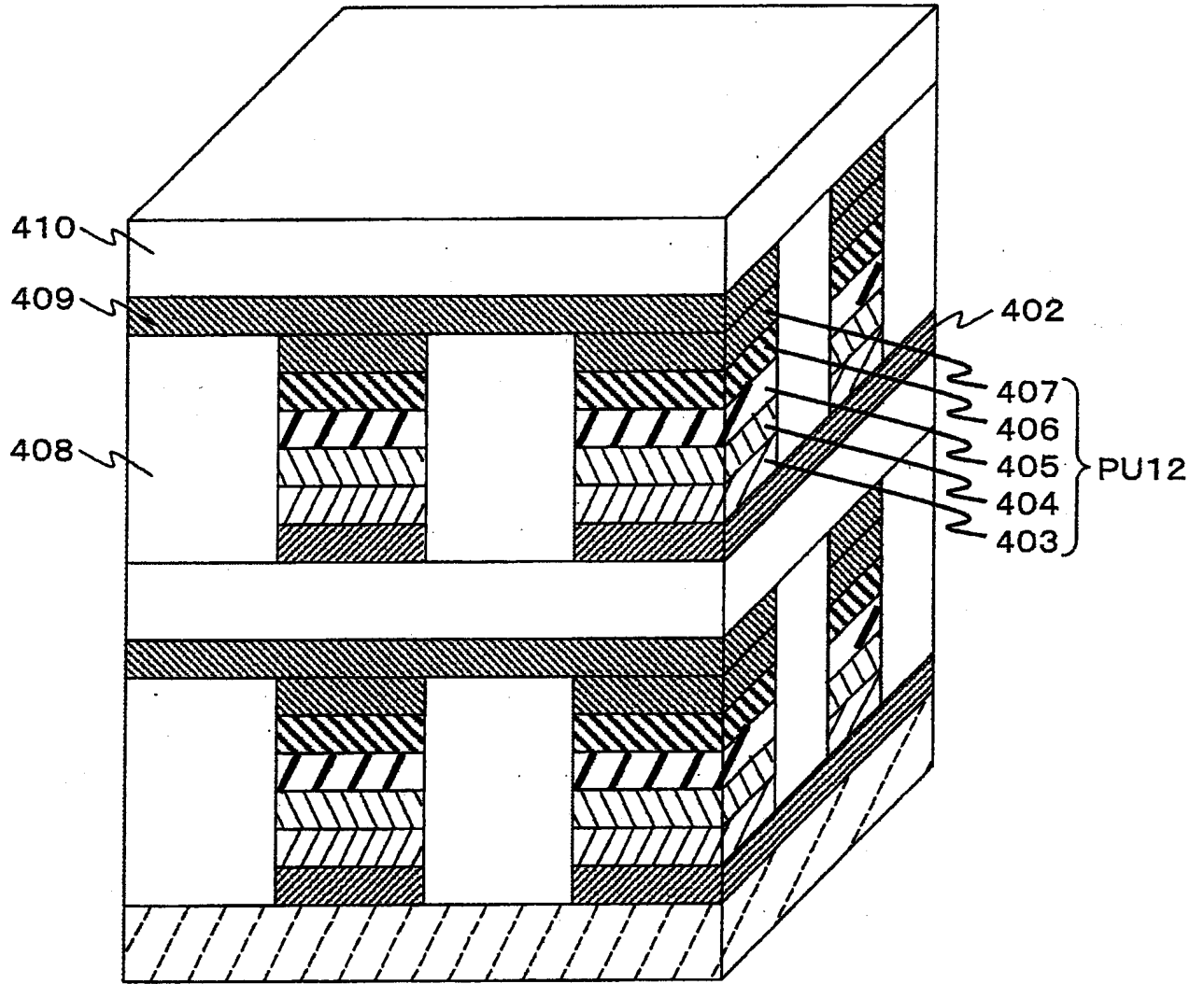


圖 22

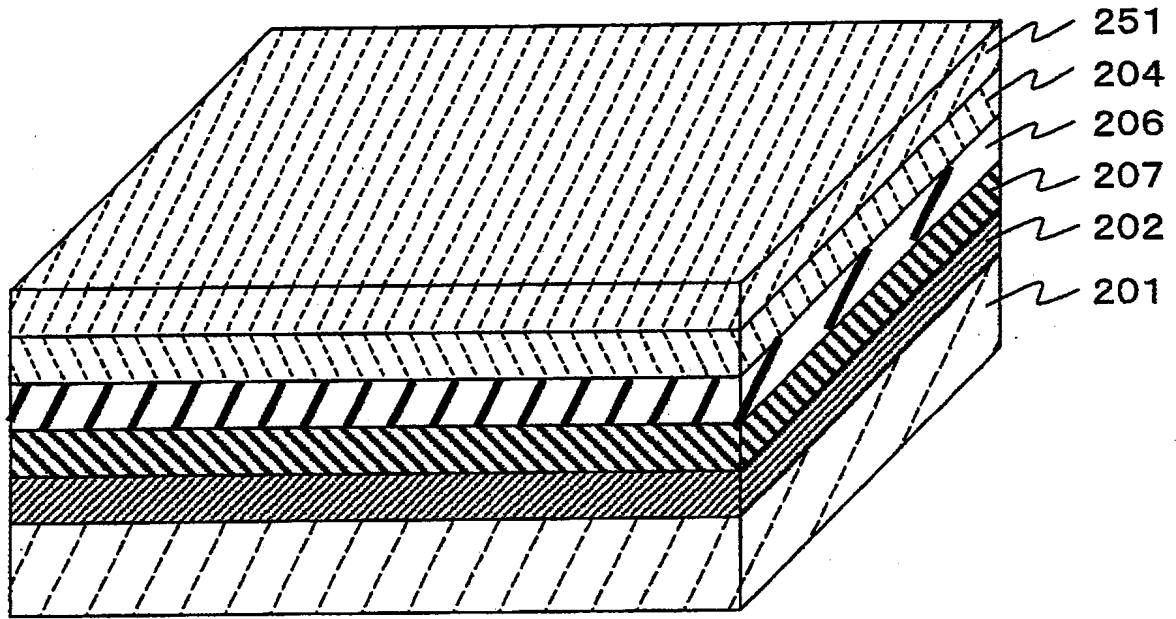


圖 23

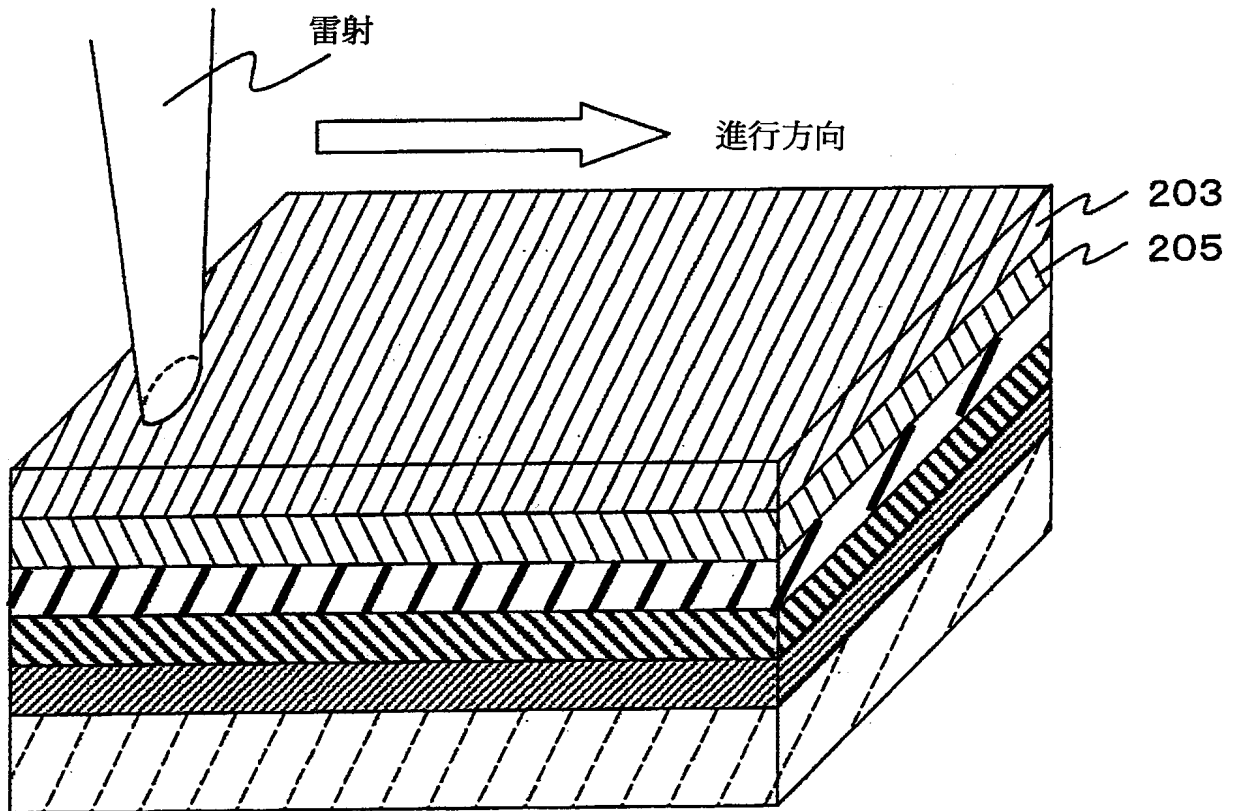


圖 24

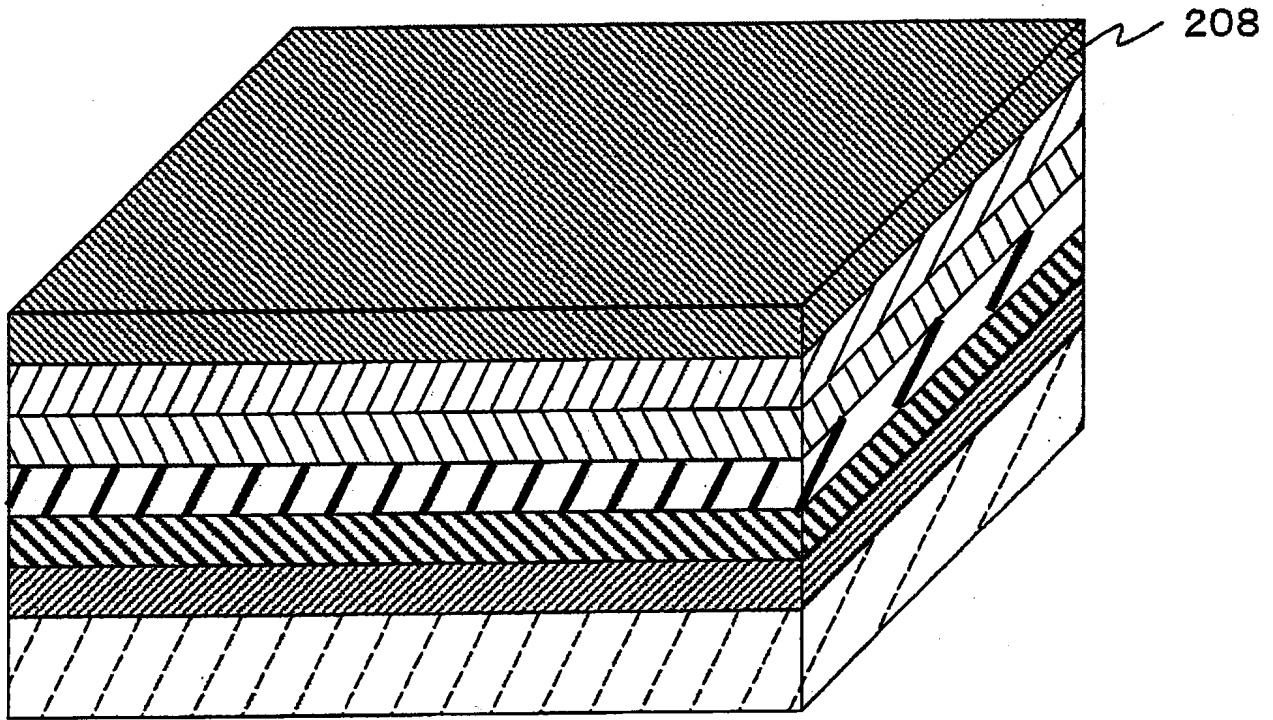


圖 25

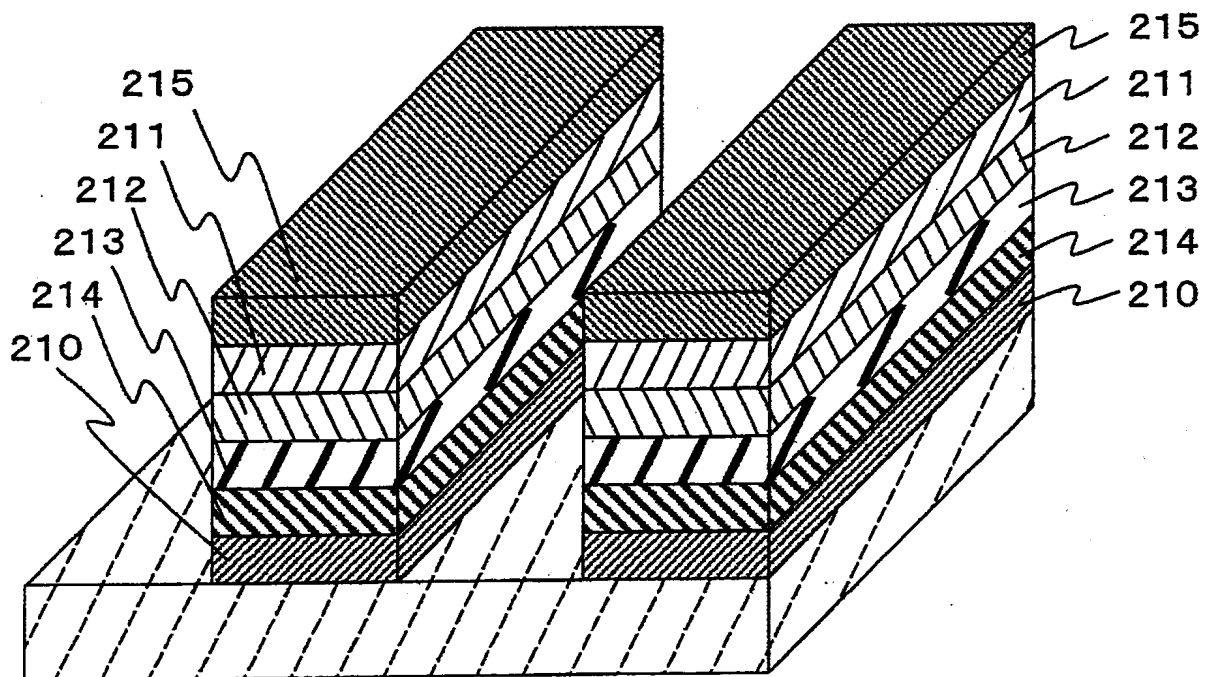


圖 26

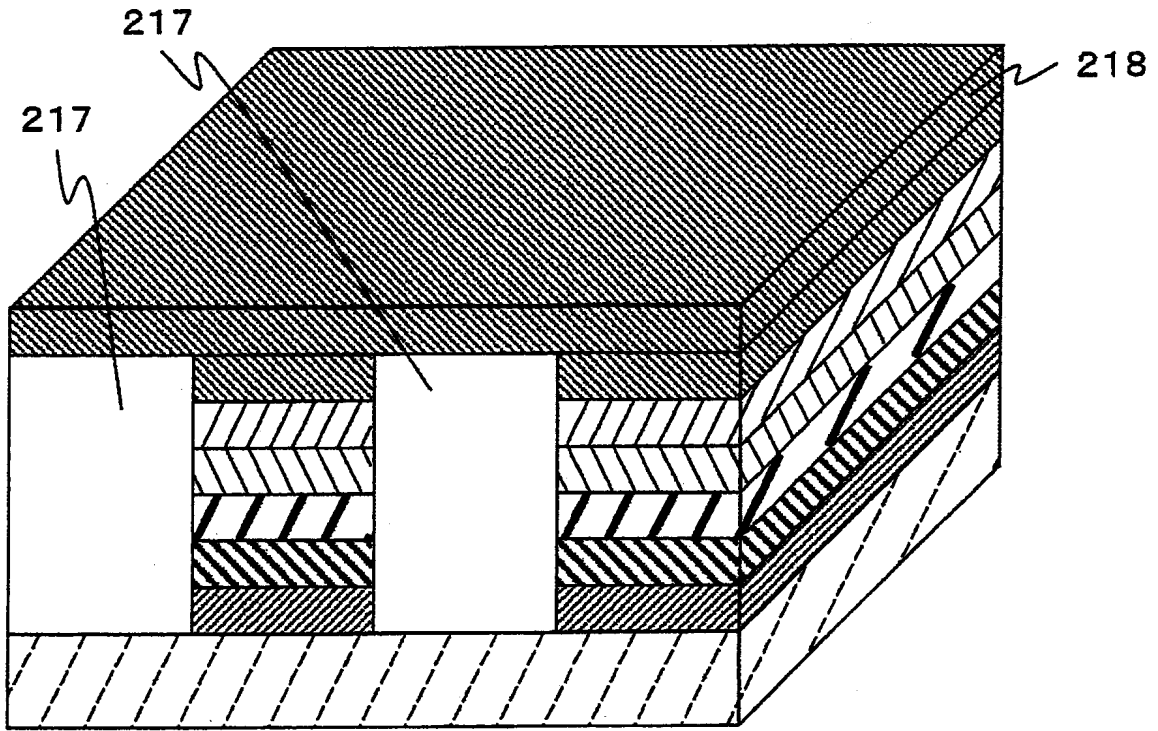


圖 27

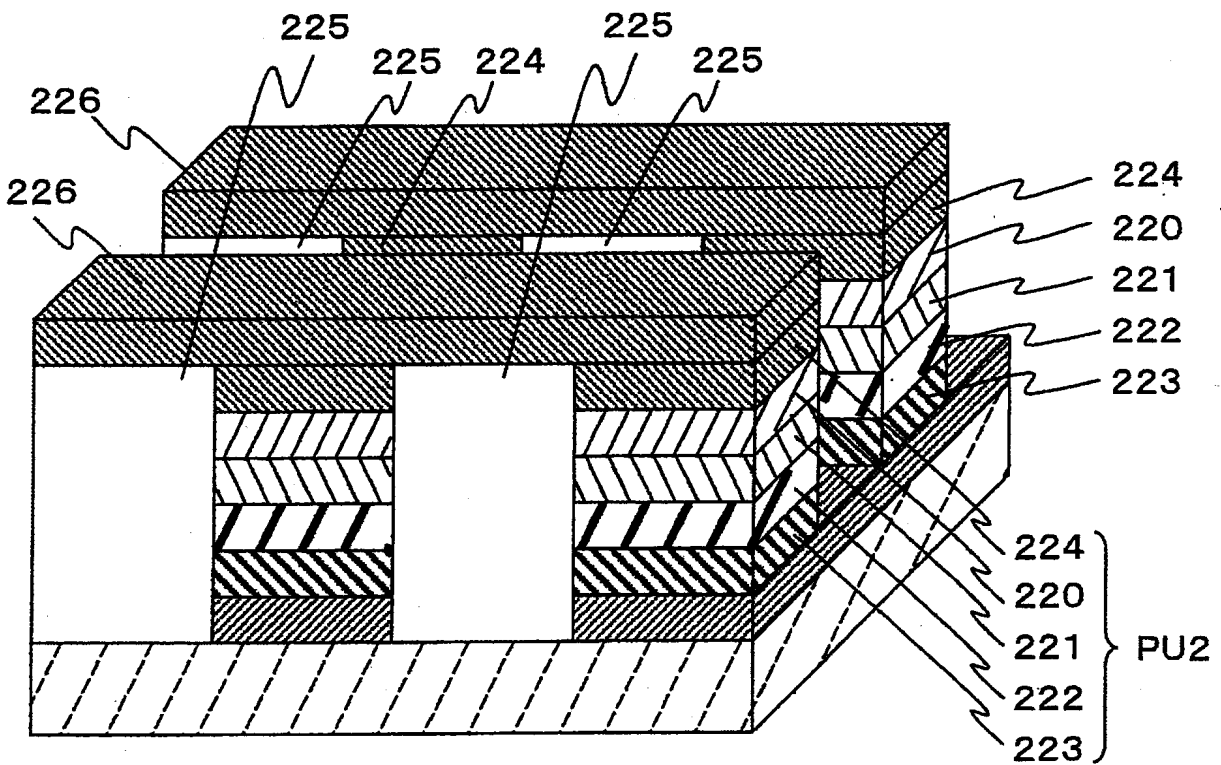


圖 28

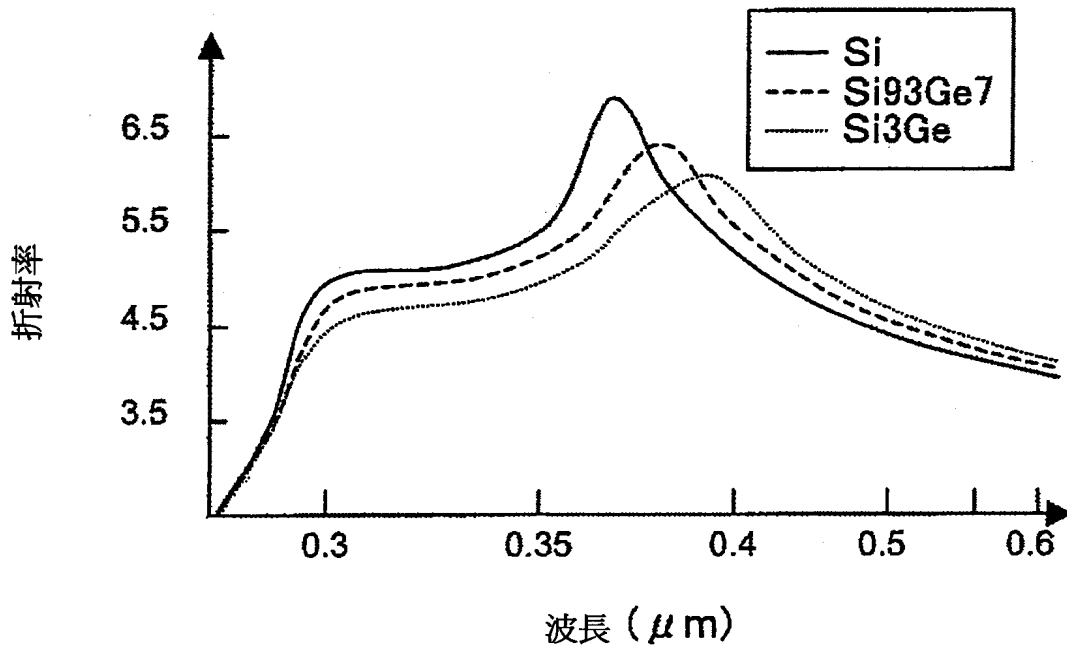


圖 29

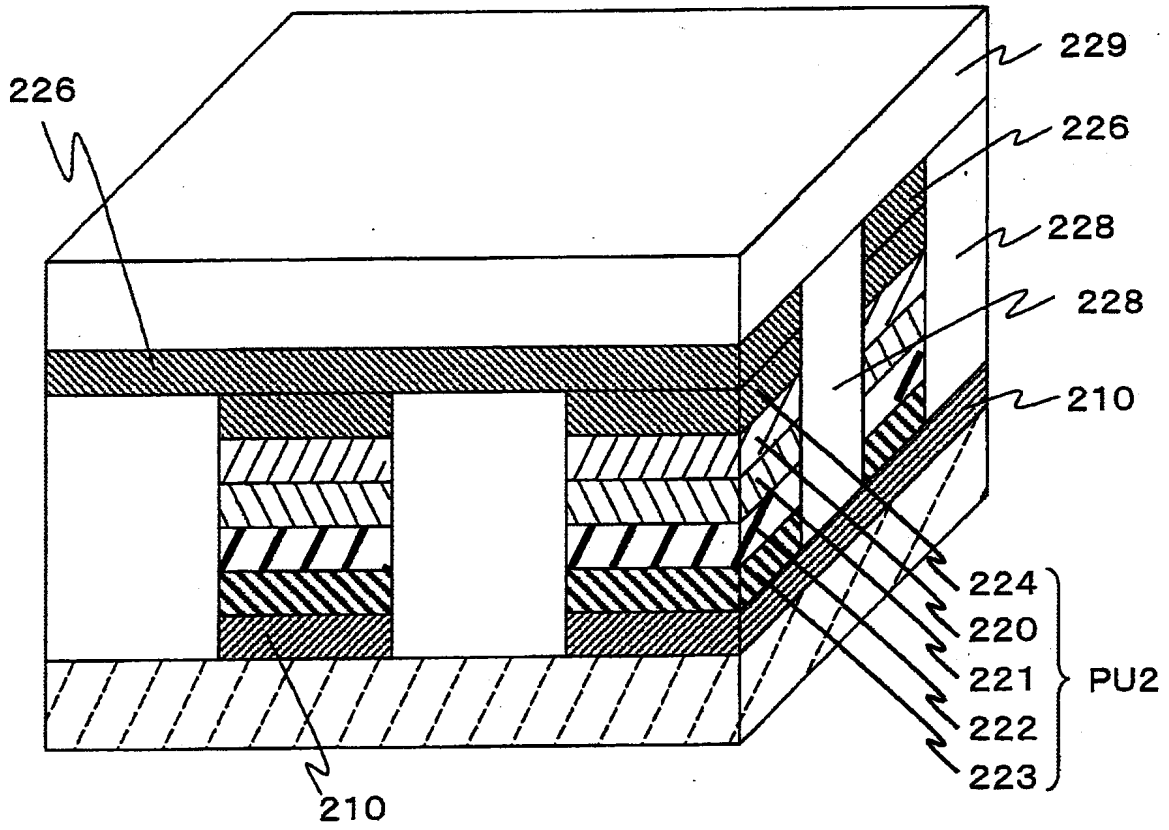


圖 30

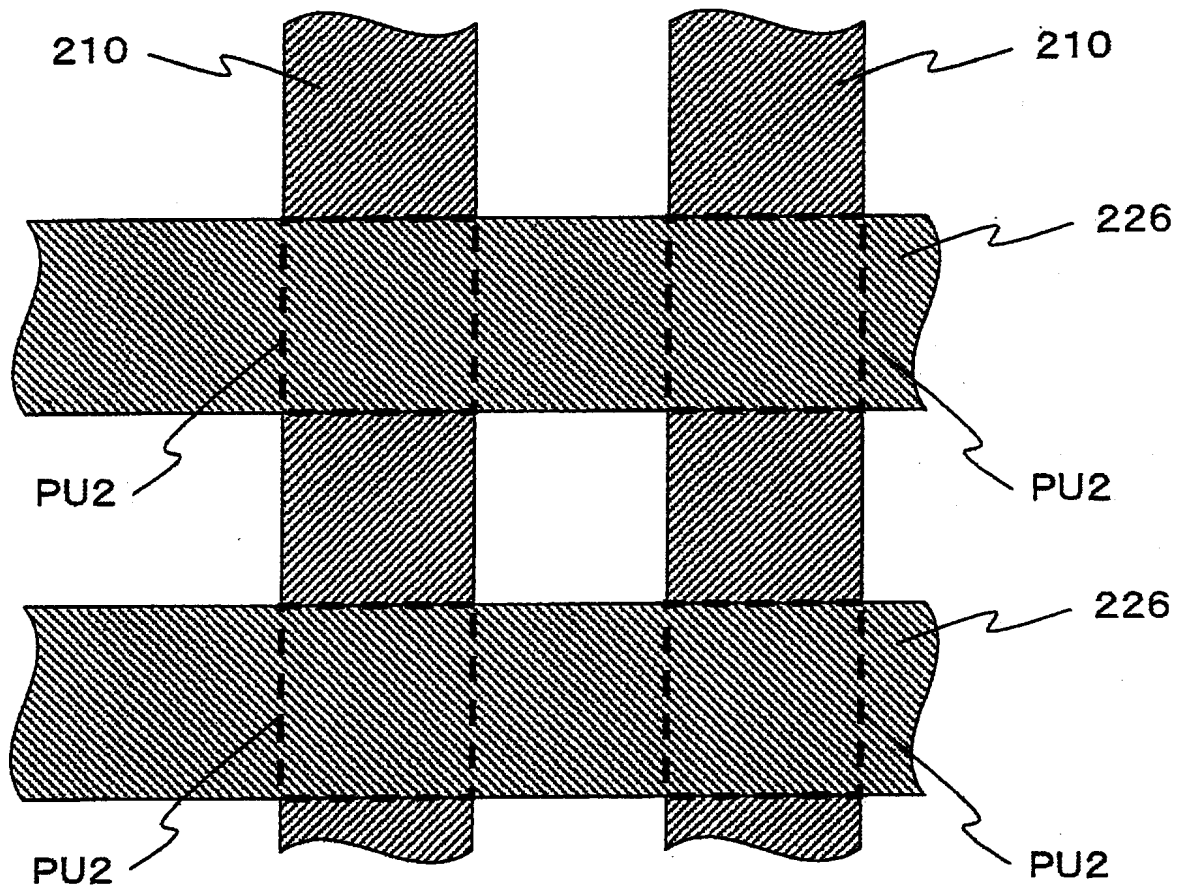


圖 31

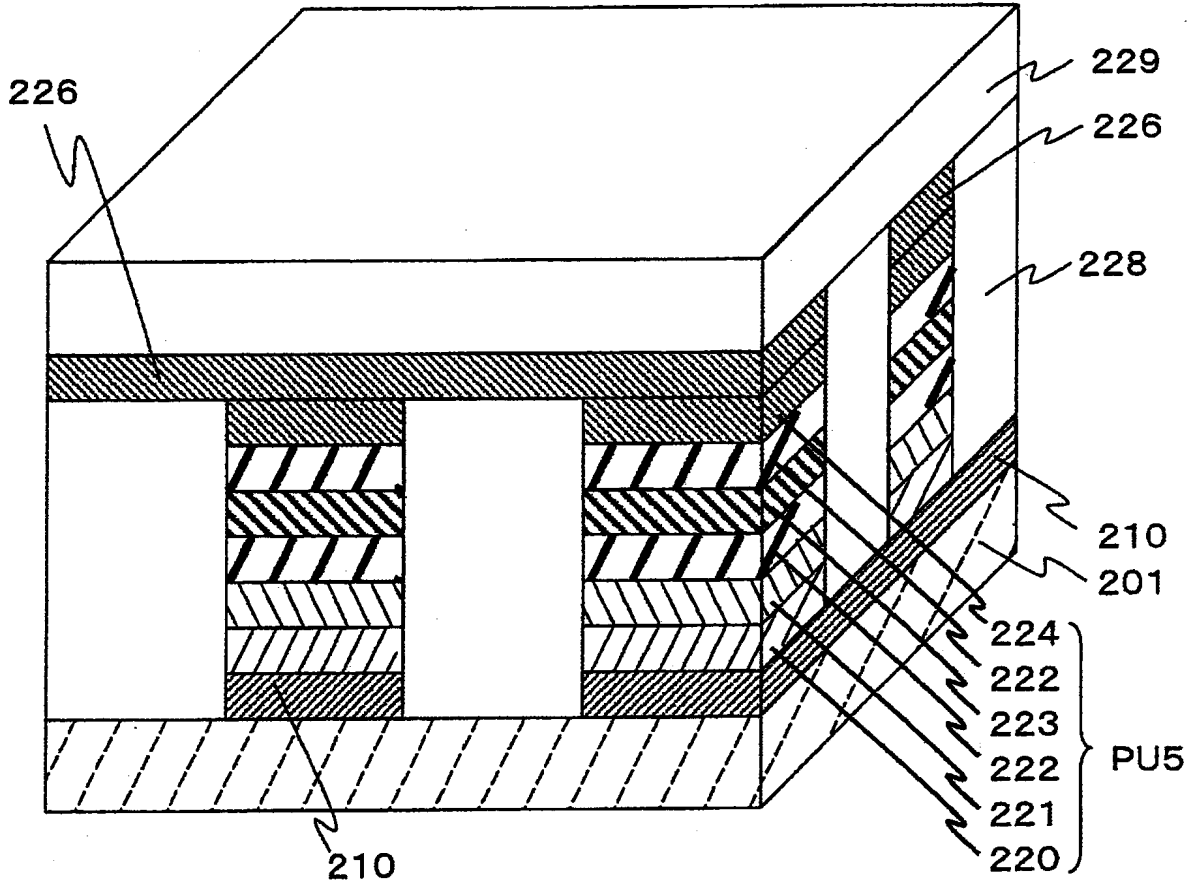
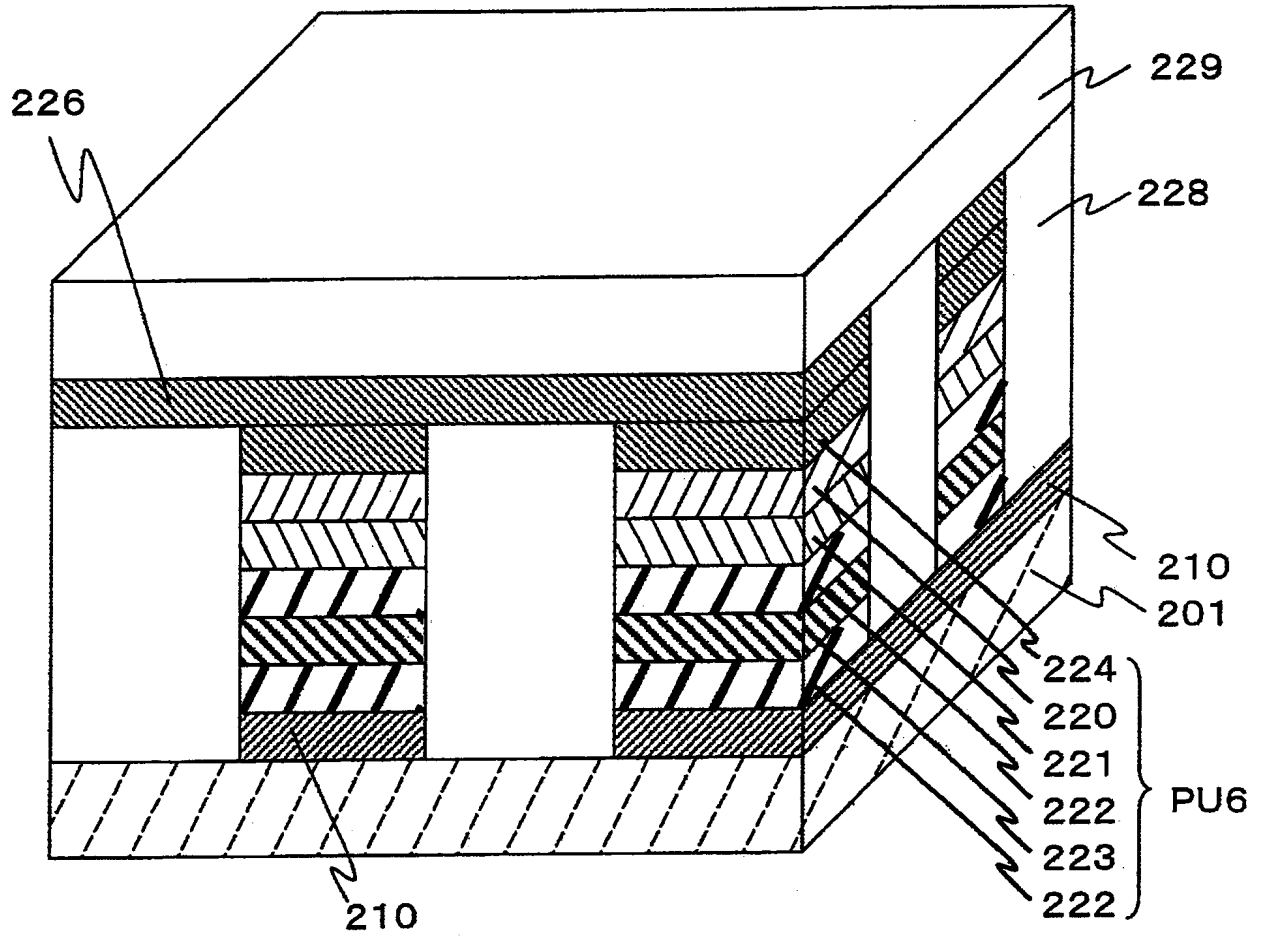


圖 32



七、指定代表圖：

(一)、本案指定代表圖為：第( 18 )圖

(二)、本代表圖之元件代表符號簡單說明：

210：第 1 金屬配線層

220：第 1 多晶矽層

221：第 2 多晶矽層

222：半導體層

223：非揮發性記錄材料層

224：第 2 金屬配線層

226：第 3 金屬配線層

229：絕緣性材料

PU1：積層膜

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：