

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2015-523742
(P2015-523742A)

(43) 公表日 平成27年8月13日(2015.8.13)

(51) Int.Cl.

HO1L 25/04	(2014.01)
HO1L 25/18	(2006.01)
HO1L 25/065	(2006.01)
HO1L 25/07	(2006.01)

F 1

HO1L	25/04
HO1L	25/08

テーマコード(参考)

Z
Y

審査請求 未請求 予備審査請求 有 (全 55 頁)

(21) 出願番号	特願2015-525599 (P2015-525599)
(86) (22) 出願日	平成25年8月1日 (2013.8.1)
(85) 翻訳文提出日	平成27年3月30日 (2015.3.30)
(86) 國際出願番号	PCT/US2013/053240
(87) 國際公開番号	W02014/022675
(87) 國際公開日	平成26年2月6日 (2014.2.6)
(31) 優先権主張番号	13/565,613
(32) 優先日	平成24年8月2日 (2012.8.2)
(33) 優先権主張国	米国(US)
(31) 優先権主張番号	13/741,890
(32) 優先日	平成25年1月15日 (2013.1.15)
(33) 優先権主張国	米国(US)

(71) 出願人	504142411 テッセラ, インコーポレイテッド アメリカ合衆国 カリフォルニア州 95 134, サン・ノゼ, オーチャード・ パークウェイ 3025
(74) 代理人	100099623 弁理士 奥山 尚一
(74) 代理人	100096769 弁理士 有原 幸一
(74) 代理人	100107319 弁理士 松島 鉄男
(74) 代理人	100114591 弁理士 河村 英文
(74) 代理人	100125380 弁理士 中村 純子

最終頁に続く

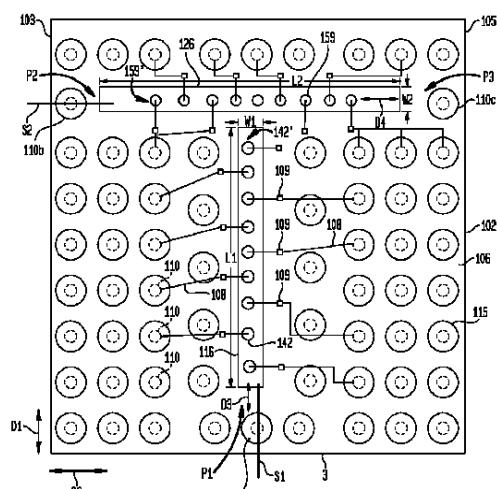
(54) 【発明の名称】 2以上のダイにおける複数ダイ・フェースダウン・スタッキング

(57) 【要約】

超小型電子アセンブリ100は、第1の横方向D1及び第2の横方向D2にそれぞれ広がりを有する、向かい合った第1の面104及び第2の面106と、第2の方向に沿った周縁部3と、第1の面と第2の面との間に広がりを有する第1の開口部116及び第2の開口部126と、周縁部と開口部のうちの1つとの間に広がりを有する第2の面における周辺領域P1とを有する基板102を備えたものとすることができる。また、アセンブリ100は、前面140と背面138との間の縁部146を有する第1の超小型電子素子136と、該第1の超小型電子素子の背面に面し、縁部を越えて突出した前面157を有する第2の超小型電子素子153とを備えたものとすることができる。さらに、アセンブリ100は、第2の面106において露出する複数の端子110も備えたものとすることができる。少なくとも1つの端子110aは周辺領域P1内に少なくとも部分的に配置されている。

【選択図】図3

FIG. 3



【特許請求の範囲】**【請求項 1】**

第1の横方向及び第2の横方向にそれぞれ広がりを有する、向かい合った第1の面及び第2の面と、

前記第1の面と前記第2の面との間ににおいて前記第2の方向に広がりを有する周縁部と、

前記第1の面と前記第2の面との間に広がりを有し、前記第1の方向に沿った長手の第1の寸法と、該第1の寸法よりも小さな、前記第2の方向に沿った第2の寸法とを有する第1の開口部及び第2の開口部と、

前記周縁部と前記開口部のうちの1つとの間に広がりを有する、前記第2の面における周辺領域と

を有する基板と、

前記第1の面に面する前面と、該前面にあり、前記第1の開口部と位置合わせされたボンドパッドと、前記前面の反対側にある背面と、前記前面と前記背面との間に広がりを有する縁部とを有する第1の超小型電子素子と、

前記第1の超小型電子素子の背面を向き、該第1の超小型電子素子の縁部を越えて突出した前面と、該前面にあり、前記第2の開口部と位置合わせされたボンドパッドとを有する第2の超小型電子素子と、

前記第2の面において露出し、前記第1の超小型電子素子及び前記第2の超小型電子素子のボンドパッドと電気的に接続されている複数の端子であって、該端子は超小型電子アセンブリを該アセンブリの外部にある少なくとも1つの要素に接続させるものであり、該端子のうちの少なくとも1つの端子は、前記第1の方向に沿って当該少なくとも1つの端子を通る直線が前記開口部のうちの少なくとも1つを通るか又はその上方を通るものとなるように、前記周辺領域内に少なくとも部分的に配置されている、複数の端子とを備えた超小型電子アセンブリ。

【請求項 2】

前記周縁部が第1の周縁部であり、前記周辺領域が第1の周辺領域であり、前記少なくとも1つの端子が第1の端子であり、

前記基板は、前記第1の周縁部の反対側に位置し、前記第1の面と前記第2の面との間ににおいて前記第2の方向に広がりを有する第2の周縁部と、該第2の周縁部と前記開口部のうちの1つとの間に広がりを有する、前記第2の面における第2の周辺領域とを有し、

前記端子のうちの少なくとも1つが第2の端子であり、該第2の端子は、前記第1の方向に沿って当該第2の端子を通る直線が前記開口部のうちの少なくとも1つを通るか又はその上方を通るものとなるように、前記第2の周辺領域内に少なくとも部分的に配置されている、請求項1に記載の超小型電子アセンブリ。

【請求項 3】

前記周辺領域が第1の周辺領域であり、前記開口部のうちの1つが前記第1の開口部であり、前記端子のうちの前記少なくとも1つの端子が第1の端子であり、

前記基板は、前記周縁部と前記第2の開口部との間に広がりを有する、前記第2の面における第2の周辺領域を有し、

前記端子のうちの少なくとも1つが第2の端子であり、該第2の端子は、前記第1の方向に沿って当該第2の端子を通る直線が前記第2の開口部を通るか又はその上方を通るものとなるように、前記第2の周辺領域内に少なくとも部分的に配置されている、請求項1に記載の超小型電子アセンブリ。

【請求項 4】

前記周縁部が第1の周縁部であり、前記基板は、前記第1の周縁部の反対側にあり、前記第1の面と前記第2の面との間ににおいて前記第2の方向に広がりを有する第2の周縁部と、前記第2の周縁部と前記第1の開口部及び前記第2の開口部の各々との間に広がりを有する、前記第2の面における第3の周辺領域及び第4の周辺領域とを有し、

前記端子のうちの少なくとも1つが第3の端子であり、該第3の端子は、前記第1の方

10

20

30

40

50

向に沿って当該第3の端子を通る直線が前記第1の開口部を通るか又はその上方を通るものとなるように、前記第3の周辺領域内に少なくとも部分的に配置されており、

前記端子のうちの少なくとも1つが第4の端子であり、該第4の端子は、前記第1の方向に沿って当該第4の端子を通る直線が前記第2の開口部を通るか又はその上方を通るものとなるように、前記第4の周辺領域内に少なくとも部分的に配置されている、請求項3に記載の超小型電子アセンブリ。

【請求項5】

前記第1の超小型電子素子及び前記第2の超小型電子素子のボンドパッドは、前記基板の導電性要素に電気的に接続されている、請求項1に記載の超小型電子アセンブリ。

【請求項6】

前記第1の超小型電子素子のボンドパッドは、前記第1の開口部と位置合わせされた部分を有する第1のリード部により前記導電性要素に電気的に接続されており、

前記第2の超小型電子素子のボンドパッドは、前記第2の開口部と位置合わせされた部分を有する第2のリード部により前記導電性要素に電気的に接続されている、請求項5に記載の超小型電子アセンブリ。

【請求項7】

前記第1のリード部が前記第1の開口部を通って延びていないか、又は前記第2のリード部が前記第2の開口部を通って延びていないかの少なくとも一方である、請求項6に記載の超小型電子アセンブリ。

【請求項8】

前記第1の超小型電子素子のボンドパッドは、前記第1の開口部を通って延びている第1のワイヤボンド部により前記導電性要素に電気的に接続されており、

前記第2の超小型電子素子のボンドパッドは、前記第2の開口部を通って延びている第2のワイヤボンド部により前記導電性要素に電気的に接続されている、請求項5に記載の超小型電子アセンブリ。

【請求項9】

前記第1のワイヤボンド部は前記第1の開口部のみを通って延びてあり、前記第2のワイヤボンド部は前記第2の開口部のみを通って延びている、請求項8に記載の超小型電子アセンブリ。

【請求項10】

前記第1の超小型電子素子の前記縁部が第1の縁部であり、該第1の超小型電子素子は前記第1の縁部の反対側にある第2の縁部を有しており、

前記第2の超小型電子素子は向かい合った第1の縁部及び第2の縁部を有しており、

各超小型電子素子は、当該超小型電子素子の前面の中央領域において前記第1の方向に沿って延びている5以上のボンドパッドの少なくとも1つの列を有し、各中央領域は各々の第1の縁部と第2の縁部との間の距離の中央3分の1に広がりを有している、請求項1に記載の超小型電子アセンブリ。

【請求項11】

各超小型電子素子は、メモリ記憶アレイ機能を提供する能動デバイスを他の任意の機能よりも数多く有している、請求項1に記載の超小型電子アセンブリ。

【請求項12】

前記第1の超小型電子素子は、該第1の超小型電子素子の前面と背面との間に広がりを有する前記縁部とその反対側にある縁部との間の幅を有し、

前記第2の超小型電子素子は、該第2の超小型電子素子の前面と背面との間にそれぞれ広がりを有し、向かい合っている縁部間の幅を有し、

前記第1の超小型電子素子の幅は前記第1の開口部の第2の寸法よりも大きく、前記第2の超小型電子素子の幅は前記第2の開口部の第2の寸法よりも大きい、請求項1に記載の超小型電子アセンブリ。

【請求項13】

前記第1の開口部及び前記第2の開口部のうちの一方は、前記第1の開口部及び前記第

10

20

30

40

50

2の開口部のうちの他方よりも、前記周縁部に近い位置へと延びている、請求項1に記載の超小型電子アセンブリ。

【請求項14】

前記基板は、前記第1の面と前記第2の面との間に広がりを有する第3の開口部及び第4の開口部を有し、該第3の開口部及び該第4の開口部はそれぞれ、前記第2の方向に沿った長手の第1の寸法と、該第1の寸法よりも小さな、前記第1の方向に沿った第2の寸法とを有し、

前記超小型電子アセンブリは、前記基板の第1の面に面する前面を有する第3の超小型電子素子及び第4の超小型電子素子を更に備えており、該第3の超小型電子素子及び該第4の超小型電子素子は、当該超小型電子素子の前面にあり、前記第3の開口部又は前記第4の開口部と位置合わせされたボンドパッドを有し、

前記第3の超小型電子素子及び前記第4の超小型電子素子のボンドパッドは、前記基板の導電性要素に電気的に接続されている、請求項1に記載の超小型電子アセンブリ。

【請求項15】

前記基板は、前記周辺領域において前記第1の面と前記第2の面との間に延びているアーチャを更に有し、該アーチャは、当該アーチャを通って流れる封止材又はアンダーフィル材料を受け入れるものである、請求項14に記載の超小型電子アセンブリ。

【請求項16】

第1の横方向及び第2の横方向にそれぞれ広がりを有する、向かい合った第1の面及び第2の面と、

前記第1の面と前記第2の面との間において前記第2の方向に広がりを有する周縁部と、

前記第1の面と前記第2の面との間に広がりを有する第1の開口部及び第2の開口部であって、前記第1の開口部は、前記第2の開口部と前記周縁部との間にするとともに、前記第1の方向に沿った長手の第1の寸法と、該第1の寸法よりも小さな、前記第2の方向に沿った第2の寸法とを有し、前記第2の開口部は、前記第2の方向に沿った長手の第1の寸法と、該第1の寸法よりも小さな、前記第1の方向に沿った第2の寸法とを有する、第1の開口部及び第2の開口部と、

前記周縁部と前記第1の開口部との間に広がりを有する、前記第2の面における周辺領域と

を有する基板と、

前記第1の面に面する前面と、該前面にあり、前記第1の開口部と位置合わせされたボンドパッドと、前記前面の反対側にある背面と、前記前面と前記背面との間に広がりを有する縁部とを有する第1の超小型電子素子と、

前記第1の超小型電子素子の背面を向き、該第1の超小型電子素子の縁部を越えて突出した前面と、該前面にあり、前記第2の開口部と位置合わせされたボンドパッドとを有する第2の超小型電子素子と、

前記第2の面において露出し、前記第1の超小型電子素子及び前記第2の超小型電子素子のボンドパッドと電気的に接続されている複数の端子であって、該端子は超小型電子アセンブリを該アセンブリの外部にある少なくとも1つの要素に接続させるものであり、該端子のうちの少なくとも1つの端子は、前記第1の方向に沿って当該少なくとも1つの端子を通る直線が前記第1の開口部を通るか又はその上方を通るものとなるように、前記周辺領域内に少なくとも部分的に配置されている、複数の端子と

を備えた超小型電子アセンブリ。

【請求項17】

前記周縁部が第1の周縁部であり、前記周辺領域が第1の周辺領域であり、前記端子のうちの前記少なくとも1つの端子が第1の端子であり、

前記基板は、前記第1の面と前記第2の面との間において前記第1の方向に広がりを有する第2の周縁部と、該第2の周縁部と前記第2の開口部との間に広がりを有する、前記第2の面における第2の周辺領域とを有し、

10

20

30

40

50

前記端子のうちの少なくとも 1 つが第 2 の端子であり、該第 2 の端子は、前記第 2 の方向に沿って当該第 2 の端子を通る直線が前記第 2 の開口部を通るか又はその上方を通るものとなるように、前記第 2 の周辺領域内に少なくとも部分的に配置されている、請求項 1 6 に記載の超小型電子アセンブリ。

【請求項 1 8】

前記基板は、前記第 2 の周縁部の反対側にあり、前記第 1 の面と前記第 2 の面との間ににおいて前記第 1 の方向に広がりを有する第 3 の周縁部と、該第 3 の周縁部と前記第 2 の開口部との間に広がりを有する、前記第 2 の面における第 3 の周辺領域とを有し、

前記端子のうちの少なくとも 1 つが第 3 の端子であり、該第 3 の端子は、前記第 2 の方向に沿って当該第 3 の端子を通る直線が前記第 2 の開口部を通るか又はその上方を通るものとなるように、前記第 3 の周辺領域内に少なくとも部分的に配置されている、請求項 1 7 に記載の超小型電子アセンブリ。

10

【請求項 1 9】

第 1 の横方向及び第 2 の横方向にそれぞれ広がりを有する、向かい合った第 1 の面及び第 2 の面と、

前記第 1 の面と前記第 2 の面との間ににおいて前記第 1 の方向に広がりを有する周縁部と、

前記第 1 の面と前記第 2 の面との間に広がりを有し、前記第 1 の方向に沿った長手の第 1 の寸法と、該第 1 の寸法よりも小さな、前記第 2 の方向に沿った第 2 の寸法とを有する第 1 の開口部と、

20

前記第 1 の面と前記第 2 の面との間に広がりを有し、前記第 2 の方向に沿った長手の第 1 の寸法と、該第 1 の寸法よりも小さな、前記第 1 の方向に沿った第 2 の寸法とを有する第 2 の開口部と、

前記周縁部と前記第 2 の開口部との間に広がりを有する、前記第 2 の面における周辺領域と

を有する基板と、

前記第 1 の面に面する前面と、該前面にあり、前記第 1 の開口部と位置合わせされたボンドパッドと、前記前面の反対側にある背面と、前記前面と前記背面との間に広がりを有する縁部とを有する第 1 の超小型電子素子と、

30

前記第 1 の超小型電子素子の背面を向き、該第 1 の超小型電子素子の縁部を越えて突出した前面と、該前面にあり、前記第 2 の開口部と位置合わせされたボンドパッドとを有する第 2 の超小型電子素子と、

前記第 2 の面において露出し、前記第 1 の超小型電子素子及び前記第 2 の超小型電子素子のボンドパッドと電気的に接続されている複数の端子であって、該端子は超小型電子アセンブリを該アセンブリの外部にある少なくとも 1 つの要素に接続させるものであり、該端子のうちの少なくとも 1 つの端子は、前記第 2 の方向に沿って当該少なくとも 1 つの端子を通る直線が前記第 2 の開口部を通るか又はその上方を通るものとなるように、前記周辺領域内に少なくとも部分的に配置されている、複数の端子と

を備えた超小型電子アセンブリ。

【請求項 2 0】

前記周縁部が第 1 の周縁部であり、前記周辺領域が第 1 の周辺領域であり、前記端子のうちの前記少なくとも 1 つの端子が第 1 の端子であり、

前記基板は、前記第 1 の周縁部の反対側にあり、前記第 1 の面と前記第 2 の面との間ににおいて前記第 1 の方向に広がりを有する第 2 の周縁部と、該第 2 の周縁部と前記第 2 の開口部との間に広がりを有する、前記第 2 の面における第 2 の周辺領域とを有し、

前記端子のうちの少なくとも 1 つが第 2 の端子であり、該第 2 の端子は、前記第 2 の方向に沿って当該第 2 の端子を通る直線が前記第 2 の開口部を通るか又はその上方を通るものとなるように、前記第 2 の周辺領域内に少なくとも部分的に配置されている、請求項 1 9 に記載の超小型電子アセンブリ。

【請求項 2 1】

50

前記周辺領域が第1の周辺領域であり、前記端子のうちの前記少なくとも1つの端子が第1の端子であり、前記第1の超小型電子素子の縁部が第1の縁部であり、前記基板は、前記第1の面と前記第2の面との間に広がりを有し、前記第2の方向に沿った長手の第1の寸法と、該第1の寸法よりも小さな前記第1の方向に沿った第2の寸法とを有する第3の開口部を有し、

前記基板は、前記周縁部と前記第3の開口部との間に広がりを有する、前記第2の面における第2の周辺領域を有し、

前記端子のうちの少なくとも1つが第2の端子であり、該第2の端子は、前記第2の方向に沿って当該第2の端子を通る直線が前記第3の開口部を通るか又はその上方を通るものとなるように、前記第2の周辺領域内に少なくとも部分的に配置されており、

前記超小型電子アセンブリは第3の超小型電子素子を更に備えており、該第3の超小型電子素子は、前記第1の超小型電子素子の背面に面し、前記第1の超小型電子素子の第1の縁部の反対側に位置する該第1の超小型電子素子の第2の縁部を越えて突出した前面と、該第3の超小型電子素子の前面にあり、前記第3の開口部と位置合わせされたボンドパッドとを有するものである、請求項19に記載の超小型電子アセンブリ。

【請求項22】

前記第2の超小型電子素子の前面と前記第3の超小型電子素子の前面とが、单一の平面内に位置している、請求項21に記載の超小型電子アセンブリ。

【請求項23】

前記周縁部が第1の周縁部であり、前記基板は、前記第1の周縁部の反対側にあり、前記第1の面と前記第2の面との間ににおいて前記第1の方向に広がりを有する第2の周縁部と、前記第2の周縁部と前記第2の開口部及び前記第3の開口部の各々との間に広がりを有する、前記第2の面における第3の周辺領域及び第4の周辺領域とを有し、

前記端子のうちの少なくとも1つが第3の端子であり、該第3の端子は、前記第2の方向に沿って当該第3の端子を通る直線が前記第1の開口部を通るか又はその上方を通るものとなるように、前記第3の周辺領域内に少なくとも部分的に配置されており、

前記端子のうちの少なくとも1つが第4の端子であり、該第4の端子は、前記第2の方向に沿って当該第4の端子を通る直線が前記第2の開口部を通るか又はその上方を通るものとなるように、前記第4の周辺領域内に少なくとも部分的に配置されている、請求項21に記載の超小型電子アセンブリ。

【請求項24】

前記基板は、前記第1の面と前記第2の面との間に広がりを有し、前記第1の方向に沿った長手の第1の寸法と、該第1の寸法よりも小さな前記第2の方向に沿った第2の寸法とを有する第4の開口部を有し、

前記第4の開口部と位置合わせされたボンドパッドをその前面に有する第4の超小型電子素子を更に備えた請求項21に記載の超小型電子アセンブリ。

【請求項25】

前記第2の超小型電子素子と前記第3の超小型電子素子と前記第4の超小型電子素子とはそれぞれ、向かい合った第1の縁部及び第2の縁部を有し、

各超小型電子素子は、当該超小型電子素子の前面の中央領域において当該超小型電子素子の第1の縁部及び第2の縁部と平行な方向に延びている5つ以上のボンドパッドの少なくとも1つの列を有し、各中央領域は、各々の第1の縁部と第2の縁部との間の距離の中央3分の1に広がりを有するものである、請求項24に記載の超小型電子アセンブリ。

【請求項26】

向かい合った上面及び底面を有する第1の誘電性要素及び第2の誘電性要素であって、各面は第1の横方向及び第2の横方向に延びてあり、両誘電性要素は、前記第1の横方向及び前記第2の横方向の少なくとも一方において互いに間隔を置いて配置され、基板の第1の面は両誘電性要素の上面を含み、前記基板の第2の面は両誘電性要素の底面を含む、第1の誘電性要素及び第2の誘電性要素と、

前記第1の誘電性要素及び前記第2の誘電性要素の、隣接し向かい合っている縁部間の

10

20

30

40

50

空間により形成された第1の開口部であって、前記隣接し向かい合っている縁部の各々が前記第1の方向に沿った第1の寸法を有し、該第1の寸法よりも小さな前記第2の方向に沿った第2の寸法を有する第1の開口部と、

前記第2の誘電性要素に囲まれている第2の開口部と
を有する基板と、

前記第1の面に面する前面と、該前面にあり、前記第1の開口部及び前記第2の開口部の一方と位置合わせされたボンドパッドと、前記前面の反対側に位置する背面と、前記前面と前記背面との間に広がりを有する縁部とを有する第1の超小型電子素子と、

前記第1の超小型電子素子の背面に面し、前記第1の超小型電子素子の縁部を越えて突出した前面と、該前面にあり、前記第1の開口部及び前記第2の開口部の他方と位置合わせされたボンドパッドとを有する第2の超小型電子素子と、

前記第2の面において露出し、前記第1の超小型電子素子及び前記第2の超小型電子素子のボンドパッドと電気的に接続され、超小型電子アセンブリを該アセンブリの外部にある少なくとも1つの要素に接続させる複数の端子と
を備えた超小型電子アセンブリ。

【請求項27】

前記第2の開口部は、前記第1の方向に沿った長手の第1の寸法と、該第1の寸法よりも小さな、前記第2の方向に沿った第2の寸法とを有する、請求項26に記載の超小型電子アセンブリ。

【請求項28】

前記第2の開口部は、前記第2の方向に沿った長手の第1の寸法と、該第1の寸法よりも小さな、前記第1の方向に沿った第2の寸法とを有する、請求項26に記載の超小型電子アセンブリ。

【請求項29】

前記基板は、前記第1の誘電性要素及び第2の誘電性要素の、隣接し向かい合っている縁部間において広がりを有する誘電性領域を更に有し、前記基板の第1の面は該誘電性領域の上面を含み、前記第2の面は該誘電性領域の底面を含むものである、請求項26に記載の超小型電子アセンブリ。

【請求項30】

前記誘電性領域は、前記基板の平面において前記誘電性要素よりも大きなヤング率を有するものである、請求項26に記載の超小型電子アセンブリ。

【請求項31】

前記第1の超小型電子素子の前面にあるボンドパッドは、前記第1の開口部と位置合わせされており、

前記第2の超小型電子素子の前面にあるボンドパッドは、前記第2の開口部と位置合わせされている、請求項26に記載の超小型電子アセンブリ。

【請求項32】

前記端子は、前記第1の誘電性要素及び前記第2の誘電性要素の各々の底面において露出した第1の端子及び第2の端子を含み、前記第1の超小型電子素子の少なくとも幾つかのボンドパッドは、前記第1の端子及び前記第2の端子に電気的に接続されている、請求項31に記載の超小型電子アセンブリ。

【請求項33】

前記第1の超小型電子素子の前面にあるボンドパッドは、前記第2の開口部と位置合わせされており、

前記第2の超小型電子素子の前面にあるボンドパッドは、前記第1の開口部と位置合わせされている、請求項26に記載の超小型電子アセンブリ。

【請求項34】

第1の横方向及び第2の横方向にそれぞれ広がりを有する、向かい合った第1の面及び第2の面と、前記第1の横方向及び前記第2の横方向の少なくとも一方において互いに間隔を置いて配置された第1の誘電性要素及び第2の誘電性要素とを有する基板と、

10

20

30

40

50

前記第1の面に面する前面と、該前面にあるボンドパッドと、前記前面の反対側にある背面と、前記前面と前記背面との間に広がりを有する縁部とを有する第1の超小型電子素子と、

前記第1の超小型電子素子の背面を向き、該第1の超小型電子素子の縁部を越えて突出した前面と、該前面にあるボンドパッドとを有する第2の超小型電子素子と、

前記第2の面において露出し、前記第1の超小型電子素子及び前記第2の超小型電子素子のボンドパッドと電気的に接続され、超小型電子アセンブリを該アセンブリの外部にある少なくとも1つの要素に接続させる複数の端子と

を備えた超小型電子アセンブリ。

【請求項35】

前記超小型電子素子のうちの少なくとも1つは、前記第1の誘電性要素及び前記第2の誘電性要素の各々の上面に少なくとも部分的に重なって位置している、請求項34に記載の超小型電子アセンブリ。

【請求項36】

前記第1の超小型電子素子の縁部が第1の縁部であり、該第1の超小型電子素子は、前記第1の縁部の反対側にある第2の縁部を有し、

前記第2の超小型電子素子は、向かい合っている第1の縁部及び第2の縁部を有し、

各超小型電子素子は、当該超小型電子素子の前面の中央領域において前記第1の方向に広がりを有する5以上のボンドパッドの少なくとも1つの列を有し、各中央領域は、各々の第1の縁部と第2の縁部との間の距離の中央3分の1に広がりを有するものである、請求項34に記載の超小型電子アセンブリ。

【請求項37】

向かい合った上面及び底面を有する第1の誘電性要素、第2の誘電性要素及び第3の誘電性要素であって、各面は第1の横方向及び第2の横方向に延びており、両誘電性要素は、前記第1の横方向及び前記第2の横方向の少なくとも一方において互いに間隔を置いて配置され、基板の第1の面は、前記第1の誘電性要素、前記第2の誘電性要素及び前記第3の誘電性要素の上面を含み、前記基板の第2の面は、前記第1の誘電性要素、前記第2の誘電性要素及び前記第3の誘電性要素の底面を含む、第1の誘電性要素及び第2の誘電性要素と、

前記第1の誘電性要素及び前記第2の誘電性要素の、隣接し向かい合っている縁部間の空間により形成された第1の開口部であって、前記隣接し向かい合っている縁部の各々が前記第1の方向に沿った第1の寸法を有し、該第1の寸法よりも小さな前記第2の方向に沿った第2の寸法を有する第1の開口部と、

前記第2の誘電性要素及び前記第3の誘電性要素の、隣接し向かい合っている縁部間の空間により形成された第2の開口部であって、前記隣接し向かい合っている縁部の各々が前記第1の方向に沿った第1の寸法を有し、該第1の寸法よりも小さな前記第2の方向に沿った第2の寸法を有する第1の開口部と

を有する基板と、

前記第1の面に面する前面と、該前面にあり、前記第1の開口部及び前記第2の開口部の一方と位置合わせされたボンドパッドと、前記前面の反対側に位置する背面と、前記前面と前記背面との間に広がりを有する縁部とを有する第1の超小型電子素子と、

前記第1の超小型電子素子の背面に面し、前記第1の超小型電子素子の縁部を越えて突出した前面と、該前面にあり、前記第1の開口部及び前記第2の開口部の他方と位置合わせされたボンドパッドとを有する第2の超小型電子素子と、

前記第2の面において露出し、前記第1の超小型電子素子及び前記第2の超小型電子素子のボンドパッドと電気的に接続され、超小型電子アセンブリを該アセンブリの外部にある少なくとも1つの要素に接続させる複数の端子と

を備えた超小型電子アセンブリ。

【請求項38】

前記第1の超小型電子素子の前面にあるボンドパッドは、前記第1の開口部と位置合わ

10

20

30

40

50

せされており、

前記第2の超小型電子素子の前面にあるボンドパッドは、前記第2の開口部と位置合わせされている、請求項37に記載の超小型電子アセンブリ。

【請求項39】

前記第1の超小型電子素子は、前記第1の誘電性要素及び前記第2の誘電性要素の各々の上面に少なくとも部分的に重なって位置しており、

前記第2の超小型電子素子は、前記第2の誘電性要素及び前記第3の誘電性要素の各々の上面に少なくとも部分的に重なって位置している、請求項38に記載の超小型電子アセンブリ。

【請求項40】

前記第1の超小型電子素子の前面にあるボンドパッドは、前記第2の開口部と位置合わせされており、

前記第2の超小型電子素子の前面にあるボンドパッドは、前記第1の開口部と位置合わせされている、請求項37に記載の超小型電子アセンブリ。

【請求項41】

前記端子は、前記第1の誘電性要素、前記第2の誘電性要素及び前記第3の誘電性要素の各々の底面において露出した第1の端子、第2の端子及び第3の端子を含み、

前記超小型電子素子のうちの少なくとも1つの超小型電子素子のボンドパッドの少なくとも幾つかは、前記第1の端子、前記第2の端子及び第3の端子のうちの2以上と電気的に接続されている、請求項37に記載の超小型電子アセンブリ。

【請求項42】

前記第1の超小型電子素子のボンドパッドのうちの少なくとも幾つかは、前記第1の端子及び前記第2の端子と電気的に接続されている、請求項41に記載の超小型電子アセンブリ。

【請求項43】

前記第2の超小型電子素子のボンドパッドのうちの少なくとも幾つかは、前記第2の端子及び前記第3の端子と電気的に接続されている、請求項42に記載の超小型電子アセンブリ。

【請求項44】

前記基板は、前記第1の面と前記第2の面との間ににおいて前記第2の方向に広がりを有する周縁部と、該周縁部と前記開口部のうちの1つとの間に広がりを有する、前記第2の面における周辺領域とを有し、

前記端子のうちの少なくとも1つの端子は、前記第1の方向に沿って当該少なくとも1つの端子を通る直線が前記開口部のうちの少なくとも1つを通るか又はその上方を通るものとなるように、前記周辺領域内に少なくとも部分的に配置されている、請求項37に記載の超小型電子アセンブリ。

【請求項45】

前記周辺領域が第1の周辺領域であり、前記開口部のうちの1つが前記第1の開口部であり、前記少なくとも1つの端子が第1の端子であり、

前記基板は、前記周縁部と前記第2の開口部との間に広がりを有する、前記第2の面における第2の周辺領域を有し、

前記端子のうちの少なくとも1つが第2の端子であり、該第2の端子は、前記第1の方向に沿って当該第2の端子を通る直線が前記第2の開口部を通るか又はその上方を通るものとなるように、前記第2の周辺領域内に少なくとも部分的に配置されている、請求項44に記載の超小型電子アセンブリ。

【請求項46】

前記第2の誘電性要素は、前記第1の周辺領域及び前記第2の周辺領域の両方の一部を含むものである、請求項45に記載の超小型電子アセンブリ。

【請求項47】

前記第1の誘電性要素は前記第1の周辺領域の一部を含み、

10

20

30

40

50

前記第3の誘電性要素は前記第2の周辺領域の一部を含むものである、請求項45に記載の超小型電子アセンブリ。

【請求項48】

請求項1、16、19、22、26及び37のいずれか一項に記載の超小型電子アセンブリと、

該超小型電子アセンブリに電気的に接続された1以上の別の電子的要素と
を備えたシステム。

【請求項49】

ハウジングを更に備え、該ハウジングに前記超小型電子アセンブリと前記別の電子的要素とが取り付けられている、請求項48に記載のシステム。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、下向きに積み重ねられた半導体チップを有する超小型電子アセンブリと、その製造方法とに関する。

【0002】

[関連出願の相互参照]

本願は2013年1月15日出願の米国特許出願第13/741,890号の継続出願であり、その米国特許出願は2012年8月2日出願の米国特許出願第13/565,613号の継続出願であり、その米国特許出願は、2011年4月21日出願の米国仮特許出願第61/477,877号の出願日の利益を主張する、2011年11月29日出願の米国特許出願第13/306,300号の一部継続出願であり、これらの開示内容は引用することにより本明細書の一部をなすものとする。全て2011年4月21日出願であり、同一人が所有する米国仮特許出願第61/477,820号と同第61/477,883号と同第61/477,967号とは、引用することにより本明細書の一部をなすものとする。

20

【0003】

半導体チップは一般に、製造の際及び回路基板又は他の回路パネル等の外部基板に取り付ける際に該チップの取扱いを容易なものとするパッケージとして提供される。例えば、多くの半導体チップは、表面実装に適したパッケージとして提供される。この一般的なタイプの多くのパッケージが種々の用途に対して提案されている。最も一般的には、このようなパッケージは、誘電体上の、めっき又はエッティングされた金属構造として形成された端子を有する、一般に「チップキャリア」と呼ばれる基板を有している。これらの端子は通常、チップキャリア自体に沿って広がりを有する薄いトレース等の機構と、チップのコンタクトと端子又はトレースとの間に広がりを有する微細なリード部又は配線とによって、チップ自体のコンタクトに接続される。表面実装処理においては、このパッケージは、パッケージ上の各端子が回路基板上の対応するコンタクトパッドと位置合わせされるように、回路基板上に配置される。端子とコンタクトパッドとの間には、はんだ又は他の結合剤が設けられる。はんだが溶けるか若しくは「リフロー」するように、あるいは結合剤が活性化するようにアセンブリを加熱することにより、パッケージを定位置に恒久的に結合することができる。

30

【0004】

多くのパッケージは、パッケージの端子に取り付けられた、直径が約0.1mm及び約0.8mm(5ミル及び30ミル)のはんだボール形態のはんだの塊を有している。底面から突出したはんだボールのアレイを有するパッケージは一般に、ボールグリッドアレイすなわち「BGA」パッケージと呼ばれる。ランドグリッドアレイすなわち「LGA」パッケージと呼ばれる別のパッケージは、はんだから形成された薄い層すなわちランドによって基板に固定される。このタイプのパッケージは非常に小型にすることができる。一般に、「チップスケルパッケージ」と呼ばれるパッケージは、該パッケージに組み込まれたデバイスの面積と等しいか又はそれよりも僅かにしか大きくない回路基板の面積を占め

40

50

る。これにより、アセンブリ全体のサイズが低減し、基板上の様々なデバイス間で短い相互接続を用いることが可能となり、ひいてはデバイス間の信号伝搬時間が限られたものとなり、そのためアセンブリの高速動作が容易になるという点でこれは有利である。

【0005】

回路パネルの平面に垂直な方向の全体的な高さすなわち寸法が小さいチップパッケージを作ることも望ましい。このような薄い超小型電子パッケージによれば、パッケージが取り付けられた回路パネルを、隣接する構造体のすぐ近くに配置できるようになり、そして、該回路パネルを組み込んだ製品の全体的なサイズを図ることができる。単一のパッケージ内又はモジュール内に複数のチップを設けるために種々の手法が提案されている。従来の「マルチチップモジュール」では、複数のチップが単一のパッケージ基板に並べて取り付けられ、更に、そのパッケージ基板を回路パネルに取り付けることができる。この手法では、回路パネルにおいてチップが占める総面積の削減は限られている。総面積は、モジュール内の個々のチップの全表面積よりも依然として大きい。

10

【0006】

複数のチップを「スタック」構成、すなわち、複数のチップを積み重ねて配置する構成においてパッケージ化することも提案されている。スタック構成によれば、複数のチップを、チップの全面積よりも小さな面積の回路パネルのある領域に取り付けることができる。チップのスタック配置の例が、上記の米国特許第5,679,977号、米国特許第5,148,265号及び米国特許第5,347,159号のある実施形態において開示されており、これらの開示内容は、引用することにより本明細書の一部をなすものとする。また、複数チップが積み重ねられ、それらチップに関連する、いわゆる「配線フィルム」上の導体により相互に接続される構成が米国特許第4,941,033号に開示されており、その開示内容も引用することにより本明細書の一部をなすものとする。

20

【0007】

本技術分野におけるこのような試みの一方で、チップの中央領域に実質的に位置するコンタクトを有するチップについてのマルチチップパッケージにおける更なる改善が求められている。複数のメモリチップといった複数の半導体チップは一般的に、1列又は2列の複数コンタクトが実質的にチップの中心軸に沿って位置するものとなるように構成される。

30

【発明の概要】

【0008】

本発明の一態様によれば、超小型電子アセンブリは、第1の横方向及び第2の横方向にそれぞれ広がりを有する、向かい合った第1の面及び第2の面と、第1の面と第2の面との間ににおいて第2の方向に延びている周縁部と、第1の面と第2の面との間に広がりを有する第1の開口部及び第2の開口部と、周縁部と開口部のうちの1つとの間に広がりを有する第2の面における周辺領域とを有する基板を備えたものとことができる。各開口部は、第1の方向に沿った長手の第1の寸法と、第2の方向に沿った、前記第1の寸法よりも小さな第2の寸法とを有するものとすることができます。

【0009】

超小型電子アセンブリは、第1の面に面する前面と、該前面にあり、第1の開口部と位置合わせされたボンドパッドと、前面の反対側に位置する背面と、前面と背面との間に延びている縁部とを有する第1の超小型電子素子をも備えることができる。また、超小型電子アセンブリは第2の超小型電子素子も備えることができる。第2の超小型電子素子は、第1の超小型電子素子の背面に面し、第1の超小型電子素子の縁部を越えて突出した前面と、第2の超小型電子素子の前面にあり、第2の開口部と位置合わせされたボンドパッドとを有する。

40

【0010】

また、超小型電子アセンブリは、第2の面において露出し、第1の超小型電子素子及び第2の超小型電子素子のボンドパッドと電気的に接続される複数の端子も備えることができる。これらの端子は、超小型電子アセンブリをそのアセンブリの外部にある少なくとも

50

1つの構成要素に接続するように構成することができる。端子のうちの少なくとも1つは、第1の方向に沿って当該少なくとも1つの端子を通る直線が開口部のうちの少なくとも1つを通るか又はその上方を通るものとなるように、周辺領域内に少なくとも部分的に配置することができる。

【0011】

一例では、周縁部は第1の周縁部とすることができます、周辺領域は第1の周辺領域とすることができます、端子のうちの少なくとも1つは第1の端子とすることができます。基板は、第1の周縁部の反対側に位置し、第1の面と第2の面との間ににおいて第2の方向に延びている第2の周縁部を有することができる。基板は、第2の周縁部と開口部のうちの1つとの間に広がりを有する第2の面における第2の周辺領域を有することができる。端子のうちの少なくとも1つは第2の端子とすることができます、第2の端子は、第1の方向に沿って当該第2の端子を通る直線が開口部のうちの少なくとも1つを通るか又はその上方を通るものとなるように、第2の周辺領域内に少なくとも部分的に配置される。

10

【0012】

特定の実施形態では、周辺領域は第1の周辺領域とすることができます、開口部のうちの少なくとも1つは第1の開口部とすることができます、端子のうちの少なくとも1つは第1の端子とすることができます。基板は、周縁部と第2の開口部のうちの1つとの間に広がりを有する第2の面における第2の周辺領域を有することができる。端子のうちの少なくとも1つは第2の端子とすることができます、第2の端子は、第1の方向に沿って第2の端子を通る直線が第2の開口部を通るか又はその上方を通るものとなるように、第2の周辺領域内に少なくとも部分的に配置される。

20

【0013】

例示的な実施形態では、周縁部は第1の周縁部とすることができます。基板は、第1の周縁部の反対側に位置し、第1の面と第2の面との間ににおいて第2の方向に延びている第2の周縁部を有することができる。基板は、第2の周縁部と、第1の開口部及び第2の開口部の各々との間に広がりを有する第2の面における第3の周辺領域及び第4の周辺領域を有することができる。端子のうちの少なくとも1つは第3の端子とすることができます。第3の端子は、第1の方向に沿って当該第3の端子を通る直線が第1の開口部を通るか又はその上方を通るものとなるように、第3の周辺領域内に少なくとも部分的に配置される。端子のうちの少なくとも1つは第4の端子とすることができます。第4の端子は、第1の方向に沿って当該第4の端子を通る直線が第2の開口部を通るか又はその上方を通るものとなるように、第4の周辺領域内に少なくとも部分的に配置される。

30

【0014】

1つの実施形態では、第1の超小型電子素子及び第2の超小型電子素子のボンドパッドは基板の導電性要素に電気的に接続することができる。特定の例では、第1の超小型電子素子のボンドパッドは、第1の開口部と位置合わせされた部分を有する第1のリード部によって導電性要素に電気的に接続することができる。第2の超小型電子素子のボンドパッドは、第2の開口部と位置合わせされる部分を有する第2のリード部によって導電性要素に電気的に接続することができる。一例では、第1のリード部が第1の開口部を通って延在しない場合があるか、又は第2のリード部が第2の開口部を通って延在しない場合があるかの少なくとも一方である。特定の実施形態では、第1の超小型電子素子のボンドパッドは、第1の開口部を通って延びている第1のワイヤボンド部によって導電性要素に電気的に接続することができる。第2の超小型電子素子のボンドパッドは、第2の開口部を通って延びている第2のワイヤボンド部によって導電性要素に電気的に接続することができる。1つの実施形態では、第1のワイヤボンド部は第1の開口部のみを通って延びている場合があり、第2のワイヤボンド部は第2の開口部のみを通って延びている場合がある。

40

【0015】

特定の例では、第1の超小型電子素子の縁部は第1の縁部とすることができます、第1の超小型電子素子は第1の縁部の反対側に位置する第2の縁部を有することができる。第2の超小型電子素子は、向かい合った第1の縁部及び第2の縁部を有することができる。各超

50

小型電子素子は、その超小型電子素子の前面の中央領域において第1の方向に広がりを有する5つ以上のボンドパッドの少なくとも1つの列を有することができる。各中央領域は、各々の第1の縁部と第2の縁部との間の距離の中央3分の1に延びたものとすることができます。1つの実施形態では、各超小型電子素子は、メモリ記憶アレイ機能を提供する能動デバイスの数を、他の任意の機能よりも多く有することができる。例示的な一実施形態では、第1の超小型電子素子は、該第1の超小型電子素子の前面と背面との間に延びている、縁部とその反対側に位置する縁部との間の幅を有することができる。第2の超小型電子素子は、該第2の超小型電子素子の前面と背面との間にそれぞれ広がりを有する、向かい合った縁部間に幅を有することができる。第1の超小型電子素子の幅は、第1の開口部の第2の寸法よりも大きくすることができ、第2の超小型電子素子の幅は、第2の開口部の第2の寸法よりも大きくすることができる。

10

【0016】

1つの実施形態では、第1の開口部及び第2の開口部のうちの一方は、第1の開口部及び第2の開口部の他方よりも、周縁部に近い位置にまで延びたものとすることができます。特定の例では、基板は、第1の面と第2の面との間に広がりを有する第3の開口部及び第4の開口部を有することができる。第3の開口部及び第4の開口部はそれぞれ、第2の方向に沿った長手の第1の寸法と、該第1の寸法よりも小さな第1の方向に沿った第2の寸法とを有する。また、超小型電子アセンブリは、基板の第1の面に面する前面を各々が有する第3の超小型電子素子及び第4の超小型電子素子も含むことができる。第3の超小型電子素子及び第4の超小型電子素子はそれぞれ、当該超小型電子素子の前面にあり、第3の開口部及び第4の開口部の各々と位置合わせされたボンドパッドを有する。第3の超小型電子素子及び第4の超小型電子素子のボンドパッドは、基板の導電性要素に電気的に接続することができる。一例では、基板は周辺領域において第1の面と第2の面との間に広がりを有するアーチャを含むことができる。アーチャは、該アーチャを通る封止材又はアンダーフィル材料を受け入れるように構成することができる。

20

【0017】

本発明の別の態様によれば、超小型電子アセンブリが、それぞれ第1の横方向及び第2の横方向にそれぞれ延在する、対向する第1の面及び第2の面と、第1の面と第2の面との間に第2の方向に延在する周縁部と、第1の面と第2の面との間に延在する第1の開口部及び第2の開口部であって、第1の開口部は第2の開口部と周縁部との間に位置する、第1の開口部及び第2の開口部と、周縁部と第1の開口部との間に延在する第2の面の周辺領域とを有する基板を備えることができる。第1の開口部は、第1の方向に延在する長手の第1の寸法と、第1の寸法より小さな第2の方向の第2の寸法とを有することができる。第2の開口部は、第2の方向に延在する長手の第1の寸法と、第1の寸法より小さな第1の方向の第2の寸法とを有することができる。

30

【0018】

超小型電子アセンブリは、第1の面に面する前面と、前面にあり、第1の開口部と位置合わせされるボンドパッドと、前面の反対に位置する背面と、前面と背面との間に延在する縁部とを有する第1の超小型電子素子も備えることができる。また、超小型電子アセンブリは第2の超小型電子素子も備えることができ、第2の超小型電子素子は、第1の超小型電子素子の背面に面し、第1の超小型電子素子の縁部を越えて突出する前面と、第2の超小型電子素子の前面にあり、第2の開口部と位置合わせされるボンドパッドとを有する。

40

【0019】

また、超小型電子アセンブリは、第2の面において露出し、第1の超小型電子素子及び第2の超小型電子素子のボンドパッドと電気的に接続される複数の端子も備えることができる。これらの端子は、超小型電子アセンブリをこのアセンブリの外部にある少なくとも1つの構成要素に接続するように構成することができる。端子のうちの少なくとも1つは、第1の方向に延在し、少なくとも1つの端子を通り抜ける直線が、第1の開口部を通るか又はその上方を通るものとなるように、周辺領域内に少なくとも部分的に配置すること

50

ができる。

【0020】

一例では、周縁部は第1の周縁部とすることができます、周辺領域は第1の周辺領域とすることができます、端子のうちの少なくとも1つは第1の端子とすることができます。基板は、第1の面と第2の面との間に第1の方向に延在する第2の周縁部を有することができます、基板は、第2の周縁部と第2の開口部との間に延在する第2の面の第2の周辺領域を有することができます。端子のうちの少なくとも1つは第2の端子とすることができます、第2の端子は、第2の方向に延在し、第2の端子を通る直線が第2の開口部を通るか又はその上方を通過するものとなるように、第2の周辺領域内に少なくとも部分的に配置される。

【0021】

特定の実施形態では、基板は、第2の周縁部の反対に位置し、第1の面と第2の面との間に第1の方向に延在する第3の周縁部を有することができます、基板は第3の周縁部と第2の開口部との間に延在する第2の面の第3の周辺領域を有することができます。端子のうちの少なくとも1つは第3の端子であり、第3の端子は、第2の方向に延在し、第3の端子を通り抜ける直線が、第2の開口部を通り抜けるか又はその上方を通過するように、第3の周辺領域内に少なくとも部分的に配置される。

【0022】

本発明のまた別の態様によれば、超小型電子アセンブリが、第1の横方向及び第2の横方向にそれぞれ延在する、対向する第1の面及び第2の面と、第1の面と第2の面との間に第1の方向に延在する周縁部と、第1の面と第2の面との間に延在し、第1の方向に延在する長手の第1の寸法と第1の寸法より小さな第2の方向の第2の寸法とを有する第1の開口部と、第1の面と第2の面との間に延在し、第2の方向に延在する長手の第1の寸法と第1の寸法より小さな第1の方向の第2の寸法とを有する第2の開口部と、周縁部と第2の開口部との間に延在する第2の面の周辺領域とを有する基板を備えることができる。

【0023】

超小型電子アセンブリは、第1の面に面する前面と、前面にあり、第1の開口部と位置合わせされるボンドパッドと、前面の反対に位置する背面と、前面と背面との間に延在する縁部とを有する第1の超小型電子素子も備えることができる。また、超小型電子アセンブリは第2の超小型電子素子も備えることができ、第2の超小型電子素子は、第1の超小型電子素子の背面に面し、第1の超小型電子素子の縁部を越えて突出する前面と、第2の超小型電子素子の前面にあり、第2の開口部と位置合わせされるボンドパッドとを有する。

【0024】

また、超小型電子アセンブリは、第2の面において露出し、第1の超小型電子素子及び第2の超小型電子素子のボンドパッドと電気的に接続される複数の端子も備えることができる。これらの端子は、超小型電子アセンブリをこのアセンブリの外部にある少なくとも1つの構成要素に接続するように構成することができる。端子のうちの少なくとも1つは、第1の方向に延在し、少なくとも1つの端子を通り抜ける直線が、第2の開口部を通り抜けるか又はその上方を通過するように、周辺領域内に少なくとも部分的に配置することができる。

【0025】

一例では、周縁部は第1の周縁部とすることができます、周辺領域は第1の周辺領域とすることができます、端子のうちの少なくとも1つは第1の端子とすることができます。基板は、第1の周縁部の反対に位置し、第1の面と第2の面との間に第1の方向に延在する第2の周縁部を有することができます、基板は、第2の周縁部と第2の開口部との間に延在する第2の面の第2の周辺領域を有することができます。端子のうちの少なくとも1つは第2の端子とすることができます、第2の端子は、第2の方向に延在し、第2の端子を通り抜ける直線が、第2の開口部を通り抜けるか又はその上方を通過するように、第2の周辺領域内に少なくとも部分的に配置される。

【0026】

特定の実施形態では、周辺領域は第1の周辺領域とすることができます、端子のうちの少なくとも1つは第1の端子とすることができます、第1の超小型電子素子の縁部は第1の縁部とすることができます、基板は、第1の面と第2の面との間に延在し、第2の方向に延在する長手の第1の寸法と、第1の寸法より小さな第1の方向の第2の寸法とを有する第3の開口部を有することができます。基板は、周縁部と第3の開口部との間に延在する第2の面の第2の周辺領域を有することができます。端子のうちの少なくとも1つは第2の端子とすることができます、第2の端子は、第2の方向に延在し、第2の端子を通り抜ける直線が、第3の開口部を通り抜けるか又はその上方を通過するように、第2の周辺領域内に少なくとも部分的に配置される。また、超小型電子アセンブリは第3の超小型電子素子も備えることができ、第3の超小型電子素子は、第1の超小型電子素子の背面に面し、第1の超小型電子素子の第1の縁部の反対に位置する第1の超小型電子素子の第2の縁部を越えて突出する前面と、第3の超小型電子素子の前面にあり、第3の開口部と位置合わせされるボンドパッドとを有する。

10

【0027】

例示的な実施形態では、第2の超小型電子素子及び第3の超小型電子素子の前面は単一の平面内に位置決めすることができる。1つの実施形態では、周縁部は第1の周縁部とすることができます、基板は、第1の周縁部の反対に位置し、第1の面と第2の面との間に第1の方向に延在する第2の周縁部を有することができます、基板は、第2の周縁部と第2の開口部及び第3の開口部それぞれとの間に延在する第2の面の第3の周辺領域及び第4の周辺領域を有することができます。端子のうちの少なくとも1つは第3の端子とすることができます、第3の端子は、第2の方向に延在し、第3の端子を通り抜ける直線が、第1の開口部を通り抜けるか又はその上方を通過するように、第3の周辺領域内に少なくとも部分的に配置される。端子のうちの少なくとも1つは第4の端子とすることができます、第4の端子は、第2の方向に延在し、第4の端子を通り抜ける直線が、第2の開口部を通り抜けるか又はその上方を通過するように、第4の周辺領域内に少なくとも部分的に配置される。

20

【0028】

特定の例では、基板は、第1の面と第2の面との間に延在し、第1の方向に延在する長手の第1の寸法と、第1の寸法より小さな第2の方向の第2の寸法とを有する第4の開口部を有することができます。超小型電子アセンブリは、第4の超小型電子素子の前面にあり、第4の開口部と位置合わせされるボンドパッドを有する第4の超小型電子素子も備えることができる。一例では、第2の超小型電子素子、第3の超小型電子素子及び第4の超小型電子素子はそれぞれ、対向する第1の縁部及び第2の縁部を有することができます。各超小型電子素子は、その超小型電子素子の前面の中央領域においてその超小型電子素子の第1の縁部及び第2の縁部に対して平行な方向に延在する5つ以上のボンドパッドの少なくとも1つの列を有することができる。各中央領域は、それぞれの第1の縁部と第2の縁部との間の距離の中央3分の1に延在することができる。

30

【0029】

本発明の更に別の態様によれば、超小型電子アセンブリが、対向する上面及び底面をそれぞれ有する第1の誘電性要素及び第2の誘電性要素を有する基板を備えることができる。各面は第1の横方向及び第2の横方向に延在することができる。誘電性要素は、第1の横方向又は第2の横方向のうちの少なくとも一方において互いに離間して配置することができる。基板の第1の面が、両方の誘電性要素の上面を含むことができる。基板の第2の面が両方の誘電性要素の底面を含むことができる。また、基板は、第1の誘電性要素及び第2の誘電性要素の隣接し対向する縁部間の空所によって画定される第1の開口部であって、隣接し対向する縁部はそれぞれ第1の方向に延在する第1の寸法を有し、第1の開口部は第1の寸法より小さな第2の方向の第2の寸法を有する、第1の開口部と、第2の誘電性要素によって包囲される第2の開口部とを有することができる。

40

【0030】

超小型電子アセンブリは、第1の面に面する前面と、前面にあり、第1の開口部及び第

50

2の開口部のうちの一方と位置合わせされるボンドパッドと、前面の反対に位置する背面と、前面と背面との間に延在する縁部とを有する第1の超小型電子素子も含むことができる。また、超小型電子アセンブリは第2の超小型電子素子も含むことができ、第2の超小型電子素子は、第1の超小型電子素子の背面に面し、第1の超小型電子素子の縁部から突出する前面と、第2の超小型電子素子の前面にあり、第1の開口部及び第2の開口部のうちの他方と位置合わせされるボンドパッドとを有する。また、超小型電子アセンブリは、第2の面において露出し、第1の超小型電子素子及び第2の超小型電子素子のボンドパッドと電気的に接続される複数の端子も含むことができる。端子は、超小型電子アセンブリをこのアセンブリの外部にある少なくとも1つの構成要素と接続するように構成することができる。

10

【0031】

特定の実施形態では、第2の開口部は、第1の方向に延在する長手の第1の寸法と、第1の寸法より小さな第2の方向の第2の寸法とを有することができる。一例では、第2の開口部は、第2の方向に延在する長手の第1の寸法と、第1の寸法より小さな第1の方向の第2の寸法とを有することができる。例示的な実施形態では、基板は、第1の誘電性要素及び第2の誘電性要素の隣接し対向する縁部間に延在する誘電性領域も含むことができる。基板の第1の面は誘電性領域の上面を含むことができる。第2の面は誘電性領域の底面を含むことができる。特定の例では、誘電性領域は、基板の平面において、誘電性要素より高いヤング率を有することができる。

20

【0032】

1つの実施形態では、第1の超小型電子素子の前面にあるボンドパッドは、第1の開口部と位置合わせすることができ、第2の超小型電子素子の前面にあるボンドパッドは第2の開口部と位置合わせすることができる。特定の実施形態では、端子は第1の誘電性要素及び第2の誘電性要素それぞれの底面において露出する第1の端子及び第2の端子を含むことができる。第1の超小型電子素子のボンドパッドのうちの少なくとも幾つかは第1の端子及び第2の端子に電気的に接続することができる。一例では、第1の超小型電子素子の前面にあるボンドパッドは、第2の開口部と位置合わせすることができる。第2の超小型電子素子の前面にあるボンドパッドは第1の開口部と位置合わせすることができる。

【0033】

本発明の別の態様によれば、超小型電子アセンブリが、第1の横方向及び第2の横方向にそれぞれ延在する、対向する第1の面及び第2の面を有する基板を備えることができる。基板は、第1の横方向又は第2の横方向の少なくとも一方において互いに離間して配置される第1の誘電性要素及び第2の誘電性要素を有することができる。また、超小型電子アセンブリは、第1の面に面する前面と、前面にあるボンドパッドと、前面の反対に位置する背面と、前面と背面との間に延在する縁部とを有する第1の超小型電子素子も備えることができる。また、超小型電子アセンブリは第2の超小型電子素子も含むことができ、第2の超小型電子素子は、第1の超小型電子素子の背面に面し、第1の超小型電子素子の縁部から突出する前面と、第2の超小型電子素子の前面にあるボンドパッドとを有する。また、超小型電子アセンブリは、第2の面において露出し、第1の超小型電子素子及び第2の超小型電子素子のボンドパッドと電気的に接続される複数の端子も含むことができる。端子は、超小型電子アセンブリをアセンブリの外部にある少なくとも1つの構成要素と接続するように構成することができる。

30

【0034】

一例では、超小型電子素子のうちの少なくとも1つは、第1の誘電性要素及び第2の誘電性要素のそれぞれの上面の上に少なくとも部分的に重なることができる。例示的な実施形態では、第1の超小型電子素子の縁部は第1の縁部とすることができます、第1の超小型電子素子は、第1の縁部の反対に位置する第2の縁部を有することができる。第2の超小型電子素子は対向する第1の縁部及び第2の縁部を有することができる。各超小型電子素子は、超小型電子素子の前面の中央領域において第1の方向に延在する5つ以上のボンドパッドの少なくとも1つの列を有することができる。各中央領域は、それぞれの第1の縁部

40

50

と第2の縁部との間の距離の中央3分の1に延在することができる。

【0035】

本発明のまた別の態様によれば、超小型電子アセンブリが、反対に位置する上面及び底面をそれぞれ有する第1の誘電性要素、第2の誘電性要素及び第3の誘電性要素を有する基板を備えることができる。各面は第1の横方向及び第2の横方向に延在することができる。誘電性要素は、第1の横方向又は第2の横方向の少なくとも一方において互いに離間して配置することができる。基板の第1の面は第1の誘電性要素、第2の誘電性要素及び第3の誘電性要素の上面を含むことができる。基板の第2の面は、第1の誘電性要素、第2の誘電性要素及び第3の誘電性要素の底面を含むことができる。また、基板は、第1の誘電性要素及び第2の誘電性要素の隣接し対向する縁部間の空所によって画定される第1の開口部も有することができる。隣接し対向する縁部はそれぞれ第1の方向に延在する長手の第1の寸法を有することができる。第1の開口部は、第1の寸法より小さな第2の方向の第2の寸法を有することができる。また、基板は、第2の誘電性要素及び第3の誘電性要素の隣接し対向する縁部間の空所によって画定される第2の開口部も有することができる。隣接し対向する縁部はそれぞれ第1の方向に延在する第1の寸法を有することができる。第1の開口部は、第1の寸法より小さな第2の方向の第2の寸法を有することができる。

10

【0036】

超小型電子アセンブリは、第1の面に面する前面と、前面にあり、第1の開口部及び第2の開口部のうちの一方と位置合わせされるボンドパッドと、前面の反対に位置する背面と、前面と背面との間に延在する縁部とを有する第1の超小型電子素子も備えることができる。また、超小型電子アセンブリは第2の超小型電子素子も備えることができ、第2の超小型電子素子は、第1の超小型電子素子の背面に面し、第1の超小型電子素子の縁部を越えて突出する前面と、第2の超小型電子素子の前面にあり、第1の開口部及び第2の開口部のうちの他方と位置合わせされるボンドパッドとを有する。また、超小型電子アセンブリは、第2の面において露出し、第1の超小型電子素子及び第2の超小型電子素子のボンドパッドと電気的に接続される複数の端子も含むことができる。端子は、超小型電子アセンブリをアセンブリの外部にある少なくとも1つの構成要素と接続するように構成することができる。

20

【0037】

1つの実施形態では、第1の超小型電子素子の前面にあるボンドパッドは第1の開口部と位置合わせすることができ、第2の超小型電子素子の前面にあるボンドパッドは第2の開口部と位置合わせすることができる。特定の例では、第1の超小型電子素子は、第1の誘電性要素及び第2の誘電性要素それぞれの上面の上に少なくとも部分的に重なることができ、第2の超小型電子素子は、第2の誘電性要素及び第3の誘電性要素それぞれの上面の上に少なくとも部分的に重なることができる。例示的な実施形態では、第1の超小型電子素子の前面にあるボンドパッドは、第2の開口部と位置合わせすることができ、第2の超小型電子素子の前面にあるボンドパッドは第1の開口部と位置合わせすることができる。

30

【0038】

特定の実施形態では、端子は第1の誘電性要素、第2の誘電性要素及び第3の誘電性要素それぞれの底面において露出する第1の端子、第2の端子及び第3の端子を含むことができる。超小型電子素子のうちの少なくとも1つの超小型電子素子のボンドパッドのうちの少なくとも幾つかは第1の端子、第2の端子及び第3の端子のうちの2つ以上に電気的に接続することができる。一例では、第1の超小型電子素子のボンドパッドのうちの少なくとも幾つかは、第1の端子及び第2の端子に電気的に接続することができる。特定の例では、第2の超小型電子素子のボンドパッドのうちの少なくとも幾つかは、第2の端子及び第3の端子に電気的に接続することができる。

40

【0039】

例示的な実施形態では、基板は、第1の面と第2の面との間に第2の方向に延在する周

50

縁部と、周縁部と開口部のうちの 1 つとの間に延在する第 2 の面の周辺領域とを有することができる。端子のうちの少なくとも 1 つは、第 1 の方向に延在し、少なくとも 1 つの端子を通り抜ける直線が、開口部のうちの少なくとも 1 つを通り抜けるか又はその上方を通過するように、周辺領域内に少なくとも部分的に配置することができる。

【0040】

一例では、周辺領域は第 1 の周辺領域とすることができます、開口部のうちの 1 つは第 1 の開口部とすることができます、端子のうちの少なくとも 1 つは、第 1 の端子とすることができます。基板は、周縁部と第 2 の開口部との間に延在する第 2 の面の第 2 の周辺領域を有することができる。端子のうちの少なくとも 1 つは第 2 の端子とすることができます、第 2 の端子は、第 1 の方向に延在し、第 2 の端子を通り抜ける直線が、第 2 の開口部を通り抜けるか又はその上方を通過するように、第 2 の周辺領域内に少なくとも部分的に配置される。特定の実施形態では、第 2 の誘電性要素は第 1 の周辺領域及び第 2 の周辺領域の両方の一部を含むことができる。1 つの実施形態では、第 1 の誘電性要素は第 1 の周辺領域の一部を含むことができ、第 3 の誘電性要素は第 2 の周辺領域の一部を含むことができる。

10

【0041】

特定の例では、システムが、上記で説明した超小型電子アセンブリと、超小型電子アセンブリに電気的に接続される 1 つ又は複数の他の電子構成要素とを備えることができる。一例では、システムはハウジングも備えることができ、超小型電子アセンブリ及び他の電子構成要素はこのハウジングに取り付けられる。

20

【図面の簡単な説明】

【0042】

【図 1】本発明の一実施形態の平面図である。

【図 1A】図 1 の実施形態の構成要素の底面図である。

【図 1B . 1C】図 1B は、図 1 の実施形態における一超小型電子素子の底面図である。

図 1C は、図 1 の実施形態における別の超小型電子素子の底面図である。

【図 2A . 2B】図 2A は、図 1 の 2A - 2A 線断面図である。図 2B は、図 1 の 2B - 2B 線断面図である。

【図 3】図 1 に示した実施形態の底面図である。

【図 3A . 3B . 3C】図 3A は、本発明の代替的実施形態の断面図である。図 3B は、図 3A の実施形態において可能性のある底面図である。図 3C は、2 つの誘電性要素を有する、図 3A の実施形態において可能性のある別の底面図である。

30

【図 3D . 3E . 3F . 3G】図 3D は、3 つの誘電性要素を有する、図 3A の実施形態において可能性のあるさらに別の底面図である。図 3E ~ 3G は、図 3D の実施形態の変形例を示している。

【図 3H】製造途中のアセンブリを示す説明図である。このアセンブリは、図 3D に示した超小型電子アセンブリを複数備えている。

【図 3I . 3J . 3K】図 3I は、図 3A の実施形態の変形例の断面図である。図 3J は、図 3I の実施形態において可能性のある底面図である。図 3K は、複数の誘電性要素を有する、図 3I の実施形態において可能性のある別の底面図である。

40

【図 4】本発明の代替的実施形態の平面図である。

【図 5A . 5B . 5C】図 5A は、図 4 の 5A - 5A 線断面図である。図 5B は、図 4 の 5B - 5B 線断面図である。図 5C は、図 4 の 5C - 5C 線断面図である。

【図 6】図 4 の底面図である。

【図 7】本発明の代替的実施形態の平面図である。

【図 8A . 8B】図 8A は、図 7 の 8A - 8A 線断面図である。図 8B は、図 7 の 8B - 8B 線断面図である。

【図 8C . 8D】図 8C は、図 7 の 8C - 8C 線断面図である。図 8D は、図 7 の 8D - 8D 線断面図である。

【図 9】図 7 の底面図である。

【図 9A】本発明の代替的実施形態の平面図である。

50

【図10】本発明の代替的実施形態の平面図である。

【図11A・11B】図11Aは、図10の10A-10A線断面図である。図11Bは、図10の11B-11B線断面図である。

【図11C・11D】図11Cは、図10の11C-11C線断面図である。図11Dは、図10の11D-11D線断面図である。

【図12】図10の底面図である。

【図13】本発明の代替的実施形態の平面図である。

【図14】本発明の代替的実施形態の平面図である。

【図15】図14の15-15線断面図である。

【図16】本発明の代替的実施形態の平面図である。

【図17A・17B】図17Aは、図16の17A-17A線断面図である。図17Bは、図16の17B-17B線断面図である。

【図18】本発明の一実施形態によるシステムの説明図である。

【発明を実施するための形態】

【0043】

図1~3は、本発明の一実施形態による超小型電子パッケージ又は超小型電子アセンブリ100のいくつかの図である。図1に示しているように、超小型電子アセンブリ100は、基板102の上にある2つの超小型電子素子を有している。これらの超小型電子素子は下向きに積み重ねられており、第1の超小型電子素子136の背面138(図2A)に、第2の超小型電子素子153の少なくとも一部が重なっている。

10

20

【0044】

第1の超小型電子素子136及び第2の超小型電子素子153を基板102上に配置して、第1の超小型電子素子136の外縁部(すなわち、第1の縁部144、第2の縁部145、第3の縁部146、第4の縁部147)と第2の超小型電子素子153の外縁部(すなわち、第1の縁部161、第2の縁部162、第3の縁部163、第4の縁部164)とが基板102の第1の面104上に位置し、両外縁部が基板102の周縁部を越えないようにすることができる。

【0045】

特定の実施形態では、基板は、高分子材料、又はセラミック若しくはガラス等の無機材料等の種々のタイプの構成体からなる誘電性要素とすることができます。基板は、その上に端子及びリード部等の導電性要素、例えば、トレース、基板コンタクト、又は端子と電気的に接続される他の導電性要素を有している。別の例では、基板は、シリコンのような半導体材料から基本的になることができるか、又は代替的に半導体材料層と、1以上の誘電性層とを含むことができる。更に別の実施形態では、基板はリード部を有するリードフレームとすることができます、端子は、リード部の端部といったリード部の一部とすることができます。

30

【0046】

図2A及び図2Bに最もよく示しているように、基板102は、第1の面104と、該第1の面とは反対に位置する第2の面106とを有している。第1の面及び第2の面はそれぞれ、第1の横方向D1及び第2の横方向D2に広がりを有している。基板102の厚みは適用例によって異なるものの、基板102の厚さは最も一般的には、約10マイクロメートル(ミクロン)~約100マイクロメートルである。基板102は、その表面に露出した、導電性トレース108と、端子コンタクト110、第1の組のコンタクト109、第2の組のコンタクト111といった複数のコンタクトとを有するものとすることができます。本明細書において、導電性要素がある構造体の表面「において露出している」という表現は、その表面に垂直な方向に、その構造体の外部からその表面に向かって移動する仮想的な点と接触するために、その導電性要素が利用できることを意味する。したがって、構造体の表面において露出する端子又は他の導電性要素は、そのような表面から突出し

40

50

ている場合もあるし、そのような表面と同一平面をなす場合もあるし、そのような表面よりも奥まって位置し、構造体内の穴又は凹部を通して露出している場合もある。

【0047】

図1Aに示しているように、基板102の第1の面104は向かい合った一対の縁部間に3つの部分を有することができ、これらの部分は基板102の第1の縁部103と第2の縁部105との間の、基板102の幅を分割している。3つの部分は、同じ幅又は異なった幅とすることができます、基板102の第1の縁部103に隣接する第1の外側部分900と、基板102の第2の縁部105に隣接する第2の外側部分902と、第1の外側部分900と第2の外側部分902との間のエリアを占める中央部分906とを含むことができる。一実施形態では、基板102の第2の面106上のこれらの部分のうちの1以上において、導電性トレース108及び複数のコンタクトが露出している。他の実施形態では、導電性トレース108及びコンタクトは、基板102の第1の面104及び第2の面106の両方の上に、又は基板102の内部に広がりを有している場合がある。

10

【0048】

導電性トレース108は任意の導電性材料から形成することができるが、最も一般的には、銅、銅合金、金又はこれらの材料の組み合わせから形成される。トレースの厚みも適用例によって異なるものの、通常は約5ミクロン～約25ミクロンである。基板102及びトレース108は、同時係属の、同じ譲受人に譲渡された米国特許第7,462,936号に開示されているようなプロセスによって作製することができ、その開示内容は引用することにより本明細書の一部をなすものとする。

20

【0049】

図1、図1A、図2B及び図3に示しているように、基板102は、基板102の第1の面104と第2の面106との間に広がりを有する少なくとも2つのアパー チャ又は開口部を更に有するものとすることができます。第1の開口部116は、基板102の中央領域906(図1A)に位置決めすることができます、一対の短い縁部118と、短い縁部118の長さより長い長さを有する一対の長い縁部120とを有するものとすることができます。第1の開口部116は第1の方向D1に広がりを有するものとすることができます。第2の開口部126は、第1の方向D1と交差する第2の方向D2に広がりを有するものとすることができます。この実施形態では、第2の開口部126が広がりを有する第2の方向D2は、第1の開口部116が広がりを有する第1の方向D1に対して垂直とすることができます、それにより、第1の開口部116及び第2の開口部126はT字形を形成することができます。あるいは、第1の開口部116及び第2の開口部126をともに接合し、1つの連続した開口部を形成することができることは理解されたい。別の代替的実施形態では、第1の開口部116又は第2の開口部126はそれぞれ複数の開口部から構成することができ、それにより、第1の開口部116は第1の方向D1に広がりを有する複数の開口部を含み、第2の開口部126は、第1の方向D1と交差する第2の方向D2に広がりを有する複数の開口部を含む。開口部は、任意の代替的な形状又は配置を有することもできることを更に理解されたい。

30

【0050】

一例において、第1の開口部116は、短い寸法A2より長い、長い寸法A1を有することができ、長い寸法A1は第1の方向D1に広がりを有し、短い寸法A2は第2の方向D2に広がりを有する。第2の開口部126は短い寸法B2より長い、長い寸法B1を有することができ、長い寸法B1は第2の方向D2に広がりを有し、短い寸法B2は第1の方向D1に広がりを有する。

40

【0051】

図2A及び図2Bに示しているように、第1の超小型電子素子136は前面140を有している。この前面は、基板102の第1の面104に面し、接着剤101等の既知の結合材料又は手法を用いて基板102の第1の面104に取り付けることができる。第1の超小型電子素子136は、前面140の反対側に位置する背面138を更に含む。この実施形態では、前面140は、その上にボンドパッド142を有する、超小型電子素子13

50

6の第1の面であり、背面138は超小型電子素子136の背面である。この実施形態では、第1の超小型電子素子136の対向する第1の縁部144及び第2の縁部145と、対向する第3の縁部146及び第4の縁部147とは、基板102の第1の面104と第2の面106との間に広がっている。第1の超小型電子素子136の縁部は、同じ長さ又は異なった長さからなることができる。

【0052】

図1Bに示しているように、第1の超小型電子素子136は任意のタイプの半導体チップとすることができます。本実施形態では、第1の超小型電子素子136は、その上に導電性要素を有するDRAM(ダイナミックランダムアクセスメモリ)チップとすることができます。図示しているように、第1の超小型電子素子136の前面140の表面積は、第1の超小型電子素子の第1の縁部と第2の縁部との間の方向に沿って幅が実質的に等しい3つの領域、すなわち、第1の外側領域920と、第2の外側領域922と、第1の外側領域920と第2の外側領域922との間に位置する中央領域924とに分けることができる。例えば、長縁部間の長さが6ミクロンである場合は、第1の外側領域と第2の外側領域と中央領域との各々の長さは2ミクロンとすることができます。それにより、中央領域924は、第1の縁部144から2ミクロンをおいて、そして第2の縁部145から2ミクロンをおいて位置することになる。つまり、中央領域は、第1の超小型電子素子136の中央3分の1に位置したものとすることができます。本明細書における超小型電子素子のいずれか又は全てがそれぞれ、メモリ記憶アレイ機能を提供する能動デバイスを他の任意の機能よりも数多く有することができます。

10

20

【0053】

DRAMチップに関して一般的であるように、導電性要素には、第1の超小型電子素子136の前面140の中央領域924に沿って広がりを有する複数個の第1のボンドパッド142が含まれうる。導電性要素は、第1の超小型電子素子136と、基板102の第2の面106上に位置する第1の組のコンタクト109との間の電気的接続を提供するものである。接着剤101を用いて、第1の超小型電子素子136を基板102に取り付けることができる。

30

【0054】

図2A及び図2Bに示しているように、第1の超小型電子素子136のボンドパッド142は、基板102の第1の開口部117の真上に位置決めすることができます。これにより、ボンドパッド142は、第1の開口部117を通じて露出させることができるようになる。ボンドパッド142は、電気的接続を確立する任意の既知の方法を用いて、基板102の第2の面106上にある第1の組のコンタクト109に電気的に接続することができる。一実施形態では、ボンドワイヤ148が、第1の超小型電子素子136上のボンドパッド142から、第1の開口部116を通って、基板102の第2の面106上にある第1の組のコンタクト109まで伸びたものとすることができます。トレース108(図3)を用いて、第1の組のコンタクト109を端子コンタクト110に接続することができる。

【0055】

第2の超小型電子素子153は、第1の超小型電子素子136と同様のものとすることができます。ボンドパッドをその上に有する第2の超小型電子素子の前面157は、第1の超小型電子素子136に面することで、第2の超小型電子素子153は第1の超小型電子素子136の背面138の上に重なっている。図1Cに示しているように、本実施形態における第2の超小型電子素子153は、向かい合った第1の縁部161及び第2の縁部162と、第2の超小型電子素子153の背面155と前面157との間に広がりを有するとともに第1の縁部161及び第2の縁部162に隣接する、向かい合った第3の縁部163及び第4の縁部164とを有している。ボンドパッド159等の導電性要素が、第2の超小型電子素子153の前面157に沿って広がりを有している。本実施形態では、第2の超小型電子素子153は、DRAMチップ等の半導体チップとすることができます、ボンドパッド159が第2の超小型電子素子153の中央領域932に沿って位置している。

40

50

中央領域 932 は、第1の外側領域 928 と第2の外側領域 930 との間に位置している。一実施形態では、ボンドパッド 159 は、第1の超小型電子素子 136 上のボンドパッド 142 が広がりを有する方向と交差する方向に広がりを有するものとすることができる。

【0056】

図1Bに示しているように、特定の例では、第1の超小型電子素子 136 は、第1の超小型電子素子の前面 140 の中央領域 924 において方向 D3 に広がりを有する 5 つ以上のボンドパッド 142 からなる少なくとも 1 つの列 142' を有することができる。また、図1Cに示しているように、一例において、第2の超小型電子素子 153 は、第2の超小型電子素子の前面 157 の中央領域 932 において方向 D4 に広がりを有する 5 つ以上のボンドパッド 159 からなる少なくとも 1 つの列 159' を有することができる。図3の例に示しているように、ボンドパッド 142 の列 142' が広がる方向 D3 は、ボンドパッド 159 の列 159' が広がる方向 D4 と交差したものとすることができる。図3に示しているように、方向 D3 は、第1の開口部 116 の長手寸法の方向 D1 に平行とすることができ、方向 D4 は、第2の開口部 126 の長手寸法の方向 D2 に平行とすることができますが、そうでなくてもよい。例えば、一実施形態では(不図示)、方向 D3 は、第1の窓の短い寸法が広がる方向 D2 に平行とすることができます、方向 D4 は、第2の窓の短い寸法が広がる第1の方向 D1 に平行とすることができます。

【0057】

図2Bに示しているように、第2の超小型電子素子 153 は第1の超小型電子素子 136 の上方に位置したものとすることができます。図示しているように、第1の超小型電子素子 136 よりも上の高さで第2の超小型電子素子 153 を支持するために、基板 102 と第2の超小型電子素子 153 との間にスペーサ 135 を設けることができる。図1に最もわかりやすく示しているように、第2の超小型電子素子 153 の第1の縁部 161 及び第2の縁部 162 は、第1の超小型電子素子 136 の第1の縁部 144 及び第2の縁部 145 と交差する方向に広がったものとすることができます。その結果、第2の超小型電子素子 153 における第1の縁部 161 及び第2の縁部 162 は、第1の超小型電子素子 136 における第3の縁部 146 及び第4の縁部 147 の一方を越えて広がっている。

【0058】

図2Bに示しているように、第2の超小型電子素子 153 におけるボンドパッド 159 は、基板 102 において露出した複数のコンタクトのうちの第2の組のコンタクト 111 と電気的に接続することができる。

【0059】

導電性要素を用いて、第1の超小型電子素子 136 上のボンドパッド 159 を、基板 102 の第2の面 106 における第2の組のコンタクト 111 と電気的に接続することができる。本実施形態では、ボンドワイヤ 165 を用いて、第2の超小型電子素子 153 上のボンドパッド 159 を、基板 102 の第2の面 106 上の第2の組のコンタクト 111 (図2B～図3) と接続することができる。図示しているように、ボンドワイヤ 165 は、第2の開口部 126 を通って延び、第2の組のコンタクト 111 に接続する。

【0060】

図2Aに示しているように、スタッカーセンブリが組み立てられると、基板 102 の第1の面 104 と第1の超小型電子素子 136 と第2の超小型電子素子 153 とのうちのいくつか又は全ての上に封止材 199 を設けることができる。この封止材は、第1の開口部 116 及び第2の開口部 126 の各々を通って延びているボンドワイヤ 148、165 を覆うことができる。

【0061】

図3に示しているように、基板 102 の第2の面 106 において露出する端子コンタクト 110 (図2B) に、はんだボール 115 のアレイを取り付けることができる。図示しているように、トレース 108 が第1の組のコンタクト 109 から第2の面 106 に沿って延び、第1の組のコンタクト 109 とハンダボール 115 を支持する端子コンタクト 1

10

20

30

40

50

10との間の電気的接続を提供することができる。端子110は、超小型電子アセンブリ100を該アセンブリの外部にある少なくとも1つの要素に接続するためのものとすることができる。

【0062】

特定の例では、基板102は、第1の面104と第2の面106との間ににおいて第2の方向D2に広がりを有する第1の周縁部3も有することができる。また、基板102は、第1の面104と第2の面106との間ににおいて第1の方向D1に広がりを有する第2の周縁部103も有することができる。さらに、基板102は、第2の周縁部103の反対側に位置し、第1の面104と第2の面106との間ににおいて第1の方向D1に広がりを有する第3の周縁部105も有することができる。

10

【0063】

第1の開口部116は、第2の開口部126と第1の周縁部3との間に設けることができ、第1の方向D1に広がりを有する長手の第1の寸法L1と、該第1の寸法より小さな、第2の方向D2に沿った第2の寸法W1とを有することができる。第2の開口部126は、第2の方向D2に広がりを有する長手の第1の寸法L2と、該第1の寸法より小さな、第1の方向D1に沿った第2の寸法W2とを有することができる。

20

【0064】

基板102は、第1の周縁部3と第1の開口部116との間に広がる、第2の面106上の第1の周辺領域P1を有することができる。また、基板102は、第2の周縁部103と第2の開口部126との間に広がる、第2の面106上の第2の周辺領域P2も有することができる。さらに、基板102は、第3の周縁部105と第2の開口部126との間に広がる、第2の面106上の第3の周辺領域P3も有することができる。第2の周辺領域P2及び第3の周辺領域P3は、第2の開口部126の両側に位置したものとすることができます。

20

【0065】

図3に示しているように、第1の方向D1に沿って端子110のうちの少なくとも1つ、例えば第1の端子110aを通る直線S1が第1の開口部116を通るか又はその上方を通るものとなるように、前記第1の端子110aを第1の周辺領域P1内に少なくとも部分的に配置することができる。また、第2の方向D2に沿って端子110のうちの少なくとも1つ、例えば第2の端子110bを通る直線S2が第2の開口部126を通るか又はその上方を通るものとなるように、前記第2の端子を第2の周辺領域P2内に少なくとも部分的に配置することができる。さらに、第2の方向D2に沿って端子110のうちの少なくとも1つ、例えば第3の端子110cを通る直線が第2の開口部126を通るか又はその上方を通るものとなるように、前記第3の端子を第3の周辺領域P3内に少なくとも部分的に配置することができる。特定の例では、同一直線S2が第2の端子110b及び第3の端子110cを通るものとすることができますが、そうでなくてもよい。

30

【0066】

本明細書において説明する他の実施形態は、図1～図3の実施形態に実質的に類似している。各実施形態は、基板、及び基板内の各開口部の上方において超小型電子素子が前面を下にした姿勢、すなわち下向きの配置で設けられる方法に関してのみ異なる。そのため、図1～図3の実施形態に関して開示した原理は、本明細書において開示する他の実施形態にも同じく適用することができる。したがって、同様の要素を説明するために同様の符号を用いる。

40

【0067】

図3A及び図3Bに示しているように、超小型電子アセンブリ100'は図1～図3に開示及び説明した超小型電子アセンブリに類似している一方で、第1の開口部16及び第2の開口部26がそれぞれ、第1の方向D1に沿ったそれぞれの長手の第1の寸法L1及びL2と、第2の方向に沿ったそれぞれの第2の寸法W1及びW2とを有しているという点で異なっている。すなわち、第1の開口部16及び第2の開口部26は、互いに交差しているのではなく、互いに平行に延びている。

50

【0068】

図3Aからわかるように、図1～図3と同様、第1の超小型電子素子36は、基板2における第1の面4に面する前面40と、該前面にあり、第1の開口部16と位置合わせされているボンドパッド42と、前面の反対側に位置する背面38と、前面と背面との間に延びている縁部46とを有している。第2の超小型電子素子53は、第1の超小型電子素子36の背面38に面し、第1の超小型電子素子の縁部46を越えて突出した前面57と、第2の超小型電子素子の前面にあり、第2の開口部26と位置合わせされているボンドパッド59とを有している。

【0069】

特定の例では、第1の超小型電子素子36は、前面と背面との間に延びている縁部46と、反対側に位置する縁部との間にある幅を有するものとすることができます。第2の超小型電子素子53は、前面と背面との間にそれぞれ延びている、向かい合った縁部間にある幅を有するものとすることができます。第1の超小型電子素子36の幅は第1の開口部16の第2の寸法W1よりも大きくすることができる。第2の超小型電子素子53の幅は、第2の開口部26の第2の寸法W2よりも大きくすることができる。

10

【0070】

基板2における第2の面6において露出している端子コンタクト10に、はんだボール15のアレイを取り付けることができる。第1の組のコンタクト9及び第2の組のコンタクト11から第2の面6に沿ってトレースが延びてあり、基板コンタクト9、11とはんだボール15を支持する端子コンタクト10との間の電気的接続を提供することができる。第1の超小型電子素子36及び第2の超小型電子素子53それぞれのボンドパッド42、59は、基板2の導電性要素（例えば、基板コンタクト9、11及び端子10）と電気的に接続することができる。端子10は、超小型電子アセンブリ100'を、該アセンブリの外部にある少なくとも1つの要素に接続するように構成することができる。

20

【0071】

特定の例では、基板2は、第1の面4と第2の面6との間において第2の方向D2にそれぞれ延びている、向かい合った第1の周縁部3及び第2の周縁部5を有するものとすることができます。基板2は、第1の周縁部3と、第1の開口部16及び第2の開口部26の各々との間に広がっている、第2の面6における第1の周辺領域P1及び第2の周辺領域P2を有するものとすることができます。また、基板2は、第2の周縁部5と、第1の開口部16及び第2の開口部26の各々との間に広がっている、第2の面6における第3の周辺領域P3及び第4の周辺領域P4をも有するものとすることができます。第1の周辺領域P1及び第3の周辺領域P3は、第1の開口部16の両側に位置するものとすることができます。第2の周辺領域P2及び第4の周辺領域P4は、第2の開口部26の両側に位置するものとすることができます。

30

【0072】

図3Bに示しているように、第1の開口部16は、第1の周縁部3から第2の開口部26と同じ距離を置いた位置まで延びているとともに、第2の周縁部5から第2の開口部と同じ距離を置いた位置まで延びているが、そうでなくてもよい。一例では、第1の開口部16及び第2の開口部26のうちの一方は、他方に比べて、周縁部3及び5のうちの一方又は両方に近い位置まで延びたものとすることができます。

40

【0073】

図3Bに示しているように、端子10のうちの少なくとも1つ、例えば第1の端子10aは、第1の方向D1に沿って当該第1の端子10aを通る直線S1が第1の開口部16を通るか又はその上方を通るものとなるように、第1の周辺領域P1内に少なくとも部分的に配置することができる。また、端子10のうちの少なくとも1つ、例えば第2の端子10bは、第1の方向D1に沿って当該第2の端子を通る直線S2が第2の開口部26を通るか又はその上方を通るものとなるように、第2の周辺領域P2内に少なくとも部分的に配置することができる。

【0074】

50

端子 10 のうちの少なくとも 1 つ、例えば第 3 の端子 10c は、第 2 の方向 D3 に沿って当該第 3 の端子を通る直線が第 1 の開口部 16 を通るか又はその上方を通るものとなるように、第 3 の周辺領域 P3 内に少なくとも部分的に配置することができる。また、端子 10 のうちの少なくとも 1 つ、例えば第 4 の端子 10d は、第 1 の方向 D1 に沿って当該第 4 の端子を通る直線が第 2 の開口部 26 を通るか又はその上方を通るものとなるように、第 4 の周辺領域 P4 内に少なくとも部分的に配置することができる。特定の例では、同一直線 S1 が第 1 の端子 10a 及び第 3 の端子 10c を通って延びるものとすることができるが、そうでなくてもよい。一実施形態では、同一直線 S2 が第 2 の端子 10b 及び第 4 の端子 10d を通って延びるものとすることができますが、そうでなくてもよい。

【0075】

10

一例では、第 1 の超小型電子素子 36 のボンドパッド 42 は、第 1 の開口部 16 と位置合わせされた部分を有する第 1 のリード部 48 により、導電性要素 9 に電気的に接続することができる。同様に、第 2 の超小型電子素子 53 のボンドパッド 59 は、第 2 の開口部 26 と位置合わせされた部分を有する第 2 のリード部 65 により、導電性要素 11 に電気的に接続することができる。一実施形態においては、例えば第 1 のリード部 48 がリードボンド部 (lead bond) である場合には、第 1 のリード部は第 1 の開口部 16 内で延びていない場合がある。同様に、例えば第 2 のリード部 65 がリードボンド部である場合には、第 2 のリード部は第 2 の開口部 26 内で延びていない場合がある。

【0076】

20

図 3A に示しているように、第 1 の超小型電子素子 36 のボンドパッド 42 は、第 1 の開口部 16 を通じて延びているワイヤボンド部 48 によって導電性要素 9 に電気的に接続することができる。同様に、第 2 の超小型電子素子 53 のボンドパッド 59 は、第 2 の開口部 26 を通じて延びているワイヤボンド部 65 によって導電性要素 11 に電気的に接続することができる。特定の例では、第 1 のワイヤボンド部 48 は第 1 の開口部 16 のみを通って延びているものとすることができますが、第 2 のワイヤボンド部は第 2 の開口部 26 のみを通って延びているものとすることができます。

【0077】

30

例示的な実施形態では、第 1 の超小型電子素子 36 及び第 2 の超小型電子素子 53 は、図 1B 及び図 1C に示したものと同じように構成されるそれぞれのボンドパッド 42 及び 59 を有することができる。このような例では、第 1 の超小型電子素子 36 及び第 2 の超小型電子素子 53 はそれぞれ、各々の前面 40、57 の中央領域において第 1 の方向に広がりを有する、それぞれのボンドパッド 42、59 のうちの 5 つ以上のボンドパッドを有する少なくとも 1 つの列を有することができる。各中央領域は、それぞれの超小型電子素子の向かい合った第 1 の縁部と第 2 の縁部との間の距離の中央 3 分の 1 に広がっている。

【0078】

40

図 3C は、図 3A の超小型電子アセンブリ 100 の別の可能性としての底面図である。図 3C に示している実施形態では、基板 2 は、間隔を置いて配置され、かつ互いに隣接して配置された第 1 の誘電性要素 2a 及び第 2 の誘電性要素 2b を有するものとすることができます。各誘電性要素は向かい合った上面及び底面を有している。2 つの誘電性要素 2a 及び 2b は互いに同一平面に設けることができる。それにより、基板 2 における第 1 の面 4 は両誘電性要素の上面を含んだものとすることができますが、基板 2 における第 2 の面 6 は両誘電性要素の底面を含んだものとすることができます。

【0079】

50

別の例では、図 3C に示した誘電性要素 2a 及び 2b 等の、本明細書に記載の誘電性要素のいずれか又はそれを、シリコン等の半導体材料から基本的になる基板要素へとそれぞれ置き換えることができる。特定の実施形態では、本明細書に記載の誘電性要素のいずれか又はそれを、半導体材料層と 1 以上の誘電性層とを含むことのできる基板要素へとそれぞれ置き換えることができる。更に別の実施形態では、本明細書に記載の誘電性要素のいずれか又はそれを、リード部を有するリードフレームにそれぞれ置き換えることができる。リード部の端部といったリード部の一部を端子とすることができます。

【0080】

第1の誘電性要素2a及び第2の誘電性要素2bの、隣接しているとともに向かい合っている縁部102a及び102b間の空間によって第1の開口部16cを形成することができる。隣接しているとともに向かい合っている縁部102a及び102bはそれぞれ、第1の寸法L1を有するものとすることができる、それぞれが第1の方向D1に沿ったものとすることができる。第1の開口部16cは、第1の寸法L1よりも小さな、第2の方向D2に沿った第2の寸法W1を有するものとすることができる。第2の開口部26は図3Bと同様にすることができる、それにより、第2の開口部は第2の誘電性要素2bによって囲まれたものとすることができる。

【0081】

10

図3Bに示した実施形態と同様に、端子10のうちの少なくとも1つ、例えば第1の端子10aは、第1の方向D1に沿って当該第1の端子10aを通る直線S1が第1の開口部16cを通るか又はその上方を通るものとなるように、第1の周辺領域P1内に少なくとも部分的に配置することができる。端子10のうちの少なくとも1つ、例えば第2の端子10bは、第1の方向D1に沿って当該第2の端子を通る直線S2が第2の開口部26を通るか又はその上方を通るものとなるように、第2の周辺領域P2内に少なくとも部分的に配置することができる。同様に、少なくとも1つの第3の端子10c及び第4の端子10dは、図3Bに関して上記で説明したように、第3の周辺領域及び第4の周辺領域内に少なくとも部分的に配置することができる。

【0082】

20

特定の例では、第2の開口部26は、第1の開口部16cに対して垂直方向のものとすることができる。例えば、第2の開口部26は、第2の方向D2に沿った第1の寸法L2と、該第1の寸法よりも小さな、第1の方向D1に沿った第2の寸法W2とを有するものとすることができる。一実施形態において、基板2は、第1の誘電性要素2a及び第2の誘電性要素2bの、隣接しているとともに向かい合った縁部102a及び102bの間に広がりを有する誘電性領域Rをも含んだものとすることができる。該基板の第1の面は該誘電性領域の上面を含んでおり、第2の面は該誘電性領域の底面を含む。特定の例では、誘電性領域Rは、基板の平面において、誘電性要素2a、2bよりも大きなヤング率を有するものとすることができる。

【0083】

30

図3A及び図3Cに示しているように、第1の超小型電子素子36は第1の開口部16cの上に重なったものとすることができる、第2の超小型電子素子53は第2の開口部26の上に重なったものとすることができる、基板2により近い超小型電子素子は第1の開口部の上に重なっている超小型電子素子である。しかし、そうでなくてもよい。別の実施形態では、基板2により近い超小型電子素子（例えば第1の超小型電子素子36）が第2の開口部26の上に重なったものとすることができる、基板からより離れている超小型電子素子（例えば第2の超小型電子素子53）が第1の開口部16cの上に重なったものとすることができる。

【0084】

40

図3Dは、図3Aの超小型電子アセンブリ100の別の可能性としての底面図である。図3Dに示している実施形態では、基板2は、間隔を置いて配置され、かつ互いに隣接して配置された第1の誘電性要素2aと第2の誘電性要素2bと第3の誘電性要素2cとを含むことができる。各誘電性要素は向かい合った上面及び底面を有している。3つの誘電性要素2a、2b、2cは互いに同一平面に設けることができ、それにより、基板2における第1の面4は3つ全ての誘電性要素の上面を含んだものとすることができる、基板における第2の面6は3つ全ての誘電性要素の底面を含んだものとすることができる。

【0085】

第1の誘電性要素2a及び第2の誘電性要素2bの、隣接しているとともに向かい合っている縁部間の空間により、図3Cの第1の開口部16cに類似した第1の開口部16dを形成することができる。また、第2の誘電性要素2b及び第3の誘電性要素2cの、隣

50

接しているとともに向かい合っている縁部間の空間により、第2の開口部26dを形成することができる。

【0086】

図3Cに示した実施形態と同様、端子10のうちの少なくとも1つ、例えば第1の端子10aは、第1の方向D1に沿って当該第1の端子10aを通る直線S1が第1の開口部16dを通るか又はその上方を通るものとなるように、第1の周辺領域P1内に少なくとも部分的に配置することができる。端子10のうちの少なくとも1つ、例えば第2の端子10bは、第1の方向D1に沿って当該第2の端子を通る直線S2が第2の開口部26dを通るか又はその上方を通るものとなるように、第2の周辺領域P2内に少なくとも部分的に配置することができる。同様に、少なくとも1つの第3の端子10c及び第4の端子10dは、図3Bに関して上記で説明したように、第3の周辺領域及び第4の周辺領域内に少なくとも部分的に配置することができる。

10

【0087】

一例では、端子10は、第1の誘電性要素2aと第2の誘電性要素2bと第3の誘電性要素2cとの各底面において露出した第1の端子と第2の端子と第3の端子とを含んだものとすることができます。超小型電子素子36、53のうちの少なくとも1つの超小型電子素子のボンドパッド42、59のうちの少なくとも幾つかは、第1の基板部分、第2の基板部分、第3の基板部分のそれぞれの第1の端子、第2の端子、第3の端子のうちの2以上と電気的に接続することができる。特定の実施形態において、第1の超小型電子素子36のボンドパッド42のうちの少なくとも幾つかは、第1の基板部分2a及び第2の基板部分2bの端子10に電気的に接続することができる。一実施形態では、第2の超小型電子素子53のボンドパッド59のうちの少なくとも幾つかは、第2の基板部分2b及び第3の基板部分2cの端子10に電気的に接続することができる。

20

【0088】

図3E、図3F、図3Gはそれぞれ、図3Aの超小型電子アセンブリ100の代替的可能性としての底面図である。図3Eの実施形態は図3Dに示した実施形態と類似しているが、各周辺領域が第1の方向D1に沿って互いに隣接して配置された複数の端子10を含みうる点で異なる。例えば、周辺領域P1は端子10a及び10a'を含み、第1の開口部16eと基板2の周縁部との間ににおいて第1の方向に延びる直線S1は端子10a及び10a'の両方を通って延びている。

30

【0089】

図3Fに示している実施形態は図3Dに示した実施形態と類似しているが、周辺領域が第2の基板部分2b上ではなく、第1の基板部分2a上及び第3の基板部分2c上に位置している点で異なる。図3Gに示している実施形態は、図3Fに示した実施形態と類似しているが、第2の基板部分2bがその中央部分において、その周辺部分における第2の幅W'よりも大きい第1の幅Wを有している点で異なる。両周辺部分は第1の方向D1に沿って中央部分と隣接している。

【0090】

図3Hは、図3Dに示した超小型電子アセンブリ100'を複数備えたアセンブリの製造途中の状態を示している。図3Hは、第1の超小型電子アセンブリ100a'と第2の超小型電子素子100b'とを示している。第1及び第2の超小型電子アセンブリ100は、基板部分2a、2b、2cにおける隣接した基板部分同士を接合する、基板2の接続部分2'により接合されている。例えば、基板2の接続部分2'は、第1及び第2の超小型電子アセンブリの各々の第1の基板部分2a同士と、両超小型電子アセンブリの各々の第2の基板部分2b同士と、両超小型電子アセンブリの各々の第3の基板部分2c同士とを接合する。超小型電子アセンブリ100'の各超小型電子アセンブリを製造した後に、接続部分2'を、例えば、個々の超小型電子アセンブリをダイシングし、それにより分けることによって、超小型電子アセンブリから除去することができる。

40

【0091】

図3A～図3Hにおいて、第1の開口部及び第2の開口部は、互いに平行なものとして

50

示しているが、他の実施形態では、図3A～図3Hに示した実施形態の任意の実施形態における第1の開口部及び第2の開口部は、例えば、図1に示したように、互いに交差するように方向づけることができる。そのような実施形態において、第1の開口部及び第2の開口部の一方を、基板の誘電性要素によって囲まれるようにすることができ、他方の開口部は、第1の誘電性要素及び第2の誘電性要素の、隣接しているとともに向かい合った縁部間の空間により形成することができる。特定の例では、第1の開口部及び第2の開口部はいずれも、隣接する誘電性要素の、隣接しているとともに向かい合った縁部間のそれらの空間により形成することができる。

【0092】

図3A～図3Hにおいて、超小型電子アセンブリは2つの超小型電子素子を有するものとして示しているが、他の実施形態では、図3A～図3Hに示した超小型電子アセンブリの任意の超小型電子アセンブリが、第3の超小型電子素子、又は第3及び第4の超小型電子素子を含んでいてもよい。例えば、図6、図9、図12に示している実施形態は、互いに隣接して配置される、2つ、3つ、4つ、5つ又は任意のその他の数の、間隔を置いて配置される誘電性要素を有する基板を含んだものとすることができます。

10

【0093】

特定の例では、図3A～図3Hに示した超小型電子素子及び開口部の構成の任意の構成を、単一の超小型電子アセンブリ内で互いに隣接するように繰り返し設けることができる。例えば、図3Iに示しているように、図3Aの超小型電子素子の構成を繰り返し設けることができる。その結果、単一の基板2iは、4つの開口部16、26、32及び82と、部分的に重なり合った超小型電子素子の2つのペアとを有することができる。そのため、重なり合った超小型電子素子36及び53の第1のペアが、2つの第1開口部16及び26の上に重なったものとするとともに、前記第1のペアに隣接する、重なり合った超小型電子素子68及び88の第2のペアが、2つの第2開口部32及び82の上に重なったものとするとことができる。

20

【0094】

一例では、図3Iにおける第4の超小型電子素子88を省くことができる。そして、超小型電子アセンブリが、部分的に重なり合った3つの超小型電子素子を有するものとなるようにすることができる。3つの超小型電子素子のうちの2つは、それらの前面が基板の面と平行な单一の平面内に存在するように配置され、その他の超小型電子素子は、基板の面と平行な別の平面に位置する前面を有している。

30

【0095】

図3Iの実施形態は、種々の底面構造とすることができます。一例では、図3Jに示すように、図3Bに示した構成を繰り返し設け、単一の基板2jが、該基板によってそれぞれ囲まれている4つの平行な開口部16j、26j、32j及び82jを有するものとなるように、そして、複数の超小型電子素子のうちの対応する一超小型電子素子のコンタクトが各開口部16j、26j、32j及び82jと位置合わせされるようにすることができます。別の例では、図3Kに示すように、図3Dに示した構成を繰り返し設け、単一の基板2kが互いに間隔を置いて配置された5つの誘電性要素2a、2b、2c、2d及び2eを有するものとなるように、そして、複数の超小型電子素子のうちの対応する一超小型電子素子のコンタクトが各開口部16k、26k、32k及び82kと位置合わせされるようにすることができます。各開口部は、複数の誘電性要素のうちの隣り合った誘電性要素の隣接し、向かい合った縁部間の開口によって形成されている。他の実施形態では、図3J及び図3Kの基板の構造を組み合わせて一つの実施形態とし、結果として、図3Iに示した4つの超小型電子素子のうちの1以上がそれぞれ、基板の誘電性要素に囲まれた開口部に重なるように、そして、図3Iに示した4つの超小型電子素子のうちの1以上がそれら、複数の誘電性要素のうちの隣り合った誘電性要素の隣接し、向かい合った縁部間の開口により形成される開口部に重なるようにすることができます。

40

【0096】

図4～図6は、前面を下にして積み重ねられた3つの超小型電子素子を備えた、代替的

50

なスタック型超小型電子アセンブリ 200 を示している。図 5 A 及び図 5 B に最も良く示しているように、第 1 の超小型電子素子 236 の上に、第 2 の超小型電子素子 253 及び第 3 の超小型電子素子 268 のいずれもが重なったものとすることができます。

【0097】

図 4 及び図 5 B に最も良く示しているように、基板 202 は、第 1 の面 204 及び第 2 の面 206 と、第 1 の面 204 と第 2 の面 206 との間に延びている 3 つの開口部とを有している。先の実施形態と同様に、第 1 の開口部 216 は第 1 の端部 222 及び第 2 の端部 224 を有し、基板 202 の中央部分に設けることができる。基板の中央部分は先と同様、基板の第 1 の縁部 203 と、向かい合った第 2 の縁部 205 との間ににおいて基板 202 の中央 3 分の 1 にある。第 1 の開口部 216 は、第 1 の端部 222 及び第 2 の端部 224 において短縁部 218 を有している。第 2 の開口部 226 は、第 1 の開口部 216 における第 1 の端部 222 に隣接するように設けることができる。

10

【0098】

第 3 の開口部 232 は、第 1 の開口部 216 における第 2 の端部 224 に隣接するように設け、第 3 の開口部 232 の長縁部 234 が、第 1 の開口部 216 の長縁部 220 が延びている方向と交差する方向に延びるようにすることができます。この構成では、第 2 の開口部 226 及び第 3 の開口部 232 は、I 字形となるように、互いに平行に、かつ第 1 の開口部 216 に対して垂直に設けることができる。あるいは、第 1 の開口部 216 と第 2 の開口部 226 と第 3 の開口部 232 とは、連続した 1 つの開口部となるように、互いに接合することができる。先の実施形態と同様に、第 1 の開口部 216 と第 2 の開口部 226 及び第 3 の開口部 232 とのうちの 1 以上は複数の開口部から構成することができる。

20

【0099】

一例では、第 1 の開口部 216 は、短い寸法 A2 より大きな長い寸法 A1 を有することができる。長い寸法 A1 は第 1 の方向 D1 に延び、短い寸法 A2 は第 1 の方向と交差する第 2 の方向 D2 に延びている。第 2 の開口部 226 は、短い寸法 B2 より大きな長い寸法 B1 を有することができる。長い寸法 B1 は第 2 の方向 D2 に延び、短い寸法 B2 は第 1 の方向 D1 に延びている。第 3 の開口部 232 は、短い寸法 C2 より大きな長い寸法 C1 を有することができる。長い寸法 C1 は第 2 の方向 D2 に延び、短い寸法 C2 は第 1 の方向 D1 に延びている。

30

【0100】

第 1 の超小型電子素子 236 及び第 2 の超小型電子素子 253 は、図 1 ~ 図 3 の実施形態に類似の構成において積み重ねられるが、第 3 の超小型電子素子 268 が本アセンブリ内に含まれるという点で異なる。図 5 A 及び図 5 B に示しているように、第 1 の超小型電子素子 236 及び第 2 の超小型電子素子 253 は別々の平面に存在している。図 5 B において、よりわかりやすく示されるように、第 3 の超小型電子素子 268 は、第 1 の超小型電子素子 236 及び第 2 の超小型電子素子 253 に隣接して配置することができる。この実施形態では、第 3 の超小型電子素子 268 は、第 2 の超小型電子素子 253 と同じ平面に存在しているが、第 1 の超小型電子素子 236 と同じ平面に存在しているわけではない。図示しているように、1 以上のスペーサ 235 を用いて、第 1 の超小型電子素子 236 の上方で第 3 の超小型電子素子 268 を支持することができる。その結果、第 3 の超小型電子素子 268 における第 2 の縁部 277 が、第 1 の超小型電子素子 236 における第 4 の縁部 247 と、第 1 の超小型電子素子 236 の第 1 の縁部 244 及び第 2 の縁部 245 の一部とに重なるか又はそれらを覆うものとなるようにすることができます。第 3 の超小型電子素子 268 におけるボンドパッド 274 が、第 3 の超小型電子素子 268 の中央領域 942 の一部に沿って延び(図 5 B、図 6)、第 3 の開口部 232 に面している。上記で開示した実施形態と同様に、中央領域 942 は、第 3 の超小型電子素子 268 における第 1 の縁部 276 及び第 2 の縁部 277 との間の長さの中央 3 分の 1 に位置決めすることができる。第 3 の超小型電子素子 268 上のボンドパッド 274 は、第 3 の開口部 232 と位置合わせされており、第 3 の開口部を通じて露出することができる。

40

【0101】

50

2つの超小型電子素子を有する実施形態に関して上記で説明したように、第3の超小型電子素子268は、当該第3の超小型電子素子の前面の中央領域においてある方向に広がりを有する5つ以上のボンドパッド274の少なくとも1つの列を有することができる。特定の例では、第3の超小型電子素子268の5つ以上のボンドパッド274の少なくとも1つの列は、当該第3の超小型電子素子の周縁部に隣接して配置することができる。図6に示しているように、第3の超小型電子素子268の5つ以上のボンドパッド274の少なくとも1つの列274'は、第2の開口部226及び第3の開口部232の長い寸法が伸びうる方向と同じ方向D2に伸びたものとすることができる、その方向は第1の開口部216の長い寸法が伸びうる方向D1と交差するものとすることができるが、そうでなくてもよい。

10

【0102】

導電性接続部を用いて、各超小型電子素子上の各ボンドパッドを、基板の底面にあるそれぞれの組のコンタクトと接続することができる。例えば、図示しているように、ボンドワイヤ280は、第3の超小型電子素子268の表面に露出したボンドパッド274を、基板202の第2の面206上の第3の組のコンタクト213と接続する。そして、図6に示しているように、導電性トレース208は、第3の超小型電子素子268上の各ボンドパッド274を、はんだボールを支持する端子コンタクト210と電気的に接続することができる。端子210は、超小型電子アセンブリ200を、該アセンブリの外部にある少なくとも1つの構成要素に接続するように構成することができる。

20

【0103】

先の実施形態と同様に、第1の超小型電子素子236、第2の超小型電子素子253及び第3の超小型電子素子268の構成によれば、第1の超小型電子素子236、第2の超小型電子素子253及び第3の超小型電子素子268の各ボンドパッド242、259、274(図5B)のそれぞれを、第1の開口部216、第2の開口部226及び第3の開口部232のそれぞれと位置合わせできるようになる。これにより、各導電性接続部が、隣接する導電性接続部からの干渉を受けることなく、第1の開口部216、第2の開口部226及び第3の開口部232内を通ることができるか、又は通り抜けることができるようになる。さらに、これにより、中央領域に配置されたボンドパッドを有する2つ以上のチップを積み重ねることができるようになる。

30

【0104】

特定の例では、基板202は、第1の面204と第2の面206との間ににおいて第1の方向D1に伸びる第1の周縁部203をも有することができる。また、基板202は、第1の面204と第2の面206との間ににおいて第1の方向D1に伸びる第2の周縁部205をも有することができる。

【0105】

第1の開口部216は、第1の方向D1に伸びる長手の第1の寸法L1と、該第1の寸法より小さな、第2の方向D2に沿った第2の寸法W1とを有することができる。第2の開口部226は、第2の方向D2に沿った長手の第1の寸法L2と、該第1の寸法より小さな、第1の方向D1に沿った第2の寸法W2とを有することができる。第3の開口部232は、第2の方向D2に沿った長手の第1の寸法L3と、該第1の寸法より小さな、第1の方向D1に沿った第2の寸法W3とを有することができる。

40

【0106】

基板202は、第1の周縁部203と第2の開口部226及び第3の開口部232のそれぞれとの間に広がりを有する、第2の面206における第1の周辺領域P1及び第2の周辺領域P2を有することができる。また、基板202は、第2の周縁部205と、第2の開口部226及び第3の開口部232のそれぞれとの間に広がりを有する、第2の面206における第3の周辺領域P3及び第4の周辺領域P4をも有することができる。第1の周辺領域P1及び第3の周辺領域P3は第2の開口部226の両側に設けることができる、第2の周辺領域P2及び第4の周辺領域P4は第3の開口部232の両側に設けることができる。

50

【0107】

図6に示しているように、端子210のうちの少なくとも1つ、例えば第1の端子210aは、第2の方向D2に沿って当該第1の端子210aを通る直線S1が、第2の開口部226を通るか又はその上方を通るものとなるように、第1の周辺領域P1内に少なくとも部分的に配置することができる。端子210のうちの少なくとも1つ、例えば第2の端子210bは、第2の方向D2に沿って当該第2の端子を通る直線S2が、第3の開口部232を通るか又はその上方を通るものとなるように、第2の周辺領域P2内に少なくとも部分的に配置することができる。

【0108】

端子210のうちの少なくとも1つ、例えば第3の端子210cは、第2の方向D2に沿って当該第3の端子210cを通る直線が、第2の開口部226を通るか、又はその上方を通るものとなるように、第3の周辺領域P3内に少なくとも部分的に配置することができる。特定の例では、同じ直線S1が第1の端子210a及び第3の端子210cを通るものとすることができるが、そうでなくてもよい。

10

【0109】

端子210のうちの少なくとも1つ、例えば第4の端子210dは、第2の方向D2に沿って当該第4の端子210dを通る直線が、第3の開口部232を通るか又はその上方を通るものとなるように、第4の周辺領域P4内に少なくとも部分的に配置することができる。特定の例では、同じ直線S2が第2の端子210b及び第4の端子210dを通るものとすることができるが、そうでなくてもよい。

20

【0110】

図7～図9には、下向きで基板の上に積み重ねられている4つの超小型電子素子を備えた超小型電子アセンブリ300を示す別の実施形態を示している。この実施形態では、4つの開口部が、基板302の第1の面304及び第2の面306を貫通して延びている。図7に最も良く示しているように、第1の開口部316及び第2の開口部326は、第3の開口部332及び第4の開口部382に垂直な方向に位置決めされている。第1の開口部316は長縁部320及び短縁部318を有し、短縁部318は第1の開口部316の第1の端部322及び第2の端部324に位置している。第2の開口部326も一対の短縁部328及び一対の長縁部330を有し、短縁部328は第2の開口部326の第1の端部329及び第2の端部331に位置している。第3の開口部332は、第1の開口部316及び第2の開口部326のそれぞれの第1の端部322、329に隣接するように位置している。これに対し、第4の開口部382は、第1の開口部316及び第2の開口部326のそれぞれの第2の端部324、331に隣接するように位置している。この実施形態では、第3の開口部332及び第4の開口部382のそれぞれの長縁部334、384は、第1の開口部316及び第2の開口部326のそれぞれの長縁部320、330と位置合わせされていない。図示しているように、第1の開口部316及び第2の開口部326は、第3の開口部332及び第4の開口部382よりも、基板302の外周縁部312から離れて配置されている。

30

【0111】

一例では、第1の開口部316は、短い寸法A2より大きな長い寸法A1を有することができる。長い寸法A1は第1の方向D1に延び、短い寸法A2は第1の方向と交差する第2の方向D2に延びている。第2の開口部326は、短い寸法B2より大きな長い寸法B1を有することができる。長い寸法B1は第1の方向D1に延び、短い寸法B2は第2の方向D2に延びている。第3の開口部332は、短い寸法C2より大きな長い寸法C1を有することができる。長い寸法C1は第2の方向D2に延び、短い寸法C2は第1の方向D1に延びている。第4の開口部382は、短い寸法E2より大きな長い寸法E1を有することができ、長い寸法E1は第2の方向D2に延び、短い寸法E2は第1の方向D1に延びている。

40

【0112】

図7～図8Cに示しているように、第1の超小型電子素子336及び第2の超小型電子

50

素子 353 を、接着剤 301 等の既知の材料を用いて基板 302 に取り付け、第 1 の超小型電子素子 336 の前面 340 及び第 2 の超小型電子素子 353 の前面 357 が基板 302 の第 1 の面 304 の真上に位置するようにすることができる。第 1 の超小型電子素子 336 上のボンドパッド 342 も第 1 の開口部 316 の上方に位置決めすることができ、第 2 の超小型電子素子 353 上のボンドパッド 359 を第 2 の開口部 326 の上方に位置決めすることができる。図示しているように、第 1 の超小型電子素子 336 の第 1 の縁部 344 及び第 2 の縁部 345 と、第 2 の超小型電子素子 353 の第 1 の縁部 361 及び第 2 の縁部 362 とは、互いに平行であり、同じ方向に延びている。

【0113】

第 3 の超小型電子素子 368 及び第 4 の超小型電子素子 388 は、基板 302 の上方に、かつ第 1 の超小型電子素子 336 及び第 2 の超小型電子素子 353 の上方に位置決めすることができる。図 7 及び図 8A において最も良く示しているように、第 3 の超小型電子素子 368 の前面 372 は、第 1 の超小型電子素子 336 及び第 2 の超小型電子素子 353 の背面 338、355 の上に重なっている。同様に、第 4 の超小型電子素子 388 の前面 392 は、第 1 の超小型電子素子 336 及び第 2 の超小型電子素子 353 それぞれの背面 338、355 の上に重なっている。スペーサ 235 (図 8A、図 8B) を用いて、基板 302 の第 1 の面 304 に面する第 3 の超小型電子素子 368 及び第 4 の超小型電子素子 388 の一部を支持することができる。しかし、スペーサは、第 1 の超小型電子素子 36 及び第 2 の超小型電子素子 353 の上に重なっているわけではない。

【0114】

図 7 及び図 8B ~ 図 8D に示しているように、第 3 の超小型電子素子 368 は、第 1 の超小型電子素子 336 及び第 2 の超小型電子素子 353 のそれぞれの第 1 の端部 348、365 に隣接している。第 4 の超小型電子素子 388 は、第 1 の超小型電子素子 336 及び第 2 の超小型電子素子 353 それぞれの第 2 の端部 350、367 に隣接している。さらに、第 3 の超小型電子素子 368 のそれぞれの第 1 の縁部 376 及び第 2 の縁部 377 と、第 4 の超小型電子素子 388 の第 1 の縁部 396 及び第 2 の縁部 397 とは、第 1 の超小型電子素子 336 のそれぞれの第 1 の縁部 344 及び第 2 の縁部 345 と、第 2 の超小型電子素子 353 の第 1 の縁部 361 及び第 2 の縁部 362 との両方に垂直な方向に延びている。結果として、図 9 に示しているように、第 3 の超小型電子素子 368 の中央領域 946 (図 8B) に沿って広がりを有するボンドパッド 374 と、第 4 の超小型電子素子 388 の中央領域 948 (図 8B) に沿って広がりを有するボンドパッド 394 とは、第 1 の超小型電子素子 336 及び第 2 の超小型電子素子 353 の各中央領域 950、952 付近に位置決めされるそれぞれのボンドパッド 342、359 に垂直な方向に延びている。2 つの超小型電子素子を有する実施形態に関して上記で説明したように、第 4 の超小型電子素子 388 は、該第 4 の超小型電子素子の前面の中央領域においてある方向に広がりを有する 5 つ以上のボンドパッド 394 の少なくとも 1 つの列 394' を有することができる。

【0115】

基板 302 上の各超小型電子素子の方向付けにより、第 1 の超小型電子素子 336 と第 2 の超小型電子素子 353 と第 3 の超小型電子素子 368 と第 4 の超小型電子素子 388 とにおけるボンドパッド 342 (図 8D)、359 (図 8B)、374、394 を、基板 302 の第 2 の面 306 上の第 1 の組のコンタクト 309、第 2 の組コンタクト 311、第 3 の組のコンタクト 313、第 4 の組のコンタクト 314 にそれぞれ電気的に接続できるようになる。この電気的接続部は、第 1 の開口部 316、第 2 の開口部 326、第 3 の開口部 332 及び第 4 の開口部 382 内に存在するか、又はそれらの開口部を通るように設けることができる。本実施形態では、第 1 の超小型電子素子 336、第 2 の超小型電子素子 353、第 3 の超小型電子素子 368 及び第 4 の超小型電子素子 388 の各々から延びるボンドワイヤ 380A、380B (図 8A)、380C 及び 380D (図 8B) は、第 1 の開口部 316、第 2 の開口部 326、第 3 の開口部 332 及び第 4 の開口部 382 を通って延びており、基板上の第 1 の組のコンタクト 309、第 2 の組コンタクト 311

10

20

30

40

50

、第3の組のコンタクト313、第4の組のコンタクト314にそれぞれ接続している(図8A、図8B)。

【0116】

図9に示しているように、基板302の第2の面306に沿って延びるトレース308は、第1の組のコンタクト309、第2の組コンタクト311、第3の組のコンタクト313、第4の組のコンタクト314を、第2の面上に分散して配置されている、はんだボール等の導電性材料を有する端子コンタクトへと接続することができる。この端子は、超小型電子アセンブリ300を、該アセンブリの外部にある少なくとも1つの構成要素に接続するように構成することができる。

【0117】

図3、図3A～図3H及び図6に関して図示及び説明した実施形態と同様、基板302は、開口部316、326、332、382のうちの1以上と、基板の各周縁部との間に広がる周辺領域を有するものとすることができます。例えば、基板は、第3の開口部332の両端と基板302の向かい合った周縁部との間に広がる周辺領域P1及びP3と、第4の開口部382の両端と基板302の向かい合った周縁部との間に広がる周辺領域P2及びP4と、第1の開口部316の両端と基板302の向かい合った周縁部との間に広がる周辺領域P5及びP7と、第2の開口部326の両端と基板302の向かい合った周縁部との間に広がる周辺領域P6及びP8とを有するものとすることができます。図9に示しているように、基板302の第2の面306において露出する少なくとも1つの端子を、周辺領域P1～P8のそれぞれに配置することができる。他の実施形態では、周辺領域P1～P8のうちの1以上の領域にいかなる端子も設けられていない場合がある。

【0118】

図9に示した実施形態又は本明細書に開示の他の実施形態において、基板302に、第1の面304と第2の面306との間を貫通するアパーチャを設けることができる。一実施形態では、1以上のこのアパーチャは、端子310のうちの1以上に隣接する周辺領域P1～P8のうちの1以上の周辺領域に配置することができるか、又は周辺領域P1内に少なくとも部分的に位置するアパーチャ395のように、複数の端子のうちの1以上の端子の場所に配置することができる。アンダーフィル又は図8Bに示した封止材399等の封止材を、このようなアパーチャ395を通じて注入し、超小型電子素子336のボンドパッド342のうちの少なくとも幾つか、及びボンドパッドが電気的に接続されるコンタクト309のうちの少なくとも幾つかを覆うことができる。アパーチャ395は、基板302の面に沿ったいずれかの場所に配置することができるが、好みの実施形態では、アパーチャのうちの1以上は、周辺領域P1～P8のうちの1以上の周辺領域に位置する。特定の例では、封止材399は、アパーチャ395を通じて、約45度の角度で、超小型電子素子336、353、368及び388のうちの1以上の超小型電子素子の前面に注入することができる。

【0119】

図9Aに更に示しているように、超小型電子アセンブリ300はバッファ素子390を更に備えたものとすることができます。このバッファ素子390は、コンタクト支持面340、357が基板302に隣接している各超小型電子素子の、間隔を置いて位置する縁部345と縁部361との間に配置されている。一実施形態では、バッファ素子390は、アセンブリの端子が受信した少なくとも1つの信号を、当該バッファ素子から、アセンブリ300上の第1の超小型電子素子336、第2の超小型電子素子353、第3の超小型電子素子368及び第4の超小型電子素子388に向けて再生することができる。この場合、バッファ素子390は、端子から信号を受信し、その信号を再生し、再生された信号をアセンブリ300上の超小型電子素子のうちの1以上へと送る。このような構成の1つの利点は、アセンブリ上の相互接続スタブが回路パネル上の対応する信号線から電気的に絶縁されるように、アセンブリ300内の超小型電子素子とそれに接続される回路パネルとの間の絶縁が提供されることである。このようにして、アセンブリにおいて不適切に終端処理されたスタブにより生じる信号反射を回避することができる。

【0120】

図10～図12には、下向きの配置で中央にまとめられた超小型電子素子を有するスタッカーアセンブリ400の代替的実施形態を示している。まず、図10及び図11Aに示しているように、本実施形態は、第1の超小型電子素子436及び第2の超小型電子素子453が互いに隣接しているが、両超小型電子素子が同じ平面内に存在していないという点で異なる。先の実施形態と同様に、第1の超小型電子素子436は下向きに配置され、第1の超小型電子素子436の第1の縁部と第2の縁部との間の中央領域958(図11A)又は中央3分の1の部分に沿って延びるボンドパッド442は、基板402の第1の開口部416(図11A及び図12)を通じて露出している。第2の超小型電子素子453は、第1の超小型電子素子436の少なくとも一部に重なるように位置決めされている。図11Aに最も良く示しているように、第2の超小型電子素子453の第1の縁部465は、第1の超小型電子素子436の背面438の第2の縁部445の一部に重なっている。そして、先の実施形態において説明したように、第1の超小型電子素子436及び第2の超小型電子素子453の両方に重なるように、第3の超小型電子素子468及び第4の超小型電子素子488が配置される。図11B～図11Dは、図7～図9に類似する本アセンブリの別の説明図である。

10

【0121】

先の実施形態と同様に、ボンドワイヤにより、各超小型電子素子上のボンドパッドを基板上のコンタクトに接続することができる。第1の超小型電子素子436上のボンドワイヤ449は、第1の超小型電子素子436上のボンドパッド442から、基板402内の第1の開口部416を通って、基板402上の第1の組のコンタクト409へと延びている。第2の超小型電子素子453上のボンドワイヤ460は、ボンドパッド459から第2の開口部426を通って延び、基板402上の第2の組のコンタクト411に接続している。第3の超小型電子素子468上のボンドワイヤ475は、ボンドパッド474から、第3の開口部432を通って延び、基板402上の第3の組のコンタクト413に接続している。図12に示しているように、トレース408を用いて、複数の組のコンタクト409、411、413、414のそれぞれを基板402上の端子コンタクト410へと接続することができる。端子410は、超小型電子アセンブリ400を、該アセンブリの外部にある少なくとも1つの構成要素に接続するように構成することができる。

20

【0122】

30

図4、図4A～図3H、図6及び図9に関して図示及び説明した実施形態と同様、基板402は、開口部416、426、432、482のうちの1以上と、基板の各周縁部との間に広がる周辺領域を有することができる。例えば、基板は、第3の開口部432の両端と基板402の向かい合った周縁部との間に広がる周辺領域P1及びP3と、第4の開口部482の両端と基板402の向かい合った周縁部との間に広がる周辺領域P2及びP4と、第1の開口部416の両端と基板402の向かい合った周縁部との間に広がる周辺領域P5及びP7と、第2の開口部426の両端と基板402の向かい合った周縁部との間に広がる周辺領域P6及びP8とを有することができる。図9に示しているように、基板402の第2の面406において露出した少なくとも1つの端子を、周辺領域P1～P8のそれぞれに配置することができる。他の実施形態では、周辺領域P1～P8のうちの1以上の領域にいかなる端子も設けられていない場合がある。

40

【0123】

50

図13に示すように、図10～図12の代替となる実施形態においては、超小型電子アセンブリ500は、第4の超小型電子素子588の背面590及び前面592の一部との間で熱が伝わる状態にあるヒートスプレッダ552を更に備えている。ヒートスプレッダ552は、第1の超小型電子素子536と第2の超小型電子素子553との間にも広がりを有するものとして、積み重ねられた超小型電子素子の配置において均等に熱が分散するようにすることができる。ヒートスプレッダ552は、周囲環境への放熱を向上させることができる。ヒートスプレッダ552は、任意の適切な熱伝導性材料から部分的に又は全体的に作ることができる。適切な熱伝導性材料の例は、限定はされないが、金属、グラフ

アイト、熱伝導性接着剤、例えば、熱伝導性エポキシ、ハンダ等、又はそのような材料の組み合わせを含む。一例では、ヒートスプレッダ 552 は、実質的に連続な金属シートとすることができる。特定の実施形態では、金属製又は他の熱伝導性材料製の、あらかじめ形成されたヒートスプレッダ 552 を、熱伝導性接着剤又は熱伝導性グリース等の熱伝導性材料等により第4の超小型電子素子 588 の背面 590 に取り付けるか又は配置することができる。接着剤を用いる場合、その接着剤はコンプライアント材料とすることができます、それにより、例えば柔軟性を持って取り付けられた (compliantly attached) 要素間の異なる熱膨張に対応できるよう、ヒートスプレッダと該ヒートスプレッダが取り付けられた超小型電子素子とが相対的に動くことができるようになる。また、ヒートスプレッダ 552 は、第3の超小型電子素子 568 (不図示)、第1の超小型電子素子 536 の第1の面、及び第2の超小型電子素子 553 の一部と接触するようにすることもできる。ヒートスプレッダ 552 はモノリシック構造とすることができる。あるいは、ヒートスプレッダ 552 は、互いに間隔を置いて配置された複数のスプレッダ部分を有するものとすることができます。特定の実施形態では、ヒートスプレッダ 552 は、第1の超小型電子素子 536 、第2の超小型電子素子 553 、第3の超小型電子素子 568 及び第4の超小型電子素子 588 のうちの1以上の超小型電子素子の背面の少なくとも一部に直接接合されたはんだ層とすることができますか、又はそのようなはんだ層を含んだものとすることができます。

【0124】

先の実施形態では、中央でまとめられたチップを組み込んだスタック型超小型電子アセンブリを開示したが、中央でまとめられていない少なくとも1つのチップを上記の超小型電子アセンブリのいずれかに組み込むこともできることを理解されたい。例えば、図14には、図4～図6の実施形態と実質的に同様であるスタック型超小型電子アセンブリを示している。この実施形態は、ボンドパッドの位置を第2の超小型電子素子の縁部に沿うようにするために変更が必要であるという点で異なる。

【0125】

図14に示しているように、先の実施形態と同様、第2の超小型電子素子は3つの領域、すなわち第1の外側領域 966 と、第2の外側領域 968 と、第1の外側領域 966 と第2の外側領域 968 との間に位置する中央領域 970 とを有するものとすることができます。第2の超小型電子素子 653 上のボンドパッド 659 (図15) が、第2の超小型電子素子 653 の前面 657 における第1の外側領域 966 に配置されている。また、ボンドパッド 659 の位置を、第2の超小型電子素子 653 の第1の外側領域 966 に合わせるために、基板 602 の第2の開口部 626 は、基板 602 の縁部 612 (図14) に直に隣接する第1の外側領域 966 に配置されている。そして、図15に示しているように、導電性接続部は、第2の超小型電子素子 653 上のボンドパッド 659 から基板 602 の第2の面 606 上の第2の組のコンタクト 611 へと延びたものとすることができます。トレース 608 は、第2の組のコンタクト 611 を、はんだボール 615 を支持する端子コンタクト 610 へと電気的に接続する。

【0126】

上記で開示した実施形態においては、基板内の開口部を通じて延びるボンドワイヤを用いて、超小型電子素子と基板の第2の面上のコンタクトとの間の電気的接続を確立しているが、そのような接続を確立するための任意の既知の構造又は方法を用いることができる。例えば、一実施形態では、図16～図17Bに示しているように、第1の超小型電子素子 736 及び第2の超小型電子素子 753 が、図1～図3に示した実施形態と同じようにして積み重ねられている。この代替的実施形態では、2つの別のタイプのボンディングを示す。このようなボンディング手法は、例えば、米国特許第5,861,666号に開示されており、その開示内容は引用することにより本明細書の一部をなすものとする。

【0127】

まず図17Aには、第1の超小型電子素子 736 上のボンドパッド 742 から基板 702 の第2の面 706 上の第1の組のコンタクト 709 へと延びたリードボンド部 748 を

10

20

30

40

50

示している。リードボンド部 748 は、先の実施形態において開示したボンドワイヤよりもはるかに硬い。次に、図 17B に示しているように、類似のリードボンド部 765 は、第 2 の超小型電子素子 753 上のボンドパッドから、基板 702 の第 2 の面 706 ではなく、基板 702 の第 1 の面 704 上の第 2 の組のコンタクト 711 へと伸びたものとすることができる。基板 702 の第 1 の面 704 と第 2 の面 706 との間にビア 766 が伸びたものとすることができる。ビア 766 を導電性材料で満たし、基板の第 1 の面上のコンタクトを基板 702 の第 2 の面 706 上の端子コンタクト 710 と導通するように接続することができる。

【0128】

種々の電子システムの構成において、上記で説明した種々の超小型電子アセンブリを利用することができる。例えば、図 18 に示すように、本発明の別の実施形態によるシステム 1000 は、既に超小型電子アセンブリの先行実施形態において説明したような構造部 1006 を、別の電子構成要素 1008 及び 1010 とともに備えている。図示の例では、構成要素 1008 は半導体チップであり、構成要素 1010 は表示画面であるが、任意の別の構成要素を用いることもできる。当然、明確に例示するために、図 18 には、2 つの別の構成要素しか示していないが、本システムは、任意の数のそのような構成要素を備えたものとすることができる。上記のような構造部 1006 は、例えば、複合チップ、又は複数のチップを組み込んだ構造とすることができる。別の変形形態では、その両方を設けることができ、任意の数のそのような構造を用いることができる。構造部 1006 並びに構成要素 1008 及び 1010 は、破線で示した共通のハウジング 1001 内に取り付けられ、所望の回路を形成するために必要に応じて互いに電気的に相互接続される。図示される例示的なシステムでは、このシステムはフレキシブルプリント回路基板等の回路パネル 1002 を有し、該回路パネルは構成要素を互いに接続する多数の導体 1004 を有し、その 1 つのみを図 18 に示している。しかし、これは例示に過ぎない。電気的接続を形成するのに適した任意の構造を用いることができる。ハウジング 1001 は、例えば、携帯電話又は携帯情報端末において使用可能なタイプのポータブルハウジングとして示され、画面 1010 はハウジングの表面に露出している。構造部 1006 が撮像チップ等の感光素子を含む場合は、その構造部に光を送るためにレンズ 1011 又は他の光学デバイスを設けることもできる。ここでもまた、図 18 に示す簡略化されたシステムは例示に過ぎない。上記で説明した構造を用いて、デスクトップコンピュータ、ルータ等の固定構造体と一般的に見なされるシステムを含む他のシステムを構成することもできる。

【0129】

様々な従属請求項及びその特徴を、初めの請求項に提示したものとは異なる方法で組み合わせることができることが認識されるであろう。個々の実施形態に関して説明した特徴は、説明した実施形態の他のものと様々な組合せで共有することができることも認識されるであろう。

【0130】

特定の実施形態を参照しながら本明細書にて本発明を説明したが、これらの実施形態は本発明の原理及び応用形態を例示したものに過ぎないことを理解されたい。そのため、添付の特許請求の範囲によって定められるような本発明の趣旨及び範囲から逸脱することなく、例示的な実施形態に数多くの変更を加えることができること、及び他の構成を考案することができることを理解されたい。

【産業上の利用可能性】

【0131】

本発明は、超小型電子アセンブリ及び超小型電子アセンブリを製造する方法を含むものの、これらに限定されない幅広い産業上の利用可能性を有する。

10

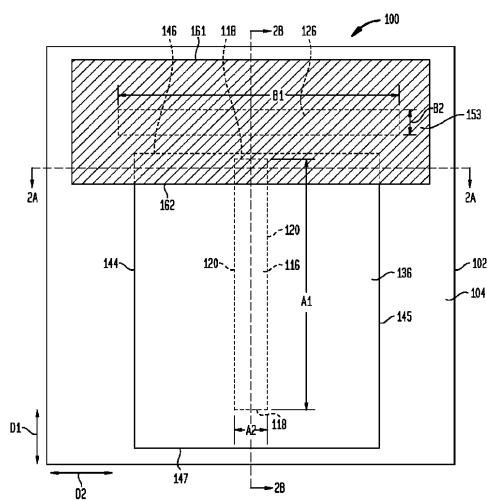
20

30

40

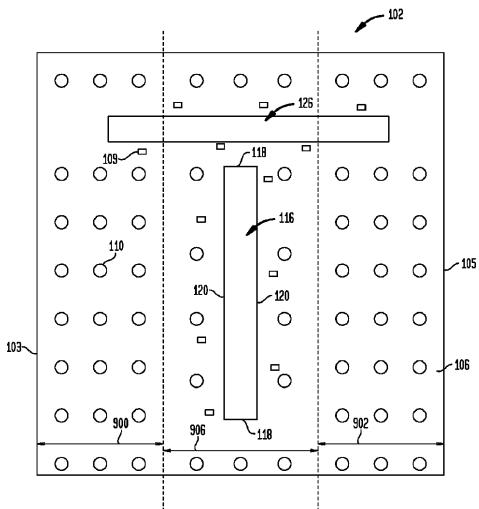
【図1】

FIG. 1



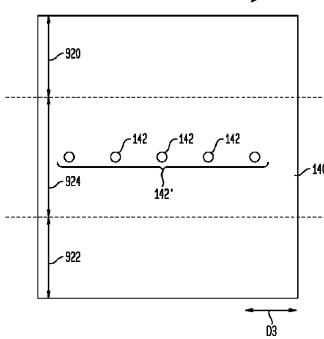
【図1A】

FIG. 1A



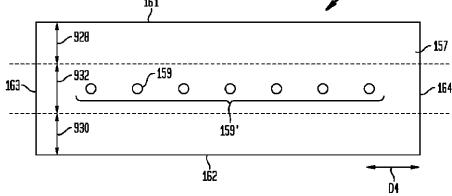
【 図 1 B 】

FIG. 1B



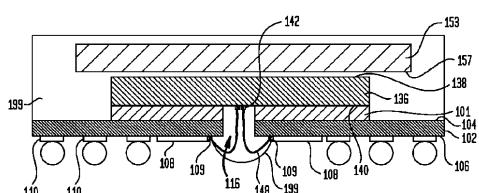
【図1C】

FIG. 1C



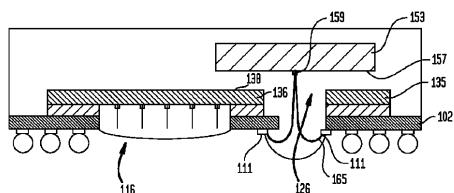
【 図 2 A 】

FIG. 2A



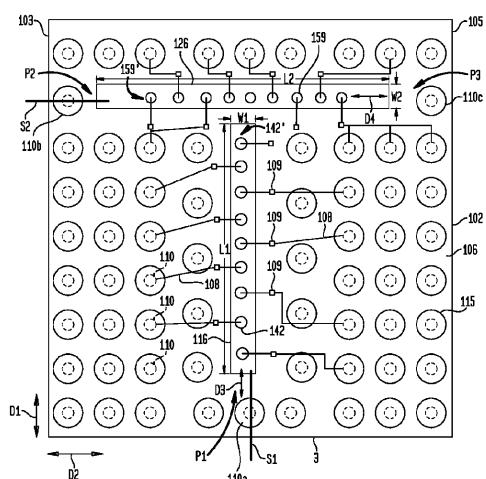
【 図 2 B 】

FIG. 2B



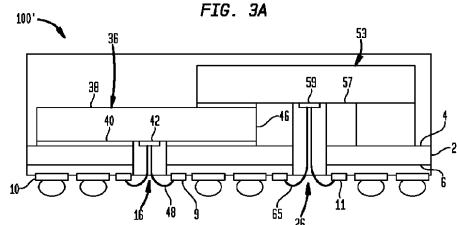
【図3】

FIG. 3



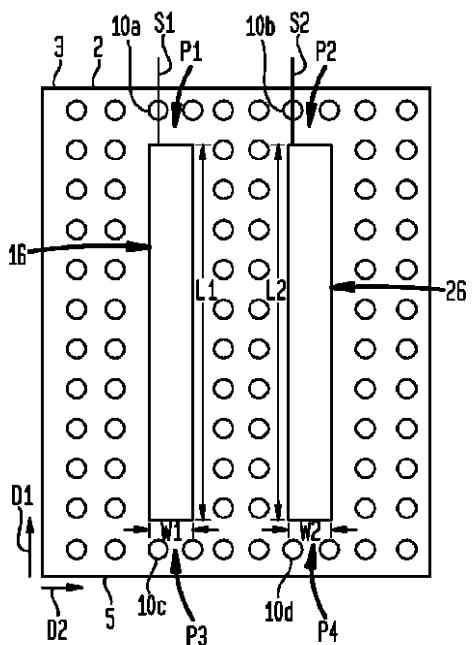
【図3 A】

FIG. 3A



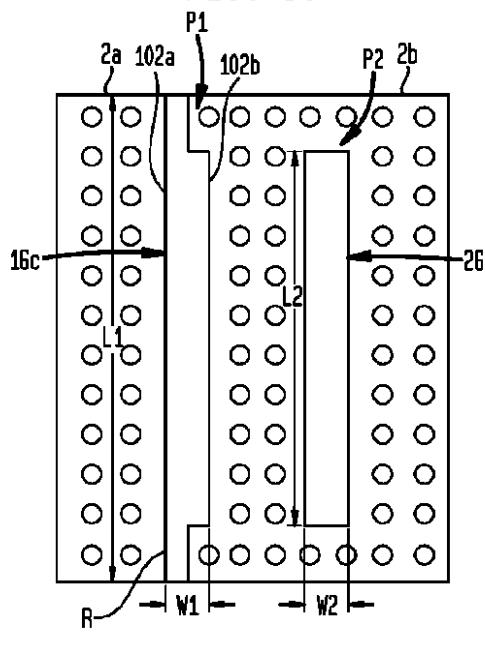
【図3 B】

FIG. 3B



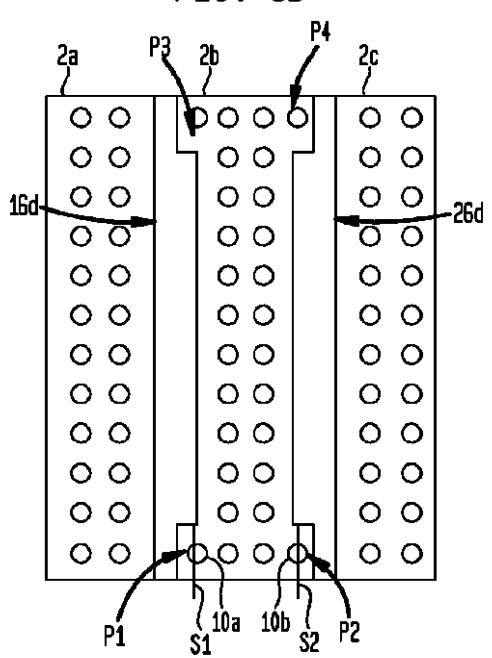
【図3 C】

FIG. 3C

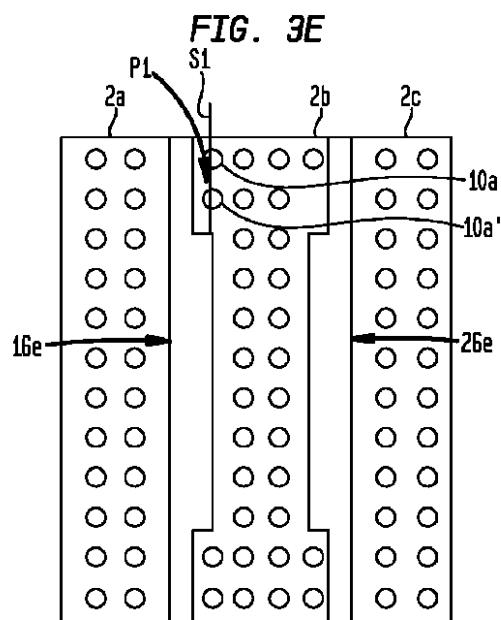


【図3 D】

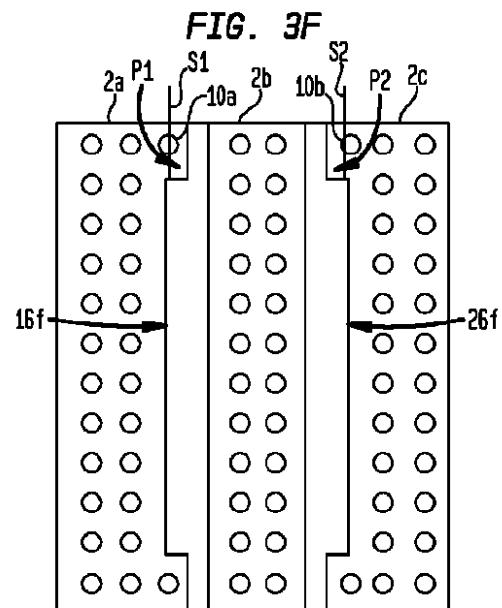
FIG. 3D



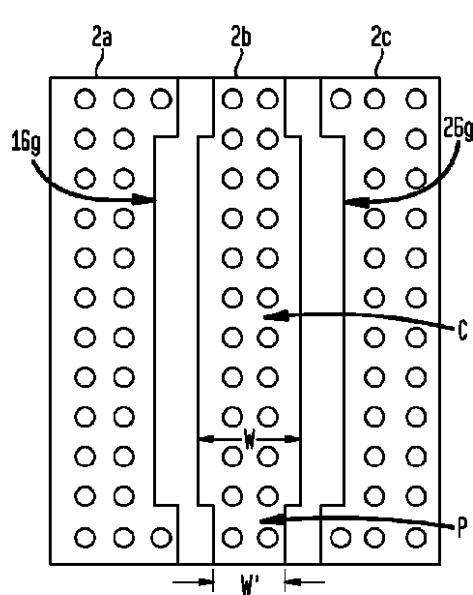
【 図 3 E 】



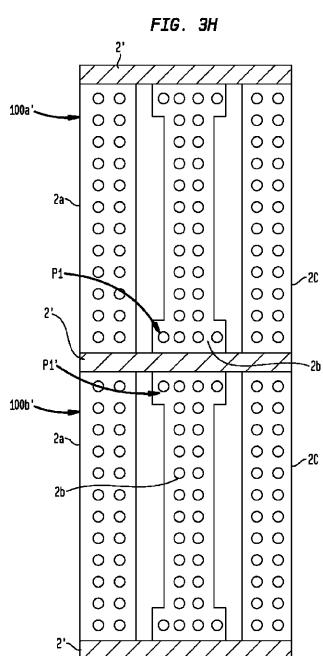
【図3F】



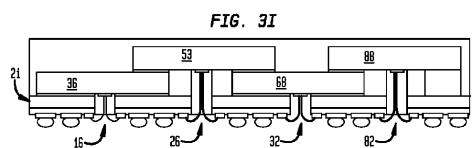
【図3G】



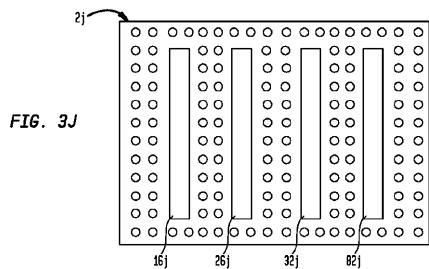
【 図 3 H 】



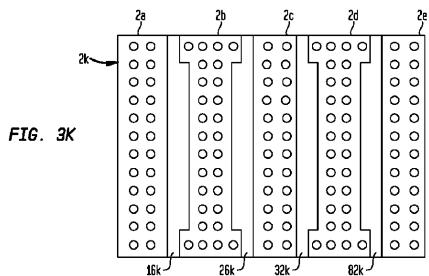
【 図 3 】



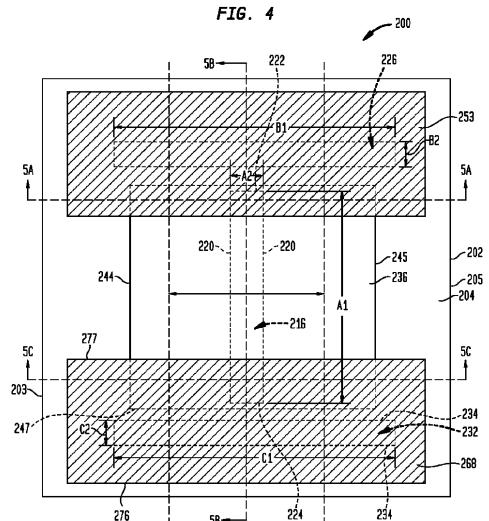
【図3J】



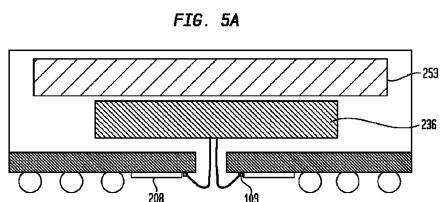
【図3K】



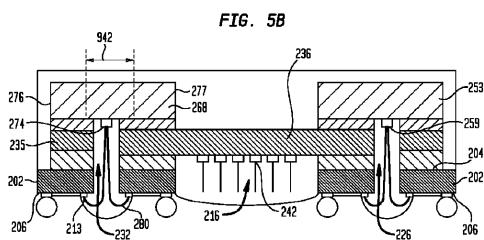
【図4】



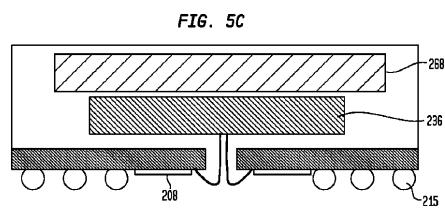
【図5A】



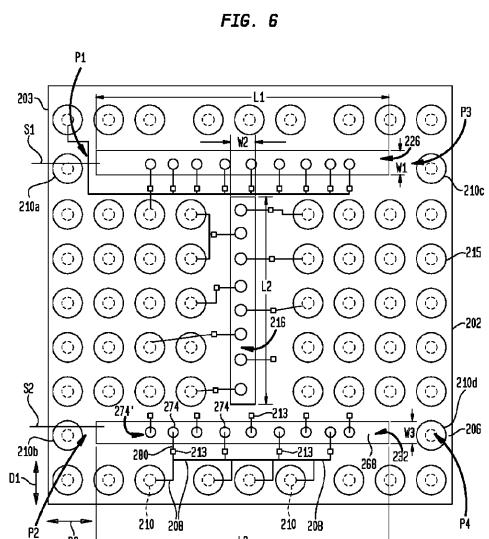
【図5B】



【図5C】

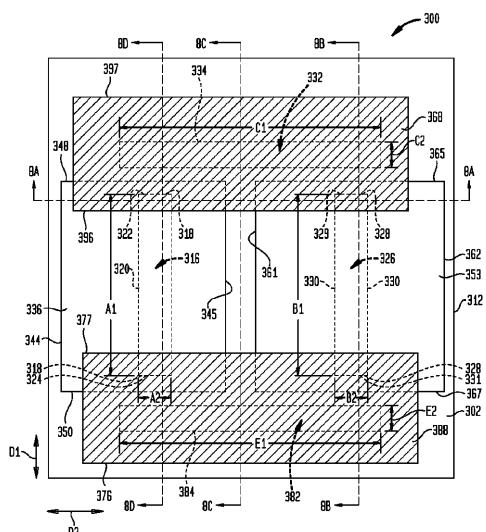


【図6】



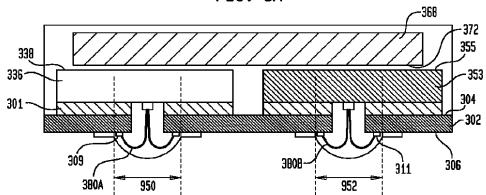
【図7】

FIG. 7



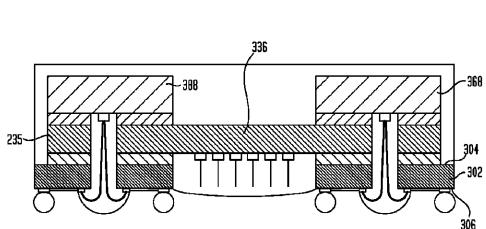
【 図 8 A 】

FIG. 8A



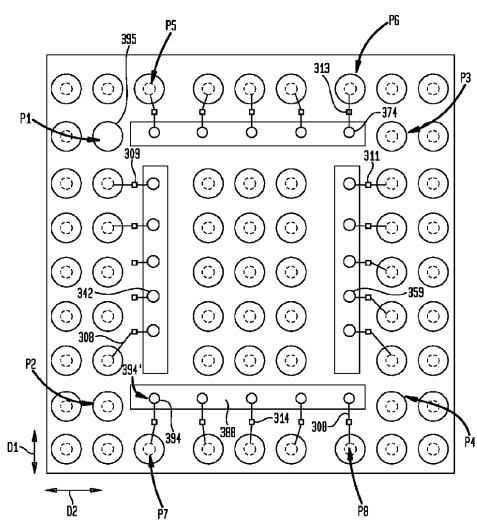
【 図 8 D 】

FIG. 8D



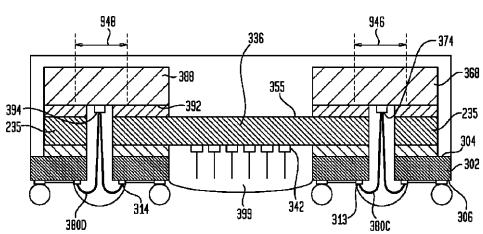
【図9】

FIG. 9



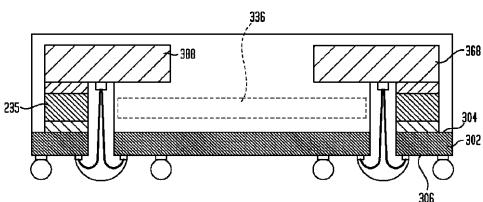
【 図 8 B 】

FIG. 8B



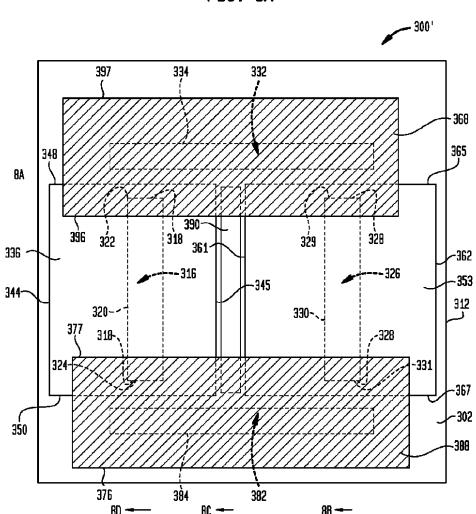
【図 8 C】

FIG. 8C

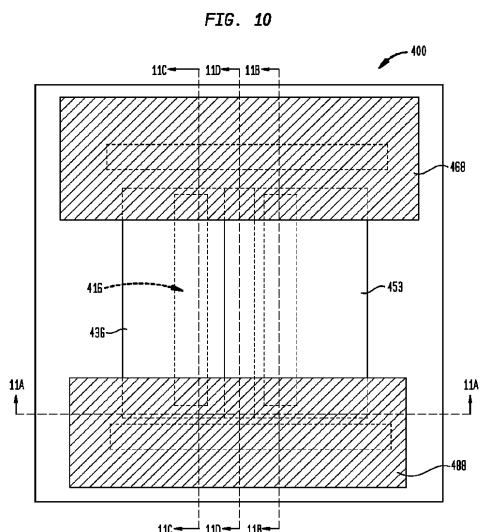


〔 図 9 A 〕

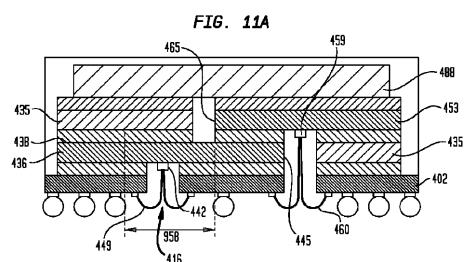
FIG. 9A



【図 10】

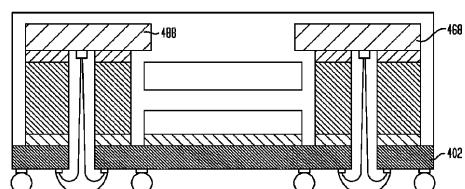


【図 11 A】

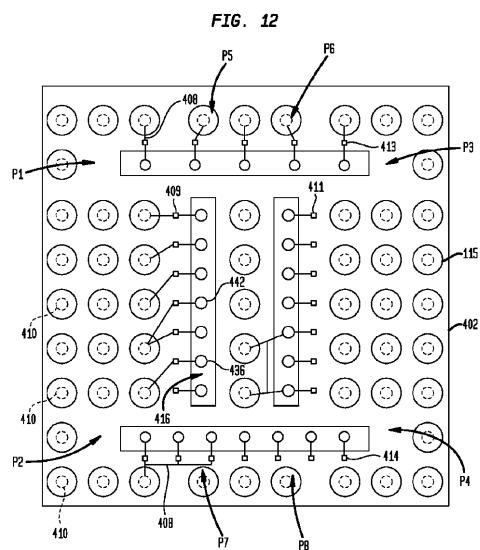


【図 11 D】

FIG. 11D

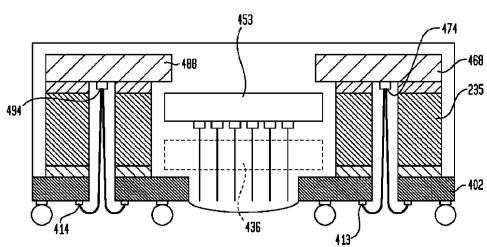


【図 12】



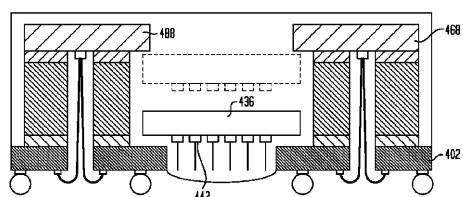
【図 11 B】

FIG. 11B



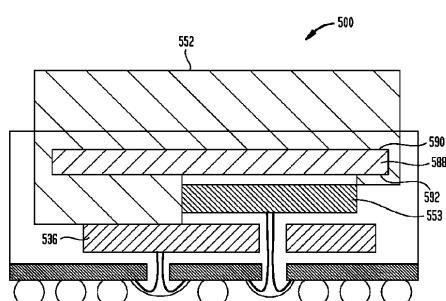
【図 11 C】

FIG. 11C



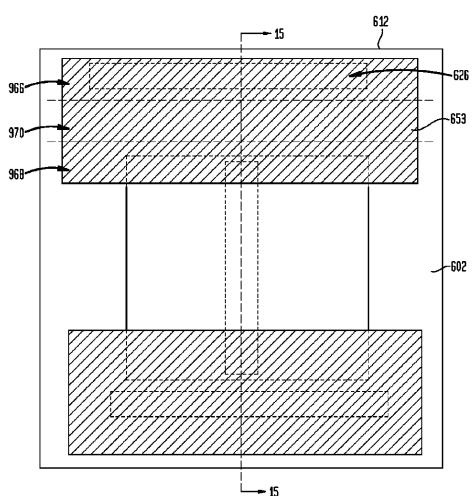
【図 13】

FIG. 13



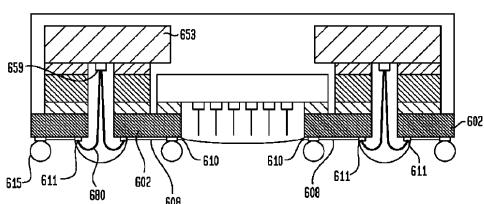
【 図 1 4 】

FIG. 14



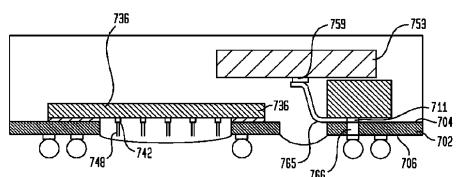
【図15】

FIG. 15



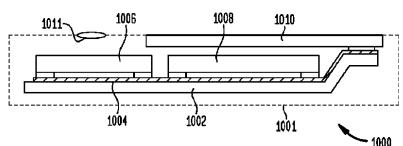
【 図 1 7 B 】

FIG. 17B



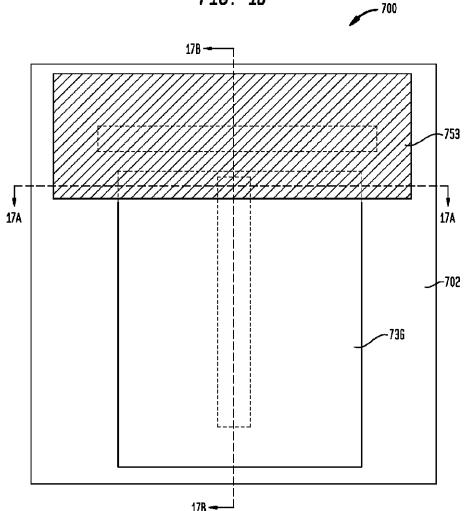
【 図 1 8 】

FIG. 18



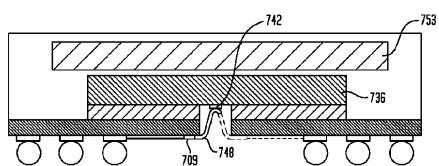
【図16】

FIG. 16

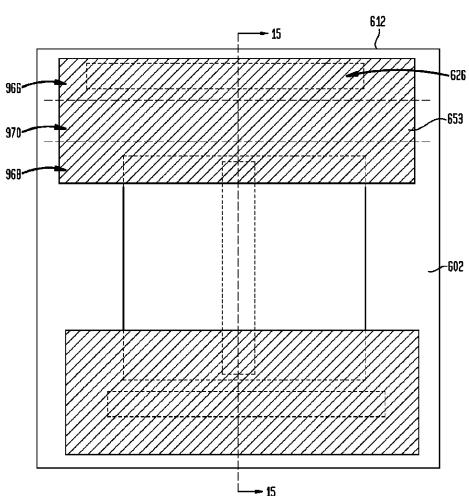


【図17A】

FIG. 17A

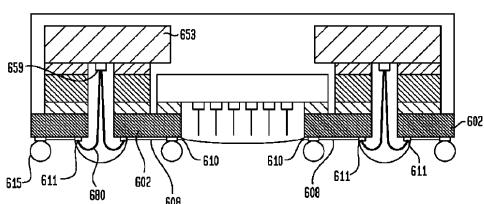


〔 四 1 4 〕



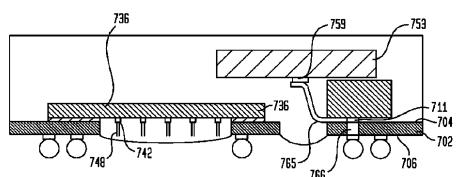
【図15】

FIG. 15



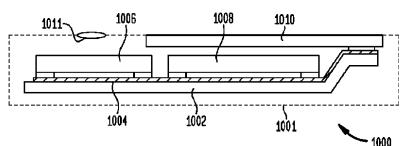
【図17B】

FIG. 17B



【 図 1 8 】

FIG. 18



【手続補正書】

【提出日】平成27年3月31日(2015.3.31)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1の横方向及び第2の横方向にそれぞれ広がりを有する、向かい合った第1の面及び第2の面と、

前記第1の面と前記第2の面との間ににおいて前記第2の方向に広がりを有する周縁部と、

前記第1の面と前記第2の面との間に広がりを有し、前記第1の方向に沿った長手の第1の寸法と、該第1の寸法よりも小さな、前記第2の方向に沿った第2の寸法とを有する第1の開口部及び第2の開口部と、

前記周縁部と前記開口部のうちの1つとの間に広がりを有する、前記第2の面における周辺領域と

を有する基板と、

前記第1の面に面する前面对、該前面にあり、前記第1の開口部と位置合わせされたボンドパッドと、前記前面の反対側にある背面と、前記前面と前記背面との間に広がりを有する縁部とを有する第1の超小型電子素子と、

前記第1の超小型電子素子の背面を向き、該第1の超小型電子素子の縁部を越えて突出した前面と、該前面にあり、前記第2の開口部と位置合わせされたボンドパッドとを有する第2の超小型電子素子と、

前記第2の面において露出し、前記第1の超小型電子素子及び前記第2の超小型電子素子のボンドパッドと電気的に接続されている複数の端子であって、該端子は超小型電子アセンブリを該アセンブリの外部にある少なくとも1つの要素に接続させるものであり、該端子のうちの少なくとも1つの端子は、前記第1の方向に沿って当該少なくとも1つの端子を通る直線が前記開口部のうちの少なくとも1つを通るか又はその上方を通りるものとなるように、前記周辺領域内に少なくとも部分的に配置されている、複数の端子とを備え、

前記第1の超小型電子素子及び前記第2の超小型電子素子のボンドパッドは、前記基板の導電性要素に電気的に接続されており、

前記第1の超小型電子素子のボンドパッドは、前記第1の開口部と位置合わせされた部分を有する第1のリード部により前記導電性要素に電気的に接続されており、

前記第2の超小型電子素子のボンドパッドは、前記第2の開口部と位置合わせされた部分を有する第2のリード部により前記導電性要素に電気的に接続されており、

前記第1の超小型電子素子の前記縁部が第1の縁部であり、該第1の超小型電子素子は前記第1の縁部の反対側にある第2の縁部を有しており、

前記第2の超小型電子素子は向かい合った第1の縁部及び第2の縁部を有しており、

各超小型電子素子は、当該超小型電子素子の前面の中央領域において前記第1の方向に沿って伸びている5以上のボンドパッドの少なくとも1つの列を有し、各中央領域は各々の第1の縁部と第2の縁部との間の距離の中央3分の1に広がりを有している、超小型電子アセンブリ。

【請求項2】

前記周縁部が第1の周縁部であり、前記周辺領域が第1の周辺領域であり、前記少なくとも1つの端子が第1の端子であり、

前記基板は、前記第1の周縁部の反対側に位置し、前記第1の面と前記第2の面との間ににおいて前記第2の方向に広がりを有する第2の周縁部と、該第2の周縁部と前記開口部

のうちの 1 つとの間に広がりを有する、前記第 2 の面における第 2 の周辺領域とを有し、前記端子のうちの少なくとも 1 つが第 2 の端子であり、該第 2 の端子は、前記第 1 の方向に沿って当該第 2 の端子を通る直線が前記開口部のうちの少なくとも 1 つを通るか又はその上方を通るものとなるように、前記第 2 の周辺領域内に少なくとも部分的に配置されている、請求項 1 に記載の超小型電子アセンブリ。

【請求項 3】

前記周辺領域が第 1 の周辺領域であり、前記開口部のうちの 1 つが前記第 1 の開口部であり、前記端子のうちの前記少なくとも 1 つの端子が第 1 の端子であり、

前記基板は、前記周縁部と前記第 2 の開口部との間に広がりを有する、前記第 2 の面における第 2 の周辺領域を有し、

前記端子のうちの少なくとも 1 つが第 2 の端子であり、該第 2 の端子は、前記第 1 の方向に沿って当該第 2 の端子を通る直線が前記第 2 の開口部を通るか又はその上方を通るものとなるように、前記第 2 の周縁領域内に少なくとも部分的に配置されている、請求項 1 に記載の超小型電子アセンブリ。

【請求項 4】

前記周縁部が第 1 の周縁部であり、前記基板は、前記第 1 の周縁部の反対側にあり、前記第 1 の面と前記第 2 の面との間ににおいて前記第 2 の方向に広がりを有する第 2 の周縁部と、前記第 2 の周縁部と前記第 1 の開口部及び前記第 2 の開口部の各々との間に広がりを有する、前記第 2 の面における第 3 の周辺領域及び第 4 の周辺領域とを有し、

前記端子のうちの少なくとも 1 つが第 3 の端子であり、該第 3 の端子は、前記第 1 の方向に沿って当該第 3 の端子を通る直線が前記第 1 の開口部を通るか又はその上方を通るものとなるように、前記第 3 の周辺領域内に少なくとも部分的に配置されており、

前記端子のうちの少なくとも 1 つが第 4 の端子であり、該第 4 の端子は、前記第 1 の方向に沿って当該第 4 の端子を通る直線が前記第 2 の開口部を通るか又はその上方を通るものとなるように、前記第 4 の周辺領域内に少なくとも部分的に配置されている、請求項 3 に記載の超小型電子アセンブリ。

【請求項 5】

前記第 1 のリード部が前記第 1 の開口部を通って延びていないか、又は前記第 2 のリード部が前記第 2 の開口部を通って延びていないかの少なくとも一方である、請求項 4 に記載の超小型電子アセンブリ。

【請求項 6】

前記第 1 の超小型電子素子のボンドパッドは、前記第 1 の開口部を通って延びている第 1 のワイヤボンド部により前記導電性要素に電気的に接続されており、

前記第 2 の超小型電子素子のボンドパッドは、前記第 2 の開口部を通って延びている第 2 のワイヤボンド部により前記導電性要素に電気的に接続されている、請求項 3 に記載の超小型電子アセンブリ。

【請求項 7】

前記第 1 のワイヤボンド部は前記第 1 の開口部のみを通って延びており、前記第 2 のワイヤボンド部は前記第 2 の開口部のみを通って延びている、請求項 6 に記載の超小型電子アセンブリ。

【請求項 8】

各超小型電子素子は、メモリ記憶アレイ機能を提供する能動デバイスを他の任意の機能よりも数多く有している、請求項 1 に記載の超小型電子アセンブリ。

【請求項 9】

前記第 1 の超小型電子素子は、該第 1 の超小型電子素子の前面と背面との間に広がりを有する前記縁部とその反対側にある縁部との間の幅を有し、

前記第 2 の超小型電子素子は、該第 2 の超小型電子素子の前面と背面との間にそれぞれ広がりを有し、向かい合っている縁部間の幅を有し、

前記第 1 の超小型電子素子の幅は前記第 1 の開口部の第 2 の寸法よりも大きく、前記第 2 の超小型電子素子の幅は前記第 2 の開口部の第 2 の寸法よりも大きい、請求項 1 に記載

の超小型電子アセンブリ。

【請求項 1 0】

前記第1の開口部及び前記第2の開口部のうちの一方は、前記第1の開口部及び前記第2の開口部のうちの他方よりも、前記周縁部に近い位置へと延びている、請求項1に記載の超小型電子アセンブリ。

【請求項 1 1】

前記基板は、前記第1の面と前記第2の面との間に広がりを有する第3の開口部及び第4の開口部を有し、該第3の開口部及び該第4の開口部はそれぞれ、前記第2の方向に沿った長手の第1の寸法と、該第1の寸法よりも小さな、前記第1の方向に沿った第2の寸法とを有し、

前記超小型電子アセンブリは、前記基板の第1の面に面する前面を有する第3の超小型電子素子及び第4の超小型電子素子を更に備えており、該第3の超小型電子素子及び該第4の超小型電子素子は、当該超小型電子素子の前面にあり、前記第3の開口部又は前記第4の開口部と位置合わせされたボンドパッドを有し、

前記第3の超小型電子素子及び前記第4の超小型電子素子のボンドパッドは、前記基板の導電性要素に電気的に接続されている、請求項1に記載の超小型電子アセンブリ。

【請求項 1 2】

前記基板は、前記周辺領域において前記第1の面と前記第2の面との間に延びているアーチャを更に有し、該アーチャは、当該アーチャを通って流れる封止材又はアンダーフィル材料を受け入れるものである、請求項1に記載の超小型電子アセンブリ。

【請求項 1 3】

第1の横方向及び第2の横方向にそれぞれ広がりを有する、向かい合った第1の面及び第2の面と、

前記第1の面と前記第2の面との間において前記第2の方向に広がりを有する周縁部と、

前記第1の面と前記第2の面との間に広がりを有する第1の開口部及び第2の開口部であって、前記第1の開口部は、前記第2の開口部と前記周縁部との間にるとともに、前記第1の方向に沿った長手の第1の寸法と、該第1の寸法よりも小さな、前記第2の方向に沿った第2の寸法とを有し、前記第2の開口部は、前記第2の方向に沿った長手の第1の寸法と、該第1の寸法よりも小さな、前記第1の方向に沿った第2の寸法とを有する、第1の開口部及び第2の開口部と、

前記周縁部と前記第1の開口部との間に広がりを有する、前記第2の面における周辺領域と

を有する基板と、

前記第1の面に面する前面对、該前面にあり、前記第1の開口部と位置合わせされたボンドパッドと、前記前面の反対側にある背面と、前記前面と前記背面との間に広がりを有する縁部とを有する第1の超小型電子素子と、

前記第1の超小型電子素子の背面を向き、該第1の超小型電子素子の縁部を越えて突出した前面と、該前面にあり、前記第2の開口部と位置合わせされたボンドパッドとを有する第2の超小型電子素子と、

前記第2の面において露出し、前記第1の超小型電子素子及び前記第2の超小型電子素子のボンドパッドと電気的に接続されている複数の端子であって、該端子は超小型電子アセンブリを該アセンブリの外部にある少なくとも1つの要素に接続させるものであり、該端子のうちの少なくとも1つの端子は、前記第1の方向に沿って当該少なくとも1つの端子を通る直線が前記第1の開口部を通るか又はその上方を通るものとなるように、前記周辺領域内に少なくとも部分的に配置されている、複数の端子と

を備え、

前記第1の超小型電子素子及び前記第2の超小型電子素子のボンドパッドは、前記基板の導電性要素に電気的に接続されており、

前記第1の超小型電子素子のボンドパッドは、前記第1の開口部と位置合わせされた部

分を有する第 1 のリード部により前記導電性要素に電気的に接続されており、

前記第 2 の超小型電子素子のボンドパッドは、前記第 2 の開口部と位置合わせされた部分を有する第 2 のリード部により前記導電性要素に電気的に接続されており、

前記第 1 の超小型電子素子の前記縁部が第 1 の縁部であり、該第 1 の超小型電子素子は前記第 1 の縁部の反対側にある第 2 の縁部を有しており、

前記第 2 の超小型電子素子は向かい合った第 1 の縁部及び第 2 の縁部を有しており、

各超小型電子素子は、当該超小型電子素子の前面の中央領域において前記第 1 の方向に沿って伸びている 5 以上のボンドパッドの少なくとも 1 つの列を有し、各中央領域は各々の第 1 の縁部と第 2 の縁部との間の距離の中央 3 分の 1 に広がりを有している、超小型電子アセンブリ。

【請求項 1 4】

前記周縁部が第 1 の周縁部であり、前記周辺領域が第 1 の周辺領域であり、前記端子のうちの前記少なくとも 1 つの端子が第 1 の端子であり、

前記基板は、前記第 1 の面と前記第 2 の面との間ににおいて前記第 1 の方向に広がりを有する第 2 の周縁部と、該第 2 の周縁部と前記第 2 の開口部との間に広がりを有する、前記第 2 の面における第 2 の周辺領域とを有し、

前記端子のうちの少なくとも 1 つが第 2 の端子であり、該第 2 の端子は、前記第 2 の方向に沿って当該第 2 の端子を通る直線が前記第 2 の開口部を通るか又はその上方を通るものとなるように、前記第 2 の周辺領域内に少なくとも部分的に配置されている、請求項 1_3 に記載の超小型電子アセンブリ。

【請求項 1 5】

前記基板は、前記第 2 の周縁部の反対側にあり、前記第 1 の面と前記第 2 の面との間ににおいて前記第 1 の方向に広がりを有する第 3 の周縁部と、該第 3 の周縁部と前記第 2 の開口部との間に広がりを有する、前記第 2 の面における第 3 の周辺領域とを有し、

前記端子のうちの少なくとも 1 つが第 3 の端子であり、該第 3 の端子は、前記第 2 の方向に沿って当該第 3 の端子を通る直線が前記第 2 の開口部を通るか又はその上方を通るものとなるように、前記第 3 の周辺領域内に少なくとも部分的に配置されている、請求項 1_4 に記載の超小型電子アセンブリ。

【請求項 1 6】

第 1 の横方向及び第 2 の横方向にそれぞれ広がりを有する、向かい合った第 1 の面及び第 2 の面と、

前記第 1 の面と前記第 2 の面との間ににおいて前記第 1 の方向に広がりを有する周縁部と、

前記第 1 の面と前記第 2 の面との間に広がりを有し、前記第 1 の方向に沿った長手の第 1 の寸法と、該第 1 の寸法よりも小さな、前記第 2 の方向に沿った第 2 の寸法とを有する第 1 の開口部と、

前記第 1 の面と前記第 2 の面との間に広がりを有し、前記第 2 の方向に沿った長手の第 1 の寸法と、該第 1 の寸法よりも小さな、前記第 1 の方向に沿った第 2 の寸法とを有する第 2 の開口部と、

前記周縁部と前記第 2 の開口部との間に広がりを有する、前記第 2 の面における周辺領域と

を有する基板と、

前記第 1 の面に面する前面对、該前面にあり、前記第 1 の開口部と位置合わせされたボンドパッドと、前記前面の反対側にある背面と、前記前面と前記背面との間に広がりを有する縁部とを有する第 1 の超小型電子素子と、

前記第 1 の超小型電子素子の背面を向き、該第 1 の超小型電子素子の縁部を越えて突出した前面と、該前面にあり、前記第 2 の開口部と位置合わせされたボンドパッドとを有する第 2 の超小型電子素子と、

前記第 2 の面において露出し、前記第 1 の超小型電子素子及び前記第 2 の超小型電子素子のボンドパッドと電気的に接続されている複数の端子であって、該端子は超小型電子ア

センブリを該アセンブリの外部にある少なくとも1つの要素に接続させるものであり、該端子のうちの少なくとも1つの端子は、前記第2の方向に沿って当該少なくとも1つの端子を通る直線が前記第2の開口部を通るか又はその上方を通過するものとなるように、前記周辺領域内に少なくとも部分的に配置されている、複数の端子と

を備え、

前記第1の超小型電子素子及び前記第2の超小型電子素子のボンドパッドは、前記基板の導電性要素に電気的に接続されており、

前記第1の超小型電子素子のボンドパッドは、前記第1の開口部と位置合わせされた部分を有する第1のリード部により前記導電性要素に電気的に接続されており、

前記第2の超小型電子素子のボンドパッドは、前記第2の開口部と位置合わせされた部分を有する第2のリード部により前記導電性要素に電気的に接続されており、

前記第1の超小型電子素子の前記縁部が第1の縁部であり、該第1の超小型電子素子は前記第1の縁部の反対側にある第2の縁部を有しております、

前記第2の超小型電子素子は向かい合った第1の縁部及び第2の縁部を有しております、

各超小型電子素子は、当該超小型電子素子の前面の中央領域において前記第1の方向に沿って伸びている5以上のボンドパッドの少なくとも1つの列を有し、各中央領域は各々の第1の縁部と第2の縁部との間の距離の中央3分の1に広がりを有している、超小型電子アセンブリ。

【請求項17】

前記周縁部が第1の周縁部であり、前記周辺領域が第1の周辺領域であり、前記端子のうちの前記少なくとも1つの端子が第1の端子であり、

前記基板は、前記第1の周縁部の反対側にあり、前記第1の面と前記第2の面との間ににおいて前記第1の方向に広がりを有する第2の周縁部と、該第2の周縁部と前記第2の開口部との間に広がりを有する、前記第2の面における第2の周辺領域とを有し、

前記端子のうちの少なくとも1つが第2の端子であり、該第2の端子は、前記第2の方向に沿って当該第2の端子を通る直線が前記第2の開口部を通るか又はその上方を通過するものとなるように、前記第2の周辺領域内に少なくとも部分的に配置されている、請求項16に記載の超小型電子アセンブリ。

【請求項18】

前記周辺領域が第1の周辺領域であり、前記端子のうちの前記少なくとも1つの端子が第1の端子であり、前記第1の超小型電子素子の縁部が第1の縁部であり、前記基板は、前記第1の面と前記第2の面との間に広がりを有し、前記第2の方向に沿った長手の第1の寸法と、該第1の寸法よりも小さな前記第1の方向に沿った第2の寸法とを有する第3の開口部を有し、

前記基板は、前記周縁部と前記第3の開口部との間に広がりを有する、前記第2の面における第2の周辺領域を有し、

前記端子のうちの少なくとも1つが第2の端子であり、該第2の端子は、前記第2の方向に沿って当該第2の端子を通る直線が前記第3の開口部を通るか又はその上方を通過するものとなるように、前記第2の周辺領域内に少なくとも部分的に配置されており、

前記超小型電子アセンブリは第3の超小型電子素子を更に備えており、該第3の超小型電子素子は、前記第1の超小型電子素子の背面に面し、前記第1の超小型電子素子の第1の縁部の反対側に位置する該第1の超小型電子素子の第2の縁部を越えて突出した前面と、該第3の超小型電子素子の前面にあり、前記第3の開口部と位置合わせされたボンドパッドとを有するものである、請求項16に記載の超小型電子アセンブリ。

【請求項19】

前記第2の超小型電子素子の前面と前記第3の超小型電子素子の前面とが、単一の平面内に位置している、請求項18に記載の超小型電子アセンブリ。

【請求項20】

前記周縁部が第1の周縁部であり、前記基板は、前記第1の周縁部の反対側にあり、前記第1の面と前記第2の面との間ににおいて前記第1の方向に広がりを有する第2の周縁部

と、前記第2の周縁部と前記第2の開口部及び前記第3の開口部の各々との間に広がりを有する、前記第2の面における第3の周辺領域及び第4の周辺領域とを有し、

前記端子のうちの少なくとも1つが第3の端子であり、該第3の端子は、前記第2の方向に沿って当該第3の端子を通る直線が前記第1の開口部を通るか又はその上方を通るものとなるように、前記第3の周辺領域内に少なくとも部分的に配置されており、

前記端子のうちの少なくとも1つが第4の端子であり、該第4の端子は、前記第2の方向に沿って当該第4の端子を通る直線が前記第2の開口部を通るか又はその上方を通るものとなるように、前記第4の周辺領域内に少なくとも部分的に配置されている、請求項1-8に記載の超小型電子アセンブリ。

【請求項21】

前記基板は、前記第1の面と前記第2の面との間に広がりを有し、前記第1の方向に沿った長手の第1の寸法と、該第1の寸法よりも小さな前記第2の方向に沿った第2の寸法とを有する第4の開口部を有し、

前記第4の開口部と位置合わせされたボンドパッドをその前面に有する第4の超小型電子素子を更に備えた請求項1-8に記載の超小型電子アセンブリ。

【請求項22】

前記第2の超小型電子素子と前記第3の超小型電子素子と前記第4の超小型電子素子とはそれぞれ、向かい合った第1の縁部及び第2の縁部を有し、

各超小型電子素子は、当該超小型電子素子の前面の中央領域において当該超小型電子素子の第1の縁部及び第2の縁部と平行な方向に延びている5つ以上のボンドパッドの少なくとも1つの列を有し、各中央領域は、各々の第1の縁部と第2の縁部との間の距離の中央3分の1に広がりを有するものである、請求項2-1に記載の超小型電子アセンブリ。

【請求項23】

向かい合った上面及び底面を有する第1の誘電性要素及び第2の誘電性要素であって、各面は第1の横方向及び第2の横方向に延びてあり、両誘電性要素は、前記第1の横方向及び前記第2の横方向の少なくとも一方において互いに互いに間隔を置いて配置され、基板の第1の面は両誘電性要素の上面を含み、前記基板の第2の面は両誘電性要素の底面を含む、第1の誘電性要素及び第2の誘電性要素と、

前記第1の誘電性要素及び前記第2の誘電性要素の、隣接し向かい合っている縁部間の空間により形成された第1の開口部であって、前記隣接し向かい合っている縁部の各々が前記第1の方向に沿った第1の寸法を有し、該第1の寸法よりも小さな前記第2の方向に沿った第2の寸法を有する第1の開口部と、

前記第2の誘電性要素に囲まれている第2の開口部と
を有する基板と、

前記第1の面に面する前面と、該前面にあり、前記第1の開口部及び前記第2の開口部の一方と位置合わせされたボンドパッドと、前記前面の反対側に位置する背面と、前記前面と前記背面との間に広がりを有する縁部とを有する第1の超小型電子素子と、

前記第1の超小型電子素子の背面に面し、前記第1の超小型電子素子の縁部を越えて突出した前面と、該前面にあり、前記第1の開口部及び前記第2の開口部の他方と位置合わせされたボンドパッドとを有する第2の超小型電子素子と、

前記第2の面において露出し、前記第1の超小型電子素子及び前記第2の超小型電子素子のボンドパッドと電気的に接続され、超小型電子アセンブリを該アセンブリの外部にある少なくとも1つの要素に接続させる複数の端子と

を備えた超小型電子アセンブリ。

【請求項24】

前記第2の開口部は、前記第1の方向に沿った長手の第1の寸法と、該第1の寸法よりも小さな、前記第2の方向に沿った第2の寸法とを有する、請求項2-3に記載の超小型電子アセンブリ。

【請求項25】

前記第2の開口部は、前記第2の方向に沿った長手の第1の寸法と、該第1の寸法より

も小さな、前記第1の方向に沿った第2の寸法とを有する、請求項2_3に記載の超小型電子アセンブリ。

【請求項2_6】

前記基板は、前記第1の誘電性要素及び第2の誘電性要素の、隣接し向かい合っている縁部間ににおいて広がりを有する誘電性領域を更に有し、前記基板の第1の面は該誘電性領域の上面を含み、前記第2の面は該誘電性領域の底面を含むものである、請求項2_3に記載の超小型電子アセンブリ。

【請求項2_7】

前記誘電性領域は、前記基板の平面において前記誘電性要素よりも大きなヤング率を有するものである、請求項2_3に記載の超小型電子アセンブリ。

【請求項2_8】

前記第1の超小型電子素子の前面にあるボンドパッドは、前記第1の開口部と位置合わせされており、

前記第2の超小型電子素子の前面にあるボンドパッドは、前記第2の開口部と位置合わせされている、請求項2_3に記載の超小型電子アセンブリ。

【請求項2_9】

前記端子は、前記第1の誘電性要素及び前記第2の誘電性要素の各々の底面において露出した第1の端子及び第2の端子を含み、前記第1の超小型電子素子の少なくとも幾つかのボンドパッドは、前記第1の端子及び前記第2の端子に電気的に接続されている、請求項2_8に記載の超小型電子アセンブリ。

【請求項3_0】

前記第1の超小型電子素子の前面にあるボンドパッドは、前記第2の開口部と位置合わせされており、

前記第2の超小型電子素子の前面にあるボンドパッドは、前記第1の開口部と位置合わせされている、請求項2_3に記載の超小型電子アセンブリ。

【請求項3_1】

第1の横方向及び第2の横方向にそれぞれ広がりを有する、向かい合った第1の面及び第2の面と、前記第1の横方向及び前記第2の横方向の少なくとも一方において互いに間隔を置いて配置された第1の誘電性要素及び第2の誘電性要素とを有する基板と、

前記第1の面に面する前面と、該前面にあるボンドパッドと、前記前面の反対側にある背面と、前記前面と前記背面との間に広がりを有する縁部とを有する第1の超小型電子素子と、

前記第1の超小型電子素子の背面を向き、該第1の超小型電子素子の縁部を越えて突出した前面と、該前面にあるボンドパッドとを有する第2の超小型電子素子と、

前記第2の面において露出し、前記第1の超小型電子素子及び前記第2の超小型電子素子のボンドパッドと電気的に接続され、超小型電子アセンブリを該アセンブリの外部にある少なくとも1つの要素に接続させる複数の端子と

を備えた超小型電子アセンブリ。

【請求項3_2】

前記超小型電子素子のうちの少なくとも1つは、前記第1の誘電性要素及び前記第2の誘電性要素の各々の上面に少なくとも部分的に重なって位置している、請求項3_1に記載の超小型電子アセンブリ。

【請求項3_3】

前記第1の超小型電子素子の縁部が第1の縁部であり、該第1の超小型電子素子は、前記第1の縁部の反対側にある第2の縁部を有し、

前記第2の超小型電子素子は、向かい合っている第1の縁部及び第2の縁部を有し、

各超小型電子素子は、当該超小型電子素子の前面の中央領域において前記第1の方向に広がりを有する5以上のボンドパッドの少なくとも1つの列を有し、各中央領域は、各々の第1の縁部と第2の縁部との間の距離の中央3分の1に広がりを有するものである、請求項3_1に記載の超小型電子アセンブリ。

【請求項 3 4】

向かい合った上面及び底面を有する第1の誘電性要素、第2の誘電性要素及び第3の誘電性要素であって、各面は第1の横方向及び第2の横方向に延びており、両誘電性要素は、前記第1の横方向及び前記第2の横方向の少なくとも一方において互いに間隔を置いて配置され、基板の第1の面は、前記第1の誘電性要素、前記第2の誘電性要素及び前記第3の誘電性要素の上面を含み、前記基板の第2の面は、前記第1の誘電性要素、前記第2の誘電性要素及び前記第3の誘電性要素の底面を含む、第1の誘電性要素及び第2の誘電性要素と、

前記第1の誘電性要素及び前記第2の誘電性要素の、隣接し向かい合っている縁部間の空間により形成された第1の開口部であって、前記隣接し向かい合っている縁部の各々が前記第1の方向に沿った第1の寸法を有し、該第1の寸法よりも小さな前記第2の方向に沿った第2の寸法を有する第1の開口部と、

前記第2の誘電性要素及び前記第3の誘電性要素の、隣接し向かい合っている縁部間の空間により形成された第2の開口部であって、前記隣接し向かい合っている縁部の各々が前記第1の方向に沿った第1の寸法を有し、該第1の寸法よりも小さな前記第2の方向に沿った第2の寸法を有する第1の開口部と

を有する基板と、

前記第1の面に面する前面と、該前面にあり、前記第1の開口部及び前記第2の開口部の一方と位置合わせされたボンドパッドと、前記前面の反対側に位置する背面と、前記前面と前記背面との間に広がりを有する縁部とを有する第1の超小型電子素子と、

前記第1の超小型電子素子の背面に面し、前記第1の超小型電子素子の縁部を越えて突出した前面と、該前面にあり、前記第1の開口部及び前記第2の開口部の他方と位置合わせされたボンドパッドとを有する第2の超小型電子素子と、

前記第2の面において露出し、前記第1の超小型電子素子及び前記第2の超小型電子素子のボンドパッドと電気的に接続され、超小型電子アセンブリを該アセンブリの外部にある少なくとも1つの要素に接続させる複数の端子と

を備えた超小型電子アセンブリ。

【請求項 3 5】

前記第1の超小型電子素子の前面にあるボンドパッドは、前記第1の開口部と位置合わせされており、

前記第2の超小型電子素子の前面にあるボンドパッドは、前記第2の開口部と位置合わせされている、請求項3_4に記載の超小型電子アセンブリ。

【請求項 3 6】

前記第1の超小型電子素子は、前記第1の誘電性要素及び前記第2の誘電性要素の各々の上面に少なくとも部分的に重なって位置しており、

前記第2の超小型電子素子は、前記第2の誘電性要素及び前記第3の誘電性要素の各々の上面に少なくとも部分的に重なって位置している、請求項3_5に記載の超小型電子アセンブリ。

【請求項 3 7】

前記第1の超小型電子素子の前面にあるボンドパッドは、前記第2の開口部と位置合わせされており、

前記第2の超小型電子素子の前面にあるボンドパッドは、前記第1の開口部と位置合わせされている、請求項3_4に記載の超小型電子アセンブリ。

【請求項 3 8】

前記端子は、前記第1の誘電性要素、前記第2の誘電性要素及び前記第3の誘電性要素の各々の底面において露出した第1の端子、第2の端子及び第3の端子を含み、

前記超小型電子素子のうちの少なくとも1つの超小型電子素子のボンドパッドの少なくとも幾つかは、前記第1の端子、前記第2の端子及び第3の端子のうちの2以上と電気的に接続されている、請求項3_4に記載の超小型電子アセンブリ。

【請求項 3 9】

前記第1の超小型電子素子のボンドパッドのうちの少なくとも幾つかは、前記第1の端子及び前記第2の端子と電気的に接続されている、請求項3_8に記載の超小型電子アセンブリ。

【請求項40】

前記第2の超小型電子素子のボンドパッドのうちの少なくとも幾つかは、前記第2の端子及び前記第3の端子と電気的に接続されている、請求項3_9に記載の超小型電子アセンブリ。

【請求項41】

前記基板は、前記第1の面と前記第2の面との間ににおいて前記第2の方向に広がりを有する周縁部と、該周縁部と前記開口部のうちの1つとの間に広がりを有する、前記第2の面における周辺領域とを有し、

前記端子のうちの少なくとも1つの端子は、前記第1の方向に沿って当該少なくとも1つの端子を通る直線が前記開口部のうちの少なくとも1つを通るか又はその上方を通るものとなるように、前記周辺領域内に少なくとも部分的に配置されている、請求項3_4に記載の超小型電子アセンブリ。

【請求項42】

前記周辺領域が第1の周辺領域であり、前記開口部のうちの1つが前記第1の開口部であり、前記少なくとも1つの端子が第1の端子であり、

前記基板は、前記周縁部と前記第2の開口部との間に広がりを有する、前記第2の面における第2の周辺領域とを有し、

前記端子のうちの少なくとも1つが第2の端子であり、該第2の端子は、前記第1の方向に沿って当該第2の端子を通る直線が前記第2の開口部を通るか又はその上方を通るものとなるように、前記第2の周辺領域内に少なくとも部分的に配置されている、請求項4_1に記載の超小型電子アセンブリ。

【請求項43】

前記第2の誘電性要素は、前記第1の周辺領域及び前記第2の周辺領域の両方の一部を含むものである、請求項4_2に記載の超小型電子アセンブリ。

【請求項44】

前記第1の誘電性要素は前記第1の周辺領域の一部を含み、

前記第3の誘電性要素は前記第2の周辺領域の一部を含むものである、請求項4_2に記載の超小型電子アセンブリ。

【請求項45】

請求項1、1_3、1_6、1_9、2_3及び3_4のいずれか一項に記載の超小型電子アセンブリと、

該超小型電子アセンブリに電気的に接続された1以上の別の電子的要素とを備えたシステム。

【請求項46】

ハウジングを更に備え、該ハウジングに前記超小型電子アセンブリと前記別の電子的要素とが取り付けられている、請求項4_5に記載のシステム。

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No PCT/US2013/053240									
A. CLASSIFICATION OF SUBJECT MATTER INV. H01L25/065 H01L23/13 H01L23/498 H01L23/50 H01L23/00 ADD.											
According to International Patent Classification (IPC) or to both national classification and IPC											
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L											
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched											
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data											
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: left; padding: 2px;">Category*</th> <th style="text-align: left; padding: 2px;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="text-align: left; padding: 2px;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td style="text-align: center; padding: 2px;">X</td> <td style="text-align: left; padding: 2px;">US 2012/153435 A1 (HABA BELGACEM [US] ET AL) 21 June 2012 (2012-06-21) paragraphs [0054] - [0059]; figures 4-6 -----</td> <td style="text-align: center; padding: 2px;">1-49</td> </tr> <tr> <td style="text-align: center; padding: 2px;">A</td> <td style="text-align: left; padding: 2px;">US 2010/090326 A1 (BAEK SEUNG-DUK [KR] ET AL) 15 April 2010 (2010-04-15) the whole document -----</td> <td style="text-align: center; padding: 2px;">1-49</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	US 2012/153435 A1 (HABA BELGACEM [US] ET AL) 21 June 2012 (2012-06-21) paragraphs [0054] - [0059]; figures 4-6 -----	1-49	A	US 2010/090326 A1 (BAEK SEUNG-DUK [KR] ET AL) 15 April 2010 (2010-04-15) the whole document -----	1-49
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.									
X	US 2012/153435 A1 (HABA BELGACEM [US] ET AL) 21 June 2012 (2012-06-21) paragraphs [0054] - [0059]; figures 4-6 -----	1-49									
A	US 2010/090326 A1 (BAEK SEUNG-DUK [KR] ET AL) 15 April 2010 (2010-04-15) the whole document -----	1-49									
<input type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.									
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed											
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family											
Date of the actual completion of the international search 3 September 2013		Date of mailing of the international search report 16/09/2013									
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Cortes Rosa, João									

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2013/053240

Patent document cited in search report	Publication date	Patent family member(s)		Publication date
US 2012153435	A1 21-06-2012	KR	101061531 B1	01-09-2011
		TW	201234556 A	16-08-2012
		US	2012153435 A1	21-06-2012
		US	2012155042 A1	21-06-2012
		WO	2012082227 A2	21-06-2012

US 2010090326	A1 15-04-2010	KR	20100041430 A	22-04-2010
		US	2010090326 A1	15-04-2010

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,R,S,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,H,R,HU,ID,IL,IN,IS,JP,KE,KG,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC

(74)代理人 100142996

弁理士 森本 聰二

(74)代理人 100154298

弁理士 角田 恭子

(74)代理人 100166268

弁理士 田中 祐

(74)代理人 100170379

弁理士 徳本 浩一

(74)代理人 100161001

弁理士 渡辺 篤司

(74)代理人 100179154

弁理士 児玉 真衣

(74)代理人 100180231

弁理士 水島 亜希子

(74)代理人 100184424

弁理士 増屋 徹

(72)発明者 ハーバ , ベルガセム

アメリカ合衆国カリフォルニア州 95070 , サラトガ , ミラー・コート 19487

(72)発明者 ゾーニ , ワエル

アメリカ合衆国カリフォルニア州 95134 , サン・ノゼ , オーチャード・パークウェイ 302
5 , テッセラ , インコーポレイテッド内

(72)発明者 クリスピ , リチャード・デューイット

アメリカ合衆国カリフォルニア州 95134 , サン・ノゼ , オーチャード・パークウェイ 302
5 , テッセラ , インコーポレイテッド内

(72)発明者 モハメッド , イリヤス

アメリカ合衆国カリフォルニア州 95050 , サンタ・クララ , ボハノン・ドライブ 2377

(72)発明者 ランブレクト , フランク

アメリカ合衆国カリフォルニア州 95134 , サン・ノゼ , オーチャード・パークウェイ 302
5 , テッセラ , インコーポレイテッド内