

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2015-523742

(P2015-523742A)

(43) 公表日 平成27年8月13日(2015.8.13)

(51) Int.Cl.	F I	テーマコード (参考)
H01L 25/04 (2014.01)	H01L 25/04	Z
H01L 25/18 (2006.01)	H01L 25/08	Y
H01L 25/065 (2006.01)		
H01L 25/07 (2006.01)		

審査請求 未請求 予備審査請求 有 (全 55 頁)

(21) 出願番号	特願2015-525599 (P2015-525599)	(71) 出願人	504142411 テッセラ, インコーポレイテッド アメリカ合衆国 カリフォルニア州 95 134, サン・ノゼ, オーチャード・ パークウェイ 3025
(86) (22) 出願日	平成25年8月1日(2013.8.1)	(74) 代理人	100099623 弁理士 奥山 尚一
(85) 翻訳文提出日	平成27年3月30日(2015.3.30)	(74) 代理人	100096769 弁理士 有原 幸一
(86) 国際出願番号	PCT/US2013/053240	(74) 代理人	100107319 弁理士 松島 鉄男
(87) 国際公開番号	W02014/022675	(74) 代理人	100114591 弁理士 河村 英文
(87) 国際公開日	平成26年2月6日(2014.2.6)	(74) 代理人	100125380 弁理士 中村 綾子
(31) 優先権主張番号	13/565,613		
(32) 優先日	平成24年8月2日(2012.8.2)		
(33) 優先権主張国	米国 (US)		
(31) 優先権主張番号	13/741,890		
(32) 優先日	平成25年1月15日(2013.1.15)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

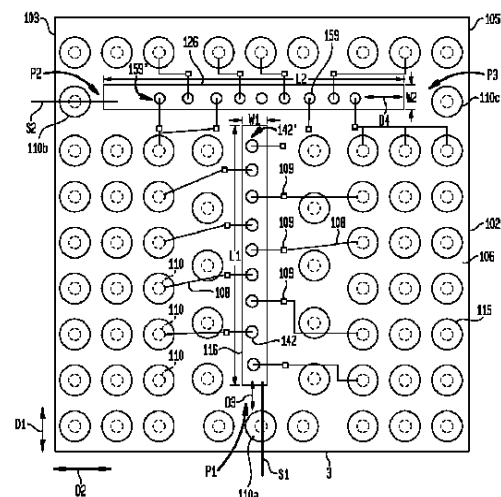
(54) 【発明の名称】 2以上のダイにおける複数ダイ・フェースダウン・スタッキング

(57) 【要約】

超小型電子アセンブリ100は、第1の横方向D1及び第2の横方向D2にそれぞれ広がり有する、向かい合った第1の面104及び第2の面106と、第2の方向に沿った周縁部3と、第1の面と第2の面との間に広がり有する第1の開口部116及び第2の開口部126と、周縁部と開口部のうちの1つとの間に広がり有する第2の面における周辺領域P1とを有する基板102を備えたものとする。また、アセンブリ100は、前面140と背面138との間の縁部146を有する第1の超小型電子素子136と、該第1の超小型電子素子の背面に面し、縁部を越えて突出した前面157を有する第2の超小型電子素子153とを備えたものとする。さらに、アセンブリ100は、第2の面106において露出する複数の端子110も備えたものとする。少なくとも1つの端子110aは周辺領域P1内に少なくとも部分的に配置されている。

【選択図】 図3

FIG. 3



【特許請求の範囲】**【請求項 1】**

第 1 の横方向及び第 2 の横方向にそれぞれ広がりをもつ、向かい合った第 1 の面及び第 2 の面と、

前記第 1 の面と前記第 2 の面との間において前記第 2 の方向に広がりをもつ周縁部と

、

前記第 1 の面と前記第 2 の面との間に広がりをもつ、前記第 1 の方向に沿った長手の第 1 の寸法と、該第 1 の寸法よりも小さな、前記第 2 の方向に沿った第 2 の寸法とをもつ第 1 の開口部及び第 2 の開口部と、

前記周縁部と前記開口部のうちの 1 つとの間に広がりをもつ、前記第 2 の面における周辺領域と

10

をもつ基板と、

前記第 1 の面に面する前面と、該前面にあり、前記第 1 の開口部と位置合わせされたボンダパッドと、前記前面の反対側にある背面と、前記前面と前記背面との間に広がりをもつ縁部とをもつ第 1 の超小型電子素子と、

前記第 1 の超小型電子素子の背面を向き、該第 1 の超小型電子素子の縁部を越えて突出した前面と、該前面にあり、前記第 2 の開口部と位置合わせされたボンダパッドとをもつ第 2 の超小型電子素子と、

前記第 2 の面において露出し、前記第 1 の超小型電子素子及び前記第 2 の超小型電子素子のボンダパッドと電気的に接続されている複数の端子であって、該端子は超小型電子アセンブリを該アセンブリの外部にある少なくとも 1 つの要素に接続させるものであり、該端子のうちの少なくとも 1 つの端子は、前記第 1 の方向に沿って当該少なくとも 1 つの端子を通る直線が前記開口部のうちの少なくとも 1 つを通るか又はその上方を通るものとなるように、前記周辺領域内に少なくとも部分的に配置されている、複数の端子と

20

を備えた超小型電子アセンブリ。

【請求項 2】

前記周縁部が第 1 の周縁部であり、前記周辺領域が第 1 の周辺領域であり、前記少なくとも 1 つの端子が第 1 の端子であり、

前記基板は、前記第 1 の周縁部の反対側に位置し、前記第 1 の面と前記第 2 の面との間において前記第 2 の方向に広がりをもつ第 2 の周縁部と、該第 2 の周縁部と前記開口部のうちの 1 つとの間に広がりをもつ、前記第 2 の面における第 2 の周辺領域とをもつ、

30

前記端子のうちの少なくとも 1 つが第 2 の端子であり、該第 2 の端子は、前記第 1 の方向に沿って当該第 2 の端子を通る直線が前記開口部のうちの少なくとも 1 つを通るか又はその上方を通るものとなるように、前記第 2 の周辺領域内に少なくとも部分的に配置されている、請求項 1 に記載の超小型電子アセンブリ。

【請求項 3】

前記周辺領域が第 1 の周辺領域であり、前記開口部のうちの 1 つが前記第 1 の開口部であり、前記端子のうちの前記少なくとも 1 つの端子が第 1 の端子であり、

前記基板は、前記周縁部と前記第 2 の開口部との間に広がりをもつ、前記第 2 の面における第 2 の周辺領域をもつ、

40

前記端子のうちの少なくとも 1 つが第 2 の端子であり、該第 2 の端子は、前記第 1 の方向に沿って当該第 2 の端子を通る直線が前記第 2 の開口部を通るか又はその上方を通るものとなるように、前記第 2 の周縁領域内に少なくとも部分的に配置されている、請求項 1 に記載の超小型電子アセンブリ。

【請求項 4】

前記周縁部が第 1 の周縁部であり、前記基板は、前記第 1 の周縁部の反対側にあり、前記第 1 の面と前記第 2 の面との間において前記第 2 の方向に広がりをもつ第 2 の周縁部と、前記第 2 の周縁部と前記第 1 の開口部及び前記第 2 の開口部の各々との間に広がりをもつ、前記第 2 の面における第 3 の周辺領域及び第 4 の周辺領域とをもつ、

前記端子のうちの少なくとも 1 つが第 3 の端子であり、該第 3 の端子は、前記第 1 の方

50

向に沿って当該第 3 の端子を通る直線が前記第 1 の開口部を通るか又はその上方を通るものとなるように、前記第 3 の周辺領域内に少なくとも部分的に配置されており、

前記端子のうちの少なくとも 1 つが第 4 の端子であり、該第 4 の端子は、前記第 1 の方向に沿って当該第 4 の端子を通る直線が前記第 2 の開口部を通るか又はその上方を通るものとなるように、前記第 4 の周辺領域内に少なくとも部分的に配置されている、請求項 3 に記載の超小型電子アセンブリ。

【請求項 5】

前記第 1 の超小型電子素子及び前記第 2 の超小型電子素子のボンドパッドは、前記基板の導電性要素に電氣的に接続されている、請求項 1 に記載の超小型電子アセンブリ。

【請求項 6】

前記第 1 の超小型電子素子のボンドパッドは、前記第 1 の開口部と位置合わせされた部分を有する第 1 のリード部により前記導電性要素に電氣的に接続されており、

前記第 2 の超小型電子素子のボンドパッドは、前記第 2 の開口部と位置合わせされた部分を有する第 2 のリード部により前記導電性要素に電氣的に接続されている、請求項 5 に記載の超小型電子アセンブリ。

【請求項 7】

前記第 1 のリード部が前記第 1 の開口部を通過して延びていないか、又は前記第 2 のリード部が前記第 2 の開口部を通過して延びていないかの少なくとも一方である、請求項 6 に記載の超小型電子アセンブリ。

【請求項 8】

前記第 1 の超小型電子素子のボンドパッドは、前記第 1 の開口部を通過して延びている第 1 のワイヤボンド部により前記導電性要素に電氣的に接続されており、

前記第 2 の超小型電子素子のボンドパッドは、前記第 2 の開口部を通過して延びている第 2 のワイヤボンド部により前記導電性要素に電氣的に接続されている、請求項 5 に記載の超小型電子アセンブリ。

【請求項 9】

前記第 1 のワイヤボンド部は前記第 1 の開口部のみを通過して延びており、前記第 2 のワイヤボンド部は前記第 2 の開口部のみを通過して延びている、請求項 8 に記載の超小型電子アセンブリ。

【請求項 10】

前記第 1 の超小型電子素子の前記縁部が第 1 の縁部であり、該第 1 の超小型電子素子は前記第 1 の縁部の反対側にある第 2 の縁部を有しており、

前記第 2 の超小型電子素子は向かい合った第 1 の縁部及び第 2 の縁部を有しており、

各超小型電子素子は、当該超小型電子素子の前面の中央領域において前記第 1 の方向に沿って延びている 5 以上のボンドパッドの少なくとも 1 つの列を有し、各中央領域は各々の第 1 の縁部と第 2 の縁部との間の距離の中央 3 分の 1 に広がりを持っている、請求項 1 に記載の超小型電子アセンブリ。

【請求項 11】

各超小型電子素子は、メモリ記憶アレイ機能を提供する能動デバイスを他の任意の機能よりも数多く有している、請求項 1 に記載の超小型電子アセンブリ。

【請求項 12】

前記第 1 の超小型電子素子は、該第 1 の超小型電子素子の前面と背面との間に広がりを持つ前記縁部とその反対側にある縁部との間の幅を有し、

前記第 2 の超小型電子素子は、該第 2 の超小型電子素子の前面と背面との間にそれぞれ広がりを持つ、向かい合っている縁部間の幅を有し、

前記第 1 の超小型電子素子の幅は前記第 1 の開口部の第 2 の寸法よりも大きく、前記第 2 の超小型電子素子の幅は前記第 2 の開口部の第 2 の寸法よりも大きい、請求項 1 に記載の超小型電子アセンブリ。

【請求項 13】

前記第 1 の開口部及び前記第 2 の開口部のうちの一方は、前記第 1 の開口部及び前記第

10

20

30

40

50

2の開口部のうちの他方よりも、前記周縁部に近い位置へと延びている、請求項1に記載の超小型電子アセンブリ。

【請求項14】

前記基板は、前記第1の面と前記第2の面との間に広がりをも有する第3の開口部及び第4の開口部を有し、該第3の開口部及び該第4の開口部はそれぞれ、前記第2の方向に沿った長手の第1の寸法と、該第1の寸法よりも小さな、前記第1の方向に沿った第2の寸法とを有し、

前記超小型電子アセンブリは、前記基板の第1の面に面する前面を有する第3の超小型電子素子及び第4の超小型電子素子を更に備えており、該第3の超小型電子素子及び該第4の超小型電子素子は、当該超小型電子素子の前面にあり、前記第3の開口部又は前記第4の開口部と位置合わせされたボンドパッドを有し、

前記第3の超小型電子素子及び前記第4の超小型電子素子のボンドパッドは、前記基板の導電性要素に電気的に接続されている、請求項1に記載の超小型電子アセンブリ。

【請求項15】

前記基板は、前記周辺領域において前記第1の面と前記第2の面との間に延びているアパーチャを更に有し、該アパーチャは、当該アパーチャを通して流れる封止材又はアンダーフィル材料を受け入れるものである、請求項14に記載の超小型電子アセンブリ。

【請求項16】

第1の横方向及び第2の横方向にそれぞれ広がりをも有する、向かい合った第1の面及び第2の面と、

前記第1の面と前記第2の面との間において前記第2の方向に広がりをも有する周縁部と、

前記第1の面と前記第2の面との間に広がりをも有する第1の開口部及び第2の開口部であって、前記第1の開口部は、前記第2の開口部と前記周縁部との間にあるとともに、前記第1の方向に沿った長手の第1の寸法と、該第1の寸法よりも小さな、前記第2の方向に沿った第2の寸法とを有し、前記第2の開口部は、前記第2の方向に沿った長手の第1の寸法と、該第1の寸法よりも小さな、前記第1の方向に沿った第2の寸法とを有する、第1の開口部及び第2の開口部と、

前記周縁部と前記第1の開口部との間に広がりをも有する、前記第2の面における周辺領域と

を有する基板と、

前記第1の面に面する前面と、該前面にあり、前記第1の開口部と位置合わせされたボンドパッドと、前記前面の反対側にある背面と、前記前面と前記背面との間に広がりをも有する縁部とを有する第1の超小型電子素子と、

前記第1の超小型電子素子の背面を向き、該第1の超小型電子素子の縁部を越えて突出した前面と、該前面にあり、前記第2の開口部と位置合わせされたボンドパッドとを有する第2の超小型電子素子と、

前記第2の面において露出し、前記第1の超小型電子素子及び前記第2の超小型電子素子のボンドパッドと電気的に接続されている複数の端子であって、該端子は超小型電子アセンブリを該アセンブリの外部にある少なくとも1つの要素に接続させるものであり、該端子のうちの少なくとも1つの端子は、前記第1の方向に沿って当該少なくとも1つの端子を通る直線が前記第1の開口部を通るか又はその上方を通るものとなるように、前記周辺領域内に少なくとも部分的に配置されている、複数の端子と

を備えた超小型電子アセンブリ。

【請求項17】

前記周縁部が第1の周縁部であり、前記周辺領域が第1の周辺領域であり、前記端子のうちの前記少なくとも1つの端子が第1の端子であり、

前記基板は、前記第1の面と前記第2の面との間において前記第1の方向に広がりをも有する第2の周縁部と、該第2の周縁部と前記第2の開口部との間に広がりをも有する、前記第2の面における第2の周辺領域とを有し、

前記端子のうちの少なくとも１つが第２の端子であり、該第２の端子は、前記第２の方向に沿って当該第２の端子を通る直線が前記第２の開口部を通るか又はその上方を通るものとなるように、前記第２の周辺領域内に少なくとも部分的に配置されている、請求項１６に記載の超小型電子アセンブリ。

【請求項１８】

前記基板は、前記第２の周縁部の反対側にあり、前記第１の面と前記第２の面との間において前記第１の方向に広がりを持つ第３の周縁部と、該第３の周縁部と前記第２の開口部との間に広がりを持つ、前記第２の面における第３の周辺領域とを有し、

前記端子のうちの少なくとも１つが第３の端子であり、該第３の端子は、前記第２の方向に沿って当該第３の端子を通る直線が前記第２の開口部を通るか又はその上方を通るものとなるように、前記第３の周辺領域内に少なくとも部分的に配置されている、請求項１７に記載の超小型電子アセンブリ。

【請求項１９】

第１の横方向及び第２の横方向にそれぞれ広がりを持つ、向かい合った第１の面及び第２の面と、

前記第１の面と前記第２の面との間において前記第１の方向に広がりを持つ周縁部と

、
前記第１の面と前記第２の面との間に広がりを持つ、前記第１の方向に沿った長手の第１の寸法と、該第１の寸法よりも小さな、前記第２の方向に沿った第２の寸法とを有する第１の開口部と、

前記第１の面と前記第２の面との間に広がりを持つ、前記第２の方向に沿った長手の第１の寸法と、該第１の寸法よりも小さな、前記第１の方向に沿った第２の寸法とを有する第２の開口部と、

前記周縁部と前記第２の開口部との間に広がりを持つ、前記第２の面における周辺領域と

を有する基板と、

前記第１の面に面する前面と、該前面にあり、前記第１の開口部と位置合わせされたボンダッドと、前記前面の反対側にある背面と、前記前面と前記背面との間に広がりを持つ縁部とを有する第１の超小型電子素子と、

前記第１の超小型電子素子の背面を向き、該第１の超小型電子素子の縁部を越えて突出した前面と、該前面にあり、前記第２の開口部と位置合わせされたボンダッドとを有する第２の超小型電子素子と、

前記第２の面において露出し、前記第１の超小型電子素子及び前記第２の超小型電子素子のボンダッドと電気的に接続されている複数の端子であって、該端子は超小型電子アセンブリを該アセンブリの外部にある少なくとも１つの要素に接続させるものであり、該端子のうちの少なくとも１つの端子は、前記第２の方向に沿って当該少なくとも１つの端子を通る直線が前記第２の開口部を通るか又はその上方を通るものとなるように、前記周辺領域内に少なくとも部分的に配置されている、複数の端子と

を備えた超小型電子アセンブリ。

【請求項２０】

前記周縁部が第１の周縁部であり、前記周辺領域が第１の周辺領域であり、前記端子のうちの前記少なくとも１つの端子が第１の端子であり、

前記基板は、前記第１の周縁部の反対側にあり、前記第１の面と前記第２の面との間において前記第１の方向に広がりを持つ第２の周縁部と、該第２の周縁部と前記第２の開口部との間に広がりを持つ、前記第２の面における第２の周辺領域とを有し、

前記端子のうちの少なくとも１つが第２の端子であり、該第２の端子は、前記第２の方向に沿って当該第２の端子を通る直線が前記第２の開口部を通るか又はその上方を通るものとなるように、前記第２の周辺領域内に少なくとも部分的に配置されている、請求項１９に記載の超小型電子アセンブリ。

【請求項２１】

前記周辺領域が第 1 の周辺領域であり、前記端子のうちの前記少なくとも 1 つの端子が第 1 の端子であり、前記第 1 の超小型電子素子の縁部が第 1 の縁部であり、前記基板は、前記第 1 の面と前記第 2 の面との間に広がり有し、前記第 2 の方向に沿った長手の第 1 の寸法と、該第 1 の寸法よりも小さな前記第 1 の方向に沿った第 2 の寸法とを有する第 3 の開口部を有し、

前記基板は、前記周縁部と前記第 3 の開口部との間に広がり有する、前記第 2 の面における第 2 の周辺領域を有し、

前記端子のうちの少なくとも 1 つが第 2 の端子であり、該第 2 の端子は、前記第 2 の方向に沿って当該第 2 の端子を通る直線が前記第 3 の開口部を通るか又はその上方を通るものとなるように、前記第 2 の周辺領域内に少なくとも部分的に配置されており、

前記超小型電子アセンブリは第 3 の超小型電子素子を更に備えており、該第 3 の超小型電子素子は、前記第 1 の超小型電子素子の背面に面し、前記第 1 の超小型電子素子の第 1 の縁部の反対側に位置する該第 1 の超小型電子素子の第 2 の縁部を越えて突出した前面と、該第 3 の超小型電子素子の前面にあり、前記第 3 の開口部と位置合わせされたボンドパッドとを有するものである、請求項 19 に記載の超小型電子アセンブリ。

【請求項 22】

前記第 2 の超小型電子素子の前面と前記第 3 の超小型電子素子の前面とが、単一の平面内に位置している、請求項 21 に記載の超小型電子アセンブリ。

【請求項 23】

前記周縁部が第 1 の周縁部であり、前記基板は、前記第 1 の周縁部の反対側にあり、前記第 1 の面と前記第 2 の面との間において前記第 1 の方向に広がり有する第 2 の周縁部と、前記第 2 の周縁部と前記第 2 の開口部及び前記第 3 の開口部の各々との間に広がり有する、前記第 2 の面における第 3 の周辺領域及び第 4 の周辺領域とを有し、

前記端子のうちの少なくとも 1 つが第 3 の端子であり、該第 3 の端子は、前記第 2 の方向に沿って当該第 3 の端子を通る直線が前記第 1 の開口部を通るか又はその上方を通るものとなるように、前記第 3 の周辺領域内に少なくとも部分的に配置されており、

前記端子のうちの少なくとも 1 つが第 4 の端子であり、該第 4 の端子は、前記第 2 の方向に沿って当該第 4 の端子を通る直線が前記第 2 の開口部を通るか又はその上方を通るものとなるように、前記第 4 の周辺領域内に少なくとも部分的に配置されている、請求項 21 に記載の超小型電子アセンブリ。

【請求項 24】

前記基板は、前記第 1 の面と前記第 2 の面との間に広がり有し、前記第 1 の方向に沿った長手の第 1 の寸法と、該第 1 の寸法よりも小さな前記第 2 の方向に沿った第 2 の寸法とを有する第 4 の開口部を有し、

前記第 4 の開口部と位置合わせされたボンドパッドをその前面に有する第 4 の超小型電子素子を更に備えた請求項 21 に記載の超小型電子アセンブリ。

【請求項 25】

前記第 2 の超小型電子素子と前記第 3 の超小型電子素子と前記第 4 の超小型電子素子とはそれぞれ、向かい合った第 1 の縁部及び第 2 の縁部を有し、

各超小型電子素子は、当該超小型電子素子の前面の中央領域において当該超小型電子素子の第 1 の縁部及び第 2 の縁部と平行な方向に延びている 5 つ以上のボンドパッドの少なくとも 1 つの列を有し、各中央領域は、各々の第 1 の縁部と第 2 の縁部との間の距離の中央 3 分の 1 に広がり有するものである、請求項 24 に記載の超小型電子アセンブリ。

【請求項 26】

向かい合った上面及び底面を有する第 1 の誘電性要素及び第 2 の誘電性要素であって、各面は第 1 の横方向及び第 2 の横方向に延びており、両誘電性要素は、前記第 1 の横方向及び前記第 2 の横方向の少なくとも一方において互いに間隔を置いて配置され、基板の第 1 の面は両誘電性要素の上面を含み、前記基板の第 2 の面は両誘電性要素の底面を含む、第 1 の誘電性要素及び第 2 の誘電性要素と、

前記第 1 の誘電性要素及び前記第 2 の誘電性要素の、隣接し向かい合っている縁部間の

10

20

30

40

50

空間により形成された第 1 の開口部であって、前記隣接し向かい合っている縁部の各々が前記第 1 の方向に沿った第 1 の寸法を有し、該第 1 の寸法よりも小さな前記第 2 の方向に沿った第 2 の寸法を有する第 1 の開口部と、

前記第 2 の誘電性要素に囲まれている第 2 の開口部とを有する基板と、

前記第 1 の面に面する前面と、該前面にあり、前記第 1 の開口部及び前記第 2 の開口部の一方と位置合わせされたボンドパッドと、前記前面の反対側に位置する背面と、前記前面と前記背面との間に広がりをも有する縁部とを有する第 1 の超小型電子素子と、

前記第 1 の超小型電子素子の背面に面し、前記第 1 の超小型電子素子の縁部を越えて突出した前面と、該前面にあり、前記第 1 の開口部及び前記第 2 の開口部の他方と位置合わせされたボンドパッドとを有する第 2 の超小型電子素子と、

前記第 2 の面において露出し、前記第 1 の超小型電子素子及び前記第 2 の超小型電子素子のボンドパッドと電氣的に接続され、超小型電子アセンブリを該アセンブリの外部にある少なくとも 1 つの要素に接続させる複数の端子と

を備えた超小型電子アセンブリ。

【請求項 27】

前記第 2 の開口部は、前記第 1 の方向に沿った長手の第 1 の寸法と、該第 1 の寸法よりも小さな、前記第 2 の方向に沿った第 2 の寸法とを有する、請求項 26 に記載の超小型電子アセンブリ。

【請求項 28】

前記第 2 の開口部は、前記第 2 の方向に沿った長手の第 1 の寸法と、該第 1 の寸法よりも小さな、前記第 1 の方向に沿った第 2 の寸法とを有する、請求項 26 に記載の超小型電子アセンブリ。

【請求項 29】

前記基板は、前記第 1 の誘電性要素及び第 2 の誘電性要素の、隣接し向かい合っている縁部間において広がりをも有する誘電性領域を更に有し、前記基板の第 1 の面は該誘電性領域の上面を含み、前記第 2 の面は該誘電性領域の底面を含むものである、請求項 26 に記載の超小型電子アセンブリ。

【請求項 30】

前記誘電性領域は、前記基板の平面において前記誘電性要素よりも大きなヤング率を有するものである、請求項 26 に記載の超小型電子アセンブリ。

【請求項 31】

前記第 1 の超小型電子素子の前面にあるボンドパッドは、前記第 1 の開口部と位置合わせされており、

前記第 2 の超小型電子素子の前面にあるボンドパッドは、前記第 2 の開口部と位置合わせされている、請求項 26 に記載の超小型電子アセンブリ。

【請求項 32】

前記端子は、前記第 1 の誘電性要素及び前記第 2 の誘電性要素の各々の底面において露出した第 1 の端子及び第 2 の端子を含み、前記第 1 の超小型電子素子の少なくとも幾つかのボンドパッドは、前記第 1 の端子及び前記第 2 の端子に電氣的に接続されている、請求項 31 に記載の超小型電子アセンブリ。

【請求項 33】

前記第 1 の超小型電子素子の前面にあるボンドパッドは、前記第 2 の開口部と位置合わせされており、

前記第 2 の超小型電子素子の前面にあるボンドパッドは、前記第 1 の開口部と位置合わせされている、請求項 26 に記載の超小型電子アセンブリ。

【請求項 34】

第 1 の横方向及び第 2 の横方向にそれぞれ広がりをも有する、向かい合った第 1 の面及び第 2 の面と、前記第 1 の横方向及び前記第 2 の横方向の少なくとも一方において互いに間隔を置いて配置された第 1 の誘電性要素及び第 2 の誘電性要素とを有する基板と、

10

20

30

40

50

前記第 1 の面に面する前面と、該前面にあるボンドパッドと、前記前面の反対側にある背面と、前記前面と前記背面との間に広がりをも有する縁部とを有する第 1 の超小型電子素子と、

前記第 1 の超小型電子素子の背面を向き、該第 1 の超小型電子素子の縁部を越えて突出した前面と、該前面にあるボンドパッドとを有する第 2 の超小型電子素子と、

前記第 2 の面において露出し、前記第 1 の超小型電子素子及び前記第 2 の超小型電子素子のボンドパッドと電氣的に接続され、超小型電子アセンブリを該アセンブリの外部にある少なくとも 1 つの要素に接続させる複数の端子と

を備えた超小型電子アセンブリ。

【請求項 3 5】

前記超小型電子素子のうちの少なくとも 1 つは、前記第 1 の誘電性要素及び前記第 2 の誘電性要素の各々の上面に少なくとも部分的に重なって位置している、請求項 3 4 に記載の超小型電子アセンブリ。

【請求項 3 6】

前記第 1 の超小型電子素子の縁部が第 1 の縁部であり、該第 1 の超小型電子素子は、前記第 1 の縁部の反対側にある第 2 の縁部を有し、

前記第 2 の超小型電子素子は、向かい合っている第 1 の縁部及び第 2 の縁部を有し、

各超小型電子素子は、当該超小型電子素子の前面の中央領域において前記第 1 の方向に広がりをも有する 5 以上のボンドパッドの少なくとも 1 つの列を有し、各中央領域は、各々の第 1 の縁部と第 2 の縁部との間の距離の中央 3 分の 1 に広がりをも有するものである、請求項 3 4 に記載の超小型電子アセンブリ。

【請求項 3 7】

向かい合った上面及び底面を有する第 1 の誘電性要素、第 2 の誘電性要素及び第 3 の誘電性要素であって、各面は第 1 の横方向及び第 2 の横方向に延びており、両誘電性要素は、前記第 1 の横方向及び前記第 2 の横方向の少なくとも一方において互いに間隔を置いて配置され、基板の第 1 の面は、前記第 1 の誘電性要素、前記第 2 の誘電性要素及び前記第 3 の誘電性要素の上面を含み、前記基板の第 2 の面は、前記第 1 の誘電性要素、前記第 2 の誘電性要素及び前記第 3 の誘電性要素の底面を含む、第 1 の誘電性要素及び第 2 の誘電性要素と、

前記第 1 の誘電性要素及び前記第 2 の誘電性要素の、隣接し向かい合っている縁部間の空間により形成された第 1 の開口部であって、前記隣接し向かい合っている縁部の各々が前記第 1 の方向に沿った第 1 の寸法を有し、該第 1 の寸法よりも小さな前記第 2 の方向に沿った第 2 の寸法を有する第 1 の開口部と、

前記第 2 の誘電性要素及び前記第 3 の誘電性要素の、隣接し向かい合っている縁部間の空間により形成された第 2 の開口部であって、前記隣接し向かい合っている縁部の各々が前記第 1 の方向に沿った第 1 の寸法を有し、該第 1 の寸法よりも小さな前記第 2 の方向に沿った第 2 の寸法を有する第 1 の開口部と

を有する基板と、

前記第 1 の面に面する前面と、該前面にあり、前記第 1 の開口部及び前記第 2 の開口部の一方と位置合わせされたボンドパッドと、前記前面の反対側に位置する背面と、前記前面と前記背面との間に広がりをも有する縁部とを有する第 1 の超小型電子素子と、

前記第 1 の超小型電子素子の背面に面し、前記第 1 の超小型電子素子の縁部を越えて突出した前面と、該前面にあり、前記第 1 の開口部及び前記第 2 の開口部の他方と位置合わせされたボンドパッドとを有する第 2 の超小型電子素子と、

前記第 2 の面において露出し、前記第 1 の超小型電子素子及び前記第 2 の超小型電子素子のボンドパッドと電氣的に接続され、超小型電子アセンブリを該アセンブリの外部にある少なくとも 1 つの要素に接続させる複数の端子と

を備えた超小型電子アセンブリ。

【請求項 3 8】

前記第 1 の超小型電子素子の前面にあるボンドパッドは、前記第 1 の開口部と位置合わ

10

20

30

40

50

せされており、

前記第 2 の超小型電子素子の前面にあるボンダッドは、前記第 2 の開口部と位置合わせされている、請求項 37 に記載の超小型電子アセンブリ。

【請求項 39】

前記第 1 の超小型電子素子は、前記第 1 の誘電性要素及び前記第 2 の誘電性要素の各々の上面に少なくとも部分的に重なって位置しており、

前記第 2 の超小型電子素子は、前記第 2 の誘電性要素及び前記第 3 の誘電性要素の各々の上面に少なくとも部分的に重なって位置している、請求項 38 に記載の超小型電子アセンブリ。

【請求項 40】

前記第 1 の超小型電子素子の前面にあるボンダッドは、前記第 2 の開口部と位置合わせされており、

前記第 2 の超小型電子素子の前面にあるボンダッドは、前記第 1 の開口部と位置合わせされている、請求項 37 に記載の超小型電子アセンブリ。

【請求項 41】

前記端子は、前記第 1 の誘電性要素、前記第 2 の誘電性要素及び前記第 3 の誘電性要素の各々の底面において露出した第 1 の端子、第 2 の端子及び第 3 の端子を含み、

前記超小型電子素子のうちの少なくとも 1 つの超小型電子素子のボンダッドの少なくとも幾つかは、前記第 1 の端子、前記第 2 の端子及び第 3 の端子のうちの 2 以上と電氣的に接続されている、請求項 37 に記載の超小型電子アセンブリ。

【請求項 42】

前記第 1 の超小型電子素子のボンダッドのうちの少なくとも幾つかは、前記第 1 の端子及び前記第 2 の端子と電氣的に接続されている、請求項 41 に記載の超小型電子アセンブリ。

【請求項 43】

前記第 2 の超小型電子素子のボンダッドのうちの少なくとも幾つかは、前記第 2 の端子及び前記第 3 の端子と電氣的に接続されている、請求項 42 に記載の超小型電子アセンブリ。

【請求項 44】

前記基板は、前記第 1 の面と前記第 2 の面との間において前記第 2 の方向に広がりを持つ周縁部と、該周縁部と前記開口部のうちの 1 つとの間に広がりを持つ、前記第 2 の面における周辺領域とを有し、

前記端子のうちの少なくとも 1 つの端子は、前記第 1 の方向に沿って当該少なくとも 1 つの端子を通る直線が前記開口部のうちの少なくとも 1 つを通るか又はその上方を通るものとなるように、前記周辺領域内に少なくとも部分的に配置されている、請求項 37 に記載の超小型電子アセンブリ。

【請求項 45】

前記周辺領域が第 1 の周辺領域であり、前記開口部のうちの 1 つが前記第 1 の開口部であり、前記少なくとも 1 つの端子が第 1 の端子であり、

前記基板は、前記周縁部と前記第 2 の開口部との間に広がりを持つ、前記第 2 の面における第 2 の周辺領域を有し、

前記端子のうちの少なくとも 1 つが第 2 の端子であり、該第 2 の端子は、前記第 1 の方向に沿って当該第 2 の端子を通る直線が前記第 2 の開口部を通るか又はその上方を通るものとなるように、前記第 2 の周辺領域内に少なくとも部分的に配置されている、請求項 44 に記載の超小型電子アセンブリ。

【請求項 46】

前記第 2 の誘電性要素は、前記第 1 の周辺領域及び前記第 2 の周辺領域の両方の一部を含むものである、請求項 45 に記載の超小型電子アセンブリ。

【請求項 47】

前記第 1 の誘電性要素は前記第 1 の周辺領域の一部を含み、

10

20

30

40

50

前記第3の誘電性要素は前記第2の周辺領域の一部を含むものである、請求項45に記載の超小型電子アセンブリ。

【請求項48】

請求項1、16、19、22、26及び37のいずれか一項に記載の超小型電子アセンブリと、

該超小型電子アセンブリに電氣的に接続された1以上の別の電子的要素とを備えたシステム。

【請求項49】

ハウジングを更に備え、該ハウジングに前記超小型電子アセンブリと前記別の電子的要素とが取り付けられている、請求項48に記載のシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、下向きに積み重ねられた半導体チップを有する超小型電子アセンブリと、その製造方法とに関する。

【0002】

[関連出願の相互参照]

本願は2013年1月15日出願の米国特許出願第13/741,890号の継続出願であり、その米国特許出願は2012年8月2日出願の米国特許出願第13/565,613号の継続出願であり、その米国特許出願は、2011年4月21日出願の米国仮特許出願第61/477,877号の出願日の利益を主張する、2011年11月29日出願の米国特許出願第13/306,300号の一部継続出願であり、これらの開示内容は引用することにより本明細書の一部をなすものとする。全て2011年4月21日出願であり、同一人が所有する米国仮特許出願第61/477,820号と同第61/477,883号と同第61/477,967号とは、引用することにより本明細書の一部をなすものとする。

【0003】

半導体チップは一般に、製造の際及び回路基板又は他の回路パネル等の外部基板に取り付ける際に該チップの取扱いを容易なものとするパッケージとして提供される。例えば、多くの半導体チップは、表面実装に適したパッケージとして提供される。この一般的なタイプの多くのパッケージが種々の用途に対して提案されている。最も一般的には、このようなパッケージは、誘電体上の、めっき又はエッチングされた金属構造体として形成された端子を有する、一般に「チップキャリア」と呼ばれる基板を有している。これらの端子は通常、チップキャリア自体に沿って広がりをも有する薄いトレース等の機構と、チップのコンタクトと端子又はトレースとの間に広がりをも有する微細なリード部又は配線とによって、チップ自体のコンタクトに接続される。表面実装処理においては、このパッケージは、パッケージ上の各端子が回路基板上の対応するコンタクトパッドと位置合わせされるように、回路基板上に配置される。端子とコンタクトパッドとの間には、はんだ又は他の結合剤が設けられる。はんだが溶けるか若しくは「リフロー」するように、あるいは結合剤が活性化するようにアセンブリを加熱することにより、パッケージを定位置に恒久的に結合することができる。

【0004】

多くのパッケージは、パッケージの端子に取り付けられた、直径が約0.1mm及び約0.8mm(5ミル及び30ミル)のはんだボール形態のはんだの塊を有している。底面から突出したはんだボールのアレイを有するパッケージは一般に、ボールグリッドアレイすなわち「BGA」パッケージと呼ばれる。ランドグリッドアレイすなわち「LGA」パッケージと呼ばれる別のパッケージは、はんだから形成された薄い層すなわちランドによって基板に固定される。このタイプのパッケージは非常に小型にすることができる。一般に、「チップスケールパッケージ」と呼ばれるパッケージは、該パッケージに組み込まれたデバイスの面積と等しいか又はそれよりも僅かにしか大きくない回路基板の面積を占め

10

20

30

40

50

る。これにより、アセンブリ全体のサイズが低減し、基板上の様々なデバイス間で短い相互接続を用いることが可能となり、ひいてはデバイス間の信号伝搬時間が限られたものとなり、そのためアセンブリの高速動作が容易になるという点でこれは有利である。

【 0 0 0 5 】

回路パネルの平面に垂直な方向の全体的な高さすなわち寸法が小さいチップパッケージを作ることにも望ましい。このような薄い超小型電子パッケージによれば、パッケージが取り付けられた回路パネルを、隣接する構造体のすぐ近くに配置できるようになり、そして、該回路パネルを組み込んだ製品の全体的なサイズを図ることができる。単一のパッケージ内又はモジュール内に複数のチップを設けるために種々の手法が提案されている。従来の「マルチチップモジュール」では、複数のチップが単一のパッケージ基板に並べて取り付けられ、更に、そのパッケージ基板を回路パネルに取り付けることができる。この手法では、回路パネルにおいてチップが占める総面積の削減は限られている。総面積は、モジュール内の個々のチップの全表面積よりも依然として大きい。

【 0 0 0 6 】

複数のチップを「スタック」構成、すなわち、複数のチップを積み重ねて配置する構成においてパッケージ化することも提案されている。スタック構成によれば、複数のチップを、チップの全面積よりも小さな面積の回路パネルのある領域に取り付けることができる。チップのスタック配置の例が、上記の米国特許第 5 , 6 7 9 , 9 7 7 号、米国特許第 5 , 1 4 8 , 2 6 5 号及び米国特許第 5 , 3 4 7 , 1 5 9 号のある実施形態において開示されており、これらの開示内容は、引用することにより本明細書の一部をなすものとする。また、複数チップが積み重ねられ、それらチップに関連する、いわゆる「配線フィルム」上の導体により相互に接続される構成が米国特許第 4 , 9 4 1 , 0 3 3 号に開示されており、その開示内容も引用することにより本明細書の一部をなすものとする。

【 0 0 0 7 】

本技術分野におけるこのような試みの一方で、チップの中央領域に実質的に位置するコンタクトを有するチップについてのマルチチップパッケージにおける更なる改善が求められている。複数のメモリチップといった複数の半導体チップは一般的に、1 列又は 2 列の複数コンタクトが実質的にチップの中心軸に沿って位置するものとなるように構成される。

【 発 明 の 概 要 】

【 0 0 0 8 】

本発明の一態様によれば、超小型電子アセンブリは、第 1 の横方向及び第 2 の横方向にそれぞれ広がりを持つ、向かい合った第 1 の面及び第 2 の面と、第 1 の面と第 2 の面との間において第 2 の方向に延びている周縁部と、第 1 の面と第 2 の面との間に広がりを持つ第 1 の開口部及び第 2 の開口部と、周縁部と開口部のうちの 1 つとの間に広がりを持つ第 2 の面における周辺領域とを有する基板を備えたものとする。各開口部は、第 1 の方向に沿った長手の第 1 の寸法と、第 2 の方向に沿った、前記第 1 の寸法よりも小さな第 2 の寸法とを有するものとする。ことができる。

【 0 0 0 9 】

超小型電子アセンブリは、第 1 の面に面する前面と、該前面にあり、第 1 の開口部と位置合わせされたボンドパッドと、前面の反対側に位置する背面と、前面と背面との間に延びている縁部とを有する第 1 の超小型電子素子をも備えることができる。また、超小型電子アセンブリは第 2 の超小型電子素子も備えることができる。第 2 の超小型電子素子は、第 1 の超小型電子素子の背面に面し、第 1 の超小型電子素子の縁部を越えて突出した前面と、第 2 の超小型電子素子の前面にあり、第 2 の開口部と位置合わせされたボンドパッドとを有する。

【 0 0 1 0 】

また、超小型電子アセンブリは、第 2 の面において露出し、第 1 の超小型電子素子及び第 2 の超小型電子素子のボンドパッドと電気的に接続される複数の端子も備えることができる。これらの端子は、超小型電子アセンブリをそのアセンブリの外部にある少なくとも

1つの構成要素に接続するように構成することができる。端子のうちの少なくとも1つは、第1の方向に沿って当該少なくとも1つの端子を通る直線が開口部のうちの少なくとも1つを通るか又はその上方を通るものとなるように、周辺領域内に少なくとも部分的に配置することができる。

【0011】

一例では、周縁部は第1の周縁部とすることができ、周辺領域は第1の周辺領域とすることができ、端子のうちの少なくとも1つは第1の端子とすることができ、基板は、第1の周縁部の反対側に位置し、第1の面と第2の面との間において第2の方向に延びている第2の周縁部を有することができる。基板は、第2の周縁部と開口部のうちの1つとの間に広がりをもつ第2の面における第2の周辺領域を有することができる。端子のうちの少なくとも1つは第2の端子とすることができ、第2の端子は、第1の方向に沿って当該第2の端子を通る直線が開口部のうちの少なくとも1つを通るか又はその上方を通るものとなるように、第2の周辺領域内に少なくとも部分的に配置される。

10

【0012】

特定の実施形態では、周辺領域は第1の周辺領域とすることができ、開口部のうちの少なくとも1つは第1の開口部とすることができ、端子のうちの少なくとも1つは第1の端子とすることができ、基板は、周縁部と第2の開口部のうちの1つとの間に広がりをもつ第2の面における第2の周辺領域を有することができる。端子のうちの少なくとも1つは第2の端子とすることができ、第2の端子は、第1の方向に沿って第2の端子を通る直線が第2の開口部を通るか又はその上方を通るものとなるように、第2の周辺領域内に少なくとも部分的に配置される。

20

【0013】

例示的な実施形態では、周縁部は第1の周縁部とすることができ、基板は、第1の周縁部の反対側に位置し、第1の面と第2の面との間において第2の方向に延びている第2の周縁部を有することができる。基板は、第2の周縁部と、第1の開口部及び第2の開口部の各々との間に広がりをもつ第2の面における第3の周辺領域及び第4の周辺領域を有することができる。端子のうちの少なくとも1つは第3の端子とすることができ、第3の端子は、第1の方向に沿って当該第3の端子を通る直線が第1の開口部を通るか又はその上方を通るものとなるように、第3の周辺領域内に少なくとも部分的に配置される。端子のうちの少なくとも1つは第4の端子とすることができ、第4の端子は、第1の方向に沿って当該第4の端子を通る直線が第2の開口部を通るか又はその上方を通るものとなるように、第4の周辺領域内に少なくとも部分的に配置される。

30

【0014】

1つの実施形態では、第1の超小型電子素子及び第2の超小型電子素子のボンドパッドは基板の導電性要素に電気的に接続することができる。特定の例では、第1の超小型電子素子のボンドパッドは、第1の開口部と位置合わせされた部分を有する第1のリード部によって導電性要素に電気的に接続することができる。第2の超小型電子素子のボンドパッドは、第2の開口部と位置合わせされる部分を有する第2のリード部によって導電性要素に電気的に接続することができる。一例では、第1のリード部が第1の開口部を延在しない場合があるか、又は第2のリード部が第2の開口部を延在しない場合があるかの少なくとも一方である。特定の実施形態では、第1の超小型電子素子のボンドパッドは、第1の開口部を延在している第1のワイヤボンド部によって導電性要素に電気的に接続することができる。第2の超小型電子素子のボンドパッドは、第2の開口部を延在している第2のワイヤボンド部によって導電性要素に電気的に接続することができる。1つの実施形態では、第1のワイヤボンド部は第1の開口部のみを延在している場合があり、第2のワイヤボンド部は第2の開口部のみを延在している場合がある。

40

【0015】

特定の例では、第1の超小型電子素子の縁部は第1の縁部とすることができ、第1の超小型電子素子は第1の縁部の反対側に位置する第2の縁部を有することができる。第2の超小型電子素子は、向かい合った第1の縁部及び第2の縁部を有することができる。各超

50

小型電子素子は、その超小型電子素子の前面の中央領域において第1の方向に広がりを持つ5つ以上のボンドパッドの少なくとも1つの列を有することができる。各中央領域は、各々の第1の縁部と第2の縁部との間の距離の中央3分の1に延びたものとすることができる。1つの実施形態では、各超小型電子素子は、メモリ記憶アレイ機能を提供する能動デバイスの数を、他の任意の機能よりも多く有することができる。例示的な一実施形態では、第1の超小型電子素子は、該第1の超小型電子素子の前面と背面との間に延びている、縁部とその反対側に位置する縁部との間の幅を有することができる。第2の超小型電子素子は、該第2の超小型電子素子の前面と背面との間にそれぞれ広がりを持つ、向かい合った縁部間に幅を有することができる。第1の超小型電子素子の幅は、第1の開口部の第2の寸法よりも大きくすることができ、第2の超小型電子素子の幅は、第2の開口部の第2の寸法よりも大きくすることができる。

10

【0016】

1つの実施形態では、第1の開口部及び第2の開口部のうちの一方は、第1の開口部及び第2の開口部の他方よりも、周縁部に近い位置にまで延びたものとすることができる。特定の例では、基板は、第1の面と第2の面との間に広がりを持つ第3の開口部及び第4の開口部を有することができる。第3の開口部及び第4の開口部はそれぞれ、第2の方向に沿った長手の第1の寸法と、該第1の寸法よりも小さな第1の方向に沿った第2の寸法とを有する。また、超小型電子アセンブリは、基板の第1の面に面する前面を各々が有する第3の超小型電子素子及び第4の超小型電子素子も含むことができる。第3の超小型電子素子及び第4の超小型電子素子はそれぞれ、当該超小型電子素子の前面にあり、第3の開口部及び第4の開口部の各々と位置合わせされたボンドパッドを有する。第3の超小型電子素子及び第4の超小型電子素子のボンドパッドは、基板の導電性要素に電気的に接続することができる。一例では、基板は周辺領域において第1の面と第2の面との間に広がりを持つアパーチャを含むことができる。アパーチャは、該アパーチャを通る封止材又はアンダーフィル材料を受け入れるように構成することができる。

20

【0017】

本発明の別の態様によれば、超小型電子アセンブリが、それぞれ第1の横方向及び第2の横方向にそれぞれ延在する、対向する第1の面及び第2の面と、第1の面と第2の面との間に第2の方向に延在する周縁部と、第1の面と第2の面との間に延在する第1の開口部及び第2の開口部であって、第1の開口部は第2の開口部と周縁部との間に位置する、第1の開口部及び第2の開口部と、周縁部と第1の開口部との間に延在する第2の面の周辺領域とを有する基板を備えることができる。第1の開口部は、第1の方向に延在する長手の第1の寸法と、第1の寸法よりも小さな第2の方向の第2の寸法とを有することができる。第2の開口部は、第2の方向に延在する長手の第1の寸法と、第1の寸法よりも小さな第1の方向の第2の寸法とを有することができる。

30

【0018】

超小型電子アセンブリは、第1の面に面する前面と、前面にあり、第1の開口部と位置合わせされるボンドパッドと、前面の反対に位置する背面と、前面と背面との間に延在する縁部とを有する第1の超小型電子素子も備えることができる。また、超小型電子アセンブリは第2の超小型電子素子も備えることができ、第2の超小型電子素子は、第1の超小型電子素子の背面に面し、第1の超小型電子素子の縁部を越えて突出する前面と、第2の超小型電子素子の前面にあり、第2の開口部と位置合わせされるボンドパッドとを有する。

40

【0019】

また、超小型電子アセンブリは、第2の面において露出し、第1の超小型電子素子及び第2の超小型電子素子のボンドパッドと電気的に接続される複数の端子も備えることができる。これらの端子は、超小型電子アセンブリをこのアセンブリの外部にある少なくとも1つの構成要素に接続するように構成することができる。端子のうちの少なくとも1つは、第1の方向に延在し、少なくとも1つの端子を通り抜ける直線が、第1の開口部を通るか又はその上方を通るものとなるように、周辺領域内に少なくとも部分的に配置すること

50

ができる。

【0020】

一例では、周縁部は第1の周縁部とすることができ、周辺領域は第1の周辺領域とすることができ、端子のうちの少なくとも1つは第1の端子とすることができ、基板は、第1の面と第2の面との間に第1の方向に延在する第2の周縁部を有することができ、基板は、第2の周縁部と第2の開口部との間に延在する第2の面の第2の周辺領域を有することができ、端子のうちの少なくとも1つは第2の端子とすることができ、第2の端子は、第2の方向に延在し、第2の端子を通る直線が第2の開口部を通るか又はその上方を通るものとなるように、第2の周辺領域内に少なくとも部分的に配置される。

【0021】

特定の実施形態では、基板は、第2の周縁部の反対に位置し、第1の面と第2の面との間に第1の方向に延在する第3の周縁部を有することができ、基板は第3の周縁部と第2の開口部との間に延在する第2の面の第3の周辺領域を有することができ、端子のうちの少なくとも1つは第3の端子であり、第3の端子は、第2の方向に延在し、第3の端子を通り抜ける直線が、第2の開口部を通り抜けるか又はその上方を通過するように、第3の周辺領域内に少なくとも部分的に配置される。

【0022】

本発明のまた別の態様によれば、超小型電子アセンブリが、第1の横方向及び第2の横方向にそれぞれ延在する、対向する第1の面及び第2の面と、第1の面と第2の面との間に第1の方向に延在する周縁部と、第1の面と第2の面との間に延在し、第1の方向に延在する長手の第1の寸法と第1の寸法より小さな第2の方向の第2の寸法とを有する第1の開口部と、第1の面と第2の面との間に延在し、第2の方向に延在する長手の第1の寸法と第1の寸法より小さな第1の方向の第2の寸法とを有する第2の開口部と、周縁部と第2の開口部との間に延在する第2の面の周辺領域とを有する基板を備えることができる。

【0023】

超小型電子アセンブリは、第1の面に面する前面と、前面にあり、第1の開口部と位置合わせされるボンドパッドと、前面の反対に位置する背面と、前面と背面との間に延在する縁部とを有する第1の超小型電子素子も備えることができる。また、超小型電子アセンブリは第2の超小型電子素子も備えることができ、第2の超小型電子素子は、第1の超小型電子素子の背面に面し、第1の超小型電子素子の縁部を越えて突出する前面と、第2の超小型電子素子の前面にあり、第2の開口部と位置合わせされるボンドパッドとを有する。

【0024】

また、超小型電子アセンブリは、第2の面において露出し、第1の超小型電子素子及び第2の超小型電子素子のボンドパッドと電氣的に接続される複数の端子も備えることができる。これらの端子は、超小型電子アセンブリをこのアセンブリの外部にある少なくとも1つの構成要素に接続するように構成することができ、端子のうちの少なくとも1つは、第1の方向に延在し、少なくとも1つの端子を通り抜ける直線が、第2の開口部を通り抜けるか又はその上方を通過するように、周辺領域内に少なくとも部分的に配置することができる。

【0025】

一例では、周縁部は第1の周縁部とすることができ、周辺領域は第1の周辺領域とすることができ、端子のうちの少なくとも1つは第1の端子とすることができ、基板は、第1の周縁部の反対に位置し、第1の面と第2の面との間に第1の方向に延在する第2の周縁部を有することができ、基板は、第2の周縁部と第2の開口部との間に延在する第2の面の第2の周辺領域を有することができ、端子のうちの少なくとも1つは第2の端子とすることができ、第2の端子は、第2の方向に延在し、第2の端子を通り抜ける直線が、第2の開口部を通り抜けるか又はその上方を通過するように、第2の周辺領域内に少なくとも部分的に配置される。

10

20

30

40

50

【0026】

特定の実施形態では、周辺領域は第1の周辺領域とすることができ、端子のうちの少なくとも1つは第1の端子とすることができ、第1の超小型電子素子の縁部は第1の縁部とすることができ、基板は、第1の面と第2の面との間に延在し、第2の方向に延在する長手の第1の寸法と、第1の寸法より小さな第1の方向の第2の寸法とを有する第3の開口部を有することができる。基板は、周縁部と第3の開口部との間に延在する第2の面の第2の周辺領域を有することができる。端子のうちの少なくとも1つは第2の端子とすることができ、第2の端子は、第2の方向に延在し、第2の端子を通り抜ける直線が、第3の開口部を通り抜けるか又はその上方を通過するように、第2の周辺領域内に少なくとも部分的に配置される。また、超小型電子アセンブリは第3の超小型電子素子も備えることができ、第3の超小型電子素子は、第1の超小型電子素子の背面に面し、第1の超小型電子素子の第1の縁部の反対に位置する第1の超小型電子素子の第2の縁部を越えて突出する前面と、第3の超小型電子素子の前面にあり、第3の開口部と位置合わせされるボンドパッドとを有する。

10

【0027】

例示的な実施形態では、第2の超小型電子素子及び第3の超小型電子素子の前面は単一の平面内に位置決めすることができる。1つの実施形態では、周縁部は第1の周縁部とすることができ、基板は、第1の周縁部の反対に位置し、第1の面と第2の面との間に第1の方向に延在する第2の周縁部を有することができ、基板は、第2の周縁部と第2の開口部及び第3の開口部それぞれとの間に延在する第2の面の第3の周辺領域及び第4の周辺領域を有することができる。端子のうちの少なくとも1つは第3の端子とすることができ、第3の端子は、第2の方向に延在し、第3の端子を通り抜ける直線が、第1の開口部を通り抜けるか又はその上方を通過するように、第3の周辺領域内に少なくとも部分的に配置される。端子のうちの少なくとも1つは第4の端子とすることができ、第4の端子は、第2の方向に延在し、第4の端子を通り抜ける直線が、第2の開口部を通り抜けるか又はその上方を通過するように、第4の周辺領域内に少なくとも部分的に配置される。

20

【0028】

特定の例では、基板は、第1の面と第2の面との間に延在し、第1の方向に延在する長手の第1の寸法と、第1の寸法より小さな第2の方向の第2の寸法とを有する第4の開口部を有することができる。超小型電子アセンブリは、第4の超小型電子素子の前面にあり、第4の開口部と位置合わせされるボンドパッドを有する第4の超小型電子素子も備えることができる。一例では、第2の超小型電子素子、第3の超小型電子素子及び第4の超小型電子素子はそれぞれ、対向する第1の縁部及び第2の縁部を有することができる。各超小型電子素子は、その超小型電子素子の前面の中央領域においてその超小型電子素子の第1の縁部及び第2の縁部に対して平行な方向に延在する5つ以上のボンドパッドの少なくとも1つの列を有することができる。各中央領域は、それぞれの第1の縁部と第2の縁部との間の距離の中央3分の1に延在することができる。

30

【0029】

本発明の更に別の態様によれば、超小型電子アセンブリが、対向する上面及び底面をそれぞれ有する第1の誘電性要素及び第2の誘電性要素を有する基板を備えることができる。各面は第1の横方向及び第2の横方向に延在することができる。誘電性要素は、第1の横方向又は第2の横方向のうちの少なくとも一方において互いに離間して配置することができる。基板の第1の面が、両方の誘電性要素の上面を含むことができる。基板の第2の面が両方の誘電性要素の底面を含むことができる。また、基板は、第1の誘電性要素及び第2の誘電性要素の隣接し対向する縁部間の空所によって画定される第1の開口部であって、隣接し対向する縁部はそれぞれ第1の方向に延在する第1の寸法を有し、第1の開口部は第1の寸法より小さな第2の方向の第2の寸法を有する、第1の開口部と、第2の誘電性要素によって包囲される第2の開口部とを有することができる。

40

【0030】

超小型電子アセンブリは、第1の面に面する前面と、前面にあり、第1の開口部及び第

50

2の開口部のうちの一方と位置合わせされるボンドパッドと、前面の反対に位置する背面と、前面と背面との間に延在する縁部とを有する第1の超小型電子素子も含むことができる。また、超小型電子アセンブリは第2の超小型電子素子も含むことができ、第2の超小型電子素子は、第1の超小型電子素子の背面に面し、第1の超小型電子素子の縁部から突出する前面と、第2の超小型電子素子の前面にあり、第1の開口部及び第2の開口部のうちの他方と位置合わせされるボンドパッドとを有する。また、超小型電子アセンブリは、第2の面において露出し、第1の超小型電子素子及び第2の超小型電子素子のボンドパッドと電氣的に接続される複数の端子も含むことができる。端子は、超小型電子アセンブリをこのアセンブリの外部にある少なくとも1つの構成要素と接続するように構成することができる。

10

【0031】

特定の実施形態では、第2の開口部は、第1の方向に延在する長手の第1の寸法と、第1の寸法より小さな第2の方向の第2の寸法とを有することができる。一例では、第2の開口部は、第2の方向に延在する長手の第1の寸法と、第1の寸法より小さな第1の方向の第2の寸法とを有することができる。例示的な実施形態では、基板は、第1の誘電性要素及び第2の誘電性要素の隣接し対向する縁部間に延在する誘電性領域も含むことができる。基板の第1の面は誘電性領域の上面を含むことができる。第2の面は誘電性領域の底面を含むことができる。特定の例では、誘電性領域は、基板の平面において、誘電性要素より高いヤング率を有することができる。

【0032】

20

1つの実施形態では、第1の超小型電子素子の前面にあるボンドパッドは、第1の開口部と位置合わせすることができ、第2の超小型電子素子の前面にあるボンドパッドは第2の開口部と位置合わせすることができる。特定の実施形態では、端子は第1の誘電性要素及び第2の誘電性要素それぞれの底面において露出する第1の端子及び第2の端子を含むことができる。第1の超小型電子素子のボンドパッドのうちの少なくとも幾つかは第1の端子及び第2の端子に電氣的に接続することができる。一例では、第1の超小型電子素子の前面にあるボンドパッドは、第2の開口部と位置合わせすることができる。第2の超小型電子素子の前面にあるボンドパッドは第1の開口部と位置合わせすることができる。

【0033】

本発明の別の態様によれば、超小型電子アセンブリが、第1の横方向及び第2の横方向にそれぞれ延在する、対向する第1の面及び第2の面を有する基板を備えることができる。基板は、第1の横方向又は第2の横方向の少なくとも一方において互いに離間して配置される第1の誘電性要素及び第2の誘電性要素を有することができる。また、超小型電子アセンブリは、第1の面に面する前面と、前面にあるボンドパッドと、前面の反対に位置する背面と、前面と背面との間に延在する縁部とを有する第1の超小型電子素子も備えることができる。また、超小型電子アセンブリは第2の超小型電子素子も含むことができ、第2の超小型電子素子は、第1の超小型電子素子の背面に面し、第1の超小型電子素子の縁部から突出する前面と、第2の超小型電子素子の前面にあるボンドパッドとを有する。また、超小型電子アセンブリは、第2の面において露出し、第1の超小型電子素子及び第2の超小型電子素子のボンドパッドと電氣的に接続される複数の端子も含むことができる。端子は、超小型電子アセンブリをアセンブリの外部にある少なくとも1つの構成要素と接続するように構成することができる。

30

40

【0034】

一例では、超小型電子素子のうちの少なくとも1つは、第1の誘電性要素及び第2の誘電性要素のそれぞれの上面の上に少なくとも部分的に重なることができる。例示的な実施形態では、第1の超小型電子素子の縁部は第1の縁部とすることができ、第1の超小型電子素子は、第1の縁部の反対に位置する第2の縁部を有することができる。第2の超小型電子素子是对向する第1の縁部及び第2の縁部を有することができる。各超小型電子素子は、超小型電子素子の前面の中央領域において第1の方向に延在する5つ以上のボンドパッドの少なくとも1つの列を有することができる。各中央領域は、それぞれの第1の縁部

50

と第 2 の縁部との間の距離の中央 3 分の 1 に延在することができる。

【 0 0 3 5 】

本発明のまた別の態様によれば、超小型電子アセンブリが、反対に位置する上面及び底面をそれぞれ有する第 1 の誘電性要素、第 2 の誘電性要素及び第 3 の誘電性要素を有する基板を備えることができる。各面は第 1 の横方向及び第 2 の横方向に延在することができる。誘電性要素は、第 1 の横方向又は第 2 の横方向の少なくとも一方において互いに離間して配置することができる。基板の第 1 の面は第 1 の誘電性要素、第 2 の誘電性要素及び第 3 の誘電性要素の上面を含むことができる。基板の第 2 の面は、第 1 の誘電性要素、第 2 の誘電性要素及び第 3 の誘電性要素の底面を含むことができる。また、基板は、第 1 の誘電性要素及び第 2 の誘電性要素の隣接し対向する縁部間の空所によって画定される第 1 の開口部も有することができる。隣接し対向する縁部はそれぞれ第 1 の方向に延在する長手の第 1 の寸法を有することができる。第 1 の開口部は、第 1 の寸法より小さな第 2 の方向の第 2 の寸法を有することができる。また、基板は、第 2 の誘電性要素及び第 3 の誘電性要素の隣接し対向する縁部間の空所によって画定される第 2 の開口部も有することができる。隣接し対向する縁部はそれぞれ第 1 の方向に延在する第 1 の寸法を有することができる。第 1 の開口部は、第 1 の寸法より小さな第 2 の方向の第 2 の寸法を有することができる。

10

【 0 0 3 6 】

超小型電子アセンブリは、第 1 の面に面する前面と、前面にあり、第 1 の開口部及び第 2 の開口部のうちの一方と位置合わせされるボンドパッドと、前面の反対に位置する背面と、前面と背面との間に延在する縁部とを有する第 1 の超小型電子素子も備えることができる。また、超小型電子アセンブリは第 2 の超小型電子素子も備えることができ、第 2 の超小型電子素子は、第 1 の超小型電子素子の背面に面し、第 1 の超小型電子素子の縁部を越えて突出する前面と、第 2 の超小型電子素子の前面にあり、第 1 の開口部及び第 2 の開口部のうちの他方と位置合わせされるボンドパッドとを有する。また、超小型電子アセンブリは、第 2 の面において露出し、第 1 の超小型電子素子及び第 2 の超小型電子素子のボンドパッドと電氣的に接続される複数の端子も含むことができる。端子は、超小型電子アセンブリをアセンブリの外部にある少なくとも 1 つの構成要素と接続するように構成することができる。

20

【 0 0 3 7 】

1 つの実施形態では、第 1 の超小型電子素子の前面にあるボンドパッドは第 1 の開口部と位置合わせすることができ、第 2 の超小型電子素子の前面にあるボンドパッドは第 2 の開口部と位置合わせすることができる。特定の例では、第 1 の超小型電子素子は、第 1 の誘電性要素及び第 2 の誘電性要素それぞれの上面の上に少なくとも部分的に重なることができ、第 2 の超小型電子素子は、第 2 の誘電性要素及び第 3 の誘電性要素それぞれの上面の上に少なくとも部分的に重なることができる。例示的な実施形態では、第 1 の超小型電子素子の前面にあるボンドパッドは、第 2 の開口部と位置合わせすることができ、第 2 の超小型電子素子の前面にあるボンドパッドは第 1 の開口部と位置合わせすることができる。

30

【 0 0 3 8 】

特定の実施形態では、端子は第 1 の誘電性要素、第 2 の誘電性要素及び第 3 の誘電性要素それぞれの底面において露出する第 1 の端子、第 2 の端子及び第 3 の端子を含むことができる。超小型電子素子のうちの少なくとも 1 つの超小型電子素子のボンドパッドのうちの少なくとも幾つかは第 1 の端子、第 2 の端子及び第 3 の端子のうちの 2 つ以上に電氣的に接続することができる。一例では、第 1 の超小型電子素子のボンドパッドのうちの少なくとも幾つかは、第 1 の端子及び第 2 の端子に電氣的に接続することができる。特定の例では、第 2 の超小型電子素子のボンドパッドのうちの少なくとも幾つかは、第 2 の端子及び第 3 の端子に電氣的に接続することができる。

40

【 0 0 3 9 】

例示的な実施形態では、基板は、第 1 の面と第 2 の面との間に第 2 の方向に延在する周

50

縁部と、周縁部と開口部のうちの１つとの間に延在する第２の面の周辺領域とを有することができる。端子のうちの少なくとも１つは、第１の方向に延在し、少なくとも１つの端子を通り抜ける直線が、開口部のうちの少なくとも１つを通り抜けるか又はその上方を通過するように、周辺領域内に少なくとも部分的に配置することができる。

【００４０】

一例では、周辺領域は第１の周辺領域とすることができ、開口部のうちの１つは第１の開口部とすることができ、端子のうちの少なくとも１つは、第１の端子とすることができる。基板は、周縁部と第２の開口部との間に延在する第２の面の第２の周辺領域を有することができる。端子のうちの少なくとも１つは第２の端子とすることができ、第２の端子は、第１の方向に延在し、第２の端子を通り抜ける直線が、第２の開口部を通り抜けるか又はその上方を通過するように、第２の周辺領域内に少なくとも部分的に配置される。特定の実施形態では、第２の誘電性要素は第１の周辺領域及び第２の周辺領域の両方の一部を含むことができる。１つの実施形態では、第１の誘電性要素は第１の周辺領域の一部を含むことができ、第３の誘電性要素は第２の周辺領域の一部を含むことができる。

10

【００４１】

特定の例では、システムが、上記で説明した超小型電子アセンブリと、超小型電子アセンブリに電氣的に接続される１つ又は複数の他の電子構成要素とを備えることができる。一例では、システムはハウジングも備えることができ、超小型電子アセンブリ及び他の電子構成要素はこのハウジングに取り付けられる。

【図面の簡単な説明】

20

【００４２】

【図１】本発明の一実施形態の平面図である。

【図１Ａ】図１の実施形態の構成要素の底面図である。

【図１Ｂ、１Ｃ】図１Ｂは、図１の実施形態における一超小型電子素子の底面図である。図１Ｃは、図１の実施形態における別の超小型電子素子の底面図である。

【図２Ａ、２Ｂ】図２Ａは、図１の２Ａ－２Ａ線断面図である。図２Ｂは、図１の２Ｂ－２Ｂ線断面図である。

【図３】図１に示した実施形態の底面図である。

【図３Ａ、３Ｂ、３Ｃ】図３Ａは、本発明の代替的实施形態の断面図である。図３Ｂは、図３Ａの実施形態において可能性のある底面図である。図３Ｃは、２つの誘電性要素を有する、図３Ａの実施形態において可能性のある別の底面図である。

30

【図３Ｄ、３Ｅ、３Ｆ、３Ｇ】図３Ｄは、３つの誘電性要素を有する、図３Ａの実施形態において可能性のあるさらに別の底面図である。図３Ｅ～３Ｇは、図３Ｄの実施形態の変形例を示している。

【図３Ｈ】製造途中のアセンブリを示す説明図である。このアセンブリは、図３Ｄに示した超小型電子アセンブリを複数備えている。

【図３Ｉ、３Ｊ、３Ｋ】図３Ｉは、図３Ａの実施形態の変形例の断面図である。図３Ｊは、図３Ｉの実施形態において可能性のある底面図である。図３Ｋは、複数の誘電性要素を有する、図３Ｉの実施形態において可能性のある別の底面図である。

40

【図４】本発明の代替的实施形態の平面図である。

【図５Ａ、５Ｂ、５Ｃ】図５Ａは、図４の５Ａ－５Ａ線断面図である。図５Ｂは、図４の５Ｂ－５Ｂ線断面図である。図５Ｃは、図４の５Ｃ－５Ｃ線断面図である。

【図６】図４の底面図である。

【図７】本発明の代替的实施形態の平面図である。

【図８Ａ、８Ｂ】図８Ａは、図７の８Ａ－８Ａ線断面図である。図８Ｂは、図７の８Ｂ－８Ｂ線断面図である。

【図８Ｃ、８Ｄ】図８Ｃは、図７の８Ｃ－８Ｃ線断面図である。図８Ｄは、図７の８Ｄ－８Ｄ線断面図である。

【図９】図７の底面図である。

【図９Ａ】本発明の代替的实施形態の平面図である。

50

【図 10】本発明の代替的实施形態の平面図である。

【図 11 A . 11 B】図 11 A は、図 10 の 10 A - 10 A 線断面図である。図 11 B は、図 10 の 11 B - 11 B 線断面図である。

【図 11 C . 11 D】図 11 C は、図 10 の 11 C - 11 C 線断面図である。図 11 D は、図 10 の 11 D - 11 D 線断面図である。

【図 12】図 10 の底面図である。

【図 13】本発明の代替的实施形態の平面図である。

【図 14】本発明の代替的实施形態の平面図である。

【図 15】図 14 の 15 - 15 線断面図である。

【図 16】本発明の代替的实施形態の平面図である。

【図 17 A . 17 B】図 17 A は、図 16 の 17 A - 17 A 線断面図である。図 17 B は、図 16 の 17 B - 17 B 線断面図である。

【図 18】本発明の一実施形態によるシステムの説明図である。

【発明を実施するための形態】

【0043】

図 1 ~ 3 は、本発明の一実施形態による超小型電子パッケージ又は超小型電子アセンブリ 100 のいくつかの図である。図 1 に示しているように、超小型電子アセンブリ 100 は、基板 102 の上にある 2 つの超小型電子素子を有している。これらの超小型電子素子は下向きに積み重ねられており、第 1 の超小型電子素子 136 の背面 138 (図 2 A) に、第 2 の超小型電子素子 153 の少なくとも一部が重なっている。

【0044】

第 1 の超小型電子素子 136 及び第 2 の超小型電子素子 153 を基板 102 上に配置して、第 1 の超小型電子素子 136 の外縁部 (すなわち、第 1 の縁部 144、第 2 の縁部 145、第 3 の縁部 146、第 4 の縁部 147) と第 2 の超小型電子素子 153 の外縁部 (すなわち、第 1 の縁部 161、第 2 の縁部 162、第 3 の縁部 163、第 4 の縁部 164) とが基板 102 の第 1 の面 104 上に位置し、両外縁部が基板 102 の周縁部を越えないようにすることができる。

【0045】

特定の実施形態では、基板は、高分子材料、又はセラミック若しくはガラス等の無機材料等の種々のタイプの構成体からなる誘電性要素とすることができる。基板は、その上に端子及びリード部等の導電性要素、例えば、トレース、基板コンタクト、又は端子と電気的に接続される他の導電性要素を有している。別の例では、基板は、シリコンのような半導体材料から基本的になることができるか、又は代替的に半導体材料層と、1 以上の誘電性層とを含むことができる。更に別の実施形態では、基板はリード部を有するリードフレームとすることができ、端子は、リード部の端部といったリード部の一部とすることができる。

【0046】

図 2 A 及び図 2 B に最もよく示しているように、基板 102 は、第 1 の面 104 と、該第 1 の面とは反対に位置する第 2 の面 106 とを有している。第 1 の面及び第 2 の面はそれぞれ、第 1 の横方向 D1 及び第 2 の横方向 D2 に広がりをもっている。基板 102 の厚みは適用例によって異なるものの、基板 102 の厚さは最も一般的には、約 10 マイクロメートル (ミクロン) ~ 約 100 マイクロメートルである。基板 102 は、その表面に露出した、導電性トレース 108 と、端子コンタクト 110、第 1 の組のコンタクト 109、第 2 の組のコンタクト 111 といった複数のコンタクトとを有するものとすることができる。本明細書において、導電性要素がある構造体の表面「において露出している」という表現は、その表面に垂直な方向に、その構造体の外部からその表面に向かって移動する仮想的な点と接触するために、その導電性要素が利用できることを意味する。したがって、構造体の表面において露出する端子又は他の導電性要素は、そのような表面から突出し

10

20

30

40

50

ている場合もあるし、そのような表面と同一平面をなす場合もあるし、そのような表面よりも奥まって位置し、構造体内の穴又は凹部を通して露出している場合もある。

【 0 0 4 7 】

図 1 A に示しているように、基板 1 0 2 の第 1 の面 1 0 4 は向かい合った一对の縁部に 3 つの部分をもつことができ、これらの部分は基板 1 0 2 の第 1 の縁部 1 0 3 と第 2 の縁部 1 0 5 との間の、基板 1 0 2 の幅を分割している。3 つの部分は、同じ幅又は異なった幅とすることができ、基板 1 0 2 の第 1 の縁部 1 0 3 に隣接する第 1 の外側部分 9 0 0 と、基板 1 0 2 の第 2 の縁部 1 0 5 に隣接する第 2 の外側部分 9 0 2 と、第 1 の外側部分 9 0 0 と第 2 の外側部分 9 0 2 との間のエリアを占める中央部分 9 0 6 とを含むことができる。一実施形態では、基板 1 0 2 の第 2 の面 1 0 6 上のこれらの部分のうちの 1 以上において、導電性トレース 1 0 8 及び複数のコンタクトが露出している。他の実施形態では、導電性トレース 1 0 8 及びコンタクトは、基板 1 0 2 の第 1 の面 1 0 4 及び第 2 の面 1 0 6 の両方の上に、又は基板 1 0 2 の内部に広がりをもっている場合がある。

10

【 0 0 4 8 】

導電性トレース 1 0 8 は任意の導電性材料から形成することができるが、最も一般的には、銅、銅合金、金又はこれらの材料の組み合わせから形成される。トレースの厚みも適用例によって異なるものの、通常は約 5 ミクロン～約 25 ミクロンである。基板 1 0 2 及びトレース 1 0 8 は、同時係属の、同じ譲受人に譲渡された米国特許第 7, 462, 936 号に開示されているようなプロセスによって作製することができ、その開示内容は引用することにより本明細書の一部をなすものとする。

20

【 0 0 4 9 】

図 1、図 1 A、図 2 B 及び図 3 に示しているように、基板 1 0 2 は、基板 1 0 2 の第 1 の面 1 0 4 と第 2 の面 1 0 6 との間に広がりをもつ少なくとも 2 つのアーチャ又は開口部を更に有するものとしてすることができる。第 1 の開口部 1 1 6 は、基板 1 0 2 の中央領域 9 0 6 (図 1 A) に位置決めすることができ、一对の短い縁部 1 1 8 と、短い縁部 1 1 8 の長さより長い長さを有する一对の長い縁部 1 2 0 とをもつものとしてすることができる。第 1 の開口部 1 1 6 は第 1 の方向 D 1 に広がりをもつものとしてすることができる。第 2 の開口部 1 2 6 は、第 1 の方向 D 1 と交差する第 2 の方向 D 2 に広がりをもつものとしてすることができる。この実施形態では、第 2 の開口部 1 2 6 が広がりをもつ第 2 の方向 D 2 は、第 1 の開口部 1 1 6 が広がりをもつ第 1 の方向 D 1 に対して垂直とすることができ、それにより、第 1 の開口部 1 1 6 及び第 2 の開口部 1 2 6 は T 字形を形成することができる。あるいは、第 1 の開口部 1 1 6 及び第 2 の開口部 1 2 6 をともに接合し、1 つの連続した開口部を形成することができることは理解されたい。別の代替的实施形態では、第 1 の開口部 1 1 6 又は第 2 の開口部 1 2 6 はそれぞれ複数の開口部から構成することができ、それにより、第 1 の開口部 1 1 6 は第 1 の方向 D 1 に広がりをもつ複数の開口部を含み、第 2 の開口部 1 2 6 は、第 1 の方向 D 1 と交差する第 2 の方向 D 2 に広がりをもつ複数の開口部を含む。開口部は、任意の代替的な形状又は配置をもつこともできることを更に理解されたい。

30

【 0 0 5 0 】

一例において、第 1 の開口部 1 1 6 は、短い寸法 A 2 より長い、長い寸法 A 1 をもつことができ、長い寸法 A 1 は第 1 の方向 D 1 に広がりをもつし、短い寸法 A 2 は第 2 の方向 D 2 に広がりをもつ。第 2 の開口部 1 2 6 は短い寸法 B 2 より長い、長い寸法 B 1 をもつことができ、長い寸法 B 1 は第 2 の方向 D 2 に広がりをもつし、短い寸法 B 2 は第 1 の方向 D 1 に広がりをもつ。

40

【 0 0 5 1 】

図 2 A 及び図 2 B に示しているように、第 1 の超小型電子素子 1 3 6 は前面 1 4 0 をもっている。この前面は、基板 1 0 2 の第 1 の面 1 0 4 に面し、接着剤 1 0 1 等の既知の結合材料又は手法を用いて基板 1 0 2 の第 1 の面 1 0 4 に取り付けることができる。第 1 の超小型電子素子 1 3 6 は、前面 1 4 0 の反対側に位置する背面 1 3 8 を更に含む。この実施形態では、前面 1 4 0 は、その上にボンドパッド 1 4 2 をもつ、超小型電子素子 1 3

50

6の第1の面であり、背面138は超小型電子素子136の背面である。この実施形態では、第1の超小型電子素子136の対向する第1の縁部144及び第2の縁部145と、対向する第3の縁部146及び第4の縁部147とは、基板102の第1の面104と第2の面106との間に広がっている。第1の超小型電子素子136の縁部は、同じ長さ又は異なった長さからなることができる。

【0052】

図1Bに示しているように、第1の超小型電子素子136は任意のタイプの半導体チップとすることができる。本実施形態では、第1の超小型電子素子136は、その上に導電性要素を有するDRAM（ダイナミックランダムアクセスメモリ）チップとすることができる。図示しているように、第1の超小型電子素子136の前面140の表面積は、第1の超小型電子素子の第1の縁部と第2の縁部との間の方向に沿って幅が実質的に等しい3つの領域、すなわち、第1の外側領域920と、第2の外側領域922と、第1の外側領域920と第2の外側領域922との間に位置する中央領域924とに分けることができる。例えば、長縁部間の長さが6ミクロンである場合は、第1の外側領域と第2の外側領域と中央領域との各々の長さは2ミクロンとすることができる。それにより、中央領域924は、第1の縁部144から2ミクロンをおいて、そして第2の縁部145から2ミクロンをおいて位置することになる。つまり、中央領域は、第1の超小型電子素子136の中央3分の1に位置したものとすることができる。本明細書における超小型電子素子のいずれか又は全てがそれぞれ、メモリ記憶アレイ機能を提供する能動デバイスを他の任意の機能よりも数多く有することができる。

【0053】

DRAMチップに関して一般的であるように、導電性要素には、第1の超小型電子素子136の前面140の中央領域924に沿って広がりをもつ複数の第1のボンドパッド142が含まれる。導電性要素は、第1の超小型電子素子136と、基板102の第2の面106上に位置する第1の組のコンタクト109との間の電気的接続を提供するものである。接着剤101を用いて、第1の超小型電子素子136を基板102に取り付けることができる。

【0054】

図2A及び図2Bに示しているように、第1の超小型電子素子136のボンドパッド142は、基板102の第1の開口部117の真上に位置決めすることができる。これにより、ボンドパッド142は、第1の開口部117を通じて露出させることができるようになる。ボンドパッド142は、電気的接続を確立する任意の既知の方法を用いて、基板102の第2の面106上にある第1の組のコンタクト109に電気的に接続することができる。一実施形態では、ボンドワイヤ148が、第1の超小型電子素子136上のボンドパッド142から、第1の開口部116を通して、基板102の第2の面106上にある第1の組のコンタクト109まで延びたものとすることができる。トレース108（図3）を用いて、第1の組のコンタクト109を端子コンタクト110に接続することができる。

【0055】

第2の超小型電子素子153は、第1の超小型電子素子136と同様のものとすることができる。ボンドパッドをその上に有する第2の超小型電子素子の前面157は、第1の超小型電子素子136に面することで、第2の超小型電子素子153は第1の超小型電子素子136の背面138の上に重なっている。図1Cに示しているように、本実施形態における第2の超小型電子素子153は、向かい合った第1の縁部161及び第2の縁部162と、第2の超小型電子素子153の背面155と前面157との間に広がりをもつとともに第1の縁部161及び第2の縁部162に隣接する、向かい合った第3の縁部163及び第4の縁部164とを有している。ボンドパッド159等の導電性要素が、第2の超小型電子素子153の前面157に沿って広がりをもっている。本実施形態では、第2の超小型電子素子153は、DRAMチップ等の半導体チップとすることができ、ボンドパッド159が第2の超小型電子素子153の中央領域932に沿って位置している。

中央領域 9 3 2 は、第 1 の外側領域 9 2 8 と第 2 の外側領域 9 3 0 との間に位置している。一実施形態では、ボンドパッド 1 5 9 は、第 1 の超小型電子素子 1 3 6 上のボンドパッド 1 4 2 が広がりをもつ方向と交差する方向に広がりを有するものとすることができる。

【 0 0 5 6 】

図 1 B に示しているように、特定の例では、第 1 の超小型電子素子 1 3 6 は、第 1 の超小型電子素子の前面 1 4 0 の中央領域 9 2 4 において方向 D 3 に広がりを有する 5 つ以上のボンドパッド 1 4 2 からなる少なくとも 1 つの列 1 4 2 ' を有することができる。また、図 1 C に示しているように、一例において、第 2 の超小型電子素子 1 5 3 は、第 2 の超小型電子素子の前面 1 5 7 の中央領域 9 3 2 において方向 D 4 に広がりを有する 5 つ以上のボンドパッド 1 5 9 からなる少なくとも 1 つの列 1 5 9 ' を有することができる。図 3 の例に示しているように、ボンドパッド 1 4 2 の列 1 4 2 ' が広がる方向 D 3 は、ボンドパッド 1 5 9 の列 1 5 9 ' が広がる方向 D 4 と交差したものとすることができる。図 3 に示しているように、方向 D 3 は、第 1 の開口部 1 1 6 の長手寸法の方向 D 1 に平行とすることができるが、そうでなくてもよい。例えば、一実施形態では（不図示）、方向 D 3 は、第 1 の窓の短い寸法が広がる方向 D 2 に平行とすることができるが、方向 D 4 は、第 2 の窓の短い寸法が広がる第 1 の方向 D 1 に平行とすることができる。

【 0 0 5 7 】

図 2 B に示しているように、第 2 の超小型電子素子 1 5 3 は第 1 の超小型電子素子 1 3 6 の上方に位置したものとすることができる。図示しているように、第 1 の超小型電子素子 1 3 6 よりも上の高さで第 2 の超小型電子素子 1 5 3 を支持するために、基板 1 0 2 と第 2 の超小型電子素子 1 5 3 との間にスペーサ 1 3 5 を設けることができる。図 1 に最もわかりやすく示しているように、第 2 の超小型電子素子 1 5 3 の第 1 の縁部 1 6 1 及び第 2 の縁部 1 6 2 は、第 1 の超小型電子素子 1 3 6 の第 1 の縁部 1 4 4 及び第 2 の縁部 1 4 5 と交差する方向に広がったものとすることができる。その結果、第 2 の超小型電子素子 1 5 3 における第 1 の縁部 1 6 1 及び第 2 の縁部 1 6 2 は、第 1 の超小型電子素子 1 3 6 における第 3 の縁部 1 4 6 及び第 4 の縁部 1 4 7 の一方を越えて広がっている。

【 0 0 5 8 】

図 2 B に示しているように、第 2 の超小型電子素子 1 5 3 におけるボンドパッド 1 5 9 は、基板 1 0 2 において露出した複数のコンタクトのうちの第 2 の組のコンタクト 1 1 1 と電氣的に接続することができる。

【 0 0 5 9 】

導電性要素を用いて、第 1 の超小型電子素子 1 3 6 上のボンドパッド 1 5 9 を、基板 1 0 2 の第 2 の面 1 0 6 における第 2 の組のコンタクト 1 1 1 と電氣的に接続することができる。本実施形態では、ボンドワイヤ 1 6 5 を用いて、第 2 の超小型電子素子 1 5 3 上のボンドパッド 1 5 9 を、基板 1 0 2 の第 2 の面 1 0 6 上の第 2 の組のコンタクト 1 1 1 （図 2 B ~ 図 3 ）と接続することができる。図示しているように、ボンドワイヤ 1 6 5 は、第 2 の開口部 1 2 6 を通って延び、第 2 の組のコンタクト 1 1 1 に接続する。

【 0 0 6 0 】

図 2 A に示しているように、スタックアセンブリが組み立てられると、基板 1 0 2 の第 1 の面 1 0 4 と第 1 の超小型電子素子 1 3 6 と第 2 の超小型電子素子 1 5 3 とのうちのいくつかが又は全ての上に封止材 1 9 9 を設けることができる。この封止材は、第 1 の開口部 1 1 6 及び第 2 の開口部 1 2 6 の各々を通して延びているボンドワイヤ 1 4 8 、 1 6 5 を覆うことができる。

【 0 0 6 1 】

図 3 に示しているように、基板 1 0 2 の第 2 の面 1 0 6 において露出する端子コンタクト 1 1 0 （図 2 B ）に、はんだボール 1 1 5 のアレイを取り付けることができる。図示しているように、トレース 1 0 8 が第 1 の組のコンタクト 1 0 9 から第 2 の面 1 0 6 に沿って延び、第 1 の組のコンタクト 1 0 9 とはんだボール 1 1 5 を支持する端子コンタクト 1

10

20

30

40

50

10 との間の電氣的接続を提供することができる。端子 110 は、超小型電子アセンブリ 100 を該アセンブリの外部にある少なくとも 1 つの要素に接続するためのものとしてすることができる。

【0062】

特定の例では、基板 102 は、第 1 の面 104 と第 2 の面 106 との間において第 2 の方向 D2 に広がりをも有する第 1 の周縁部 3 も有することができる。また、基板 102 は、第 1 の面 104 と第 2 の面 106 との間において第 1 の方向 D1 に広がりをも有する第 2 の周縁部 103 も有することができる。さらに、基板 102 は、第 2 の周縁部 103 の反対側に位置し、第 1 の面 104 と第 2 の面 106 との間において第 1 の方向 D1 に広がりをも有する第 3 の周縁部 105 も有することができる。

10

【0063】

第 1 の開口部 116 は、第 2 の開口部 126 と第 1 の周縁部 3 との間に設けることができ、第 1 の方向 D1 に広がりをも有する長手の第 1 の寸法 L1 と、該第 1 の寸法より小さな、第 2 の方向 D2 に沿った第 2 の寸法 W1 とをも有することができる。第 2 の開口部 126 は、第 2 の方向 D2 に広がりをも有する長手の第 1 の寸法 L2 と、該第 1 の寸法より小さな、第 1 の方向 D1 に沿った第 2 の寸法 W2 とをも有することができる。

【0064】

基板 102 は、第 1 の周縁部 3 と第 1 の開口部 116 との間に広がる、第 2 の面 106 上の第 1 の周辺領域 P1 を有することができる。また、基板 102 は、第 2 の周縁部 103 と第 2 の開口部 126 との間に広がる、第 2 の面 106 上の第 2 の周辺領域 P2 も有することができる。さらに、基板 102 は、第 3 の周縁部 105 と第 2 の開口部 126 との間に広がる、第 2 の面 106 上の第 3 の周辺領域 P3 も有することができる。第 2 の周辺領域 P2 及び第 3 の周辺領域 P3 は、第 2 の開口部 126 の両側に位置したものとすることができる。

20

【0065】

図 3 に示しているように、第 1 の方向 D1 に沿って端子 110 のうちの少なくとも 1 つ、例えば第 1 の端子 110a を通る直線 S1 が第 1 の開口部 116 を通るか又はその上方を通るものとなるように、前記第 1 の端子 110a を第 1 の周辺領域 P1 内に少なくとも部分的に配置することができる。また、第 2 の方向 D2 に沿って端子 110 のうちの少なくとも 1 つ、例えば第 2 の端子 110b を通る直線 S2 が第 2 の開口部 126 を通るか又はその上方を通るものとなるように、前記第 2 の端子 110b を第 2 の周辺領域 P2 内に少なくとも部分的に配置することができる。さらに、第 2 の方向 D2 に沿って端子 110 のうちの少なくとも 1 つ、例えば第 3 の端子 110c を通る直線 S3 が第 2 の開口部 126 を通るか又はその上方を通るものとなるように、前記第 3 の端子 110c を第 3 の周辺領域 P3 内に少なくとも部分的に配置することができる。特定の例では、同一直線 S2 が第 2 の端子 110b 及び第 3 の端子 110c を通るものとしてすることができるが、そうでなくてもよい。

30

【0066】

本明細書において説明する他の実施形態は、図 1 ~ 図 3 の実施形態に実質的に類似している。各実施形態は、基板、及び基板内の各開口部の上方において超小型電子素子が前面を下にした姿勢、すなわち下向きの配置で設けられる方法に関してのみ異なる。そのため、図 1 ~ 図 3 の実施形態に関して開示した原理は、本明細書において開示する他の実施形態にも同じく適用することができる。したがって、同様の要素を説明するために同様の符号を用いる。

40

【0067】

図 3A 及び図 3B に示しているように、超小型電子アセンブリ 100' は図 1 ~ 図 3 に関して図示及び説明した超小型電子アセンブリに類似している一方で、第 1 の開口部 16 及び第 2 の開口部 26 がそれぞれ、第 1 の方向 D1 に沿ったそれぞれの長手の第 1 の寸法 L1 及び L2 と、第 2 の方向に沿ったそれぞれの第 2 の寸法 W1 及び W2 とをも有しているという点で異なっている。すなわち、第 1 の開口部 16 及び第 2 の開口部 26 は、互いに交差しているのではなく、互いに平行に延びている。

50

【 0 0 6 8 】

図 3 A からわかるように、図 1 ~ 図 3 と同様、第 1 の超小型電子素子 3 6 は、基板 2 における第 1 の面 4 に面する前面 4 0 と、該前面にあり、第 1 の開口部 1 6 と位置合わせされているボンドパッド 4 2 と、前面の反対側に位置する背面 3 8 と、前面と背面との間に延びている縁部 4 6 とを有している。第 2 の超小型電子素子 5 3 は、第 1 の超小型電子素子 3 6 の背面 3 8 に面し、第 1 の超小型電子素子の縁部 4 6 を越えて突出した前面 5 7 と、第 2 の超小型電子素子の前面にあり、第 2 の開口部 2 6 と位置合わせされているボンドパッド 5 9 とを有している。

【 0 0 6 9 】

特定の例では、第 1 の超小型電子素子 3 6 は、前面と背面との間に延びている縁部 4 6 と、反対側に位置する縁部との間にある幅を有するものとしてすることができる。第 2 の超小型電子素子 5 3 は、前面と背面との間にそれぞれ延びている、向かい合った縁部間にある幅を有するものとしてすることができる。第 1 の超小型電子素子 3 6 の幅は第 1 の開口部 1 6 の第 2 の寸法 W 1 よりも大きくすることができる。第 2 の超小型電子素子 5 3 の幅は、第 2 の開口部 2 6 の第 2 の寸法 W 2 よりも大きくすることができる。

【 0 0 7 0 】

基板 2 における第 2 の面 6 において露出している端子コンタクト 1 0 に、はんだボール 1 5 のアレイを取り付けることができる。第 1 の組のコンタクト 9 及び第 2 の組のコンタクト 1 1 から第 2 の面 6 に沿ってトレースが延びており、基板コンタクト 9、1 1 とはんだボール 1 5 を支持する端子コンタクト 1 0 との間の電氣的接続を提供することができる。第 1 の超小型電子素子 3 6 及び第 2 の超小型電子素子 5 3 それぞれのボンドパッド 4 2、5 9 は、基板 2 の導電性要素（例えば、基板コンタクト 9、1 1 及び端子 1 0）と電氣的に接続することができる。端子 1 0 は、超小型電子アセンブリ 1 0 0' を、該アセンブリの外部にある少なくとも 1 つの要素に接続するように構成することができる。

【 0 0 7 1 】

特定の例では、基板 2 は、第 1 の面 4 と第 2 の面 6 との間において第 2 の方向 D 2 にそれぞれ延びている、向かい合った第 1 の周縁部 3 及び第 2 の周縁部 5 を有するものとしてすることができる。基板 2 は、第 1 の周縁部 3 と、第 1 の開口部 1 6 及び第 2 の開口部 2 6 の各々との間に広がっている、第 2 の面 6 における第 1 の周辺領域 P 1 及び第 2 の周辺領域 P 2 を有するものとしてすることができる。また、基板 2 は、第 2 の周縁部 5 と、第 1 の開口部 1 6 及び第 2 の開口部 2 6 の各々との間に広がっている、第 2 の面 6 における第 3 の周辺領域 P 3 及び第 4 の周辺領域 P 4 をも有するものとしてすることができる。第 1 の周辺領域 P 1 及び第 3 の周辺領域 P 3 は、第 1 の開口部 1 6 の両側に位置するものとしてすることができる。第 2 の周辺領域 P 2 及び第 4 の周辺領域 P 4 は、第 2 の開口部 2 6 の両側に位置するものとしてすることができる。

【 0 0 7 2 】

図 3 B に示しているように、第 1 の開口部 1 6 は、第 1 の周縁部 3 から第 2 の開口部 2 6 と同じ距離を置いた位置まで延びているとともに、第 2 の周縁部 5 から第 2 の開口部と同じ距離を置いた位置まで延びているが、そうでなくてもよい。一例では、第 1 の開口部 1 6 及び第 2 の開口部 2 6 のうちの一方は、他方に比べて、周縁部 3 及び 5 のうちの一方又は両方に近い位置まで延びたものとしてすることができる。

【 0 0 7 3 】

図 3 B に示しているように、端子 1 0 のうちの少なくとも 1 つ、例えば第 1 の端子 1 0 a は、第 1 の方向 D 1 に沿って当該第 1 の端子 1 0 a を通る直線 S 1 が第 1 の開口部 1 6 を通るか又はその上方を通るものとなるように、第 1 の周辺領域 P 1 内に少なくとも部分的に配置することができる。また、端子 1 0 のうちの少なくとも 1 つ、例えば第 2 の端子 1 0 b は、第 1 の方向 D 1 に沿って当該第 2 の端子を通る直線 S 2 が第 2 の開口部 2 6 を通るか又はその上方を通るものとなるように、第 2 の周辺領域 P 2 内に少なくとも部分的に配置することができる。

【 0 0 7 4 】

端子 10 のうちの少なくとも 1 つ、例えば第 3 の端子 10 c は、第 2 の方向 D 3 に沿って当該第 3 の端子を通る直線が第 1 の開口部 16 を通るか又はその上方を通るものとなるように、第 3 の周辺領域 P 3 内に少なくとも部分的に配置することができる。また、端子 10 のうちの少なくとも 1 つ、例えば第 4 の端子 10 d は、第 1 の方向 D 1 に沿って当該第 4 の端子を通る直線が第 2 の開口部 26 を通るか又はその上方を通るものとなるように、第 4 の周辺領域 P 4 内に少なくとも部分的に配置することができる。特定の例では、同一直線 S 1 が第 1 の端子 10 a 及び第 3 の端子 10 c を通って延びるものとすることができるが、そうでなくてもよい。一実施形態では、同一直線 S 2 が第 2 の端子 10 b 及び第 4 の端子 10 d を通って延びるものとすることができるが、そうでなくてもよい。

【0075】

10

一例では、第 1 の超小型電子素子 36 のボンドパッド 42 は、第 1 の開口部 16 と位置合わせされた部分を有する第 1 のリード部 48 により、導電性要素 9 に電氣的に接続することができる。同様に、第 2 の超小型電子素子 53 のボンドパッド 59 は、第 2 の開口部 26 と位置合わせされた部分を有する第 2 のリード部 65 により、導電性要素 11 に電氣的に接続することができる。一実施形態においては、例えば第 1 のリード部 48 がリードボンド部 (lead bond) である場合には、第 1 のリード部は第 1 の開口部 16 内で延びていない場合がある。同様に、例えば第 2 のリード部 65 がリードボンド部である場合には、第 2 のリード部は第 2 の開口部 26 内で延びていない場合がある。

【0076】

20

図 3 A に示しているように、第 1 の超小型電子素子 36 のボンドパッド 42 は、第 1 の開口部 16 を通じて延びているワイヤボンド部 48 によって導電性要素 9 に電氣的に接続することができる。同様に、第 2 の超小型電子素子 53 のボンドパッド 59 は、第 2 の開口部 26 を通じて延びているワイヤボンド部 65 によって導電性要素 11 に電氣的に接続することができる。特定の例では、第 1 のワイヤボンド部 48 は第 1 の開口部 16 のみを通して延びているものとすることができ、第 2 のワイヤボンド部は第 2 の開口部 26 のみを通して延びているものとすることができる。

【0077】

30

例示的な実施形態では、第 1 の超小型電子素子 36 及び第 2 の超小型電子素子 53 は、図 1 B 及び図 1 C に示したものと同じように構成されるそれぞれのボンドパッド 42 及び 59 を有することができる。このような例では、第 1 の超小型電子素子 36 及び第 2 の超小型電子素子 53 はそれぞれ、各々の前面 40、57 の中央領域において第 1 の方向に広がりをもつ、それぞれのボンドパッド 42、59 のうちの 5 つ以上のボンドパッドを有する少なくとも 1 つの列を有することができる。各中央領域は、それぞれの超小型電子素子の向かい合った第 1 の縁部と第 2 の縁部との間の距離の中央 3 分の 1 に広がっている。

【0078】

40

図 3 C は、図 3 A の超小型電子アセンブリ 100 の別の可能性としての底面図である。図 3 C に示している実施形態では、基板 2 は、間隔を置いて配置され、かつ互いに隣接して配置された第 1 の誘電性要素 2 a 及び第 2 の誘電性要素 2 b を有するものとすることができる。各誘電性要素は向かい合った上面及び底面を有している。2 つの誘電性要素 2 a 及び 2 b は互いに同一平面に設けることができる。それにより、基板 2 における第 1 の面 4 は両誘電性要素の上面を含んだものとすることができ、基板における第 2 の面 6 は両誘電性要素の底面を含んだものとすることができる。

【0079】

別の例では、図 3 C に示した誘電性要素 2 a 及び 2 b 等の、本明細書に記載の誘電性要素のいずれか又はそれぞれを、シリコン等の半導体材料から基本的になる基板要素へとそれぞれ置き換えることができる。特定の実施形態では、本明細書に記載の誘電性要素のいずれか又はそれぞれを、半導体材料層と 1 以上の誘電性層とを含むことのできる基板要素へとそれぞれ置き換えることができる。更に別の実施形態では、本明細書に記載の誘電性要素のいずれか又はそれぞれを、リード部を有するリードフレームにそれぞれ置き換えることができる。リード部の端部といったリード部の一部を端子とすることができる。

50

【0080】

第1の誘電性要素2a及び第2の誘電性要素2bの、隣接しているとともに向かい合っている縁部102a及び102b間の空間によって第1の開口部16cを形成することができる。隣接しているとともに向かい合っている縁部102a及び102bはそれぞれ、第1の寸法L1を有するものとすることができ、それぞれが第1の方向D1に沿ったものとすることができる。第1の開口部16cは、第1の寸法L1よりも小さな、第2の方向D2に沿った第2の寸法W1を有するものとすることができる。第2の開口部26は図3Bと同様にすることができ、それにより、第2の開口部は第2の誘電性要素2bによって囲まれたものとすることができる。

【0081】

10

図3Bに示した実施形態と同様に、端子10のうちの少なくとも1つ、例えば第1の端子10aは、第1の方向D1に沿って当該第1の端子10aを通る直線S1が第1の開口部16cを通るか又はその上方を通るものとなるように、第1の周辺領域P1内に少なくとも部分的に配置することができる。端子10のうちの少なくとも1つ、例えば第2の端子10bは、第1の方向D1に沿って当該第2の端子を通る直線S2が第2の開口部26を通るか又はその上方を通るものとなるように、第2の周辺領域P2内に少なくとも部分的に配置することができる。同様に、少なくとも1つの第3の端子10c及び第4の端子10dは、図3Bに関して上記で説明したように、第3の周辺領域及び第4の周辺領域内に少なくとも部分的に配置することができる。

【0082】

20

特定の例では、第2の開口部26は、第1の開口部16cに対して垂直方向のものとするることができる。例えば、第2の開口部26は、第2の方向D2に沿った第1の寸法L2と、該第1の寸法よりも小さな、第1の方向D1に沿った第2の寸法W2とを有するものとすることができる。一実施形態において、基板2は、第1の誘電性要素2a及び第2の誘電性要素2bの、隣接しているとともに向かい合った縁部102a及び102bの間に広がりをもつ誘電性領域Rをも含んだものとするることができる。該基板の第1の面は該誘電性領域の上面を含んでおり、第2の面は該誘電性領域の底面を含む。特定の例では、誘電性領域Rは、基板の平面において、誘電性要素2a、2bよりも大きなヤング率を有するものとすることができる。

【0083】

30

図3A及び図3Cに示しているように、第1の超小型電子素子36は第1の開口部16cの上に重なったものとすることができ、第2の超小型電子素子53は第2の開口部26の上に重なったものとすることができ、基板2により近い超小型電子素子は第1の開口部の上に重なっている超小型電子素子である。しかし、そうでなくてもよい。別の実施形態では、基板2により近い超小型電子素子（例えば第1の超小型電子素子36）が第2の開口部26の上に重なったものとすることができ、基板からより離れている超小型電子素子（例えば第2の超小型電子素子53）が第1の開口部16cの上に重なったものとすることができる。

【0084】

40

図3Dは、図3Aの超小型電子アセンブリ100の別の可能性としての底面図である。図3Dに示している実施形態では、基板2は、間隔を置いて配置され、かつ互いに隣接して配置された第1の誘電性要素2aと第2の誘電性要素2bと第3の誘電性要素2cとを含むことができる。各誘電性要素は向かい合った上面及び底面を有している。3つの誘電性要素2a、2b、2cは互いに同一平面に設けることができ、それにより、基板2における第1の面4は3つ全ての誘電性要素の上面を含んだものとすることができ、基板における第2の面6は3つ全ての誘電性要素の底面を含んだものとすることができる。

【0085】

第1の誘電性要素2a及び第2の誘電性要素2bの、隣接しているとともに向かい合っている縁部間の空間により、図3Cの第1の開口部16cに類似した第1の開口部16dを形成することができる。また、第2の誘電性要素2b及び第3の誘電性要素2cの、隣

50

接しているとともに向かい合っている縁部間の空間により、第2の開口部26dを形成することができる。

【0086】

図3Cに示した実施形態と同様、端子10のうちの少なくとも1つ、例えば第1の端子10aは、第1の方向D1に沿って当該第1の端子10aを通る直線S1が第1の開口部16dを通るか又はその上方を通るものとなるように、第1の周辺領域P1内に少なくとも部分的に配置することができる。端子10のうちの少なくとも1つ、例えば第2の端子10bは、第1の方向D1に沿って当該第2の端子を通る直線S2が第2の開口部26dを通るか又はその上方を通るものとなるように、第2の周辺領域P2内に少なくとも部分的に配置することができる。同様に、少なくとも1つの第3の端子10c及び第4の端子10dは、図3Bに関して上記で説明したように、第3の周辺領域及び第4の周辺領域内に少なくとも部分的に配置することができる。

10

【0087】

一例では、端子10は、第1の誘電性要素2aと第2の誘電性要素2bと第3の誘電性要素2cとの各底面において露出した第1の端子と第2の端子と第3の端子とを含んだものとしてすることができる。超小型電子素子36、53のうちの少なくとも1つの超小型電子素子のボンドパッド42、59のうちの少なくとも幾つかは、第1の基板部分、第2の基板部分、第3の基板部分のそれぞれの第1の端子、第2の端子、第3の端子のうちの2以上と電氣的に接続することができる。特定の実施形態において、第1の超小型電子素子36のボンドパッド42のうちの少なくとも幾つかは、第1の基板部分2a及び第2の基板部分2bの端子10に電氣的に接続することができる。一実施形態では、第2の超小型電子素子53のボンドパッド59のうちの少なくとも幾つかは、第2の基板部分2b及び第3の基板部分2cの端子10に電氣的に接続することができる。

20

【0088】

図3E、図3F、図3Gはそれぞれ、図3Aの超小型電子アセンブリ100の代替的可能性としての底面図である。図3Eの実施形態は図3Dに示した実施形態と類似しているが、各周辺領域が第1の方向D1に沿って互いに隣接して配置された複数の端子10を含みうる点で異なる。例えば、周辺領域P1は端子10a及び10a'を含み、第1の開口部16eと基板2の周縁部との間において第1の方向に延びる直線S1は端子10a及び10a'の両方を通して延びている。

30

【0089】

図3Fに示している実施形態は図3Dに示した実施形態と類似しているが、周辺領域が第2の基板部分2b上ではなく、第1の基板部分2a上及び第3の基板部分2c上に位置している点で異なる。図3Gに示している実施形態は、図3Fに示した実施形態と類似しているが、第2の基板部分2bがその中央部分において、その周辺部分における第2の幅W'よりも大きい第1の幅Wを有している点で異なる。両周辺部分は第1の方向D1に沿って中央部分と隣接している。

【0090】

図3Hは、図3Dに示した超小型電子アセンブリ100'を複数備えたアセンブリの製造途中の状態を示している。図3Hは、第1の超小型電子アセンブリ100a'と第2の超小型電子素子100b'とを示している。第1及び第2の超小型電子アセンブリ100は、基板部分2a、2b、2cにおける隣接した基板部分同士を接合する、基板2の接続部分2'により接合されている。例えば、基板2の接続部分2'は、第1及び第2の超小型電子アセンブリの各々の第1の基板部分2a同士と、両超小型電子アセンブリの各々の第2の基板部分2b同士と、両超小型電子アセンブリの各々の第3の基板部分2c同士とを接合する。超小型電子アセンブリ100'の各超小型電子アセンブリを製造した後に、接続部分2'を、例えば、個々の超小型電子アセンブリをダイシングし、それにより分けることによって、超小型電子アセンブリから除去することができる。

40

【0091】

図3A～図3Hにおいて、第1の開口部及び第2の開口部は、互いに平行なものとして

50

示しているが、他の実施形態では、図 3 A ~ 図 3 H に示した実施形態の任意の実施形態における第 1 の開口部及び第 2 の開口部は、例えば、図 1 に示したように、互いに交差するように方向づけることができる。そのような実施形態において、第 1 の開口部及び第 2 の開口部の一方を、基板の誘電性要素によって囲まれるようにすることができ、他方の開口部は、第 1 の誘電性要素及び第 2 の誘電性要素の、隣接しているとともに向かい合った縁部間の空間により形成することができる。特定の例では、第 1 の開口部及び第 2 の開口部はいずれも、隣接する誘電性要素の、隣接しているとともに向かい合った縁部間のそれぞれの空間により形成することができる。

【0092】

図 3 A ~ 図 3 H において、超小型電子アセンブリは 2 つの超小型電子素子を有するものとして示しているが、他の実施形態では、図 3 A ~ 図 3 H に示した超小型電子アセンブリの任意の超小型電子アセンブリが、第 3 の超小型電子素子、又は第 3 及び第 4 の超小型電子素子を含んでいてもよい。例えば、図 6、図 9、図 12 に示している実施形態は、互いに隣接して配置される、2 つ、3 つ、4 つ、5 つ又は任意のその他の数の、間隔を置いて配置される誘電性要素を有する基板を含んだものとするすることができる。

【0093】

特定の例では、図 3 A ~ 図 3 H に示した超小型電子素子及び開口部の構成の任意の構成を、単一の超小型電子アセンブリ内で互いに隣接するように繰り返し設けることができる。例えば、図 3 I に示しているように、図 3 A の超小型電子素子の構成を繰り返し設けることができる。その結果、単一の基板 2 i は、4 つの開口部 1 6、2 6、3 2 及び 8 2 と、部分的に重なり合った超小型電子素子の 2 つのペアとを有することができる。そのため、重なり合った超小型電子素子 3 6 及び 5 3 の第 1 のペアが、2 つの第 1 開口部 1 6 及び 2 6 の上に重なったものとするできるとともに、前記第 1 のペアに隣接する、重なり合った超小型電子素子 6 8 及び 8 8 の第 2 のペアが、2 つの第 2 開口部 3 2 及び 8 2 の上に重なったものとすることができる。

【0094】

一例では、図 3 I における第 4 の超小型電子素子 8 8 を省くことができる。そして、超小型電子アセンブリが、部分的に重なり合った 3 つの超小型電子素子を有するものとなるようにすることができる。3 つの超小型電子素子のうちの 2 つは、それらの前面が基板の面と平行な単一の平面内に存在するように配置され、その他の超小型電子素子は、基板の面と平行な別の平面に位置する前面を有している。

【0095】

図 3 I の実施形態は、種々の底面構造とすることができる。一例では、図 3 J に示すように、図 3 B に示した構成を繰り返し設け、単一の基板 2 j が、該基板によってそれぞれ囲まれている 4 つの平行な開口部 1 6 j、2 6 j、3 2 j 及び 8 2 j を有するものとなるように、そして、複数の超小型電子素子のうちの対応する一超小型電子素子のコンタクトが各開口部 1 6 j、2 6 j、3 2 j 及び 8 2 j と位置合わせされるようにすることができる。別の例では、図 3 K に示すように、図 3 D に示した構成を繰り返し設け、単一の基板 2 k が互いに間隔を置いて配置された 5 つの誘電性要素 2 a、2 b、2 c、2 d 及び 2 e を有するものとなるように、そして、複数の超小型電子素子のうちの対応する一超小型電子素子のコンタクトが各開口部 1 6 k、2 6 k、3 2 k 及び 8 2 k と位置合わせされるようにすることができる。各開口部は、複数の誘電性要素のうちの隣り合った誘電性要素の隣接し、向かい合った縁部間の開口によって形成されている。他の実施形態では、図 3 J 及び図 3 K の基板の構造を組み合わせるとして、結果として、図 3 I に示した 4 つの超小型電子素子のうちの 1 以上がそれぞれ、基板の誘電性要素に囲まれた開口部に重なるように、そして、図 3 I に示した 4 つの超小型電子素子のうちの 1 以上がそれぞれ、複数の誘電性要素のうちの隣り合った誘電性要素の隣接し、向かい合った縁部間の開口により形成される開口部に重なるようにすることができる。

【0096】

図 4 ~ 図 6 は、前面を下にして積み重ねられた 3 つの超小型電子素子を備えた、代替的

10

20

30

40

50

なスタック型超小型電子アセンブリ 200 を示している。図 5 A 及び図 5 B に最も良く示しているように、第 1 の超小型電子素子 236 の上に、第 2 の超小型電子素子 253 及び第 3 の超小型電子素子 268 のいずれもが重なったものとしてすることができる。

【0097】

図 4 及び図 5 B に最も良く示しているように、基板 202 は、第 1 の面 204 及び第 2 の面 206 と、第 1 の面 204 と第 2 の面 206 との間に延びている 3 つの開口部とを有している。先の実施形態と同様に、第 1 の開口部 216 は第 1 の端部 222 及び第 2 の端部 224 を有し、基板 202 の中央部分に設けることができる。基板の中央部分は先と同様、基板の第 1 の縁部 203 と、向かい合った第 2 の縁部 205 との間において基板 202 の中央 3 分の 1 にある。第 1 の開口部 216 は、第 1 の端部 222 及び第 2 の端部 224 において短縁部 218 を有している。第 2 の開口部 226 は、第 1 の開口部 216 における第 1 の端部 222 に隣接するように設けることができる。

【0098】

第 3 の開口部 232 は、第 1 の開口部 216 における第 2 の端部 224 に隣接するように設け、第 3 の開口部 232 の長縁部 234 が、第 1 の開口部 216 の長縁部 220 が延びている方向と交差する方向に延びるようにすることができる。この構成では、第 2 の開口部 226 及び第 3 の開口部 232 は、I 字形となるように、互いに平行に、かつ第 1 の開口部 216 に対して垂直に設けることができる。あるいは、第 1 の開口部 216 と第 2 の開口部 226 と第 3 の開口部 232 とは、連続した 1 つの開口部となるように、互いに接合することができる。先の実施形態と同様に、第 1 の開口部 216 と第 2 の開口部 226 と第 3 の開口部 232 とのうちの 1 以上は複数の開口部から構成することができる。

【0099】

一例では、第 1 の開口部 216 は、短い寸法 A2 より大きな長い寸法 A1 を有することができる。長い寸法 A1 は第 1 の方向 D1 に延び、短い寸法 A2 は第 1 の方向と交差する第 2 の方向 D2 に延びている。第 2 の開口部 226 は、短い寸法 B2 より大きな長い寸法 B1 を有することができる。長い寸法 B1 は第 2 の方向 D2 に延び、短い寸法 B2 は第 1 の方向 D1 に延びている。第 3 の開口部 232 は、短い寸法 C2 より大きな長い寸法 C1 を有することができる。長い寸法 C1 は第 2 の方向 D2 に延び、短い寸法 C2 は第 1 の方向 D1 に延びている。

【0100】

第 1 の超小型電子素子 236 及び第 2 の超小型電子素子 253 は、図 1 ~ 図 3 の実施形態に類似の構成において積み重ねられるが、第 3 の超小型電子素子 268 が本アセンブリ内に含まれるという点で異なる。図 5 A 及び図 5 B に示しているように、第 1 の超小型電子素子 236 及び第 2 の超小型電子素子 253 は別々の平面に存在している。図 5 B において、よりわかりやすく示されるように、第 3 の超小型電子素子 268 は、第 1 の超小型電子素子 236 及び第 2 の超小型電子素子 253 に隣接して配置することができる。この実施形態では、第 3 の超小型電子素子 268 は、第 2 の超小型電子素子 253 と同じ平面に存在しているが、第 1 の超小型電子素子 236 と同じ平面に存在しているわけではない。図示しているように、1 以上のスペーサ 235 を用いて、第 1 の超小型電子素子 236 の上方で第 3 の超小型電子素子 268 を支持することができる。その結果、第 3 の超小型電子素子 268 における第 2 の縁部 277 が、第 1 の超小型電子素子 236 における第 4 の縁部 247 と、第 1 の超小型電子素子 236 の第 1 の縁部 244 及び第 2 の縁部 245 の一部とに重なるか又はそれらを覆うものとなるようにすることができる。第 3 の超小型電子素子 268 におけるボンドパッド 274 が、第 3 の超小型電子素子 268 の中央領域 942 の一部に沿って延び（図 5 B、図 6）、第 3 の開口部 232 に面している。上記で開示した実施形態と同様に、中央領域 942 は、第 3 の超小型電子素子 268 における第 1 の縁部 276 と第 2 の縁部 277 との間の長さの中央 3 分の 1 に位置決めすることができる。第 3 の超小型電子素子 268 上のボンドパッド 274 は、第 3 の開口部 232 と位置合わせされており、第 3 の開口部を通じて露出することができる。

【0101】

2つの超小型電子素子を有する実施形態に関して上記で説明したように、第3の超小型電子素子268は、当該第3の超小型電子素子の前面の中央領域においてある方向に広がりを持つ5つ以上のボンドパッド274の少なくとも1つの列を有することができる。特定の例では、第3の超小型電子素子268の5つ以上のボンドパッド274の少なくとも1つの列は、当該第3の超小型電子素子の周縁部に隣接して配置することができる。図6に示しているように、第3の超小型電子素子268の5つ以上のボンドパッド274の少なくとも1つの列274'は、第2の開口部226及び第3の開口部232の長い寸法が延びうる方向と同じ方向D2に延びたものとしてことができ、その方向は第1の開口部216の長い寸法が延びうる方向D1と交差するものとしてことができるが、そうでなくてもよい。

10

【0102】

導電性接続部を用いて、各超小型電子素子上の各ボンドパッドを、基板の底面にあるそれぞれの組のコンタクトと接続することができる。例えば、図示しているように、ボンドワイヤ280は、第3の超小型電子素子268の表面に露出したボンドパッド274を、基板202の第2の面206上の第3の組のコンタクト213と接続する。そして、図6に示しているように、導電性トレース208は、第3の超小型電子素子268上の各ボンドパッド274を、はんだボールを支持する端子コンタクト210と電氣的に接続することができる。端子210は、超小型電子アセンブリ200を、該アセンブリの外部にある少なくとも1つの構成要素に接続するように構成することができる。

20

【0103】

先の実施形態と同様に、第1の超小型電子素子236、第2の超小型電子素子253及び第3の超小型電子素子268の構成によれば、第1の超小型電子素子236、第2の超小型電子素子253及び第3の超小型電子素子268の各ボンドパッド242、259、274(図5B)のそれぞれを、第1の開口部216、第2の開口部226及び第3の開口部232のそれぞれと位置合わせできるようになる。これにより、各導電性接続部が、隣接する導電性接続部からの干渉を受けることなく、第1の開口部216、第2の開口部226及び第3の開口部232内を通ることができるか、又は通り抜けることができるようになる。さらに、これにより、中央領域に配置されたボンドパッドを有する2つ以上のチップを積み重ねることができるようになる。

30

【0104】

特定の例では、基板202は、第1の面204と第2の面206との間において第1の方向D1に延びる第1の周縁部203をも有することができる。また、基板202は、第1の面204と第2の面206との間において第1の方向D1に延びる第2の周縁部205をも有することができる。

【0105】

第1の開口部216は、第1の方向D1に延びる長手の第1の寸法L1と、該第1の寸法より小さな、第2の方向D2に沿った第2の寸法W1とを有することができる。第2の開口部226は、第2の方向D2に沿った長手の第1の寸法L2と、該第1の寸法より小さな、第1の方向D1に沿った第2の寸法W2とを有することができる。第3の開口部232は、第2の方向D2に沿った長手の第1の寸法L3と、該第1の寸法より小さな、第1の方向D1に沿った第2の寸法W3とを有することができる。

40

【0106】

基板202は、第1の周縁部203と第2の開口部226及び第3の開口部232のそれぞれとの間に広がりを持つ、第2の面206における第1の周辺領域P1及び第2の周辺領域P2を有することができる。また、基板202は、第2の周縁部205と、第2の開口部226及び第3の開口部232のそれぞれとの間に広がりを持つ、第2の面206における第3の周辺領域P3及び第4の周辺領域P4をも有することができる。第1の周辺領域P1及び第3の周辺領域P3は第2の開口部226の両側に設けることができ、第2の周辺領域P2及び第4の周辺領域P4は第3の開口部232の両側に設けることができる。

50

【 0 1 0 7 】

図 6 に示しているように、端子 2 1 0 のうちの少なくとも 1 つ、例えば第 1 の端子 2 1 0 a は、第 2 の方向 D 2 に沿って当該第 1 の端子 2 1 0 a を通る直線 S 1 が、第 2 の開口部 2 2 6 を通るか又はその上方を通るものとなるように、第 1 の周辺領域 P 1 内に少なくとも部分的に配置することができる。端子 2 1 0 のうちの少なくとも 1 つ、例えば第 2 の端子 2 1 0 b は、第 2 の方向 D 2 に沿って当該第 2 の端子を通る直線 S 2 が、第 3 の開口部 2 3 2 を通るか又はその上方を通るものとなるように、第 2 の周辺領域 P 2 内に少なくとも部分的に配置することができる。

【 0 1 0 8 】

端子 2 1 0 のうちの少なくとも 1 つ、例えば第 3 の端子 2 1 0 c は、第 2 の方向 D 2 に沿って当該第 3 の端子 2 1 0 c を通る直線が、第 2 の開口部 2 2 6 を通るか、又はその上方を通るものとなるように、第 3 の周辺領域 P 3 内に少なくとも部分的に配置することができる。特定の例では、同じ直線 S 1 が第 1 の端子 2 1 0 a 及び第 3 の端子 2 1 0 c を通るものとすることができるが、そうでなくてもよい。

【 0 1 0 9 】

端子 2 1 0 のうちの少なくとも 1 つ、例えば第 4 の端子 2 1 0 d は、第 2 の方向 D 2 に沿って当該第 4 の端子 2 1 0 d を通る直線が、第 3 の開口部 2 3 2 を通るか又はその上方を通るものとなるように、第 4 の周辺領域 P 4 内に少なくとも部分的に配置することができる。特定の例では、同じ直線 S 2 が第 2 の端子 2 1 0 b 及び第 4 の端子 2 1 0 d を通るものとすることができるが、そうでなくてもよい。

【 0 1 1 0 】

図 7 ~ 図 9 には、下向きで基板の上に積み重ねられている 4 つの超小型電子素子を備えた超小型電子アセンブリ 3 0 0 を示す別の実施形態を示している。この実施形態では、4 つの開口部が、基板 3 0 2 の第 1 の面 3 0 4 及び第 2 の面 3 0 6 を貫通して延びている。図 7 に最も良く示しているように、第 1 の開口部 3 1 6 及び第 2 の開口部 3 2 6 は、第 3 の開口部 3 3 2 及び第 4 の開口部 3 8 2 に垂直な方向に位置決めされている。第 1 の開口部 3 1 6 は長縁部 3 2 0 及び短縁部 3 1 8 を有し、短縁部 3 1 8 は第 1 の開口部 3 1 6 の第 1 の端部 3 2 2 及び第 2 の端部 3 2 4 に位置している。第 2 の開口部 3 2 6 も一対の短縁部 3 2 8 及び一対の長縁部 3 3 0 を有し、短縁部 3 2 8 は第 2 の開口部 3 2 6 の第 1 の端部 3 2 9 及び第 2 の端部 3 3 1 に位置している。第 3 の開口部 3 3 2 は、第 1 の開口部 3 1 6 及び第 2 の開口部 3 2 6 のそれぞれの第 1 の端部 3 2 2、3 2 9 に隣接するように位置している。これに対し、第 4 の開口部 3 8 2 は、第 1 の開口部 3 1 6 及び第 2 の開口部 3 2 6 のそれぞれの第 2 の端部 3 2 4、3 3 1 に隣接するように位置している。この実施形態では、第 3 の開口部 3 3 2 及び第 4 の開口部 3 8 2 のそれぞれの長縁部 3 3 4、3 8 4 は、第 1 の開口部 3 1 6 及び第 2 の開口部 3 2 6 のそれぞれの長縁部 3 2 0、3 3 0 と位置合わせされていない。図示しているように、第 1 の開口部 3 1 6 及び第 2 の開口部 3 2 6 は、第 3 の開口部 3 3 2 及び第 4 の開口部 3 8 2 よりも、基板 3 0 2 の外周縁部 3 1 2 から離れて配置されている。

【 0 1 1 1 】

一例では、第 1 の開口部 3 1 6 は、短い寸法 A 2 より大きな長い寸法 A 1 を有することができる。長い寸法 A 1 は第 1 の方向 D 1 に延び、短い寸法 A 2 は第 1 の方向と交差する第 2 の方向 D 2 に延びている。第 2 の開口部 3 2 6 は、短い寸法 B 2 より大きな長い寸法 B 1 を有することができる。長い寸法 B 1 は第 1 の方向 D 1 に延び、短い寸法 B 2 は第 2 の方向 D 2 に延びている。第 3 の開口部 3 3 2 は、短い寸法 C 2 より大きな長い寸法 C 1 を有することができる。長い寸法 C 1 は第 2 の方向 D 2 に延び、短い寸法 C 2 は第 1 の方向 D 1 に延びている。第 4 の開口部 3 8 2 は、短い寸法 E 2 より大きな長い寸法 E 1 を有することができ、長い寸法 E 1 は第 2 の方向 D 2 に延び、短い寸法 E 2 は第 1 の方向 D 1 に延びている。

【 0 1 1 2 】

図 7 ~ 図 8 C に示しているように、第 1 の超小型電子素子 3 3 6 及び第 2 の超小型電子

素子 3 5 3 を、接着剤 3 0 1 等の既知の材料を用いて基板 3 0 2 に取り付け、第 1 の超小型電子素子 3 3 6 の前面 3 4 0 及び第 2 の超小型電子素子 3 5 3 の前面 3 5 7 が基板 3 0 2 の第 1 の面 3 0 4 の真上に位置するようにすることができる。第 1 の超小型電子素子 3 3 6 上のボンドパッド 3 4 2 も第 1 の開口部 3 1 6 の上方に位置決めすることができ、第 2 の超小型電子素子 3 5 3 上のボンドパッド 3 5 9 を第 2 の開口部 3 2 6 の上方に位置決めすることができる。図示しているように、第 1 の超小型電子素子 3 3 6 の第 1 の縁部 3 4 4 及び第 2 の縁部 3 4 5 と、第 2 の超小型電子素子 3 5 3 の第 1 の縁部 3 6 1 及び第 2 の縁部 3 6 2 とは、互いに平行であり、同じ方向に延びている。

【0113】

第 3 の超小型電子素子 3 6 8 及び第 4 の超小型電子素子 3 8 8 は、基板 3 0 2 の上方に、かつ第 1 の超小型電子素子 3 3 6 及び第 2 の超小型電子素子 3 5 3 の上方に位置決めすることができる。図 7 及び図 8 A において最も良く示しているように、第 3 の超小型電子素子 3 6 8 の前面 3 7 2 は、第 1 の超小型電子素子 3 3 6 及び第 2 の超小型電子素子 3 5 3 の背面 3 3 8、3 5 5 の上に重なっている。同様に、第 4 の超小型電子素子 3 8 8 の前面 3 9 2 は、第 1 の超小型電子素子 3 3 6 及び第 2 の超小型電子素子 3 5 3 それぞれの背面 3 3 8、3 5 5 の上に重なっている。スペーサ 2 3 5 (図 8 A、図 8 B) を用いて、基板 3 0 2 の第 1 の面 3 0 4 に面する第 3 の超小型電子素子 3 6 8 及び第 4 の超小型電子素子 3 8 8 の一部を支持することができる。しかし、スペーサは、第 1 の超小型電子素子 3 3 6 及び第 2 の超小型電子素子 3 5 3 の上に重なっているわけではない。

【0114】

図 7 及び図 8 B ~ 図 8 D に示しているように、第 3 の超小型電子素子 3 6 8 は、第 1 の超小型電子素子 3 3 6 及び第 2 の超小型電子素子 3 5 3 のそれぞれの第 1 の端部 3 4 8、3 6 5 に隣接している。第 4 の超小型電子素子 3 8 8 は、第 1 の超小型電子素子 3 3 6 及び第 2 の超小型電子素子 3 5 3 それぞれの第 2 の端部 3 5 0、3 6 7 に隣接している。さらに、第 3 の超小型電子素子 3 6 8 のそれぞれの第 1 の縁部 3 7 6 及び第 2 の縁部 3 7 7 と、第 4 の超小型電子素子 3 8 8 の第 1 の縁部 3 9 6 及び第 2 の縁部 3 9 7 とは、第 1 の超小型電子素子 3 3 6 のそれぞれの第 1 の縁部 3 4 4 及び第 2 の縁部 3 4 5 と、第 2 の超小型電子素子 3 5 3 の第 1 の縁部 3 6 1 及び第 2 の縁部 3 6 2 との両方に垂直な方向に延びている。結果として、図 9 に示しているように、第 3 の超小型電子素子 3 6 8 の中央領域 9 4 6 (図 8 B) に沿って広がりを持つボンドパッド 3 7 4 と、第 4 の超小型電子素子 3 8 8 の中央領域 9 4 8 (図 8 B) に沿って広がりを持つボンドパッド 3 9 4 とは、第 1 の超小型電子素子 3 3 6 及び第 2 の超小型電子素子 3 5 3 の各中央領域 9 5 0、9 5 2 付近に位置決めされるそれぞれのボンドパッド 3 4 2、3 5 9 に垂直な方向に延びている。2 つの超小型電子素子を持つ実施形態に関して上記で説明したように、第 4 の超小型電子素子 3 8 8 は、該第 4 の超小型電子素子の前面の中央領域においてある方向に広がりを有する 5 つ以上のボンドパッド 3 9 4 の少なくとも 1 つの列 3 9 4' を有することができる。

【0115】

基板 3 0 2 上の各超小型電子素子の方向付けにより、第 1 の超小型電子素子 3 3 6 と第 2 の超小型電子素子 3 5 3 と第 3 の超小型電子素子 3 6 8 と第 4 の超小型電子素子 3 8 8 とにおけるボンドパッド 3 4 2 (図 8 D)、3 5 9 (図 8 B)、3 7 4、3 9 4 を、基板 3 0 2 の第 2 の面 3 0 6 上の第 1 の組のコンタクト 3 0 9、第 2 の組コンタクト 3 1 1、第 3 の組のコンタクト 3 1 3、第 4 の組のコンタクト 3 1 4 にそれぞれ電氣的に接続できるようにする。この電氣的接続部は、第 1 の開口部 3 1 6、第 2 の開口部 3 2 6、第 3 の開口部 3 3 2 及び第 4 の開口部 3 8 2 内に存在するか、又はそれらの開口部を通るように設けることができる。本実施形態では、第 1 の超小型電子素子 3 3 6、第 2 の超小型電子素子 3 5 3、第 3 の超小型電子素子 3 6 8 及び第 4 の超小型電子素子 3 8 8 の各々から延びるボンドワイヤ 3 8 0 A、3 8 0 B (図 8 A)、3 8 0 C 及び 3 8 0 D (図 8 B) は、第 1 の開口部 3 1 6、第 2 の開口部 3 2 6、第 3 の開口部 3 3 2 及び第 4 の開口部 3 8 2 を通って延びており、基板上の第 1 の組のコンタクト 3 0 9、第 2 の組コンタクト 3 1 1

、第 3 の組のコンタクト 3 1 3、第 4 の組のコンタクト 3 1 4 にそれぞれ接続している (図 8 A、図 8 B)。

【 0 1 1 6 】

図 9 に示しているように、基板 3 0 2 の第 2 の面 3 0 6 に沿って延びるトレース 3 0 8 は、第 1 の組のコンタクト 3 0 9、第 2 の組コンタクト 3 1 1、第 3 の組のコンタクト 3 1 3、第 4 の組のコンタクト 3 1 4 を、第 2 の面上に分散して配置されている、はんだボール等の導電性材料を有する端子コンタクトへと接続することができる。この端子は、超小型電子アセンブリ 3 0 0 を、該アセンブリの外部にある少なくとも 1 つの構成要素に接続するように構成することができる。

【 0 1 1 7 】

図 3、図 3 A ~ 図 3 H 及び図 6 に関して図示及び説明した実施形態と同様、基板 3 0 2 は、開口部 3 1 6、3 2 6、3 3 2、3 8 2 のうちの 1 以上と、基板の各周縁部との間に広がる周辺領域を有するものとしてすることができる。例えば、基板は、第 3 の開口部 3 3 2 の両端と基板 3 0 2 の向かい合った周縁部との間に広がる周辺領域 P 1 及び P 3 と、第 4 の開口部 3 8 2 の両端と基板 3 0 2 の向かい合った周縁部との間に広がる周辺領域 P 2 及び P 4 と、第 1 の開口部 3 1 6 の両端と基板 3 0 2 の向かい合った周縁部との間に広がる周辺領域 P 5 及び P 7 と、第 2 の開口部 3 2 6 の両端と基板 3 0 2 の向かい合った周縁部との間に広がる周辺領域 P 6 及び P 8 とを有するものとしてすることができる。図 9 に示しているように、基板 3 0 2 の第 2 の面 3 0 6 において露出する少なくとも 1 つの端子を、周辺領域 P 1 ~ P 8 のそれぞれに配置することができる。他の実施形態では、周辺領域 P 1 ~ P 8 のうちの 1 以上の領域にいかなる端子も設けられていない場合がある。

【 0 1 1 8 】

図 9 に示した実施形態又は本明細書に開示の他の実施形態において、基板 3 0 2 に、第 1 の面 3 0 4 と第 2 の面 3 0 6 との間を貫通するアパーチャを設けることができる。一実施形態では、1 以上のこのようなアパーチャは、端子 3 1 0 のうちの 1 以上に隣接する周辺領域 P 1 ~ P 8 のうちの 1 以上の周辺領域に配置することができるか、又は周辺領域 P 1 内に少なくとも部分的に位置するアパーチャ 3 9 5 のように、複数の端子のうちの 1 以上の端子の場所に配置することができる。アンダーフィル又は図 8 B に示した封止材 3 9 9 等の封止材を、このようなアパーチャ 3 9 5 を通じて注入し、超小型電子素子 3 3 6 のボンドパッド 3 4 2 のうちの少なくとも幾つか、及びボンドパッドが電氣的に接続されるコンタクト 3 0 9 のうちの少なくとも幾つかを覆うことができる。アパーチャ 3 9 5 は、基板 3 0 2 の面に沿ったいずれかの場所に配置することができるが、好ましい実施形態では、アパーチャのうちの 1 以上は、周辺領域 P 1 ~ P 8 のうちの 1 以上の周辺領域に位置する。特定の例では、封止材 3 9 9 は、アパーチャ 3 9 5 を通じて、約 4 5 度の角度で、超小型電子素子 3 3 6、3 5 3、3 6 8 及び 3 8 8 のうちの 1 以上の超小型電子素子の前面に注入することができる。

【 0 1 1 9 】

図 9 A に更に示しているように、超小型電子アセンブリ 3 0 0 ' はバッファ素子 3 9 0 を更に備えたものとしてすることができる。このバッファ素子 3 9 0 は、コンタクト支持面 3 4 0、3 5 7 が基板 3 0 2 に隣接している各超小型電子素子の、間隔を置いて位置する縁部 3 4 5 と縁部 3 6 1 との間に配置されている。一実施形態では、バッファ素子 3 9 0 は、アセンブリの端子が受信した少なくとも 1 つの信号を、当該バッファ素子から、アセンブリ 3 0 0 ' 上の第 1 の超小型電子素子 3 3 6、第 2 の超小型電子素子 3 5 3、第 3 の超小型電子素子 3 6 8 及び第 4 の超小型電子素子 3 8 8 に向けて再生することができる。この場合、バッファ素子 3 9 0 は、端子から信号を受信し、その信号を再生し、再生された信号をアセンブリ 3 0 0 ' 上の超小型電子素子のうちの 1 以上へと送る。このような構成の 1 つの利点は、アセンブリ上の相互接続スタブが回路パネル上の対応する信号線から電氣的に絶縁されるように、アセンブリ 3 0 0 ' 内の超小型電子素子とそれに接続される回路パネルとの間の絶縁が提供されるということである。このようにして、アセンブリにおいて不適切に終端処理されたスタブにより生じる信号反射を回避することができる。

【 0 1 2 0 】

図 1 0 ~ 図 1 2 には、下向きの配置で中央にまとめられた超小型電子素子を有するスタックアセンブリ 4 0 0 の代替的实施形態を示している。まず、図 1 0 及び図 1 1 A に示しているように、本実施形態は、第 1 の超小型電子素子 4 3 6 及び第 2 の超小型電子素子 4 5 3 が互いに隣接しているが、両超小型電子素子が同じ平面内に存在していないという点で異なる。先の実施形態と同様に、第 1 の超小型電子素子 4 3 6 は下向きに配置され、第 1 の超小型電子素子 4 3 6 の第 1 の縁部と第 2 の縁部との間の中央領域 9 5 8 (図 1 1 A) 又は中央 3 分の 1 の部分に沿って延びるボンドパッド 4 4 2 は、基板 4 0 2 の第 1 の開口部 4 1 6 (図 1 1 A 及び図 1 2) を通じて露出している。第 2 の超小型電子素子 4 5 3 は、第 1 の超小型電子素子 4 3 6 の少なくとも一部に重なるように位置決めされている。図 1 1 A に最も良く示しているように、第 2 の超小型電子素子 4 5 3 の第 1 の縁部 4 6 5 は、第 1 の超小型電子素子 4 3 6 の背面 4 3 8 の第 2 の縁部 4 4 5 の一部に重なっている。そして、先の実施形態において説明したように、第 1 の超小型電子素子 4 3 6 及び第 2 の超小型電子素子 4 5 3 の両方に重なるように、第 3 の超小型電子素子 4 6 8 及び第 4 の超小型電子素子 4 8 8 が配置される。図 1 1 B ~ 図 1 1 D は、図 7 ~ 図 9 に類似する本アセンブリの別の説明図である。

10

【 0 1 2 1 】

先の実施形態と同様に、ボンドワイヤにより、各超小型電子素子上のボンドパッドを基板上のコンタクトに接続することができる。第 1 の超小型電子素子 4 3 6 上のボンドワイヤ 4 4 9 は、第 1 の超小型電子素子 4 3 6 上のボンドパッド 4 4 2 から、基板 4 0 2 内の第 1 の開口部 4 1 6 を通って、基板 4 0 2 上の第 1 の組のコンタクト 4 0 9 へと延びている。第 2 の超小型電子素子 4 5 3 上のボンドワイヤ 4 6 0 は、ボンドパッド 4 5 9 から第 2 の開口部 4 2 6 を通って延び、基板 4 0 2 上の第 2 の組のコンタクト 4 1 1 に接続している。第 3 の超小型電子素子 4 6 8 上のボンドワイヤ 4 7 5 は、ボンドパッド 4 7 4 から、第 3 の開口部 4 3 2 を通って延び、基板 4 0 2 上の第 3 の組のコンタクト 4 1 3 に接続している。図 1 2 に示しているように、トレース 4 0 8 を用いて、複数の組のコンタクト 4 0 9、4 1 1、4 1 3、4 1 4 のそれぞれを基板 4 0 2 上の端子コンタクト 4 1 0 へと接続することができる。端子 4 1 0 は、超小型電子アセンブリ 4 0 0 を、該アセンブリの外部にある少なくとも 1 つの構成要素に接続するように構成することができる。

20

【 0 1 2 2 】

図 4、図 4 A ~ 図 3 H、図 6 及び図 9 に関して図示及び説明した実施形態と同様に、基板 4 0 2 は、開口部 4 1 6、4 2 6、4 3 2、4 8 2 のうちの 1 以上と、基板の各周縁部との間に広がる周辺領域を有することができる。例えば、基板は、第 3 の開口部 4 3 2 の両端と基板 4 0 2 の向かい合った周縁部との間に広がる周辺領域 P 1 及び P 3 と、第 4 の開口部 4 8 2 の両端と基板 4 0 2 の向かい合った周縁部との間に広がる周辺領域 P 2 及び P 4 と、第 1 の開口部 4 1 6 の両端と基板 4 0 2 の向かい合った周縁部との間に広がる周辺領域 P 5 及び P 7 と、第 2 の開口部 4 2 6 の両端と基板 4 0 2 の向かい合った周縁部との間に広がる周辺領域 P 6 及び P 8 とを有することができる。図 9 に示しているように、基板 4 0 2 の第 2 の面 4 0 6 において露出した少なくとも 1 つの端子を、周辺領域 P 1 ~ P 8 のそれぞれに配置することができる。他の実施形態では、周辺領域 P 1 ~ P 8 のうちの 1 以上の領域にいかなる端子も設けられていない場合がある。

30

40

【 0 1 2 3 】

図 1 3 に示すように、図 1 0 ~ 図 1 2 の代替となる実施形態においては、超小型電子アセンブリ 5 0 0 は、第 4 の超小型電子素子 5 8 8 の背面 5 9 0 及び前面 5 9 2 の一部との間で熱が伝わる状態にあるヒートスプレッド 5 5 2 を更に備えている。ヒートスプレッド 5 5 2 は、第 1 の超小型電子素子 5 3 6 と第 2 の超小型電子素子 5 5 3 との間にも広がり、を有するものとして、積み重ねられた超小型電子素子の配置において均等に熱が分散するようにすることができる。ヒートスプレッド 5 5 2 は、周囲環境への放熱を向上させることができる。ヒートスプレッド 5 5 2 は、任意の適切な熱伝導性材料から部分的に又は全体的に作ることができる。適切な熱伝導性材料の例は、限定はされないが、金属、グラフ

50

ァイト、熱伝導性接着剤、例えば、熱伝導性エポキシ、ハンダ等、又はそのような材料の組み合わせを含む。一例では、ヒートスプレッド 5 5 2 は、実質的に連続な金属シートとすることができる。特定の実施形態では、金属製又は他の熱伝導性材料製の、あらかじめ形成されたヒートスプレッド 5 5 2 を、熱伝導性接着剤又は熱伝導性グリース等の熱伝導性材料等により第 4 の超小型電子素子 5 8 8 の背面 5 9 0 に取り付けるか又は配置することができる。接着剤を用いる場合、その接着剤はコンプライアント材料とすることができる、それにより、例えば柔軟性を持って取り付けられた (compliantly attached) 要素間の異なる熱膨張に対応できるよう、ヒートスプレッドと該ヒートスプレッドが取り付けられた超小型電子素子とが相対的に動くことができるようにする。また、ヒートスプレッド 5 5 2 は、第 3 の超小型電子素子 5 6 8 (不図示)、第 1 の超小型電子素子 5 3 6 の第 1 の面、及び第 2 の超小型電子素子 5 5 3 の一部と接触するようにすることもできる。ヒートスプレッド 5 5 2 はモノリシック構造とすることができる。あるいは、ヒートスプレッド 5 5 2 は、互いに間隔を置いて配置された複数のスプレッド部分を有するものとしてすることができる。特定の実施形態では、ヒートスプレッド 5 5 2 は、第 1 の超小型電子素子 5 3 6、第 2 の超小型電子素子 5 5 3、第 3 の超小型電子素子 5 6 8 及び第 4 の超小型電子素子 5 8 8 のうちの 1 以上の超小型電子素子の背面の少なくとも一部に直接接合されたはんだ層とすることができるか、又はそのようなはんだ層を含んだものとしてすることができる。

10

【0124】

先の実施形態では、中央でまとめられたチップを組み込んだスタック型超小型電子アセンブリを開示したが、中央でまとめられていない少なくとも 1 つのチップを上記の超小型電子アセンブリのいずれかに組み込むこともできることを理解されたい。例えば、図 1 4 には、図 4 ~ 図 6 の実施形態と実質的に同様であるスタック型超小型電子アセンブリを示している。この実施形態は、ボンドパッドの位置を第 2 の超小型電子素子の縁部に沿うようにするために変更が必要であるという点で異なる。

20

【0125】

図 1 4 に示しているように、先の実施形態と同様、第 2 の超小型電子素子は 3 つの領域、すなわち第 1 の外側領域 9 6 6 と、第 2 の外側領域 9 6 8 と、第 1 の外側領域 9 6 6 と第 2 の外側領域 9 6 8 との間に位置する中央領域 9 7 0 とを有するものとしてすることができる。第 2 の超小型電子素子 6 5 3 上のボンドパッド 6 5 9 (図 1 5) が、第 2 の超小型電子素子 6 5 3 の前面 6 5 7 における第 1 の外側領域 9 6 6 に配置されている。また、ボンドパッド 6 5 9 の位置を、第 2 の超小型電子素子 6 5 3 の第 1 の外側領域 9 6 6 に合わせるために、基板 6 0 2 の第 2 の開口部 6 2 6 は、基板 6 0 2 の縁部 6 1 2 (図 1 4) に直に隣接する第 1 の外側領域 9 6 6 に配置されている。そして、図 1 5 に示しているように、導電性接続部は、第 2 の超小型電子素子 6 5 3 上のボンドパッド 6 5 9 から基板 6 0 2 の第 2 の面 6 0 6 上の第 2 の組のコンタクト 6 1 1 へと延びたものとしてすることができる。トレース 6 0 8 は、第 2 の組のコンタクト 6 1 1 を、はんだボール 6 1 5 を支持する端子コンタクト 6 1 0 へと電氣的に接続する。

30

【0126】

上記で開示した実施形態においては、基板内の開口部を通して延びるボンドワイヤを用いて、超小型電子素子と基板の第 2 の面上のコンタクトとの間の電氣的接続を確立しているが、そのような接続を確立するための任意の既知の構造又は方法を用いることができることを理解されたい。例えば、一実施形態では、図 1 6 ~ 図 1 7 B に示しているように、第 1 の超小型電子素子 7 3 6 及び第 2 の超小型電子素子 7 5 3 が、図 1 ~ 図 3 に示した実施形態と同じようにして積み重ねられている。この代替的实施形態では、2 つの別のタイプのボンディングを示す。このようなボンディング手法は、例えば、米国特許第 5, 8 6 1, 6 6 6 号に開示されており、その開示内容は引用することにより本明細書の一部をなすものとする。

40

【0127】

まず図 1 7 A には、第 1 の超小型電子素子 7 3 6 上のボンドパッド 7 4 2 から基板 7 0 2 の第 2 の面 7 0 6 上の第 1 の組のコンタクト 7 0 9 へと延びたリードボンド部 7 4 8 を

50

示している。リードボンド部 748 は、先の実施形態において開示したボンドワイヤよりもはるかに硬い。次に、図 17B に示しているように、類似のリードボンド部 765 は、第 2 の超小型電子素子 753 上のボンドパッドから、基板 702 の第 2 の面 706 ではなく、基板 702 の第 1 の面 704 上の第 2 の組のコンタクト 711 へと延びたものとすることができる。基板 702 の第 1 の面 704 と第 2 の面 706 との間にビア 766 が延びたものとすることができる。ビア 766 を導電性材料で満たし、基板の第 1 の面上のコンタクトを基板 702 の第 2 の面 706 上の端子コンタクト 710 と導通するように接続することができる。

【0128】

種々の電子システムの構成において、上記で説明した種々の超小型電子アセンブリを利用することができる。例えば、図 18 に示すように、本発明の別の実施形態によるシステム 1000 は、既に超小型電子アセンブリの先行実施形態において説明したような構造部 1006 を、別の電子構成要素 1008 及び 1010 とともに備えている。図示の例では、構成要素 1008 は半導体チップであり、構成要素 1010 は表示画面であるが、任意の別の構成要素を用いることもできる。当然、明確に例示するために、図 18 には、2 つの別の構成要素しか示していないが、本システムは、任意の数のそのような構成要素を備えたものとすることができる。上記のような構造部 1006 は、例えば、複合チップ、又は複数のチップを組み込んだ構造とすることができる。別の変形形態では、その両方を設けることができ、任意の数のそのような構造を用いることができる。構造部 1006 並びに構成要素 1008 及び 1010 は、破線で示した共通のハウジング 1001 内に取り付けられ、所望の回路を形成するために必要に応じて互いに電氣的に相互接続される。図示される例示的なシステムでは、このシステムはフレキシブルプリント回路基板等の回路パネル 1002 を有し、該回路パネルは構成要素を互いに接続する多数の導体 1004 を有し、その 1 つのみを図 18 に示している。しかし、これは例示に過ぎない。電氣的接続を形成するのに適した任意の構造を用いることができる。ハウジング 1001 は、例えば、携帯電話又は携帯情報端末において使用可能なタイプのポータブルハウジングとして示され、画面 1010 はハウジングの表面に露出している。構造部 1006 が撮像チップ等の感光素子を含む場合は、その構造部に光を送るためにレンズ 1011 又は他の光学デバイスを設けることもできる。ここでもまた、図 18 に示す簡略化されたシステムは例示に過ぎない。上記で説明した構造を用いて、デスクトップコンピュータ、ルータ等の固定構造体と一般的に見なされるシステムを含む他のシステムを構成することもできる。

【0129】

様々な従属請求項及びその特徴を、初めの請求項に提示したものと異なる方法で組み合わせることができることが認識されるであろう。個々の実施形態に関して説明した特徴は、説明した実施形態の他のものと様々な組合せで共有することができることも認識されるであろう。

【0130】

特定の実施形態を参照しながら本明細書にて本発明を説明したが、これらの実施形態は本発明の原理及び応用形態を例示したものに過ぎないことを理解されたい。そのため、添付の特許請求の範囲によって定められるような本発明の趣旨及び範囲から逸脱することなく、例示的な実施形態に数多くの変更を加えることができること、及び他の構成を考案することができることを理解されたい。

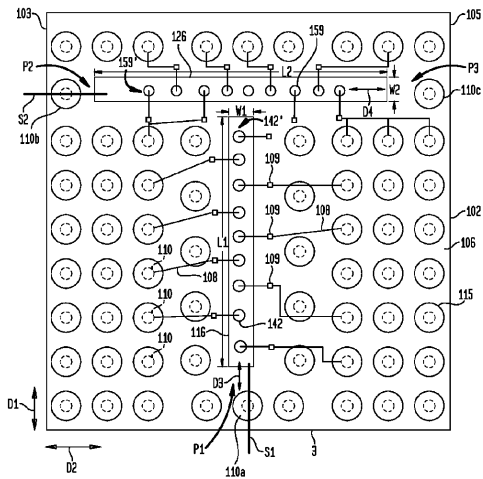
【産業上の利用可能性】

【0131】

本発明は、超小型電子アセンブリ及び超小型電子アセンブリを製造する方法を含むものの、これらに限定されない幅広い産業上の利用可能性を有する。

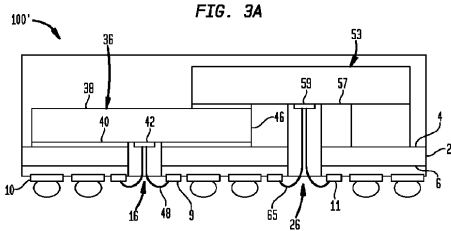
【図 3】

FIG. 3



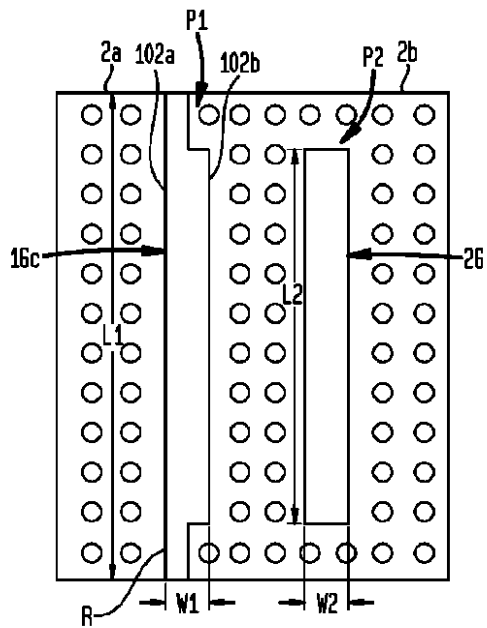
【図 3 A】

FIG. 3A



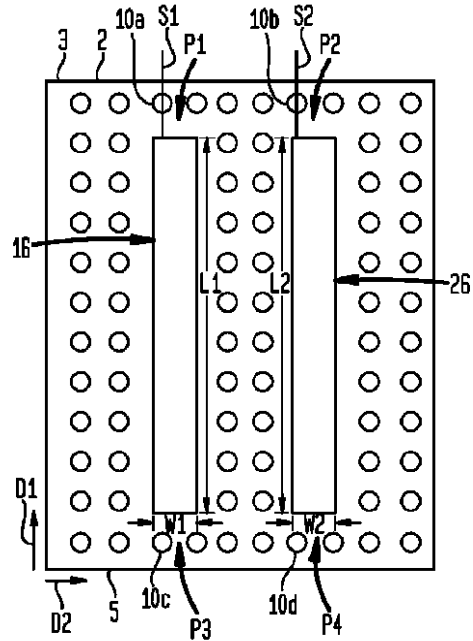
【図 3 C】

FIG. 3C



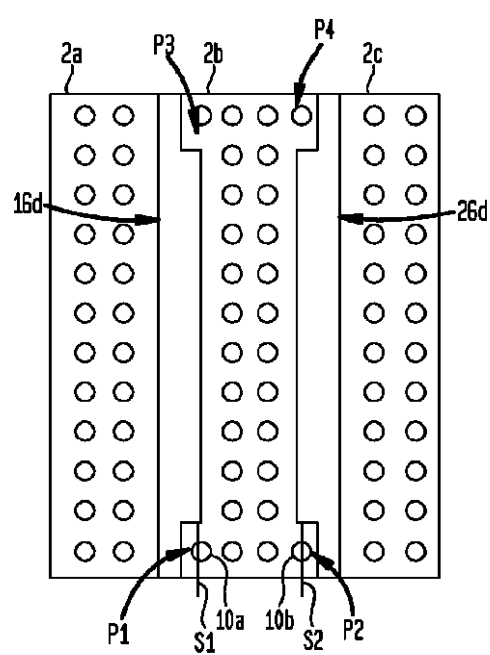
【図 3 B】

FIG. 3B

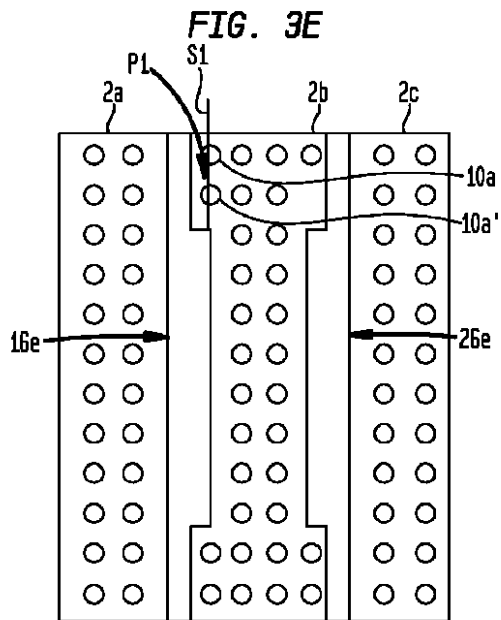


【図 3 D】

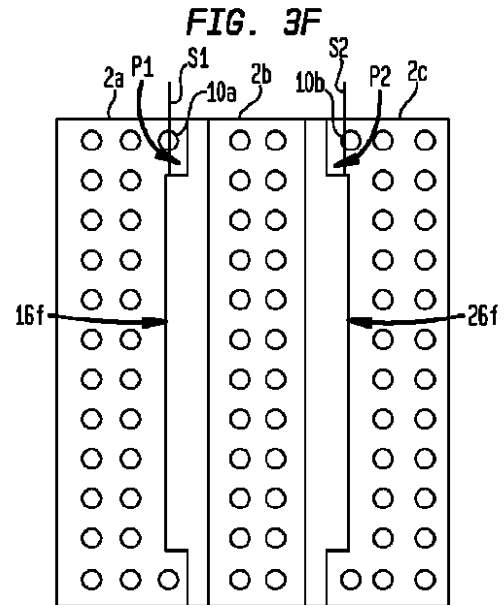
FIG. 3D



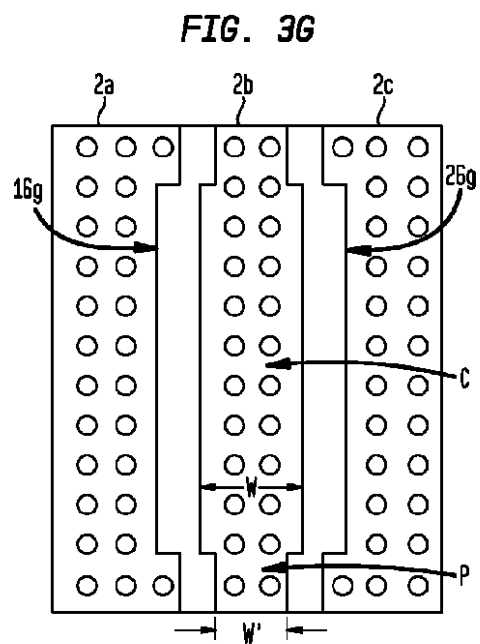
【図 3 E】



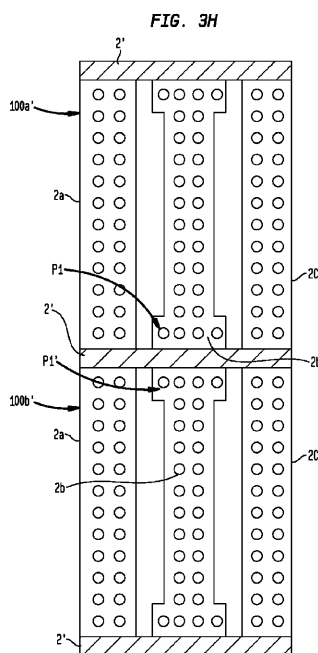
【図 3 F】



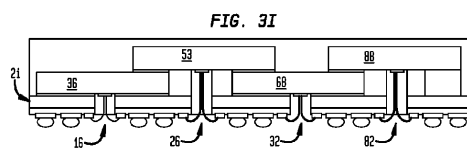
【図 3 G】



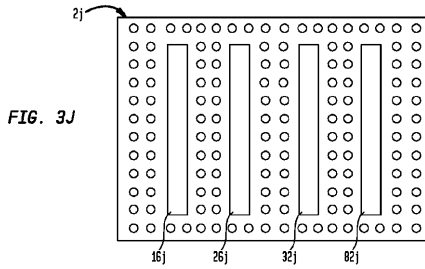
【図 3 H】



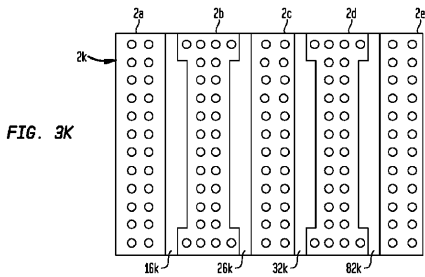
【図 3 I】



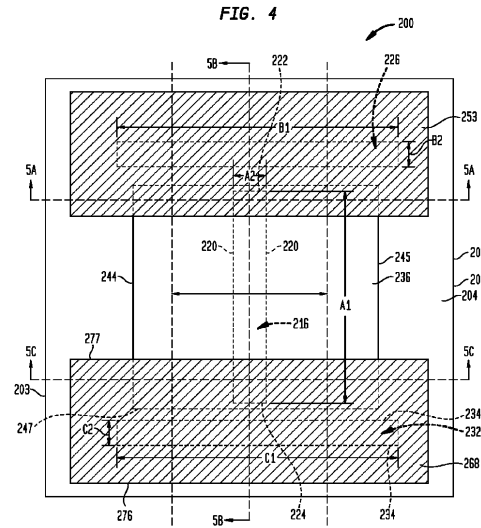
【 図 3 J 】



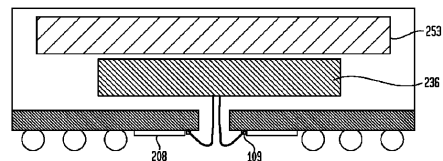
【 図 3 K 】



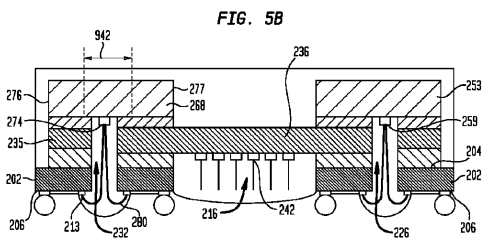
【 図 4 】



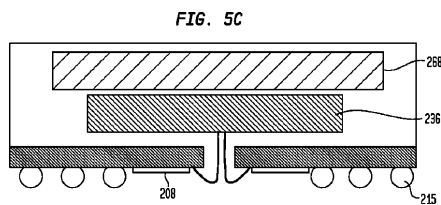
【 図 5 A 】



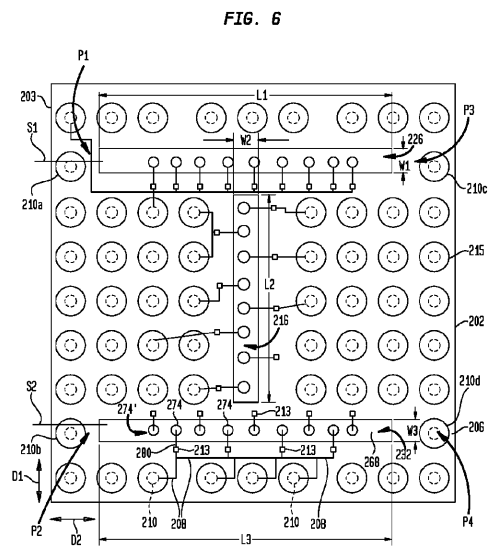
【 ㊦ 5 B 】



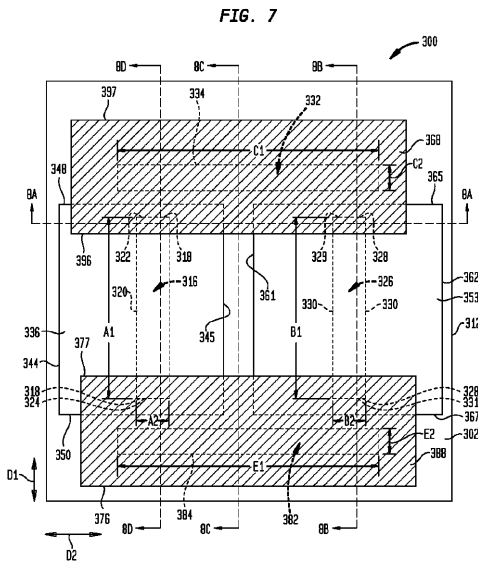
【 ㊦ 5 C 】



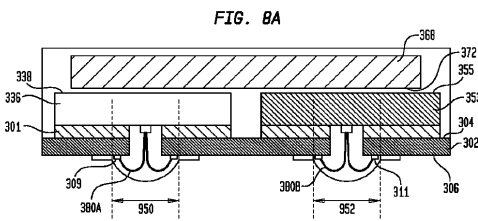
【 図 6 】



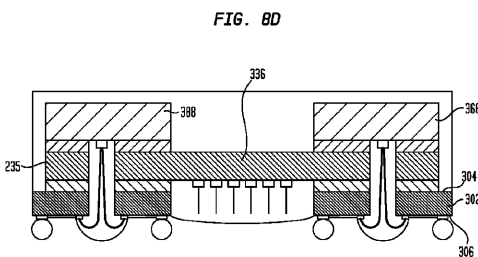
【圖 7】



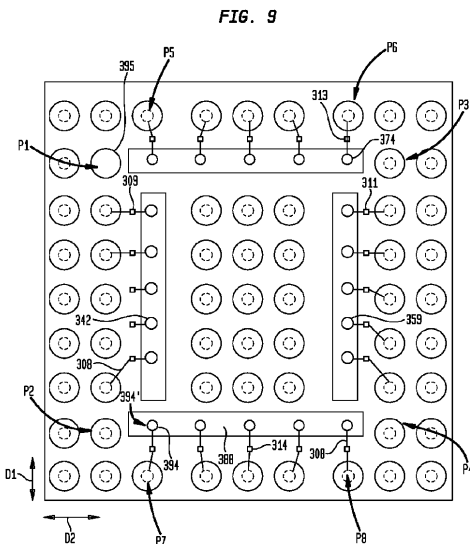
【 図 8 A 】



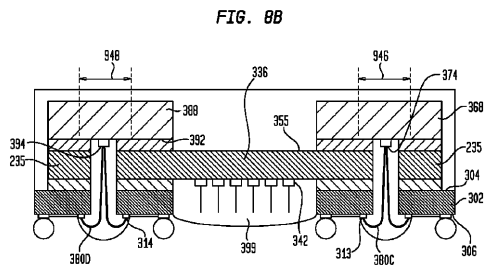
【 図 8 D 】



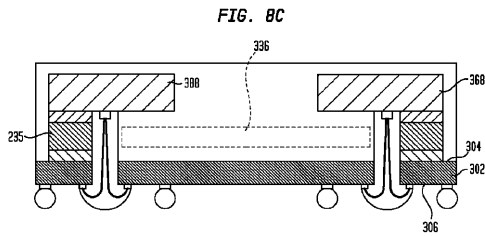
【 図 9 】



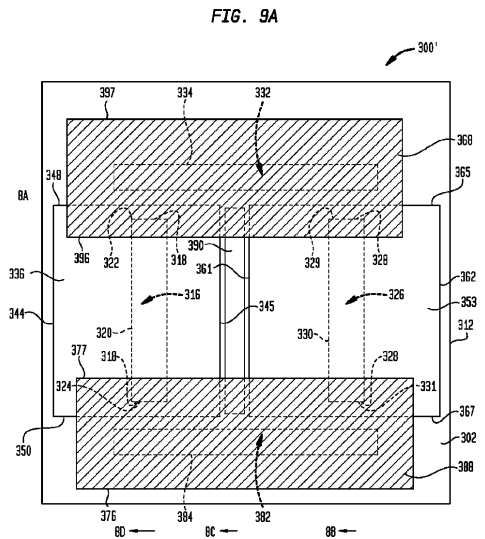
【 図 8 B 】



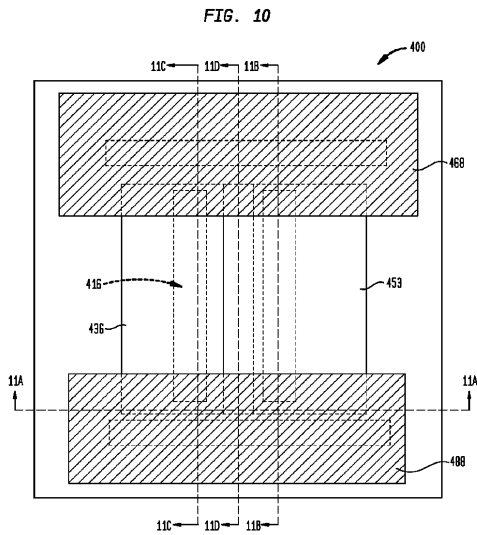
【 図 8 C 】



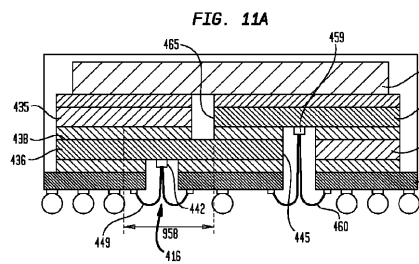
【 ㄨ 9 A 】



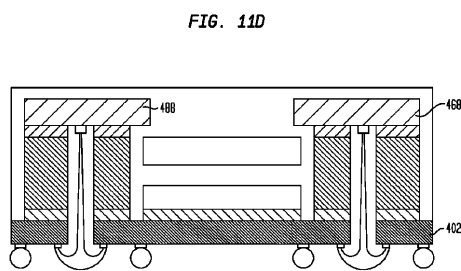
【図 10】



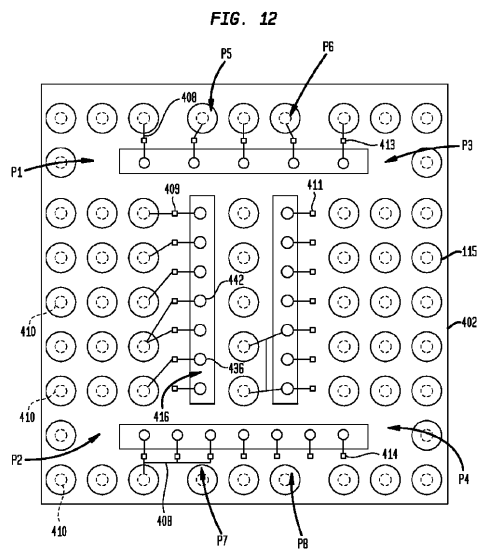
【図 11 A】



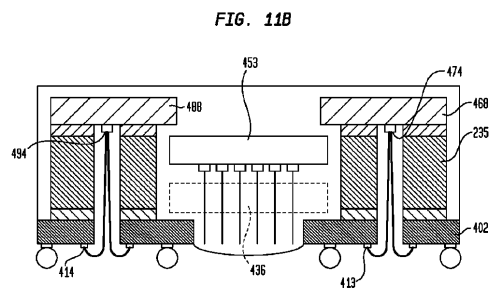
【図 11 D】



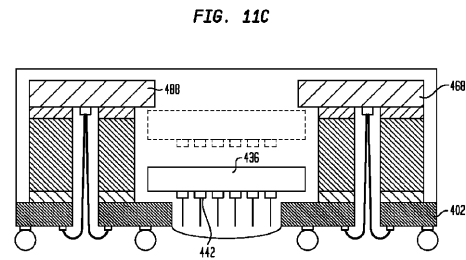
【図 12】



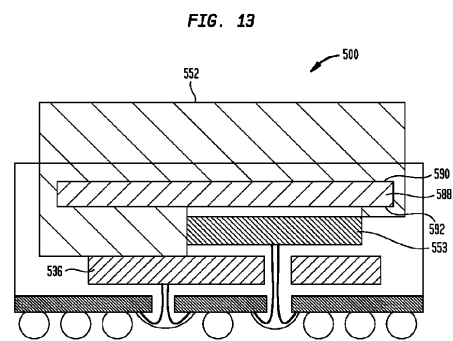
【図 11 B】



【図 11 C】

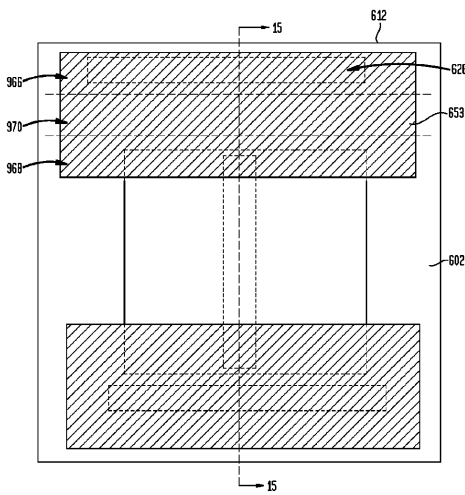


【図 13】



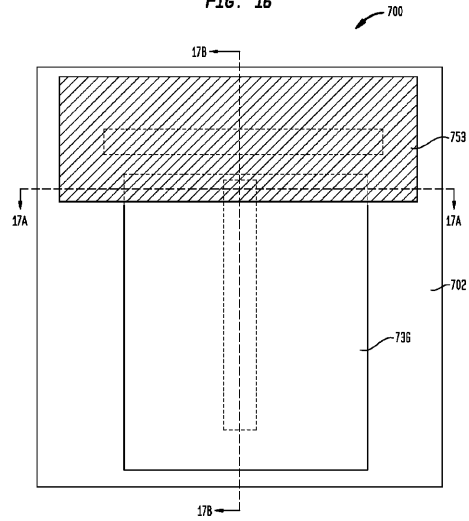
【 図 1 4 】

FIG. 14



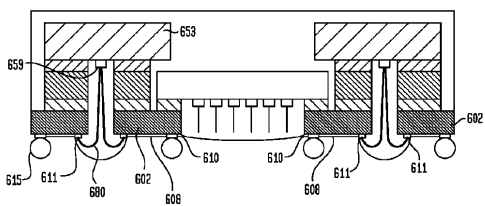
【 図 1 6 】

FIG. 16



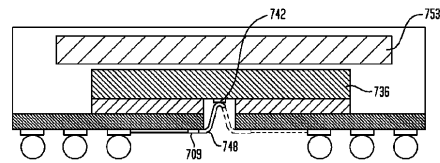
【 図 1 5 】

FIG. 15



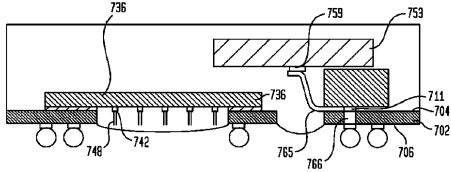
【 図 1 7 A 】

FIG. 17A



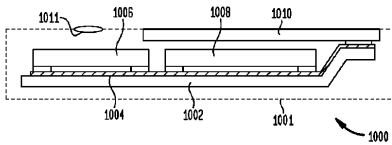
【 図 1 7 B 】

FIG. 17B



【 図 1 8 】

FIG. 18



【手続補正書】

【提出日】平成27年3月31日(2015.3.31)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 の横方向及び第 2 の横方向にそれぞれ広がりをもつ、向かい合った第 1 の面及び第 2 の面と、

前記第 1 の面と前記第 2 の面との間において前記第 2 の方向に広がりをもつ周縁部と

、
前記第 1 の面と前記第 2 の面との間に広がりをもつ、前記第 1 の方向に沿った長手の第 1 の寸法と、該第 1 の寸法よりも小さな、前記第 2 の方向に沿った第 2 の寸法とをもつ第 1 の開口部及び第 2 の開口部と、

前記周縁部と前記開口部のうちの 1 つとの間に広がりをもつ、前記第 2 の面における周辺領域と

をもつ基板と、

前記第 1 の面に面する前面と、該前面にあり、前記第 1 の開口部と位置合わせされたボンダパッドと、前記前面の反対側にある背面と、前記前面と前記背面との間に広がりをもつ縁部とをもつ第 1 の超小型電子素子と、

前記第 1 の超小型電子素子の背面を向き、該第 1 の超小型電子素子の縁部を越えて突出した前面と、該前面にあり、前記第 2 の開口部と位置合わせされたボンダパッドとをもつ第 2 の超小型電子素子と、

前記第 2 の面において露出し、前記第 1 の超小型電子素子及び前記第 2 の超小型電子素子のボンダパッドと電気的に接続されている複数の端子であって、該端子は超小型電子アセンブリを該アセンブリの外部にある少なくとも 1 つの要素に接続させるものであり、該端子のうちの少なくとも 1 つの端子は、前記第 1 の方向に沿って当該少なくとも 1 つの端子を通る直線が前記開口部のうちの少なくとも 1 つを通るか又はその上方を通るものとなるように、前記周辺領域内に少なくとも部分的に配置されている、複数の端子と

を備え、

前記第 1 の超小型電子素子及び前記第 2 の超小型電子素子のボンダパッドは、前記基板の導電性要素に電気的に接続されており、

前記第 1 の超小型電子素子のボンダパッドは、前記第 1 の開口部と位置合わせされた部分を有する第 1 のリード部により前記導電性要素に電気的に接続されており、

前記第 2 の超小型電子素子のボンダパッドは、前記第 2 の開口部と位置合わせされた部分を有する第 2 のリード部により前記導電性要素に電気的に接続されており、

前記第 1 の超小型電子素子の前記縁部が第 1 の縁部であり、該第 1 の超小型電子素子は前記第 1 の縁部の反対側にある第 2 の縁部を有しており、

前記第 2 の超小型電子素子は向かい合った第 1 の縁部及び第 2 の縁部を有しており、

各超小型電子素子は、当該超小型電子素子の前面の中央領域において前記第 1 の方向に沿って延びている 5 以上のボンダパッドの少なくとも 1 つの列を有し、各中央領域は各々の第 1 の縁部と第 2 の縁部との間の距離の中央 3 分の 1 に広がりをもっている、超小型電子アセンブリ。

【請求項 2】

前記周縁部が第 1 の周縁部であり、前記周辺領域が第 1 の周辺領域であり、前記少なくとも 1 つの端子が第 1 の端子であり、

前記基板は、前記第 1 の周縁部の反対側に位置し、前記第 1 の面と前記第 2 の面との間において前記第 2 の方向に広がりをもつ第 2 の周縁部と、該第 2 の周縁部と前記開口部

のうちの１つとの間に広がりをも有する、前記第２の面における第２の周辺領域とを有し、
前記端子のうちの少なくとも１つが第２の端子であり、該第２の端子は、前記第１の方向に沿って当該第２の端子を通る直線が前記開口部のうちの少なくとも１つを通るか又はその上方を通るものとなるように、前記第２の周辺領域内に少なくとも部分的に配置されている、請求項１に記載の超小型電子アセンブリ。

【請求項３】

前記周辺領域が第１の周辺領域であり、前記開口部のうちの１つが前記第１の開口部であり、前記端子のうちの少なくとも１つの端子が第１の端子であり、

前記基板は、前記周縁部と前記第２の開口部との間に広がりをも有する、前記第２の面における第２の周辺領域を有し、

前記端子のうちの少なくとも１つが第２の端子であり、該第２の端子は、前記第１の方向に沿って当該第２の端子を通る直線が前記第２の開口部を通るか又はその上方を通るものとなるように、前記第２の周縁領域内に少なくとも部分的に配置されている、請求項１に記載の超小型電子アセンブリ。

【請求項４】

前記周縁部が第１の周縁部であり、前記基板は、前記第１の周縁部の反対側にあり、前記第１の面と前記第２の面との間において前記第２の方向に広がりをも有する第２の周縁部と、前記第２の周縁部と前記第１の開口部及び前記第２の開口部の各々との間に広がりをも有する、前記第２の面における第３の周辺領域及び第４の周辺領域とを有し、

前記端子のうちの少なくとも１つが第３の端子であり、該第３の端子は、前記第１の方向に沿って当該第３の端子を通る直線が前記第１の開口部を通るか又はその上方を通るものとなるように、前記第３の周辺領域内に少なくとも部分的に配置されており、

前記端子のうちの少なくとも１つが第４の端子であり、該第４の端子は、前記第１の方向に沿って当該第４の端子を通る直線が前記第２の開口部を通るか又はその上方を通るものとなるように、前記第４の周辺領域内に少なくとも部分的に配置されている、請求項３に記載の超小型電子アセンブリ。

【請求項５】

前記第１のリード部が前記第１の開口部を通過して延びていないか、又は前記第２のリード部が前記第２の開口部を通過して延びていないかの少なくとも一方である、請求項４に記載の超小型電子アセンブリ。

【請求項６】

前記第１の超小型電子素子のボンダパッドは、前記第１の開口部を通過して延びている第１のワイヤボンダ部により前記導電性要素に電気的に接続されており、

前記第２の超小型電子素子のボンダパッドは、前記第２の開口部を通過して延びている第２のワイヤボンダ部により前記導電性要素に電気的に接続されている、請求項３に記載の超小型電子アセンブリ。

【請求項７】

前記第１のワイヤボンダ部は前記第１の開口部のみを通過して延びており、前記第２のワイヤボンダ部は前記第２の開口部のみを通過して延びている、請求項６に記載の超小型電子アセンブリ。

【請求項８】

各超小型電子素子は、メモリ記憶アレイ機能を提供する能動デバイスを他の任意の機能よりも数多く有している、請求項１に記載の超小型電子アセンブリ。

【請求項９】

前記第１の超小型電子素子は、該第１の超小型電子素子の前面と背面との間に広がりをも有する前記縁部とその反対側にある縁部との間の幅を有し、

前記第２の超小型電子素子は、該第２の超小型電子素子の前面と背面との間にそれぞれ広がりをも有し、向かい合っている縁部間の幅を有し、

前記第１の超小型電子素子の幅は前記第１の開口部の第２の寸法よりも大きく、前記第２の超小型電子素子の幅は前記第２の開口部の第２の寸法よりも大きい、請求項１に記載

の超小型電子アセンブリ。

【請求項 10】

前記第 1 の開口部及び前記第 2 の開口部のうちの一方は、前記第 1 の開口部及び前記第 2 の開口部のうちの他方よりも、前記周縁部に近い位置へと延びている、請求項 1 に記載の超小型電子アセンブリ。

【請求項 11】

前記基板は、前記第 1 の面と前記第 2 の面との間に広がりをもつ第 3 の開口部及び第 4 の開口部を有し、該第 3 の開口部及び該第 4 の開口部はそれぞれ、前記第 2 の方向に沿った長手の第 1 の寸法と、該第 1 の寸法よりも小さな、前記第 1 の方向に沿った第 2 の寸法とを有し、

前記超小型電子アセンブリは、前記基板の第 1 の面に面する前面を有する第 3 の超小型電子素子及び第 4 の超小型電子素子を更に備えており、該第 3 の超小型電子素子及び該第 4 の超小型電子素子は、当該超小型電子素子の前面にあり、前記第 3 の開口部又は前記第 4 の開口部と位置合わせされたボンダッドを有し、

前記第 3 の超小型電子素子及び前記第 4 の超小型電子素子のボンダッドは、前記基板の導電性要素に電気的に接続されている、請求項 1 に記載の超小型電子アセンブリ。

【請求項 12】

前記基板は、前記周辺領域において前記第 1 の面と前記第 2 の面との間に延びているアパーチャを更に有し、該アパーチャは、当該アパーチャを通して流れる封止材又はアンダーフィル材料を受け入れるものである、請求項 11 に記載の超小型電子アセンブリ。

【請求項 13】

第 1 の横方向及び第 2 の横方向にそれぞれ広がりをもつ、向かい合った第 1 の面及び第 2 の面と、

前記第 1 の面と前記第 2 の面との間において前記第 2 の方向に広がりをもつ周縁部と、

前記第 1 の面と前記第 2 の面との間に広がりをもつ第 1 の開口部及び第 2 の開口部であって、前記第 1 の開口部は、前記第 2 の開口部と前記周縁部との間にあるとともに、前記第 1 の方向に沿った長手の第 1 の寸法と、該第 1 の寸法よりも小さな、前記第 2 の方向に沿った第 2 の寸法とを有し、前記第 2 の開口部は、前記第 2 の方向に沿った長手の第 1 の寸法と、該第 1 の寸法よりも小さな、前記第 1 の方向に沿った第 2 の寸法とを有する、第 1 の開口部及び第 2 の開口部と、

前記周縁部と前記第 1 の開口部との間に広がりをもつ、前記第 2 の面における周辺領域と

を有する基板と、

前記第 1 の面に面する前面と、該前面にあり、前記第 1 の開口部と位置合わせされたボンダッドと、前記前面の反対側にある背面と、前記前面と前記背面との間に広がりをもつ縁部とを有する第 1 の超小型電子素子と、

前記第 1 の超小型電子素子の背面を向き、該第 1 の超小型電子素子の縁部を越えて突出した前面と、該前面にあり、前記第 2 の開口部と位置合わせされたボンダッドとを有する第 2 の超小型電子素子と、

前記第 2 の面において露出し、前記第 1 の超小型電子素子及び前記第 2 の超小型電子素子のボンダッドと電気的に接続されている複数の端子であって、該端子は超小型電子アセンブリを該アセンブリの外部にある少なくとも 1 つの要素に接続させるものであり、該端子のうちの少なくとも 1 つの端子は、前記第 1 の方向に沿って当該少なくとも 1 つの端子を通る直線が前記第 1 の開口部を通るか又はその上方を通るものとなるように、前記周辺領域内に少なくとも部分的に配置されている、複数の端子と

を備え、

前記第 1 の超小型電子素子及び前記第 2 の超小型電子素子のボンダッドは、前記基板の導電性要素に電気的に接続されており、

前記第 1 の超小型電子素子のボンダッドは、前記第 1 の開口部と位置合わせされた部

分を有する第 1 のリード部により前記導電性要素に電氣的に接続されており、

前記第 2 の超小型電子素子のボンドパッドは、前記第 2 の開口部と位置合わせされた部分を有する第 2 のリード部により前記導電性要素に電氣的に接続されており、

前記第 1 の超小型電子素子の前記縁部が第 1 の縁部であり、該第 1 の超小型電子素子は前記第 1 の縁部の反対側にある第 2 の縁部を有しており、

前記第 2 の超小型電子素子は向かい合った第 1 の縁部及び第 2 の縁部を有しており、

各超小型電子素子は、当該超小型電子素子の前面の中央領域において前記第 1 の方向に沿って延びている 5 以上のボンドパッドの少なくとも 1 つの列を有し、各中央領域は各々の第 1 の縁部と第 2 の縁部との間の距離の中央 3 分の 1 に広がりをもっている、超小型電子アセンブリ。

【請求項 1 4】

前記周縁部が第 1 の周縁部であり、前記周辺領域が第 1 の周辺領域であり、前記端子のうちの前記少なくとも 1 つの端子が第 1 の端子であり、

前記基板は、前記第 1 の面と前記第 2 の面との間において前記第 1 の方向に広がりをもつ第 2 の周縁部と、該第 2 の周縁部と前記第 2 の開口部との間に広がりをもつ、前記第 2 の面における第 2 の周辺領域とを有し、

前記端子のうちの少なくとも 1 つが第 2 の端子であり、該第 2 の端子は、前記第 2 の方向に沿って当該第 2 の端子を通る直線が前記第 2 の開口部を通るか又はその上方を通るものとなるように、前記第 2 の周辺領域内に少なくとも部分的に配置されている、請求項 1 3 に記載の超小型電子アセンブリ。

【請求項 1 5】

前記基板は、前記第 2 の周縁部の反対側にあり、前記第 1 の面と前記第 2 の面との間において前記第 1 の方向に広がりをもつ第 3 の周縁部と、該第 3 の周縁部と前記第 2 の開口部との間に広がりをもつ、前記第 2 の面における第 3 の周辺領域とを有し、

前記端子のうちの少なくとも 1 つが第 3 の端子であり、該第 3 の端子は、前記第 2 の方向に沿って当該第 3 の端子を通る直線が前記第 2 の開口部を通るか又はその上方を通るものとなるように、前記第 3 の周辺領域内に少なくとも部分的に配置されている、請求項 1 4 に記載の超小型電子アセンブリ。

【請求項 1 6】

第 1 の横方向及び第 2 の横方向にそれぞれ広がりをもつ、向かい合った第 1 の面及び第 2 の面と、

前記第 1 の面と前記第 2 の面との間において前記第 1 の方向に広がりをもつ周縁部と、

前記第 1 の面と前記第 2 の面との間に広がりをもつ、前記第 1 の方向に沿った長手の第 1 の寸法と、該第 1 の寸法よりも小さな、前記第 2 の方向に沿った第 2 の寸法とを有する第 1 の開口部と、

前記第 1 の面と前記第 2 の面との間に広がりをもつ、前記第 2 の方向に沿った長手の第 1 の寸法と、該第 1 の寸法よりも小さな、前記第 1 の方向に沿った第 2 の寸法とを有する第 2 の開口部と、

前記周縁部と前記第 2 の開口部との間に広がりをもつ、前記第 2 の面における周辺領域と

を有する基板と、

前記第 1 の面に面する前面と、該前面にあり、前記第 1 の開口部と位置合わせされたボンドパッドと、前記前面の反対側にある背面と、前記前面と前記背面との間に広がりをもつ縁部とを有する第 1 の超小型電子素子と、

前記第 1 の超小型電子素子の背面を向き、該第 1 の超小型電子素子の縁部を越えて突出した前面と、該前面にあり、前記第 2 の開口部と位置合わせされたボンドパッドとを有する第 2 の超小型電子素子と、

前記第 2 の面において露出し、前記第 1 の超小型電子素子及び前記第 2 の超小型電子素子のボンドパッドと電氣的に接続されている複数の端子であって、該端子は超小型電子ア

センブリを該アセンブリの外部にある少なくとも1つの要素に接続させるものであり、該端子のうちの少なくとも1つの端子は、前記第2の方向に沿って当該少なくとも1つの端子を通る直線が前記第2の開口部を通るか又はその上方を通るものとなるように、前記周辺領域内に少なくとも部分的に配置されている、複数の端子と

を備え、

前記第1の超小型電子素子及び前記第2の超小型電子素子のボンドパッドは、前記基板の導電性要素に電氣的に接続されており、

前記第1の超小型電子素子のボンドパッドは、前記第1の開口部と位置合わせされた部分を有する第1のリード部により前記導電性要素に電氣的に接続されており、

前記第2の超小型電子素子のボンドパッドは、前記第2の開口部と位置合わせされた部分を有する第2のリード部により前記導電性要素に電氣的に接続されており、

前記第1の超小型電子素子の前記縁部が第1の縁部であり、該第1の超小型電子素子は前記第1の縁部の反対側にある第2の縁部を有しており、

前記第2の超小型電子素子は向かい合った第1の縁部及び第2の縁部を有しており、

各超小型電子素子は、当該超小型電子素子の前面の中央領域において前記第1の方向に沿って延びている5以上のボンドパッドの少なくとも1つの列を有し、各中央領域は各々の第1の縁部と第2の縁部との間の距離の中央3分の1に広がりをもっている、超小型電子アセンブリ。

【請求項17】

前記周縁部が第1の周縁部であり、前記周辺領域が第1の周辺領域であり、前記端子のうちの前記少なくとも1つの端子が第1の端子であり、

前記基板は、前記第1の周縁部の反対側にあり、前記第1の面と前記第2の面との間において前記第1の方向に広がりをもつ第2の周縁部と、該第2の周縁部と前記第2の開口部との間に広がりをもつ、前記第2の面における第2の周辺領域とを有し、

前記端子のうちの少なくとも1つが第2の端子であり、該第2の端子は、前記第2の方向に沿って当該第2の端子を通る直線が前記第2の開口部を通るか又はその上方を通るものとなるように、前記第2の周辺領域内に少なくとも部分的に配置されている、請求項16に記載の超小型電子アセンブリ。

【請求項18】

前記周辺領域が第1の周辺領域であり、前記端子のうちの前記少なくとも1つの端子が第1の端子であり、前記第1の超小型電子素子の縁部が第1の縁部であり、前記基板は、前記第1の面と前記第2の面との間に広がりをもつ、前記第2の方向に沿った長手の第1の寸法と、該第1の寸法よりも小さな前記第1の方向に沿った第2の寸法とを有する第3の開口部を有し、

前記基板は、前記周縁部と前記第3の開口部との間に広がりをもつ、前記第2の面における第2の周辺領域を有し、

前記端子のうちの少なくとも1つが第2の端子であり、該第2の端子は、前記第2の方向に沿って当該第2の端子を通る直線が前記第3の開口部を通るか又はその上方を通るものとなるように、前記第2の周辺領域内に少なくとも部分的に配置されており、

前記超小型電子アセンブリは第3の超小型電子素子を更に備えており、該第3の超小型電子素子は、前記第1の超小型電子素子の背面に面し、前記第1の超小型電子素子の第1の縁部の反対側に位置する該第1の超小型電子素子の第2の縁部を越えて突出した前面と、該第3の超小型電子素子の前面にあり、前記第3の開口部と位置合わせされたボンドパッドとを有するものである、請求項16に記載の超小型電子アセンブリ。

【請求項19】

前記第2の超小型電子素子の前面と前記第3の超小型電子素子の前面とが、単一の平面内に位置している、請求項18に記載の超小型電子アセンブリ。

【請求項20】

前記周縁部が第1の周縁部であり、前記基板は、前記第1の周縁部の反対側にあり、前記第1の面と前記第2の面との間において前記第1の方向に広がりをもつ第2の周縁部

と、前記第 2 の周縁部と前記第 2 の開口部及び前記第 3 の開口部の各々との間に広がりをも有する、前記第 2 の面における第 3 の周辺領域及び第 4 の周辺領域とを有し、

前記端子のうちの少なくとも 1 つが第 3 の端子であり、該第 3 の端子は、前記第 2 の方向に沿って当該第 3 の端子を通る直線が前記第 1 の開口部を通るか又はその上方を通るものとなるように、前記第 3 の周辺領域内に少なくとも部分的に配置されており、

前記端子のうちの少なくとも 1 つが第 4 の端子であり、該第 4 の端子は、前記第 2 の方向に沿って当該第 4 の端子を通る直線が前記第 2 の開口部を通るか又はその上方を通るものとなるように、前記第 4 の周辺領域内に少なくとも部分的に配置されている、請求項 18 に記載の超小型電子アセンブリ。

【請求項 2 1】

前記基板は、前記第 1 の面と前記第 2 の面との間に広がりをも有し、前記第 1 の方向に沿った長手の第 1 の寸法と、該第 1 の寸法よりも小さな前記第 2 の方向に沿った第 2 の寸法とを有する第 4 の開口部を有し、

前記第 4 の開口部と位置合わせされたボンドパッドをその前面に有する第 4 の超小型電子素子を更に備えた請求項 18 に記載の超小型電子アセンブリ。

【請求項 2 2】

前記第 2 の超小型電子素子と前記第 3 の超小型電子素子と前記第 4 の超小型電子素子とはそれぞれ、向かい合った第 1 の縁部及び第 2 の縁部を有し、

各超小型電子素子は、当該超小型電子素子の前面の中央領域において当該超小型電子素子の第 1 の縁部及び第 2 の縁部と平行な方向に延びている 5 つ以上のボンドパッドの少なくとも 1 つの列を有し、各中央領域は、各々の第 1 の縁部と第 2 の縁部との間の距離の中央 3 分の 1 に広がりをも有するものである、請求項 2 1 に記載の超小型電子アセンブリ。

【請求項 2 3】

向かい合った上面及び底面を有する第 1 の誘電性要素及び第 2 の誘電性要素であって、各面は第 1 の横方向及び第 2 の横方向に延びており、両誘電性要素は、前記第 1 の横方向及び前記第 2 の横方向の少なくとも一方において互いに間隔を置いて配置され、基板の第 1 の面は両誘電性要素の上面を含み、前記基板の第 2 の面は両誘電性要素の底面を含み、第 1 の誘電性要素及び第 2 の誘電性要素と、

前記第 1 の誘電性要素及び前記第 2 の誘電性要素の、隣接し向かい合っている縁部間の空間により形成された第 1 の開口部であって、前記隣接し向かい合っている縁部の各々が前記第 1 の方向に沿った第 1 の寸法を有し、該第 1 の寸法よりも小さな前記第 2 の方向に沿った第 2 の寸法を有する第 1 の開口部と、

前記第 2 の誘電性要素に囲まれている第 2 の開口部とを有する基板と、

前記第 1 の面に面する前面と、該前面にあり、前記第 1 の開口部及び前記第 2 の開口部の一方と位置合わせされたボンドパッドと、前記前面の反対側に位置する背面と、前記前面と前記背面との間に広がりをも有する縁部とを有する第 1 の超小型電子素子と、

前記第 1 の超小型電子素子の背面に面し、前記第 1 の超小型電子素子の縁部を越えて突出した前面と、該前面にあり、前記第 1 の開口部及び前記第 2 の開口部の他方と位置合わせされたボンドパッドとを有する第 2 の超小型電子素子と、

前記第 2 の面において露出し、前記第 1 の超小型電子素子及び前記第 2 の超小型電子素子のボンドパッドと電氣的に接続され、超小型電子アセンブリを該アセンブリの外部にある少なくとも 1 つの要素に接続させる複数の端子と

を備えた超小型電子アセンブリ。

【請求項 2 4】

前記第 2 の開口部は、前記第 1 の方向に沿った長手の第 1 の寸法と、該第 1 の寸法よりも小さな、前記第 2 の方向に沿った第 2 の寸法とを有する、請求項 2 3 に記載の超小型電子アセンブリ。

【請求項 2 5】

前記第 2 の開口部は、前記第 2 の方向に沿った長手の第 1 の寸法と、該第 1 の寸法より

も小さな、前記第 1 の方向に沿った第 2 の寸法とを有する、請求項 2 3 に記載の超小型電子アセンブリ。

【請求項 2 6】

前記基板は、前記第 1 の誘電性要素及び第 2 の誘電性要素の、隣接し向かい合っている縁部間において広がりをも有する誘電性領域を更に有し、前記基板の第 1 の面は該誘電性領域の上面を含み、前記第 2 の面は該誘電性領域の底面を含むものである、請求項 2 3 に記載の超小型電子アセンブリ。

【請求項 2 7】

前記誘電性領域は、前記基板の平面において前記誘電性要素よりも大きなヤング率を有するものである、請求項 2 3 に記載の超小型電子アセンブリ。

【請求項 2 8】

前記第 1 の超小型電子素子の前面にあるボンドパッドは、前記第 1 の開口部と位置合わせされており、

前記第 2 の超小型電子素子の前面にあるボンドパッドは、前記第 2 の開口部と位置合わせされている、請求項 2 3 に記載の超小型電子アセンブリ。

【請求項 2 9】

前記端子は、前記第 1 の誘電性要素及び前記第 2 の誘電性要素の各々の底面において露出した第 1 の端子及び第 2 の端子を含み、前記第 1 の超小型電子素子の少なくとも幾つかのボンドパッドは、前記第 1 の端子及び前記第 2 の端子に電気的に接続されている、請求項 2 8 に記載の超小型電子アセンブリ。

【請求項 3 0】

前記第 1 の超小型電子素子の前面にあるボンドパッドは、前記第 2 の開口部と位置合わせされており、

前記第 2 の超小型電子素子の前面にあるボンドパッドは、前記第 1 の開口部と位置合わせされている、請求項 2 3 に記載の超小型電子アセンブリ。

【請求項 3 1】

第 1 の横方向及び第 2 の横方向にそれぞれ広がりをも有する、向かい合った第 1 の面及び第 2 の面と、前記第 1 の横方向及び前記第 2 の横方向の少なくとも一方において互いに間隔を置いて配置された第 1 の誘電性要素及び第 2 の誘電性要素とを有する基板と、

前記第 1 の面に面する前面と、該前面にあるボンドパッドと、前記前面の反対側にある背面と、前記前面と前記背面との間に広がりをも有する縁部とを有する第 1 の超小型電子素子と、

前記第 1 の超小型電子素子の背面を向き、該第 1 の超小型電子素子の縁部を越えて突出した前面と、該前面にあるボンドパッドとを有する第 2 の超小型電子素子と、

前記第 2 の面において露出し、前記第 1 の超小型電子素子及び前記第 2 の超小型電子素子のボンドパッドと電気的に接続され、超小型電子アセンブリを該アセンブリの外部にある少なくとも 1 つの要素に接続させる複数の端子と

を備えた超小型電子アセンブリ。

【請求項 3 2】

前記超小型電子素子のうちの少なくとも 1 つは、前記第 1 の誘電性要素及び前記第 2 の誘電性要素の各々の上面に少なくとも部分的に重なって位置している、請求項 3 1 に記載の超小型電子アセンブリ。

【請求項 3 3】

前記第 1 の超小型電子素子の縁部が第 1 の縁部であり、該第 1 の超小型電子素子は、前記第 1 の縁部の反対側にある第 2 の縁部を有し、

前記第 2 の超小型電子素子は、向かい合っている第 1 の縁部及び第 2 の縁部を有し、

各超小型電子素子は、当該超小型電子素子の前面の中央領域において前記第 1 の方向に広がりをも有する 5 以上のボンドパッドの少なくとも 1 つの列を有し、各中央領域は、各々の第 1 の縁部と第 2 の縁部との間の距離の中央 3 分の 1 に広がりをも有するものである、請求項 3 1 に記載の超小型電子アセンブリ。

【請求項 3 4】

向かい合った上面及び底面を有する第 1 の誘電性要素、第 2 の誘電性要素及び第 3 の誘電性要素であって、各面は第 1 の横方向及び第 2 の横方向に延びており、両誘電性要素は、前記第 1 の横方向及び前記第 2 の横方向の少なくとも一方において互いに間隔を置いて配置され、基板の第 1 の面は、前記第 1 の誘電性要素、前記第 2 の誘電性要素及び前記第 3 の誘電性要素の上面を含み、前記基板の第 2 の面は、前記第 1 の誘電性要素、前記第 2 の誘電性要素及び前記第 3 の誘電性要素の底面を含む、第 1 の誘電性要素及び第 2 の誘電性要素と、

前記第 1 の誘電性要素及び前記第 2 の誘電性要素の、隣接し向かい合っている縁部間の空間により形成された第 1 の開口部であって、前記隣接し向かい合っている縁部の各々が前記第 1 の方向に沿った第 1 の寸法を有し、該第 1 の寸法よりも小さな前記第 2 の方向に沿った第 2 の寸法を有する第 1 の開口部と、

前記第 2 の誘電性要素及び前記第 3 の誘電性要素の、隣接し向かい合っている縁部間の空間により形成された第 2 の開口部であって、前記隣接し向かい合っている縁部の各々が前記第 1 の方向に沿った第 1 の寸法を有し、該第 1 の寸法よりも小さな前記第 2 の方向に沿った第 2 の寸法を有する第 1 の開口部と

を有する基板と、

前記第 1 の面に面する前面と、該前面にあり、前記第 1 の開口部及び前記第 2 の開口部の一方と位置合わせされたボンドパッドと、前記前面の反対側に位置する背面と、前記前面と前記背面との間に広がりをもつ縁部とを有する第 1 の超小型電子素子と、

前記第 1 の超小型電子素子の背面に面し、前記第 1 の超小型電子素子の縁部を越えて突出した前面と、該前面にあり、前記第 1 の開口部及び前記第 2 の開口部の他方と位置合わせされたボンドパッドとを有する第 2 の超小型電子素子と、

前記第 2 の面において露出し、前記第 1 の超小型電子素子及び前記第 2 の超小型電子素子のボンドパッドと電氣的に接続され、超小型電子アセンブリを該アセンブリの外部にある少なくとも 1 つの要素に接続させる複数の端子と

を備えた超小型電子アセンブリ。

【請求項 3 5】

前記第 1 の超小型電子素子の前面にあるボンドパッドは、前記第 1 の開口部と位置合わせされており、

前記第 2 の超小型電子素子の前面にあるボンドパッドは、前記第 2 の開口部と位置合わせされている、請求項 3 4 に記載の超小型電子アセンブリ。

【請求項 3 6】

前記第 1 の超小型電子素子は、前記第 1 の誘電性要素及び前記第 2 の誘電性要素の各々の上面に少なくとも部分的に重なって位置しており、

前記第 2 の超小型電子素子は、前記第 2 の誘電性要素及び前記第 3 の誘電性要素の各々の上面に少なくとも部分的に重なって位置している、請求項 3 5 に記載の超小型電子アセンブリ。

【請求項 3 7】

前記第 1 の超小型電子素子の前面にあるボンドパッドは、前記第 2 の開口部と位置合わせされており、

前記第 2 の超小型電子素子の前面にあるボンドパッドは、前記第 1 の開口部と位置合わせされている、請求項 3 4 に記載の超小型電子アセンブリ。

【請求項 3 8】

前記端子は、前記第 1 の誘電性要素、前記第 2 の誘電性要素及び前記第 3 の誘電性要素の各々の底面において露出した第 1 の端子、第 2 の端子及び第 3 の端子を含み、

前記超小型電子素子のうちの少なくとも 1 つの超小型電子素子のボンドパッドの少なくとも幾つかは、前記第 1 の端子、前記第 2 の端子及び第 3 の端子のうちの 2 以上と電氣的に接続されている、請求項 3 4 に記載の超小型電子アセンブリ。

【請求項 3 9】

前記第 1 の超小型電子素子のボンドパッドのうちの少なくとも幾つかは、前記第 1 の端子及び前記第 2 の端子と電氣的に接続されている、請求項 3 8 に記載の超小型電子アセンブリ。

【請求項 4 0】

前記第 2 の超小型電子素子のボンドパッドのうちの少なくとも幾つかは、前記第 2 の端子及び前記第 3 の端子と電氣的に接続されている、請求項 3 9 に記載の超小型電子アセンブリ。

【請求項 4 1】

前記基板は、前記第 1 の面と前記第 2 の面との間において前記第 2 の方向に広がりを持つ周縁部と、該周縁部と前記開口部のうちの 1 つとの間に広がりを持つ、前記第 2 の面における周辺領域とを有し、

前記端子のうちの少なくとも 1 つの端子は、前記第 1 の方向に沿って当該少なくとも 1 つの端子を通る直線が前記開口部のうちの少なくとも 1 つを通るか又はその上方を通るものとなるように、前記周辺領域内に少なくとも部分的に配置されている、請求項 3 4 に記載の超小型電子アセンブリ。

【請求項 4 2】

前記周辺領域が第 1 の周辺領域であり、前記開口部のうちの 1 つが前記第 1 の開口部であり、前記少なくとも 1 つの端子が第 1 の端子であり、

前記基板は、前記周縁部と前記第 2 の開口部との間に広がりを持つ、前記第 2 の面における第 2 の周辺領域を有し、

前記端子のうちの少なくとも 1 つが第 2 の端子であり、該第 2 の端子は、前記第 1 の方向に沿って当該第 2 の端子を通る直線が前記第 2 の開口部を通るか又はその上方を通るものとなるように、前記第 2 の周辺領域内に少なくとも部分的に配置されている、請求項 4 1 に記載の超小型電子アセンブリ。

【請求項 4 3】

前記第 2 の誘電性要素は、前記第 1 の周辺領域及び前記第 2 の周辺領域の両方の一部を含むものである、請求項 4 2 に記載の超小型電子アセンブリ。

【請求項 4 4】

前記第 1 の誘電性要素は前記第 1 の周辺領域の一部を含み、

前記第 3 の誘電性要素は前記第 2 の周辺領域の一部を含むものである、請求項 4 2 に記載の超小型電子アセンブリ。

【請求項 4 5】

請求項 1、1 3、1 6、1 9、2 3 及び 3 4 のいずれか一項に記載の超小型電子アセンブリと、

該超小型電子アセンブリに電氣的に接続された 1 以上の別の電子的要素とを備えたシステム。

【請求項 4 6】

ハウジングを更に備え、該ハウジングに前記超小型電子アセンブリと前記別の電子的要素とが取り付けられている、請求項 4 5 に記載のシステム。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No

PCT/US2013/053240

A. CLASSIFICATION OF SUBJECT MATTER

INV. H01L25/065 H01L23/13 H01L23/498 H01L23/50 H01L23/00
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2012/153435 A1 (HABA BELGACEM [US] ET AL) 21 June 2012 (2012-06-21) paragraphs [0054] - [0059]; figures 4-6 -----	1-49
A	US 2010/090326 A1 (BAEK SEUNG-DUK [KR] ET AL) 15 April 2010 (2010-04-15) the whole document -----	1-49

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents :

A document defining the general state of the art which is not considered to be of particular relevance

E earlier application or patent but published on or after the international filing date

L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

O document referring to an oral disclosure, use, exhibition or other means

P document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

& document member of the same patent family

Date of the actual completion of the international search

3 September 2013

Date of mailing of the international search report

16/09/2013

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Cortes Rosa, João

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2013/053240

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2012153435 A1	21-06-2012	KR 101061531 B1 TW 201234556 A US 2012153435 A1 US 2012155042 A1 WO 2012082227 A2	01-09-2011 16-08-2012 21-06-2012 21-06-2012 21-06-2012
US 2010090326 A1	15-04-2010	KR 20100041430 A US 2010090326 A1	22-04-2010 15-04-2010

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC

(74)代理人 100142996

弁理士 森本 聡二

(74)代理人 100154298

弁理士 角田 恭子

(74)代理人 100166268

弁理士 田中 祐

(74)代理人 100170379

弁理士 徳本 浩一

(74)代理人 100161001

弁理士 渡辺 篤司

(74)代理人 100179154

弁理士 児玉 真衣

(74)代理人 100180231

弁理士 水島 亜希子

(74)代理人 100184424

弁理士 増屋 徹

(72)発明者 ハーバ, ベルガセム

アメリカ合衆国カリフォルニア州 9 5 0 7 0, サラトガ, ミラー・コート 1 9 4 8 7

(72)発明者 ゾーニ, ワエル

アメリカ合衆国カリフォルニア州 9 5 1 3 4, サン・ノゼ, オーチャード・パークウェイ 3 0 2 5, テッセラ, インコーポレイテッド内

(72)発明者 クリスプ, リチャード・デューイット

アメリカ合衆国カリフォルニア州 9 5 1 3 4, サン・ノゼ, オーチャード・パークウェイ 3 0 2 5, テッセラ, インコーポレイテッド内

(72)発明者 モハメッド, イリヤス

アメリカ合衆国カリフォルニア州 9 5 0 5 0, サンタ・クララ, ボハノン・ドライヴ 2 3 7 7

(72)発明者 ランブレクト, フランク

アメリカ合衆国カリフォルニア州 9 5 1 3 4, サン・ノゼ, オーチャード・パークウェイ 3 0 2 5, テッセラ, インコーポレイテッド内