(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年10月8日(08.10.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/203797 A1

(51) 国際特許分類:
H04N 5/347 (2011.01)

(21) 国際出願番号： PCT/JP2020/014101

(22) 国際出願日： 2020年3月27日(27.03.2020)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2019-069146 2019年3月29日(29.03.2019) JP

(71) 出願人: 株式会社ニコン (**NIKON CORPORATION**) [JP/JP]; 〒1086290 東京都港区港南二丁目１５番３号 Tokyo (JP).

(72) 発明者: 松本 繁 (**MATSUMOTO, Shigeru**); 〒1086290 東京都港区港南二丁目１５番３号 株式会社ニコン内 Tokyo (JP).

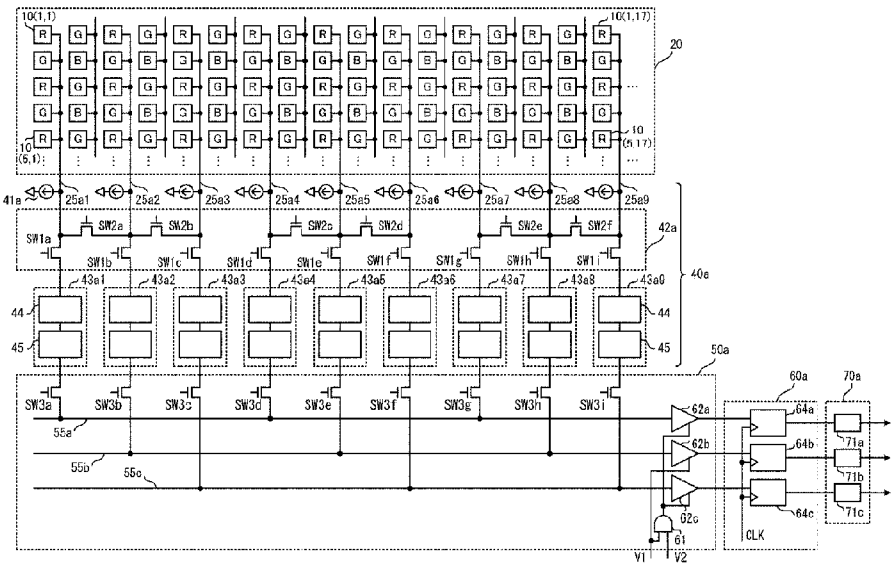
(74) 代理人: 永井 冬紀, 外 (**NAGAI, Fuyuki** et al.); 〒1080075 東京都港区港南一丁目６番４１号 品川クリスタルスクエア ９０１ 永井特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) **Title:** IMAGING ELEMENT AND IMAGING DEVICE

(54) 発明の名称： 撮像素子、及び、撮像装置

【図４】



(57) **Abstract:** This imaging element comprises: a first photoelectric converter and a second photoelectric converter which generate a load by photoelectric conversion; a first signal line which outputs a first signal on the basis of the load generated by the first photoelectric converter; a second signal line which outputs a second signal on the basis of a load generated by the second photoelectric converter; a first output unit which outputs the first signal and/or the second signal to a processing unit which performs signal processing; a second output unit which outputs the second signal to the processing unit; and

WO 2020/203797 A1

［続葉有］

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

a control unit which performs first control which has the first output unit output the first signal and the second signal to the processing unit, and second control which has the first output unit output the first signal to the processing unit and has the second output unit output the second signal to the processing unit.

(57) 要約:撮像素子は、光電変換により電荷を生成する第１光電変換部と第２光電変換部と、前記第１光電変換部で生成された電荷に基づく第１信号を出力する第１信号線と、前記第２光電変換部で生成された電荷に基づく第２信号を出力する第２信号線と、前記第１信号および前記第２信号の少なくとも一方を信号処理する処理部に出力する第１出力部と、前記第２信号を前記処理部に出力する第２出力部と、前記第１信号と前記第２信号とを前記第１出力部により前記処理部に出力させる第１制御と、前記第１信号を前記第１出力部により前記処理部に出力し、前記第２信号を前記第２出力部により前記処理部に出力させる第２制御とを行う制御部と、を備える。

明　細　書

発明の名称 ： 撮像素子、及び、撮像装置

技術分野

[0001]　本発明は、撮像素子、及び、撮像装置に関する。

背景技術

[0002]　従来から、複数の信号線を配置して画素の信号を出力する撮像素子が知られている（例えば特許文献１）。

先行技術文献

特許文献

[0003] 特許文献1：国際公開第２０１０／１１３３９３号

発明の概要

[0004]　発明の第１の態様によると、撮像素子は、光電変換により電荷を生成する第１光電変換部と第２光電変換部と、前記第１光電変換部で生成された電荷に基づく第１信号を出力する第１信号線と、前記第２光電変換部で生成された電荷に基づく第２信号を出力する第２信号線と、前記第１信号および前記第２信号の少なくとも一方を信号処理する処理部に出力する第１出力部と、前記第２信号を前記処理部に出力する第２出力部と、前記第１信号と前記第２信号とを前記第１出力部により前記処理部に出力させる第１制御と、前記第１信号を前記第１出力部により前記処理部に出力し、前記第２信号を前記第２出力部により前記処理部に出力させる第２制御とを行う制御部と、を備える。

　発明の第２の態様によると、撮像装置は、第１の態様による撮像素子と、前記処理部で処理された信号に基づいて画像データを生成する生成部と、を備える。

図面の簡単な説明

[0005] [図1]第１の実施の形態に係る撮像装置の構成例を示す図である。

[図2]第１の実施の形態に係る撮像素子の構成例を示す図である。

[図3]第１の実施の形態に係る撮像素子の画素の構成例を示す図である。

[図4]第１の実施の形態に係る撮像素子の一部の構成例を示す図である。

[図5]第１の実施の形態に係る撮像素子の一部のレイアウト例を示す図である。

[図6]第１の実施の形態に係る読み出し制御と比較例に係る読み出し制御とを比較する図である。

[図7]変形例１に係る撮像素子の一部の構成例を示す図である。

[図8]変形例２に係る撮像素子の一部の構成例を示す図である。

[図9]変形例３に係る撮像素子の一部の構成例を示す図である。

発明を実施するための形態

[0006] （第１の実施の形態）

図１は、第１の実施の形態に係る撮像装置の一例であるカメラ１の構成例を示す図である。カメラ１は、撮影光学系（結像光学系）２、撮像素子３、制御部４、メモリ５、表示部６、及び操作部７を備える。撮影光学系２は、焦点調節レンズ（フォーカスレンズ）を含む複数のレンズ及び開口絞りを有し、撮像素子３に被写体像を結像する。なお、撮影光学系２は、カメラ１から着脱可能にしてもよい。

[0007] 撮像素子３は、ＣＭＯＳイメージセンサやＣＣＤイメージセンサ等の撮像素子である。撮像素子３は、撮影光学系２を通過した光束を受光し、撮影光学系２により形成される被写体像を撮像する。撮像素子３には、光電変換部を有する複数の画素が二次元状（行方向及び列方向）に配置される。光電変換素子は、フォトダイオード（ＰＤ）によって構成される。撮像素子３は、受光した光を光電変換して信号を生成し、生成した信号を制御部４に出力する。

[0008] メモリ５は、メモリカード等の記録媒体である。メモリ５には、画像データや制御プログラム等が記録される。メモリ５へのデータの書き込みや、メモリ５からのデータの読み出しは、制御部４によって制御される。表示部６は、画像データに基づく画像、シャッター速度や絞り値等の撮影に関する情

報、及びメニュー画面等を表示する。操作部７は、レリーズボタン、電源スイッチ、各種モードを切り替えるためのスイッチなどの各種設定スイッチ等を含み、それぞれの操作に基づく信号を制御部４へ出力する。

[0009] 制御部４は、ＣＰＵやＦＰＧＡ、ＡＳＩＣ等のプロセッサ、及びＲＯＭやＲＡＭ等のメモリにより構成され、制御プログラムに基づきカメラ１の各部を制御する。制御部４は、撮像素子３を制御する信号を撮像素子３に供給して、撮像素子３の動作を制御する。また、制御部４は、撮像素子３から出力される信号に各種の画像処理を行って画像データを生成する。制御部４は、画像データを生成する画像生成部でもあり、撮像素子３から出力される信号に基づいて静止画像データや動画像データを生成する。画像処理には、階調変換処理や色補間処理等の公知の画像処理が含まれる。

[0010] 制御部４は、撮像素子３の各画素の信号を個別に読み出す処理と、複数の画素の信号を加算して読み出す処理とを行う。例えば、制御部４は、表示部６に被写体のスルー画像（ライブビュー画像）を表示する場合や動画撮影を行う場合に、複数の画素の信号を加算して読み出す処理を行う。また、制御部４は、高解像度の静止画撮影を行う場合に、各画素の信号を個別に読み出す処理を行う。

[0011] 図２は、第１の実施の形態に係る撮像素子の構成例を示す図である。撮像素子３は、画素部（画素領域）２０と、カラム回路部４０（カラム回路部４０ａ、カラム回路部４０ｂ）と、水平転送部５０（水平転送部５０ａ、水平転送部５０ｂ）と、処理部６０（処理部６０ａ、処理部６０ｂ）と、信号出力部７０（信号出力部７０ａ、信号出力部７０ｂ）とを有する。また、撮像素子３は、読み出し制御部１００と、第１の供給部１１０（第１の供給部１１０ａ、第１の供給部１１０ｂ）と、第２の供給部１２０（第２の供給部１２０ａ、第２の供給部１２０ｂ）とを有する。なお、画素部２０に配置される画素の数及び配置は、図示した例に限られない。

[0012] 画素１０には、赤（Ｒ）、緑（Ｇ）、青（Ｂ）の異なる分光特性を有する３つのカラーフィルタ（色フィルタ）１８のいずれかが設けられる。画素１

０には、入射した光のうち第１の波長域の光（赤（Ｒ）の光）を分光する分光特性を有するカラーフィルタ１８を有する画素（以下、Ｒ画素と称する）と、入射した光のうち第２の波長域の光（緑（Ｇ）の光）を分光する分光特性を有するカラーフィルタ１８を有する画素（以下、Ｇ画素と称する）と、入射した光のうち第３の波長域の光（青（Ｂ）の光）を分光する分光特性を有するカラーフィルタ１８を有する画素（以下、Ｂ画素と称する）とが含まれる。

[0013] 撮像素子３は、図２に示すように、Ｒ画素１０とＧ画素１０とが左右方向、即ち行方向（水平方向）に交互に配置される第１の画素行と、Ｇ画素１０とＢ画素１０とが行方向に交互に配置される第２の画素行とを有する。第１の画素行と第２の画素行とは、列方向に交互に配置される。このように、本実施の形態では、Ｒ画素１０と、Ｇ画素１０と、Ｂ画素１０とは、ベイヤー配列に従って配置されている。

[0014] 撮像素子３には、縦方向、即ち列方向（垂直方向）に並んだ複数の画素１０の列である画素列ごとに、垂直信号線２５（垂直信号線２５ａ、垂直信号線２５ｂ）が設けられる。図２に示す例では、複数の垂直信号線２５ａは、奇数列目の画素列にそれぞれ接続される。複数の垂直信号線２５ｂは、偶数列目の画素列にそれぞれ接続される。

[0015] 読み出し制御部１００は、複数の画素列に共通に設けられる。読み出し制御部１００は、カメラ１の制御部４によって制御され、後述する信号ＴＸ、信号ＲＳＴ、信号ＳＥＬなどの信号を各画素１０に供給して、各画素１０の動作を制御する。読み出し制御部１００は、画素１０の各トランジスタのゲートに信号を供給して、トランジスタをオン状態（接続状態、導通状態、短絡状態）又はオフ状態（切断状態、非導通状態、開放状態、遮断状態）とする。読み出し制御部１００によって選択される画素部２０の画素の信号は、その画素１０に接続された垂直信号線２５に出力される。

[0016] 画素部２０の複数の画素１０のうち奇数列の画素列に対して、カラム回路部４０ａが設けられる。カラム回路部４０ａは、複数の電流源４１ａ、水平

加算部４２ａ、及び複数のアナログ／デジタル変換部（ＡＤ変換部）４３ａを含んで構成される。カラム回路部４０ａ内の電流源４１ａ及びＡＤ変換部４３ａは、垂直信号線２５ａ毎に設けられる。電流源４１ａは、垂直信号線２５ａを介して各画素１０に接続される。電流源４１ａは、画素１０から信号を読み出すための電流を生成し、生成した電流を垂直信号線２５ａ及び各画素１０に供給する。

[0017] 水平加算部４２ａは、後述するが、複数のスイッチにより構成され、垂直信号線２５ａに出力された画素の信号間の加算を行う。読み出し制御部１００は、水平加算部４２ａを構成する複数のスイッチをオンオフ制御して、行方向（水平方向）に配置された複数の画素の信号の加算処理を制御する。ＡＤ変換部４３ａは、各画素１０から水平加算部４２ａを介して入力される信号をデジタル信号に変換し、変換後のデジタル信号を水平転送部５０ａに出力する。

[0018] 画素部２０の複数の画素１０のうち偶数列の画素列に対して、カラム回路部４０ｂが設けられる。カラム回路部４０ｂは、複数の電流源４１ｂ、水平加算部４２ｂ、及び複数のＡＤ変換部４３ｂを含んで構成される。カラム回路部４０ｂ内の電流源４１ｂ及びＡＤ変換部４３ｂは、垂直信号線２５ｂ毎に設けられる。電流源４１ｂは、垂直信号線２５ｂを介して各画素１０に接続される。電流源４１ｂは、画素１０から信号を読み出すための電流を生成し、生成した電流を垂直信号線２５ｂ及び各画素１０に供給する。

[0019] 水平加算部４２ｂは、後述するが、複数のスイッチにより構成され、垂直信号線２５ｂに出力された画素の信号間の加算を行う。読み出し制御部１００は、水平加算部４２ｂを構成する複数のスイッチをオンオフ制御して、行方向（水平方向）に配置された複数の画素間の信号の加算処理を制御する。ＡＤ変換部４３ｂは、各画素１０から水平加算部４２ｂを介して入力される信号をデジタル信号に変換し、変換後のデジタル信号を水平転送部５０ｂに出力する。

[0020] 水平転送部５０ａは、複数のＡＤ変換部４３ａに対して設けられ、各ＡＤ

変換部４３ａによってデジタル信号に変換された信号を、処理部６０ａに順次出力する。水平転送部５０ｂは、複数のＡＤ変換部４３ｂに対して設けられ、各ＡＤ変換部４３ｂによってデジタル信号に変換された信号を、処理部６０ｂに順次出力する。このように、撮像素子３では、奇数列目の画素の信号と、偶数列目の画素の信号とが別々の経路で読み出される。

[0021] 第１の供給部１１０ａは、電流源を有し、ＡＤ変換部４３ａを動作させるための電流を生成し、生成した電流をＡＤ変換部４３ａに供給する。第１の供給部１１０ｂは、電流源を有し、ＡＤ変換部４３ｂを動作させるための電流を生成し、生成した電流をＡＤ変換部４３ｂに供給する。第１の供給部１１０ａ及び第１の供給部１１０ｂは、それぞれ読み出し制御部１００によって制御される。

[0022] 処理部６０ａと処理部６０ｂは、それぞれ、アンプ回路およびデコーダ回路等を含んで構成される。処理部６０ａには、水平転送部５０ａからデジタル信号に変換された画素の信号が入力される。処理部６０ａは、水平転送部５０ａから入力された信号に対して、コード（符号）を変換する処理や相関二重サンプリング等の信号処理を行って、信号出力部７０ａに出力する。処理部６０ｂには、水平転送部５０ｂからデジタル信号に変換された画素の信号が入力される。処理部６０ｂは、水平転送部５０ｂから入力された信号に対して、コードを変換する処理や相関二重サンプリング等の信号処理を行って、信号出力部７０ｂに出力する。

[0023] 第２の供給部１２０ａは、処理部６０ａを動作させるための制御信号、本実施の形態ではパルス信号（パルス）を生成し、生成したパルス信号を処理部６０ａに供給する。第２の供給部１２０ｂは、処理部６０ｂを動作させるための制御信号、本実施の形態ではパルス信号を生成し、生成したパルス信号を処理部６０ｂに供給する。第２の供給部１２０ａ及び第２の供給部１２０ｂは、それぞれ読み出し制御部１００によって制御される。なお、これら制御信号は、一定の電位（例えば電源電位）の信号であってもよい。

[0024] 信号出力部７０ａと信号出力部７０ｂは、それぞれ、ＳＬＶＳやＬＶＤＳ

等の高速インタフェースに対応した出力回路を有する。信号出力部７０ａは、処理部６０ａから入力された信号を、カメラ１の制御部４に高速に出力（伝送）する。信号出力部７０ｂは、処理部６０ｂから入力された信号を、制御部４に高速に出力する。

[0025] 図３は、第１の実施の形態に係る撮像素子の画素の構成例を示す図である。画素１０は、光電変換部１１と、転送部１２と、リセット部１３と、フローティングディフュージョン（ＦＤ）１４と、増幅部１５と、選択部１６とを有する。光電変換部１１は、フォトダイオードＰＤであり、入射した光を電荷に変換し、光電変換された電荷を蓄積する。

[0026] 転送部１２は、信号ＴＸにより制御されるトランジスタＭ１から構成され、光電変換部１１で光電変換された電荷をＦＤ１４に転送する。トランジスタＭ１は、転送トランジスタである。ＦＤ１４の容量Ｃは、ＦＤ１４に転送された電荷を蓄積（保持）して、電圧に変換する。

[0027] 増幅部１５は、ゲート（端子）がＦＤ１４に接続されるトランジスタＭ３から構成され、ＦＤ１４の容量Ｃの電圧に基づく信号を出力する。増幅部１５は、選択部１６を介して垂直信号線２５に接続される。トランジスタＭ３は、増幅トランジスタである。増幅部１５と選択部１６とは、光電変換部１１により生成された電荷に基づく信号を生成し出力する出力部を構成する。

[0028] リセット部１３は、信号ＲＳＴにより制御されるトランジスタＭ２から構成され、ＦＤ１４に蓄積された電荷を排出し、ＦＤ１４の電圧をリセットする。トランジスタＭ２は、リセットトランジスタである。選択部１６は、信号ＳＥＬにより制御されるトランジスタＭ４から構成され、増幅部１５と垂直信号線２５とを電気的に接続又は切断する。選択部１６のトランジスタＭ４は、オン状態の場合に、増幅部１５からの信号を垂直信号線２５に出力する。トランジスタＭ４は、選択トランジスタである。

[0029] 画素１０は、ＦＤ１４の電圧をリセットしたときの信号（ダーク信号）と、転送部１２により光電変換部１１からＦＤ１４に転送された電荷に応じた信号（光電変換信号）とを、垂直信号線２５に順次出力する。ダーク信号は

、光電変換信号に対する基準レベルを示すアナログ信号となる。また、光電変換信号は、光電変換部１１によって光電変換された電荷に基づいて生成されるアナログ信号である。画素１０から順次出力されるダーク信号及び光電変換信号は、垂直信号線２５を介して水平加算部４２に入力される。

[0030] 図４は、第１の実施の形態に係る撮像素子の一部の構成例を示す図である。図４では、撮像素子３に設けられた複数の画素のうちの一部の画素１０と、カラム回路部４０ａと、水平転送部５０ａと、処理部６０ａと、信号出力部７０ａとを示している。また、図４においては、左上隅の画素１０を第１行第１列の画素１０（１，１）とし、右下隅の画素１０を第５行第１７列の画素１０（５，１７）として、行方向１７画素×列方向５画素の８５個の画素１０を図示している。

[0031] 水平加算部４２ａは、垂直信号線２５ａ（図４では垂直信号線２５ａ１～垂直信号線２５ａ９）とＡＤ変換部４３ａ（図４ではＡＤ変換部４３ａ１～ＡＤ変換部４３ａ９）とを接続又は切断するスイッチＳＷ１（図４ではＳＷ１ａ～ＳＷ１ｉ）を有する。また、水平加算部４２ａは、隣り合う垂直信号線２５ａを接続又は切断するスイッチＳＷ２（図４ではＳＷ２ａ～ＳＷ２ｆ）を有する。スイッチＳＷ２は、垂直信号線２５間を接続する接続部である。スイッチＳＷ１及びスイッチＳＷ２は、読み出し制御部１００（図２参照）によりオンオフ制御される。

[0032] ＡＤ変換部４３ａは、比較部４４と記憶部４５とを含んで構成され、水平加算部４２ａを介して入力される画素の信号を所定のビット数のデジタル信号に変換する。比較部４４は、コンパレータ回路を含んで構成される。ＡＤ変換部４３ａの比較部４４には、コンパレータ回路を動作させるための電流が第１の供給部１１０ａ（図２参照）から供給される。比較部４４は、画素１０から出力される信号と時間経過とともに一定に変化する基準信号（ランプ信号）とを比較し、比較結果である出力信号を記憶部４５に出力する。

[0033] 記憶部４５は、記憶されるデジタル信号のビット数に対応して複数のラッチ回路により構成される。記憶部４５には、比較部４４から比較結果を示す

出力信号が入力され、不図示のカウンタ回路からカウント値を示すクロック信号が入力される。記憶部４５は、比較部４４の出力信号とカウンタ回路からのクロック信号とに基づいて、比較部４４による比較開始から比較結果が反転するまでの経過時間に応じたカウント値をデジタル信号として記憶する。換言すると、記憶部４５は、比較部４４から出力される信号に基づき、画素１０から出力された信号のレベルと基準信号のレベルとの大小関係が変化する（反転する）までの時間に応じたカウント値をデジタル信号として記憶する。

[0034] 画素１０のダーク信号が水平加算部４２ａを介して比較部４４に入力されると、比較部４４は、ダーク信号と基準信号とを比較して、比較結果を記憶部４５に出力する。記憶部４５は、比較部４４による比較結果とクロック信号とに基づいて、比較部４４による比較開始時から比較結果の反転時までの経過時間に応じたカウント値をダーク信号に応じたデジタル信号として記憶する。また、画素１０の光電変換信号が水平加算部４２ａを介して比較部４４に入力されると、比較部４４は、光電変換信号と基準信号とを比較して、比較結果を記憶部４５に出力する。記憶部４５は、比較部４４による比較結果とクロック信号とに基づいて、比較部４４による比較開始時から比較結果の反転時までの経過時間に応じたカウント値を光電変換信号に応じたデジタル信号として記憶する。

[0035] このように、ＡＤ変換部４３ａは、アナログ信号である光電変換信号を所定のビット数のデジタル信号に変換し、アナログ信号であるダーク信号を所定のビット数のデジタル信号に変換する。また、ＡＤ変換部４３ａは、第１の供給部１１０ａから供給される電流によって動作する出力回路（不図示）を有し、記憶部４５に記憶されたデジタル信号を水平転送部５０ａに出力する。

[0036] 水平転送部５０ａは、スイッチＳＷ３（図４ではＳＷ３ａ～ＳＷ３ｉ）と、データレーン５５（データレーン５５ａ～５５ｃ）と、センスアンプ６２（センスアンプ６２ａ～６２ｃ）と、ＡＮＤ回路６１とを有する。スイッチ

ＳＷ３は、読み出し制御部１００（図２参照）によりオンオフ制御され、ＡＤ変換部４３ａとデータレーン５５とを接続又は切断する。

[0037] データレーン５５は、複数のＡＤ変換部４３ａに対して設けられ、各ＡＤ変換部４３ａからスイッチＳＷ３を介して入力されるデジタル信号をセンスアンプ６２に転送（伝送）する。データレーン５５は、デジタル信号に変換された画素の信号を伝送する伝送路である。図４に示す例では、水平転送部５０ａは、データレーン５５ａと、データレーン５５ｂと、データレーン５５ｃとを有する。データレーン５５ａ～５５ｃは、それぞれ、伝送されるデジタル信号のビット数に対応して複数の信号線により構成される。

[0038] センスアンプ６２は、入力されるデジタル信号のビット数に対応して複数のアンプ回路により構成され、データレーン５５毎に配置される。センスアンプ６２ａはデータレーン５５ａに対して設けられ、センスアンプ６２ｂはデータレーン５５ｂに対して設けられ、センスアンプ６２ｃはデータレーン５５ｃに対して設けられる。センスアンプ６２ａ～６２ｃには、それぞれ、アンプ回路を動作させるための制御信号、本実施の形態ではパルス信号が第２の供給部１２０ａ（図２参照）から供給される。センスアンプ６２ａ～６２ｃは、各々に接続されるデータレーン５５に入力された信号を増幅して読み出す。こうして、記憶部４５に記憶されたデジタル信号は、データレーン５５及びセンスアンプ６２を介して、処理部６０ａに順次出力される。なお、アンプ回路を動作させるための制御信号は、一定の電位（例えば電源電位）の信号であってもよい。

[0039] ＡＮＤ回路６１には、信号Ｖ１と信号Ｖ２とが入力される。信号Ｖ１は、センスアンプ６２ｂにも入力される。ＡＮＤ回路６１の出力信号は、センスアンプ６２ａ及びセンスアンプ６２ｃにそれぞれ入力される。信号Ｖ１及び信号Ｖ２は、センスアンプ６２ａ～６２ｃの制御に用いる信号である。読み出し制御部１００は、信号Ｖ１及び信号Ｖ２を制御することにより、センスアンプ６２ａ～６２ｃの動作状態を制御する。

このように、水平転送部５０ａは、各ＡＤ変換部４３ａによってデジタル

信号に変換された信号を、処理部６０ａに順次出力する。

[0040] 処理部６０ａは、信号処理部６４（信号処理部６４ａ～６４ｃ）を有する。信号処理部６４は、センスアンプ６２毎に設けられる。信号処理部６４ａはセンスアンプ６２ａに対して設けられ、信号処理部６４ｂはセンスアンプ６２ｂに対して設けられ、信号処理部６４ｃはセンスアンプ６２ｃに対して設けられる。信号処理部６４は、デコード回路およびメモリ回路等により構成される。信号処理部６４は、センスアンプ６２から入力された信号に対して、コードを変換する処理や相関二重サンプリング等の信号処理を行う。信号処理部６４は、信号処理後の信号を信号出力部７０ａに出力する。

[0041] 信号出力部７０ａは、出力Ｉ／Ｆ部７１ａ～７１ｃを有する。出力Ｉ／Ｆ部７１ａ～７１ｃは、ＳＬＶＳ等の高速インタフェースに対応した出力回路により構成される。出力Ｉ／Ｆ部７１ａは、信号処理部６４ａから入力された信号を、カメラ１の制御部４に出力する。また、出力Ｉ／Ｆ部７１ｂは、信号処理部６４ｂから入力された信号を制御部４に出力し、出力Ｉ／Ｆ部７１ｃは、信号処理部６４ｃから入力された信号を制御部４に出力する。なお、カラム回路部４０ｂ、水平転送部５０ｂ、処理部６０ｂ、及び信号出力部７０ｂの構成も、上述したカラム回路部４０ａ、水平転送部５０ａ、処理部６０ａ、及び信号出力部７０ａの構成とそれぞれ同様である。

[0042] 読み出し制御部１００（図２参照）は、水平加算部４２および水平転送部５０の各スイッチを制御して、撮像素子３の各画素の信号を個別に読み出す処理（個別読み出し制御）と、複数の画素の信号を加算して読み出す処理（加算読み出し制御）とを行う。カメラ１の制御部４は、読み出し制御部１００を制御して、画素の信号の読み出し方法を切り替える。

[0043] 個別読み出し制御では、読み出し制御部１００は、水平加算部４２のスイッチＳＷ２をオフ状態とし、撮像素子３の複数の画素を行単位で順次選択して、選択された画素の信号をＡＤ変換部４３に出力させる。また、読み出し制御部１００は、水平転送部５０の複数のデータレーン５５を用いて、各ＡＤ変換部４３によりデジタル信号に変換された画素の信号を、処理部６０に

順次出力させる。

[0044] 加算読み出し制御では、読み出し制御部１００は、水平加算部４２のスイッチＳＷ２をオン状態とし、撮像素子３の複数の画素を行単位で順次選択して、複数の画素の信号を垂直信号線２５において加算する。読み出し制御部１００は、加算された画素の信号を、撮像素子３に配置された複数のＡＤ変換部４３のうちの一部のＡＤ変換部４３に出力させる。

[0045] 本実施の形態では、後述するが、加算された画素の信号が入力される一部のＡＤ変換部４３は、水平転送部５０の複数のデータレーン５５のうちの一部のデータレーン５５に接続される。このため、加算読み出し制御では、読み出し制御部１００は、複数のデータレーン５５のうち一部のデータレーン５５のみを用いて、各ＡＤ変換部４３によりデジタル信号に変換された画素の信号を、処理部６０に順次出力させることが可能となる。

[0046] 上述のように、読み出し制御部１００は、加算読み出し制御を行う場合、一部のＡＤ変換部４３及び一部のデータレーン５５を用いる。加算された画素の信号が入力されない他のＡＤ変換部４３と、それらのＡＤ変換部４３が接続されるデータレーン５５と、それらのデータレーン５５に接続されるセンスアンプ６２とは、加算読み出し制御においては使用されない。このため、読み出し制御部１００は、第１の供給部１１０を制御して、加算読み出し制御を行う場合に使用しないＡＤ変換部４３に供給される電流を停止させる。また、読み出し制御部１００は、加算読み出し制御を行う場合に使用しないデータレーン５５の動作を停止させる。更に、読み出し制御部１００は、第２の供給部１２０を制御して、加算読み出し制御を行う場合に使用しないセンスアンプ６２の動作を停止させる。これにより、撮像素子３の消費電力を低減させることができる。このため、高いフレームレートの動画撮影を行う場合において、加算読み出し制御を行って消費電力が増大することを抑制することができる。

[0047] 図４に示す例では、加算読み出し制御を行う場合に使用するＡＤ変換部４３は、例えば、ＡＤ変換部４３ａ２と、ＡＤ変換部４３ａ５と、ＡＤ変換部

４３ａ８である。ＡＤ変換部４３ａ２、ＡＤ変換部４３ａ５、及びＡＤ変換部４３ａ８は、それぞれスイッチＳＷ３ｂ、スイッチＳＷ３ｅ、スイッチＳＷ３ｈを介して、複数のデータレーン５５ａ～５５ｃのうちの同一のデータレーン５５ｂに接続される。

[0048] 撮像素子３の一部のＡＤ変換部４３（図４ではＡＤ変換部４３ａ２、４３ａ５、４３ａ８）と一部のデータレーン５５（図４ではデータレーン５５ｂ）と一部のセンスアンプ６２（図４ではセンスアンプ６２ｂ）とは、垂直信号線２５に出力された画素の信号を処理部６０に出力する第１出力部を構成する。この第１出力部は、個別読み出し制御が行われる場合と加算読み出し制御が行われる場合に共に、第１の供給部１１０からの電流と第２の供給部１２０からのパルス信号とが供給されて動作状態となる。

[0049] 撮像素子３の他のＡＤ変換部４３（図４ではＡＤ変換部４３ａ１、４３ａ３、４３ａ４、４３ａ６、４３ａ７、４３ａ９）と他のデータレーン５５（図４ではデータレーン５５ａ、５５ｃ）と他のセンスアンプ６２（図４ではセンスアンプ６２ａ、６２ｃ）とは、垂直信号線２５に出力された画素の信号を処理部６０に出力する第２出力部を構成する。この第２出力部は、個別読み出し制御が行われる場合に、第１の供給部１１０から電流が供給されると共に、第２の供給部１２０からパルス信号が供給されて動作状態となる。加算読み出し制御が行われる場合には、第２出力部には、画素の信号が入力されない。このため、読み出し制御部１００は、加算読み出し制御を行う場合、第１の供給部１１０に第２出力部への電流の供給を停止させ、第２の供給部１２０に第２出力部へのパルス信号の供給を停止させる。これにより、加算読み出し制御を行う場合、第２出力部は、第１の供給部１１０から電流が供給されず、また第２の供給部１２０からパルス信号が供給されずに停止状態となる。

[0050] 上述のように、第２出力部のセンスアンプ６２（図４ではセンスアンプ６２ａ、６２ｃ）は、加算読み出し制御においては使用されない。読み出し制御部１００は、加算読み出し制御を行う場合、第２の供給部１２０にセンス

アンプ６２ａ、６２ｃへのパルス信号の供給を停止させる。これにより、加算読み出し制御を行う場合、センスアンプ６２ａ、６２ｃは、第２の供給部１２０からパルス信号が供給されずに停止（休止）状態となる。加算読み出し制御を行う場合、第２出力部は停止状態となり、撮像素子３の消費電力が低減される。

以下では、個別読み出し制御および加算読み出し制御について、より詳しく説明する。

[0051] 読み出し制御部１００は、制御部４により個別読み出し制御が選択（設定）された場合、水平加算部４２のスイッチＳＷ１ａ～スイッチＳＷ１ｉをオン状態とし、スイッチＳＷ２ａ～スイッチＳＷ２ｆをオフ状態とする。また、読み出し制御部１００は、信号Ｖ１及び信号Ｖ２を共にハイレベルにする。これにより、センスアンプ６２ａ～６２ｃは、入力された信号を増幅して読み出す動作が可能な状態となる。

[0052] 読み出し制御部１００は、第１行目の画素であるＲ画素１０（１，１）～Ｒ画素１０（１，１７）のリセット部１３をそれぞれオン状態とする。これにより、第１行目の画素１０において、それぞれのＦＤ１４の電圧がリセットされる。また、第１行目の画素１０の選択部１６をそれぞれオン状態とする。読み出し制御部１００は、第１行目以外の他の行の画素１０の選択部１６をそれぞれオフ状態とする。これにより、第１行目のＲ画素１０（１，１）～Ｒ画素１０（１，１７）の各々のダーク信号は、各々の画素の選択部１６、各々の画素に接続された垂直信号線２５ａ１～垂直信号線２５ａ９、及びスイッチＳＷ１ａ～スイッチＳＷ１ｉを介して、それぞれＡＤ変換部４３ａ１～ＡＤ変換部４３ａ９に出力される。

[0053] ＡＤ変換部４３ａ１～ＡＤ変換部４３ａ９は、入力されたダーク信号をデジタル信号に変換する。読み出し制御部１００は、水平転送部５０ａのスイッチＳＷ３ａ～スイッチＳＷ３ｉを制御して、各ＡＤ変換部４３ａによりデジタル信号に変換されたダーク信号を、センスアンプ６２を介して処理部６０ａに順次出力させる。読み出し制御部１００は、スイッチＳＷ３ａ～ＳＷ

３ｉのうちのスイッチＳＷ３ａ～ＳＷ３ｃのみをオン状態として、ＡＤ変換部４３ａ１～４３ａ３で変換されたデジタル信号をそれぞれデータレーン５５ａ～５５ｃを介して処理部６０ａに出力させる。その後、読み出し制御部１００は、スイッチＳＷ３ａ～ＳＷ３ｉのうちのスイッチＳＷ３ｄ～ＳＷ３ｆのみをオン状態として、ＡＤ変換部４３ａ４～４３ａ６で変換されたデジタル信号をそれぞれデータレーン５５ａ～５５ｃを介して処理部６０ａに出力させる。その後、読み出し制御部１００は、スイッチＳＷ３ａ～ＳＷ３ｉのうちのスイッチＳＷ３ｇ～ＳＷ３ｉのみをオン状態として、ＡＤ変換部４３ａ７～４３ａ９で変換されたデジタル信号をそれぞれデータレーン５５ａ～５５ｃを介して処理部６０ａに出力させる。

[0054] 読み出し制御部１００は、第１行目の画素であるＲ画素１０（１，１）～Ｒ画素１０（１，１７）の転送部１２をそれぞれオン状態とする。これにより、第１行目の画素１０において、それぞれのＰＤ１１で光電変換された電荷がＦＤ１４に転送される。第１行目のＲ画素１０（１，１）～Ｒ画素１０（１，１７）の各々の光電変換信号は、各々の画素の選択部１６、各々の画素に接続された垂直信号線２５、及びスイッチＳＷ１を介して、それぞれＡＤ変換部４３ａ１～ＡＤ変換部４３ａ９に出力される。

[0055] ＡＤ変換部４３ａ１～ＡＤ変換部４３ａ９は、入力された光電変換信号をデジタル信号に変換する。ＡＤ変換部４３ａ１～４３ａ９でデジタル信号に変換された光電変換信号は、デジタル信号に変換されたダーク信号が処理部６０ａに順次出力される場合と同様に、それぞれデータレーン５５ａ～５５ｃを介して処理部６０ａに順次出力される。

[0056] 読み出し制御部１００は、第１行目の画素から信号を読み出す場合と同様にして、第２行目の画素である画素１０（２、１）～画素１０（２、１７）からダーク信号および光電変換信号の読み出しを行う。また、同様に、読み出し制御部１００は、第３行目以降の画素を、第３行、第４行、第５行、第６行の順に１行ずつ順次選択し、選択した各画素から信号を読み出す。

[0057] このように、個別読み出し制御では、読み出し制御部１００は、撮像素子

３の画素の信号を個別に読み出す。データレーン５５ａ～５５ｃに順次出力されるダーク信号及び光電変換信号は、処理部６０ａによって相関二重サンプリング等の信号処理が施される。データレーン５５ａに出力された信号は、センスアンプ６２ａを介して信号処理部６４ａに入力され、信号処理部６４ａにより信号処理が施された後に、出力Ｉ／Ｆ部７１ａによって制御部４に出力される。データレーン５５ｂに出力された信号は、センスアンプ６２ｂを介して信号処理部６４ｂに入力され、信号処理部６４ｂにより信号処理が施された後に、出力Ｉ／Ｆ部７１ｂによって制御部４に出力される。また、データレーン５５ｃに出力された信号は、センスアンプ６２ｃを介して信号処理部６４ｃに入力され、信号処理部６４ｃにより信号処理が施された後に、出力Ｉ／Ｆ部７１ｃによって制御部４に出力される。

次に、加算読み出し制御の一例として、行方向の３画素ずつ、同色画素の信号を加算して読み出す場合について説明する。

[0058] 読み出し制御部１００は、制御部４により加算読み出し制御が選択された場合、水平加算部４２のスイッチＳＷ１ｂ、スイッチＳＷ１ｅ、及びスイッチＳＷ１ｈをオン状態とする。読み出し制御部１００は、スイッチＳＷ１ａ、スイッチＳＷ１ｃ、スイッチＳＷ１ｄ、スイッチＳＷ１ｆ、スイッチＳＷ１ｇ、及びスイッチＳＷ１ｉをオフ状態とする。また、読み出し制御部１００は、スイッチＳＷ２ａ～スイッチＳＷ２ｆをオン状態とする。読み出し制御部１００は、第１の供給部１１０ａを制御して、ＡＤ変換部４３ａ１、４３ａ３、４３ａ４、４３ａ６、４３ａ７、４３ａ９への電流の供給を停止させる。また、読み出し制御部１００は、信号Ｖ１をハイレベルにしてセンスアンプ６２ｂを動作可能な状態とすると共に、信号Ｖ２をローレベルにしてセンスアンプ６２ａ及びセンスアンプ６２ｃを停止状態とする。

[0059] 読み出し制御部１００は、第１行目の画素であるＲ画素１０（１，１）～Ｒ画素１０（１，１７）のリセット部１３をそれぞれオン状態とする。また、第１行目の画素の選択部１６をそれぞれオン状態とする。読み出し制御部１００は、第１行目以外の他の行の画素の選択部１６をそれぞれオフ状態と

する。スイッチＳＷ２ａ及びスイッチＳＷ２ｂが共にオン状態であるため、Ｒ画素１０（１，１）、Ｒ画素１０（１，３）、及びＲ画素１０（１，５）の各々の増幅部１５が、垂直信号線２５ａ１～２５ａ３を介して電気的に接続される。これにより、Ｒ画素１０（１，１）のダーク信号、Ｒ画素１０（１，３）のダーク信号、及びＲ画素１０（１，５）のダーク信号が加算平均される。また、スイッチＳＷ１ｂがオン状態であるため、この加算されたダーク信号はＡＤ変換部４３ａ２に出力される。

[0060] 同様に、Ｒ画素１０（１，７）のダーク信号、Ｒ画素１０（１，９）のダーク信号、及びＲ画素１０（１，１１）のダーク信号が加算平均されて、スイッチＳＷ１ｅを介してＡＤ変換部４３ａ５に出力される。また、Ｒ画素１０（１，１３）のダーク信号、Ｒ画素１０（１，１５）のダーク信号、及びＲ画素１０（１，１７）のダーク信号が加算平均されて、スイッチＳＷ１ｈを介してＡＤ変換部４３ａ８に出力される。

[0061] ＡＤ変換部４３ａ２、ＡＤ変換部４３ａ５、及びＡＤ変換部４３ａ８は、それぞれ、加算されたダーク信号をデジタル信号に変換する。読み出し制御部１００は、水平転送部５０ａのスイッチＳＷ３ｂ、スイッチＳＷ３ｅ、及びスイッチＳＷ３ｈを順次オン状態にして、各ＡＤ変換部４３ａにより変換されたデジタル信号を、センスアンプ６２を介して処理部６０ａに順次出力させる。読み出し制御部１００は、スイッチＳＷ３ａ～ＳＷ３ｉのうちのスイッチＳＷ３ｂのみをオン状態として、ＡＤ変換部４３ａ２で変換されたデジタル信号をデータレーン５５ｂを介して処理部６０ａに出力させる。その後、読み出し制御部１００は、スイッチＳＷ３ａ～ＳＷ３ｉのうちのスイッチＳＷ３ｅのみをオン状態として、ＡＤ変換部４３ａ５で変換されたデジタル信号をデータレーン５５ｂを介して処理部６０ａに出力させる。その後、読み出し制御部１００は、スイッチＳＷ３ａ～ＳＷ３ｉのうちのスイッチＳＷ３ｈのみをオン状態として、ＡＤ変換部４３ａ８で変換されたデジタル信号をデータレーン５５ｂを介して処理部６０ａに出力させる。

[0062] 読み出し制御部１００は、第１行目の画素であるＲ画素１０（１，１）～

Ｒ画素１０（１，１７）の転送部１２をそれぞれオン状態とする。これにより、第１行目の画素１０において、それぞれのＰＤ１１で光電変換された電荷がＦＤ１４に転送される。スイッチＳＷ２ａ及びスイッチＳＷ２ｂが共にオン状態であるため、Ｒ画素１０（１，１）、Ｒ画素１０（１，３）、及びＲ画素１０（１，５）の各々の増幅部１５が、垂直信号線２５ａ１～２５ａ３を介して電気的に接続される。これにより、Ｒ画素１０（１，１）の光電変換信号、Ｒ画素１０（１，３）の光電変換信号、及びＲ画素１０（１，５）の光電変換信号が加算平均される。また、スイッチＳＷ１ｂがオン状態であるため、加算平均された光電変換信号はＡＤ変換部４３ａ２に出力される。

[0063] 同様に、Ｒ画素１０（１，７）の光電変換信号、Ｒ画素１０（１，９）の光電変換信号、及びＲ画素１０（１，１１）の光電変換信号が加算平均されて、スイッチＳＷ１ｅを介してＡＤ変換部４３ａ５に出力される。また、Ｒ画素１０（１，１３）の光電変換信号、Ｒ画素１０（１，１５）の光電変換信号、及びＲ画素１０（１，１７）の光電変換信号が加算平均されて、スイッチＳＷ１ｈを介してＡＤ変換部４３ａ８に出力される。

[0064] ＡＤ変換部４３ａ２、ＡＤ変換部４３ａ５、及びＡＤ変換部４３ａ８は、それぞれ、加算された光電変換信号をデジタル信号に変換する。読み出し制御部１００は、水平転送部５０ａのスイッチＳＷ３ｂ、スイッチＳＷ３ｅ、及びスイッチＳＷ３ｈを順次オン状態にして、各ＡＤ変換部４３ａにより変換されたデジタル信号を、センスアンプ６２を介して処理部６０ａに順次出力させる。読み出し制御部１００は、スイッチＳＷ３ａ～ＳＷ３ｉのうちのスイッチＳＷ３ｂのみをオン状態として、ＡＤ変換部４３ａ２で変換されたデジタル信号をデータレーン５５ｂを介して処理部６０ａに出力させる。その後、読み出し制御部１００は、スイッチＳＷ３ａ～ＳＷ３ｉのうちのスイッチＳＷ３ｅのみをオン状態として、ＡＤ変換部４３ａ５で変換されたデジタル信号をデータレーン５５ｂを介して処理部６０ａに出力させる。その後、読み出し制御部１００は、スイッチＳＷ３ａ～ＳＷ３ｉのうちのスイッチ

ＳＷ３ｈのみをオン状態として、ＡＤ変換部４３ａ８で変換されたデジタル信号をデータレーン５５ｂを介して処理部６０ａに出力させる。

[0065] 読み出し制御部１００は、第１行目の画素から加算された信号を読み出す場合と同様にして、第２行目の画素である画素１０（２、１）～画素１０（２、１７）から加算されたダーク信号および光電変換信号の読み出しを行う。また、同様に、読み出し制御部１００は、第３行目以降の画素を、第３行、第４行、第５行、第６行の順に１行ずつ順次選択し、選択した各画素から信号を読み出す。

[0066] このように、加算読み出し制御では、読み出し制御部１００は、撮像素子３の複数の画素の信号を加算して読み出す。加算されたダーク信号及び光電変換信号は、ＡＤ変換部４３によってデジタル信号に変換された後に、データレーン５５ｂに順次出力される。データレーン５５ｂに順次出力されるダーク信号及び光電変換信号は、センスアンプ６２ｂを介して信号処理部６４ｂに入力され、信号処理部６４ｂにより相関二重サンプリング等の信号処理が行われた後に、出力Ｉ／Ｆ部７１ｂによって制御部４に出力される。

[0067] 図５は、第１の実施の形態に係る撮像素子の一部のレイアウト例を示す図である。撮像素子３は、ｐウェル２０１及びｐウェル２０２を有する半導体基板を用いて構成される。ｐウェル２０１には、領域２１０と、領域２１０を囲むように形成された領域２１１とが設けられる。ｐウェル２０２には、領域２２０と、領域２２０を囲むように形成された領域２２１とが設けられる。

[0068] ｐウェル２０１内の領域２１０は、アナログ回路を構成する素子が形成された領域（アナログ回路領域）である。ＡＤ変換部４３の比較部４４は、アナログ回路領域２１０に設けられる。ｐウェル２０２内の領域２２０は、デジタル回路を構成する素子が形成された領域（デジタル回路領域）である。記憶部４５、及び水平転送部５０は、デジタル回路領域２２０に設けられる。領域２１１及び領域２２１は、それぞれ、ｐ型の不純物を用いて形成されるｐ＋領域である。領域２１１及び領域２２１は、それぞれ、ガードリング

として機能し、隣接する領域に電荷が漏れることを抑制する。

[0069] アナログ回路領域２１０とデジタル回路領域２２０とは近くに配置され、アナログ回路領域２１０とデジタル回路領域２２０との間には寄生容量９０が形成される。また、アナログ回路領域２１０の比較部４４とデジタル回路領域２２０の水平転送部５０とは、比較的近くに配置されるため、寄生容量９０を介して互いに干渉してノイズを生じうる。仮にＡＤ変換部４３がＡＤ変換を行っている間に水平転送部５０の動作状態が変わると、ノイズ干渉の状態がＡＤ変換途中で変わってしまうため、ＡＤ変換結果にばらつきが生じうる。水平転送部５０がＡＤ変換部４３に及ぼすノイズの大きさが変化することに起因して、ＡＤ変換の精度が低下しうる。

[0070] 本実施の形態では、上述したように、水平方向の３つの画素の信号を加算して読み出す加算読み出し制御を行う場合に、３つのデータレーン５５のうちの１つのデータレーン５５のみを用いてデジタル信号の転送を行う。１つの行の画素から信号を読み出す期間において、その１つのデータレーン５５はデジタル信号の転送を繰り返す状態となり、他の２つのデータレーン５５はデジタル信号の転送を行わない停止状態となる。これにより、加算読み出し制御を行う場合に、データレーン５５の動作状態が変わることを防ぐことが可能となる。この結果、ＡＤ変換部４３が受けるノイズが変わることが抑えられ、ＡＤ変換結果にばらつきが生じることを防止することができる。以下に、ＡＤ変換部４３が受けるノイズの変化が抑制されることを、比較例と対比して説明する。

[0071] 比較例は、加算読み出し制御において使用されるＡＤ変換部４３が、互いに異なるデータレーン５５に接続されるものである。ＡＤ変換部４３ａ２がデータレーン５５ａに接続され、ＡＤ変換部４３ａ５がデータレーン５５ｂに接続され、ＡＤ変換部４３ａ８がデータレーン５５ｃに接続される。比較例では、加算読み出し制御を行う場合、読み出し制御部１００は、ＡＤ変換部４３ａ２で変換されたデジタル信号をデータレーン５５ａに出力する動作と、ＡＤ変換部４３ａ５で変換されたデジタル信号をデータレーン５５ｂに

出力する動作と、ＡＤ変換部４３ａ８で変換されたデジタル信号をデータレーン５５ｃに出力する動作とを同時に行う。

[0072] 図６は、第１の実施の形態に係る読み出し制御と比較例に係る読み出し制御とを比較する図である。図６（ａ）は、本実施の形態に係る撮像素子が個別読み出し制御を行う場合のＡＤ変換部４３及びデータレーン５５ａ～５５ｃの動作状態を示している。図６（ｂ）は、比較例に係る撮像素子が加算読み出し制御を行う場合のＡＤ変換部４３及びデータレーン５５ａ～５５ｃの動作状態を示している。図６（ｃ）は、本実施の形態に係る撮像素子が加算読み出し制御を行う場合のＡＤ変換部４３及びデータレーン５５ａ～５５ｃの動作状態を示している。なお、図６（ａ）～図６（ｃ）は、水平転送部５０によって第Ｎ行目の画素の信号を読み出す場合について、同一の時間軸上に示している。なお、図６（ａ）～図６（ｃ）では、ＡＤ変換部４３によるＡＤ変換処理の期間におけるデータレーン５５ａ～５５ｃの動作状態を比較するために、第（Ｎ＋１）行目の画素の信号に対するＡＤ変換処理と第Ｎ行目の画素の信号の転送処理とを並べて示している。

[0073] 個別読み出し制御の場合、読み出し制御部１００は、上述したように、水平転送部５０の３つのデータレーン５５ａ～５５ｃを用いて、デジタル信号に変換された画素の信号を処理部６０に順次出力させる。図６（ａ）に示す例では、時刻ｔ１から時刻ｔ４までの期間において、データレーン５５ａ～５５ｃは、第Ｎ行目の画素の信号を処理部６０に順次出力する。時刻ｔ１から時刻ｔ４までの期間が、第Ｎ行目の画素の信号を処理部６０に読み出す期間（リード期間）となる。

[0074] また、時刻ｔ１から時刻ｔ４までの期間において、ＡＤ変換部４３ａ１～４３ａ９は、第（Ｎ＋１）行目の画素から出力される光電変換信号およびダーク信号を順次デジタル信号に変換する。時刻ｔ１から時刻ｔ４までの期間が、第（Ｎ＋１）行目の画素の信号をデジタル信号に変換する期間となる。なお、比較例の場合の個別読み出し制御も、図６（ａ）と同様である。

[0075] 比較例において加算読み出し制御が行われる場合、読み出し制御部１００

は、３つのデータレーン５５ａ～５５ｃを用いて、画素の信号を処理部６０に順次出力させる。水平方向の３画素ずつ、画素の信号を加算して読み出すため、水平転送部５０によって処理部６０に転送される信号数（データ量）は、個別読み出し制御の場合と比較して１／３となる。また、１／３の信号数の画素の信号を、個別読み出し制御の場合と同様に３つのデータレーン５５ａ～５５ｃを用いて処理部６０に読み出すため、比較例に係る加算読み出し制御の場合のリード期間は、個別読み出し制御の場合のリード期間の略１／３となる。

[0076] 図６（ｂ）に示す比較例に係る加算読み出し制御の場合は、時刻ｔ１から時刻ｔ２までの期間において、データレーン５５ａ～５５ｃは、ＡＤ変換部４３ａ２、４３ａ５、４３ａ８から入力される第Ｎ行目の画素の信号を処理部６０に順次出力する。時刻ｔ２において、第Ｎ行目の画素の信号の処理部６０への読み出しが完了する。時刻ｔ２から時刻ｔ４までの期間は、データレーン５５ａ～５５ｃは、ＡＤ変換部４３から画素の信号が入力されず、データ転送に使用されない状態となる。また、時刻ｔ１から時刻ｔ４までの期間において、ＡＤ変換部４３ａ２、４３ａ５、４３ａ８は、加算された第（Ｎ＋１）行目の画素の光電変換信号およびダーク信号を順次デジタル信号に変換する。時刻ｔ１から時刻ｔ４までの期間が、個別読み出し制御の場合と同様に、第（Ｎ＋１）行目の画素の信号をデジタル信号に変換する期間となる。

[0077] このように、比較例では、第（Ｎ＋１）行目の画素の信号のＡＤ変換処理が行われる期間の途中で、データレーン５５ａ～５５ｃが動作状態から停止状態に変化することになる。このため、比較例では、加算読み出し制御を行う場合に、ＡＤ変換部４３によりＡＤ変換処理が行われる期間の途中でＡＤ変換部４３が受けるノイズが変わる。この結果、比較例では、ＡＤ変換の精度が低下する。なお、時刻ｔ２から時刻ｔ４までの期間もデータレーン５５ａ～５５ｃに信号の転送を行わせて、ＡＤ変換部４３が受けるノイズが変わることを抑えることが考えられるが、この場合は消費電力が増加してしまう

。

[0078] 本実施の形態に係る読み出し制御部１００は、加算読み出し制御を行う場合に、１つのデータレーン５５ｂを用いて、画素の信号を処理部６０に順次出力させる。加算読み出し制御に用いられるデータレーン５５は、１つのデータレーン５５ｂに集約される。図６（ｃ）に示す例では、時刻ｔ１から時刻ｔ４までの期間において、データレーン５５ｂは、ＡＤ変換部４３ａ２、４３ａ５、４３ａ８から順次入力される画素の信号を処理部６０に出力する。時刻ｔ１から時刻ｔ４までの期間において、データレーン５５ｂは動作状態となり、データレーン５５ａ、５５ｃは停止状態となる。本実施の形態では、加算読み出し制御を行う場合も、個別読み出し制御を行う場合と同様に、時刻ｔ１から時刻ｔ４までの期間が第Ｎ行目の画素の信号を処理部６０に読み出す期間となる。

[0079] このように、本実施の形態では、第（Ｎ＋１）行目の画素の信号のＡＤ変換処理が行われる期間に、データレーン５５ｂは動作状態のままであり、データレーン５５ａ、５５ｃは停止状態のままである。これにより、ＡＤ変換部４３によりＡＤ変換処理が行われる期間の途中でＡＤ変換部４３が受けるノイズが変わることを防ぐことができる。この結果、本実施の形態では、ＡＤ変換の精度が低下することを防止することができる。また、本実施の形態では、加算読み出し制御に用いるデータレーン５５を絞るため、消費電力を低減することが可能となる。

[0080] 上述した実施の形態によれば、次の作用効果が得られる。

（１）撮像素子３は、光電変換により電荷を生成する光電変換部１１を有し、光電変換部１１で生成された電荷に基づく信号を出力する第１画素と第２画素（画素１０）と、第１画素の信号を出力する第１信号線（例えば垂直信号線２５ａ２）と、第２画素の信号を出力する第２信号線（例えば垂直信号線２５ａ３）と、第１信号線に出力された信号および第２信号線に出力された信号の少なくとも一方を信号処理する処理部６０に出力する第１出力部（例えば、ＡＤ変換部４３ａ２、データレーン５５ｂ、及びセンスアンプ６２

ｂ）と、第２信号線に出力された信号を処理部６０に出力する第２出力部（例えば、ＡＤ変換部４３ａ３、データレーン５５ｃ、及びセンスアンプ６２ｃ）と、第１画素の信号と第２画素の信号とを第１出力部により処理部６０に出力させる第１制御と、第１画素の信号を第１出力部により処理部６０に出力し、第２画素の信号を第２出力部により処理部６０に出力させる第２制御とを行う制御部（読み出し制御部１００）と、を備える。本実施の形態では、撮像素子３は、第１及び第２の出力部のうちの第１の出力部を動作させ、加算された画素の信号を処理部６０に出力させる加算読み出し制御を行う。このため、加算読み出し制御を行う場合に第２出力部を停止させて、撮像素子３の消費電力を低減することができる。

[0081] （２）本実施の形態では、撮像素子３は、水平方向の３画素ずつ、画素の信号を加算して読み出す加算読み出し制御を行う場合、データレーン５５ａ～５５ｃのうちのデータレーン５５ｂを用いて、加算された画素の信号を処理部６０に順次出力させる。この場合、データレーン５５ｂは動作状態のままとなり、データレーン５５ａ、５５ｃは停止状態のままとなる。このため、ＡＤ変換部４３によりＡＤ変換処理が行われる期間の途中でデータレーン５５の動作状態が変化して、ＡＤ変換部４３が受けるノイズが変わることを抑えることができる。この結果、ＡＤ変換の精度の低下を抑制することができる。

[0082] 次のような変形も本発明の範囲内であり、変形例の一つ、もしくは複数を上述の実施形態と組み合わせることも可能である。

[0083] （変形例１）

図７は、変形例１に係る撮像素子の一部の構成例を示す図である。変形例１に係る撮像素子３は、ＡＮＤ回路６３を備える。ＡＮＤ回路６３には、クロック信号ＣＬＫと信号Ｖ３とが入力される。クロック信号ＣＬＫは、信号処理部６４ｂにも入力される。ＡＮＤ回路６３の出力信号は、信号処理部６４ａ及び信号処理部６４ｃにそれぞれ入力される。読み出し制御部１００は、信号Ｖ３を制御することにより、信号処理部６４ａ、６４ｃの動作状態を

制御する。

[0084] 読み出し制御部１００は、制御部４により個別読み出し制御が選択された場合、信号Ｖ３をハイレベルにする。これにより、信号処理部６４ａ、６４ｃには、ＡＮＤ回路６３を介してクロック信号ＣＬＫが入力される。また、信号処理部６４ｂにもクロック信号ＣＬＫが入力されるため、信号処理部６４ａ～６４ｃは、クロック信号ＣＬＫに基づき、センスアンプ６２から出力された信号に対して信号処理を行うことが可能な状態となる。

[0085] 読み出し制御部１００は、制御部４により加算読み出し制御が選択された場合、信号Ｖ３をローレベルにする。これにより、信号処理部６４ａ、６４ｃは、クロック信号が入力されず、停止状態となる。なお、信号処理部６４ｂは、クロック信号ＣＬＫが入力されるため、動作可能な状態となる。

[0086] 上述のように、読み出し制御部１００は、ＡＮＤ回路６３に入力される信号Ｖ３を制御して、信号処理部６４ａ、６４ｃの動作状態を制御する。このため、読み出し制御部１００は、加算読み出し制御を行う場合に、信号処理部６４ａ、６４ｃを停止させて、撮像素子３の消費電力を低減することができる。

[0087]（変形例２）

図８は、変形例２に係る撮像素子の一部の構成例を示す図である。変形例２に係る撮像素子３は、変換部６５と、マルチプレクサ６６ａ～６６ｃとを備える。変換部６５は、信号処理部６４ｂに接続され、信号処理部６４ｂから入力された信号を、マルチプレクサ６６ａ～６６ｃに分けて出力する。

[0088] マルチプレクサ６６ａは、読み出し制御部１００により制御され、出力Ｉ／Ｆ部７１ａに出力する信号を、信号処理部６４ａにより出力される信号及び変換部６５により出力される信号から選択する。マルチプレクサ６６ｂは、読み出し制御部１００により制御され、出力Ｉ／Ｆ部７１ｂに出力する信号を、信号処理部６４ｂにより出力される信号及び変換部６５により出力される信号から選択する。マルチプレクサ６６ｃは、読み出し制御部１００により制御され、出力Ｉ／Ｆ部７１ｃに出力する信号を、信号処理部６４ｃに

より出力される信号及び変換部６５により出力される信号から選択する。

[0089] 個別読み出し制御においては、マルチプレクサ６６ａは、信号処理部６４ａから入力される画素の信号を出力Ｉ／Ｆ部７１ａに出力する。マルチプレクサ６６ｂは、信号処理部６４ｂから入力される画素の信号を出力Ｉ／Ｆ部７１ｂに出力する。また、マルチプレクサ６６ｃは、信号処理部６４ｃから入力される画素の信号を出力Ｉ／Ｆ部７１ｃに出力する。出力Ｉ／Ｆ部７１ａ、７１ｂ、７１ｃは、それぞれ、信号処理部６４ａ、６４ｂ、６４ｃから入力された信号を制御部４に出力する。

[0090] 加算読み出し制御においては、信号処理部６４ｂは、データレーン５５ｂ及びセンスアンプ６２ｂを介して順次入力される画素の信号に対して信号処理を行い、変換部６５に順次出力する。変換部６５は、信号処理部６４ｂから順次入力される信号を、マルチプレクサ６６ａ～６６ｃに分けて出力する。マルチプレクサ６６ａは、変換部６５から入力される画素の信号を出力Ｉ／Ｆ部７１ａに出力し、マルチプレクサ６６ｂは、変換部６５から入力される画素の信号を出力Ｉ／Ｆ部７１ｂに出力する。また、マルチプレクサ６６ｃは、変換部６５から入力される画素の信号を出力Ｉ／Ｆ部７１ｃに出力する。出力Ｉ／Ｆ部７１ａ、７１ｂ、７１ｃは、それぞれ、変換部６５から入力された信号を制御部４に出力する。

[0091] 上述した実施の形態では、加算読み出し制御を行う場合は、３つの出力Ｉ／Ｆ部７１ａ～７１ｃのうち、１つの出力Ｉ／Ｆ部７１ｂによって画素の信号が制御部４に出力された。本変形例では、加算読み出し制御を行う場合、出力Ｉ／Ｆ部７１ａ～７１ｃによって画素の信号が制御部４に出力される。個別読み出し制御を行う場合と、加算読み出し制御を行う場合とで、共に３つの出力Ｉ／Ｆ部７１ａ～７１ｃから信号を制御部４に出力することができる。個別読み出し制御の場合に用いられる出力Ｉ／Ｆ部７１の数と、加算読み出し制御の場合に用いられる出力Ｉ／Ｆ部７１の数を揃えることができる。このため、加算読み出し制御を行う場合と個別読み出し制御を行う場合とで同様に、撮像素子３及び制御部４間における画素の信号の通信を行うこと

が可能となる。

[0092]（変形例３）

上述した実施の形態では、撮像素子３が１つの水平転送部５０あたり３つのデータレーン５５を有する例について説明した。しかし、撮像素子は、１つの水平転送部あたり３つ以上のデータレーンを有する構成であってもよい。

[0093] 図９は、変形例３に係る撮像素子の一部の構成例を示す図である。本変形例では、水平転送部５０（図９においては水平転送部５０ａ）は、データレーン５５ａ、データレーン５５ｂ、データレーン５５ｃ、及びデータレーン５５ｄの４つのデータレーン５５を有する。また、水平転送部５０は、センスアンプ６２ｄを更に有する。処理部６０（図９においては処理部６０ａ）は、信号処理部６４ｄと、マルチプレクサ６６ｄとを更に有する。また、信号出力部７０（図９においては信号出力部７０ａ）は、出力Ｉ／Ｆ部７１ｄを更に有する。

[0094] 本変形例では、加算読み出し制御において使用されるＡＤ変換部４３（図９ではＡＤ変換部４３ａ２、４３ａ５、４３ａ８）が、２つのデータレーン５５（図９ではデータレーン５５ａ、５５ｂ）のいずれかに接続される。ＡＤ変換部４３ａ２がデータレーン５５ｂに接続され、ＡＤ変換部４３ａ５がデータレーン５５ａに接続され、ＡＤ変換部４３ａ８がデータレーン５５ｂに接続される。

[0095] 個別読み出し制御の場合、各行の画素の信号は、各々の画素の選択部１６、各々の画素に接続された垂直信号線２５ａ１～垂直信号線２５ａ９、及びスイッチＳＷ１ａ～スイッチＳＷ１ｉを介して、それぞれＡＤ変換部４３ａ１～ＡＤ変換部４３ａ９に出力される。ＡＤ変換部４３ａ１～ＡＤ変換部４３ａ９は、それぞれ、入力された画素の信号をデジタル信号に変換する。読み出し制御部１００は、水平転送部５０ａのスイッチＳＷ３ａ～スイッチＳＷ３ｉを制御し、ＡＤ変換部４３ａ１～４３ａ９で変換されたデジタル信号をデータレーン５５ａ～５５ｄによって処理部６０ａに順次出力させる。デ

ータレーン５５ａ～５５ｄに出力された信号は、それぞれ、センスアンプ６２ａ～６２ｄを介して信号処理部６４ａ～６４ｄに入力され、信号処理部６４ａ～６４ｄにより信号処理が施された後に、出力Ｉ／Ｆ部７１ａ～７１ｄによって制御部４に出力される。

[0096] 加算読み出し制御の場合、読み出し制御部１００は、２つのデータレーン５５ａ、５５ｂを用いて、画素の信号を処理部６０に順次出力させる。読み出し制御部１００は、或る１つのＡＤ変換部４３ａ（例えばＡＤ変換部４３ａ２）で変換されたデジタル信号をデータレーン５５ｂに出力する動作と、他の１つのＡＤ変換部４３（例えばＡＤ変換部４３ａ５）で変換されたデジタル信号をデータレーン５５ａに出力する動作とを同時に行う。データレーン５５ａに出力された信号は、センスアンプ６２ａを介して信号処理部６４ａに入力され、信号処理部６４ａにより信号処理が施された後に、出力Ｉ／Ｆ部７１ａによって制御部４に出力される。データレーン５５ｂに出力された信号は、センスアンプ６２ｂを介して信号処理部６４ｂに入力され、信号処理部６４ｂにより信号処理が施された後に、出力Ｉ／Ｆ部７１ｂによって制御部４に出力される。本変形例の場合の加算読み出し制御においては、データレーン５５ｃ、５５ｄは、ＡＤ変換部４３から画素の信号が入力されず、データ転送に使用されない状態となる。このため、データレーン５５ｃ、５５ｄに接続されるＡＤ変換部４３と、センスアンプ６２ｃ、６２ｄと、信号処理部６４ｃ、６４ｄとを停止させて、撮像素子３の消費電力を低減することができる。

[0097]（変形例４）

垂直信号線２５に接続されるスイッチＳＷ１とＡＤ変換部４３との間にアンプ部を設けるようにしてもよい。アンプ部は、垂直信号線２５毎に設けられ、垂直信号線２５を介して入力される画素の信号を所定のゲイン（増幅率）で増幅し、増幅した画素の信号をＡＤ変換部４３に出力する。アンプ部には、アンプ部を動作させるための電流が第１の供給部１１０から供給される。ＡＤ変換部４３は、増幅された画素の信号をデジタル信号に変換して、水

平転送部５０に出力する。

[0098] 撮像素子３の一部のＡＤ変換部４３（図４ではＡＤ変換部４３ａ２、４３ａ５、４３ａ８）と、これら一部のＡＤ変換部４３に接続されるアンプ部と、一部のデータレーン５５（図４ではデータレーン５５ｂ）と、一部のセンスアンプ６２（図４ではセンスアンプ６２ｂ）とは、垂直信号線２５に出力された画素の信号を処理部６０に出力する第１出力部を構成する。また、撮像素子３の他のＡＤ変換部４３（図４ではＡＤ変換部４３ａ１、４３ａ３、４３ａ４、４３ａ６、４３ａ７、４３ａ９）と、これら他のＡＤ変換部４３に接続されるアンプ部と、他のデータレーン５５（図４ではデータレーン５５ａ、５５ｃ）と、他のセンスアンプ６２（図４ではセンスアンプ６２ａ、６２ｃ）とは、垂直信号線２５に出力された画素の信号を処理部６０に出力する第２出力部を構成する。

[0099] 加算読み出し制御が行われる場合には、第２出力部には、画素の信号が入力されない。このため、読み出し制御部１００は、加算読み出し制御を行う場合、第１の供給部１１０に第２出力部への電流の供給を停止させ、第２の供給部１２０に第２出力部へのパルス信号の供給を停止させる。これにより、加算読み出し制御を行う場合、第２出力部が停止状態となり、撮像素子３の消費電力を低減することができる。

[0100]（変形例５）

読み出し制御部１００は、加算読み出し制御を行う場合も、個別読み出し制御を行う場合と同様に、水平加算部４２のスイッチＳＷ１ａ～スイッチＳＷ１ｉをオン状態としてもよい。第２出力部のＡＤ変換部４３にも、加算された画素の信号が入力されることになる。この場合、読み出し制御部１００は、画素の信号を第２出力部から処理部６０に出力しないように、第２出力部を制御してもよい。

[0101] 読み出し制御部１００は、第１の供給部１１０に第２出力部への電流の供給を停止させることで、画素の信号を第２出力部から処理部６０に出力しないようにしてもよい。読み出し制御部１００は、第２の供給部１２０に第２

出力部のセンスアンプ６２（図４ではセンスアンプ６２ａ、６２ｃ）へのパルス信号の供給を停止させることで、画素の信号を第２出力部から処理部６０に出力しないようにしてもよい。このとき、読み出し制御部１００は、所定時間の間、第２の供給部１２０によって一定の電位（例えば０Ｖや接地電位）の信号を第２出力部のセンスアンプ６２に供給することによって、第２出力部のセンスアンプ６２を停止状態にさせてもよい。

[0102] また、読み出し制御部１００は、加算読み出し制御を行う場合に、第２出力部に接続される信号処理部６４（図４では信号処理部６４ａ、６４ｃ）が画素の信号を処理しないように、第２出力部に接続される信号処理部６４を制御してもよい。この場合、読み出し制御部１００は、図７に示す例のように、第２出力部に接続される信号処理部６４へのクロック信号の供給を停止させることで、第２出力部に接続される信号処理部６４が画素の信号の処理を行わないようにしてもよい。

[0103] （変形例６）

上述の実施の形態及び変形例で説明した撮像素子及び撮像装置は、カメラ、スマートフォン、タブレット、ＰＣに内蔵のカメラ、車載カメラ、無人航空機（ドローン、ラジコン機等）に搭載されるカメラ等に適用されてもよい。

[0104] 上記では、種々の実施の形態および変形例を説明したが、本発明はこれらの内容に限定されるものではない。本発明の技術的思想の範囲内で考えられるその他の態様も本発明の範囲内に含まれる。

[0105] 次の優先権基礎出願の開示内容は引用文としてここに組み込まれる。

日本国特願２０１９－６９１４６号（２０１９年３月２９日出願）

符号の説明

[0106] １…撮像装置、３…撮像素子、４…制御部、１０…画素、１１…光電変換部、２５…垂直信号線、４０…カラム回路部、４３…ＡＤ変換部、５０…水平転送部、６０…処理部、６５…変換部、７０…信号出力部、７１…出力Ｉ／Ｆ部、１００…読み出し制御部、１１０…第１の供給部、１２０…第２の供

給部

請求の範囲

[請求項1] 光電変換により電荷を生成する第１光電変換部と第２光電変換部と、

前記第１光電変換部で生成された電荷に基づく第１信号を出力する第１信号線と、

前記第２光電変換部で生成された電荷に基づく第２信号を出力する第２信号線と、

前記第１信号および前記第２信号の少なくとも一方を信号処理する処理部に出力する第１出力部と、

前記第２信号を前記処理部に出力する第２出力部と、

前記第１信号と前記第２信号とを前記第１出力部により前記処理部に出力させる第１制御と、前記第１信号を前記第１出力部により前記処理部に出力し、前記第２信号を前記第２出力部により前記処理部に出力させる第２制御とを行う制御部と、

を備える撮像素子。

[請求項2] 請求項１に記載の撮像素子において、

前記制御部は、前記第１制御において、前記第１出力部に制御信号を送信し、前記第２出力部に制御信号を送信しない撮像素子。

[請求項3] 請求項１または請求項２に記載の撮像素子において、

前記制御部は、前記第１制御において、前記第２信号を前記処理部に出力しないよう前記第２出力部を制御する撮像素子。

[請求項4] 請求項１から請求項３までのいずれか一項に記載の撮像素子において、

前記処理部は、前記第１出力部および前記第２出力部の少なくとも一方と接続される第１処理部と、前記第２出力部と接続される第２処理部とを有し、

前記処理部は、前記第１制御において、前記第１処理部で前記第１信号と前記第２信号を処理する撮像素子。

[請求項5] 請求項４に記載の撮像素子において、

前記制御部は、前記第１制御において、前記第１処理部に制御信号を送信し、前記第２処理部に制御信号を送信しない撮像素子。

[請求項6] 請求項４または請求項５に記載の撮像素子において、

前記制御部は、前記第１制御において、前記第１信号および前記第２信号の少なくとも一方を処理しないよう前記第２処理部を制御する撮像素子。

[請求項7] 請求項４から請求項６までのいずれか一項に記載の撮像素子において、

前記処理部は、前記第２制御において、前記第１処理部で前記第１信号を処理し、前記第２処理部で前記第２信号を処理する撮像素子。

[請求項8] 請求項１から請求項７までのいずれか一項に記載の撮像素子において、

前記処理部で処理された信号を複数の出力回路に分けて出力できるよう変換する変換部を備える撮像素子。

[請求項9] 請求項１から請求項８までのいずれか一項に記載の撮像素子において、

前記制御部は、前記第１制御において、前記第１信号と前記第２信号とを加算した信号を前記第１出力部により前記処理部に出力させる撮像素子。

[請求項10] 請求項１から請求項９までのいずれか一項に記載の撮像素子において、

前記第１信号線と前記第２信号線とを接続可能な接続部を備え、

前記接続部は、前記第１制御において、前記第１信号線と前記第２信号線とを電気的に接続する撮像素子。

[請求項11] 請求項１から請求項９までのいずれか一項に記載の撮像素子において、

前記第１出力部と前記第２出力部とを接続可能な接続部を備え、

前記接続部は、前記第１制御において、前記第１出力部と前記第２出力部とを電気的に接続する撮像素子。

[請求項12] 請求項１から請求項１１までのいずれか一項に記載の撮像素子において、

前記第１出力部は、前記第１信号および前記第２信号の少なくとも一方の信号を前記処理部に出力する第１出力線を有し、

前記第２出力部は、前記第２信号を前記処理部に出力する第２出力線を有する撮像素子。

[請求項13] 請求項１２に記載の撮像素子において、

前記第１出力部は、前記第１出力線で出力される信号を増幅する増幅部を有し、

前記第２出力部は、前記第２出力線で出力される信号を増幅する増幅部を有する撮像素子。

[請求項14] 請求項１から請求項１３までのいずれか一項に記載の撮像素子において、

アナログ信号である前記第１信号および前記第２信号の少なくとも一方の信号をデジタル信号に変換する第１ＡＤ変換部と、

アナログ信号である前記第２信号をデジタル信号に変換する第２ＡＤ変換部と、を備え、

前記第１出力部は、前記第１ＡＤ変換部により変換されたデジタル信号を前記処理部に出力し、

前記第２出力部は、前記第２ＡＤ変換部により変換されたデジタル信号を前記処理部に出力する撮像素子。

[請求項15] 請求項１４に記載の撮像素子において、

前記第１ＡＤ変換部は、前記第１制御において、前記第１信号と前記第２信号とを加算したアナログ信号を第１デジタル信号に変換し、前記第２制御において、アナログ信号である前記第１信号を第２デジタル信号に変換し、

前記第１出力部は、前記第１制御において、前記第１デジタル信号を前記処理部に出力し、前記第２制御において、前記第２デジタル信号を前記処理部に出力する撮像素子。

[請求項16] 請求項１から請求項１５までのいずれか一項に記載の撮像素子において、

前記第１光電変換部と前記第２光電変換部とは第１方向に設けられ、

前記第１信号線と前記第２信号線とは、前記第１方向と異なる第２方向に設けられ、

前記第１出力部と前記第２出力部は、前記第１方向に設けられる撮像素子。

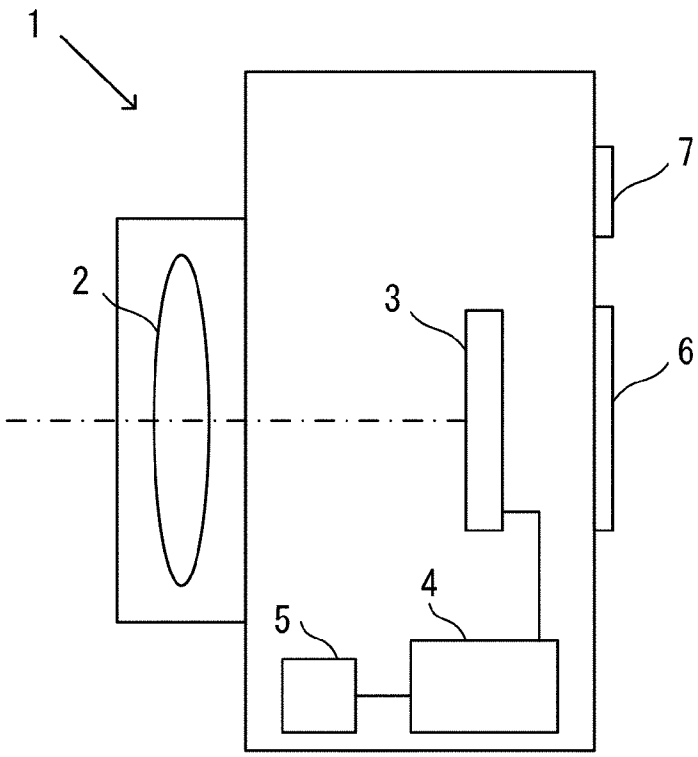
[請求項17] 請求項１から請求項１６までのいずれか一項に記載の撮像素子と、

前記処理部で処理された信号に基づいて画像データを生成する生成部と、

を備える撮像装置。

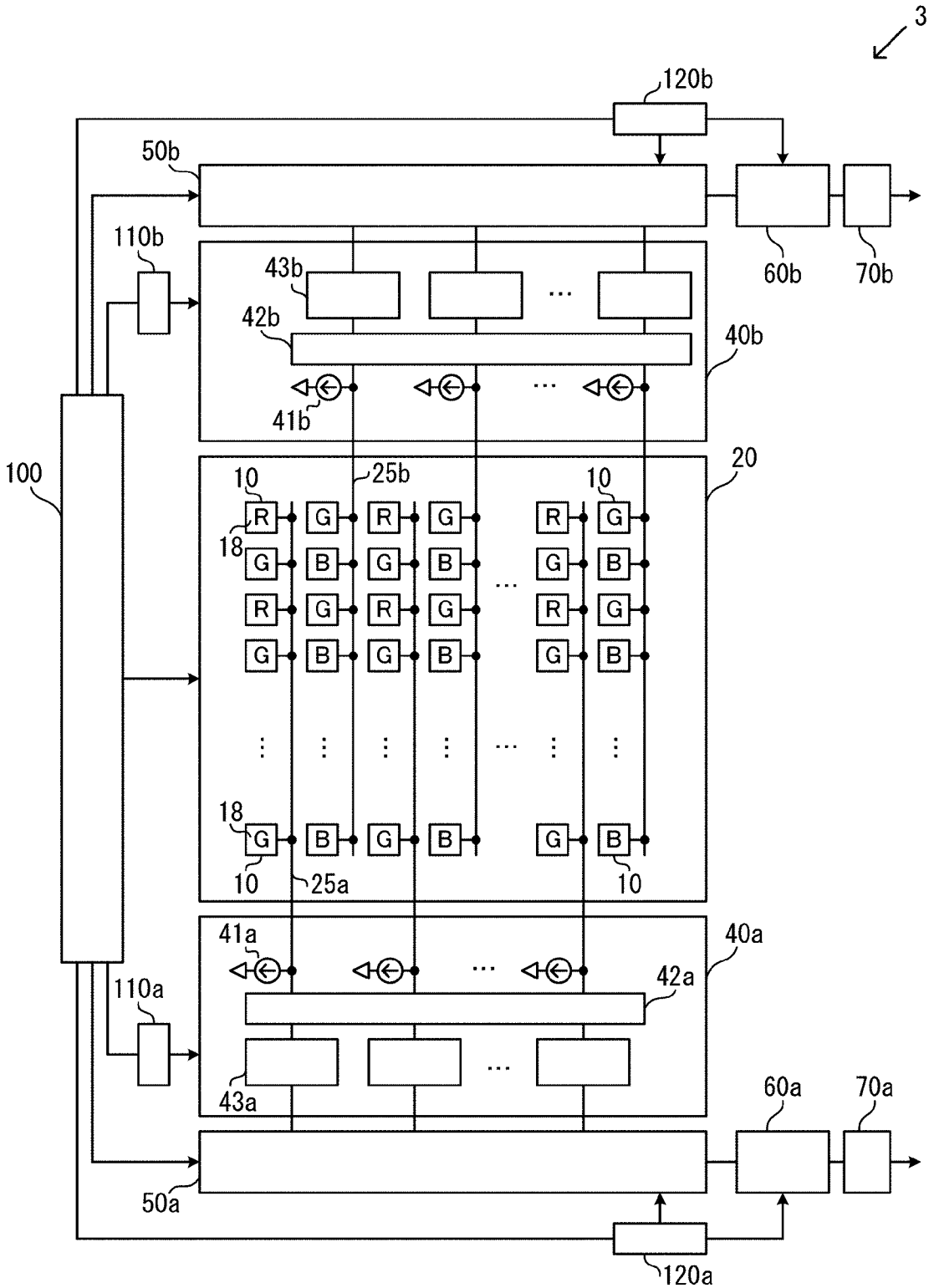
[図1]

【図１】



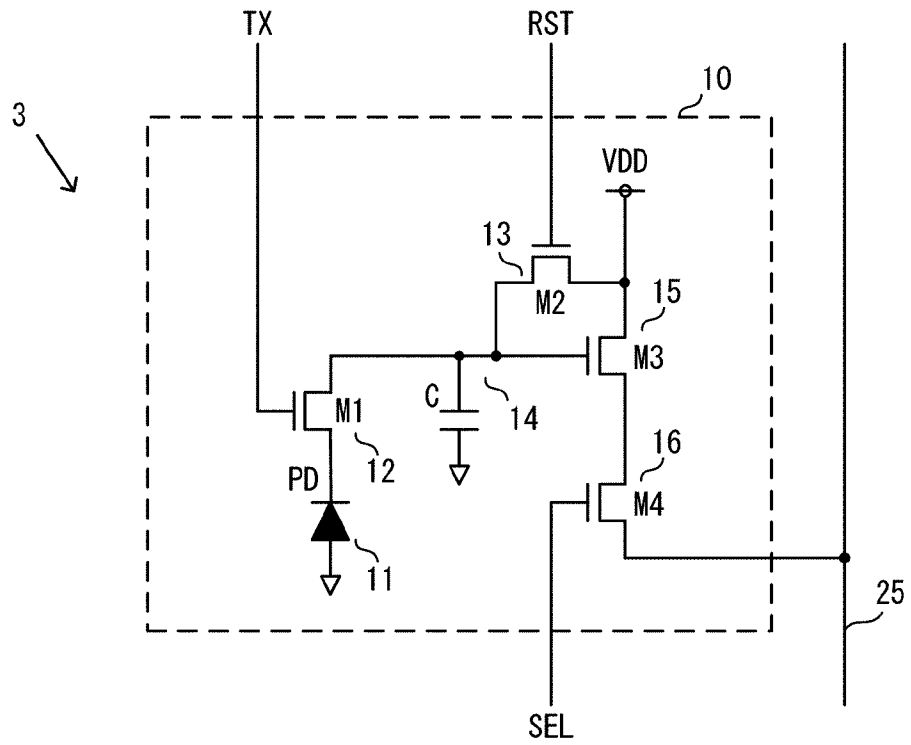
[図2]

【図２】

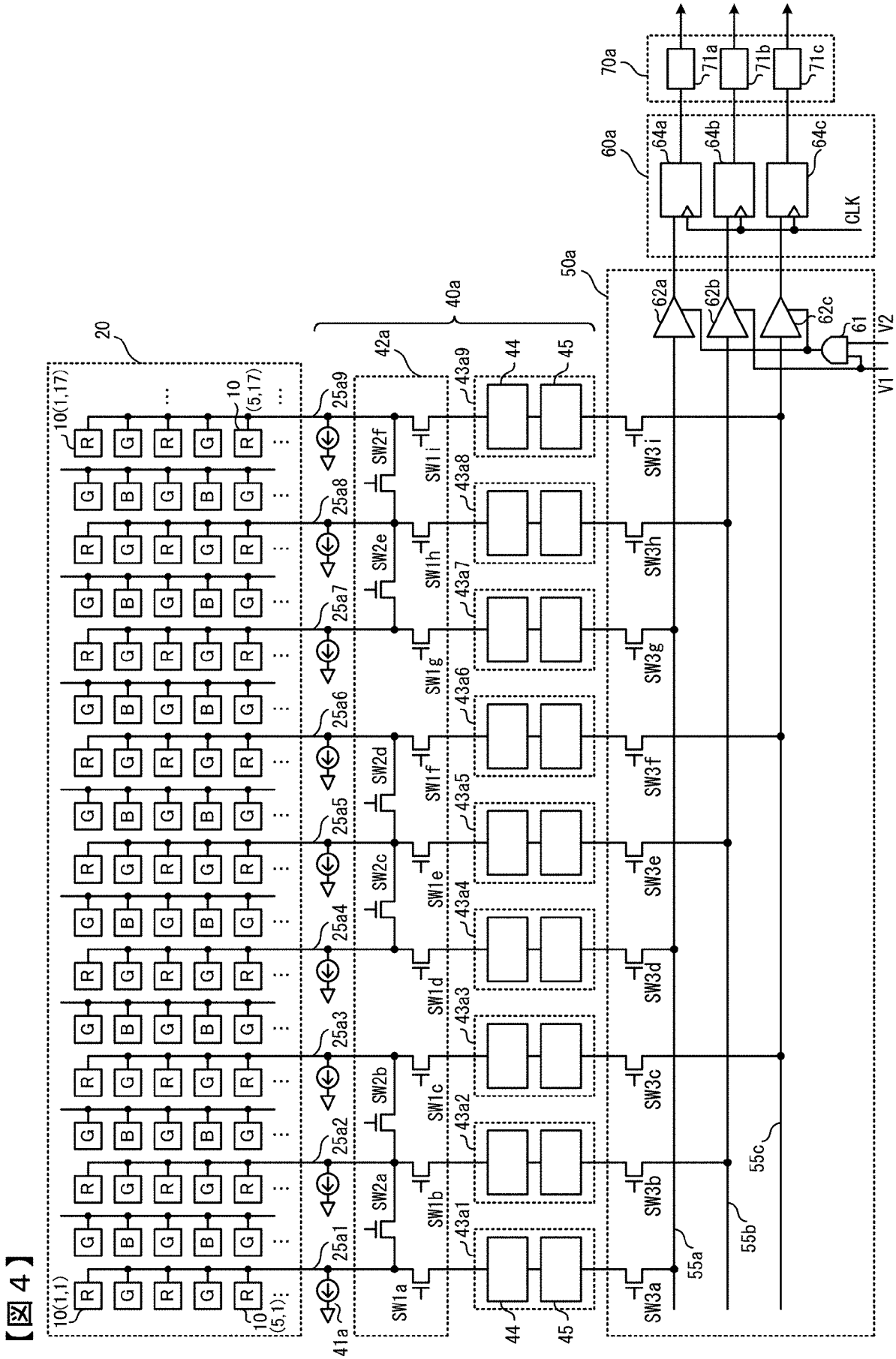

3
120b
50b
110b
43b
42b
40b
60b
70b
41b
100
20
10
25b
R
G
B
18
25a
41a
42a
40a
110a
43a
60a
70a
50a
120a

[図3]

【図３】

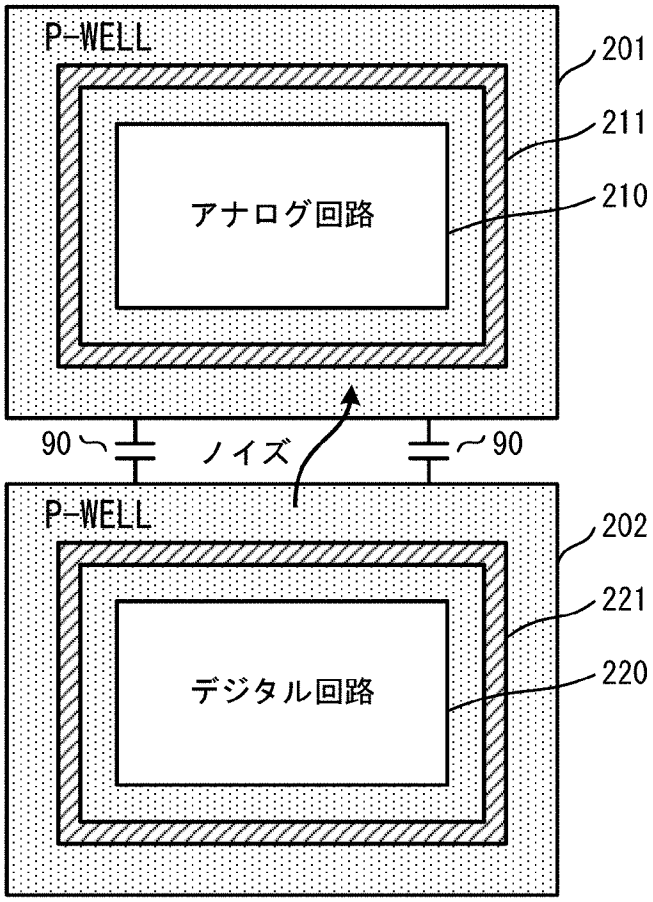


[図4]


【図４】
20
10(1,1)
10(5,1)
10(1,17)
10(5,17)
R
G
B
41a
25a1
25a2
25a3
25a4
25a5
25a6
25a7
25a8
25a9
40a
42a
SW1a
SW1b
SW1c
SW1d
SW1e
SW1f
SW1g
SW1h
SW1i
SW2a
SW2b
SW2c
SW2d
SW2e
SW2f
43a1
43a2
43a3
43a4
43a5
43a6
43a7
43a8
43a9
44
45
50a
SW3a
SW3b
SW3c
SW3d
SW3e
SW3f
SW3g
SW3h
SW3i
55a
55b
55c
60a
64a
64b
64c
CLK
62a
62b
62c
61
V1
V2
70a
71a
71b
71c

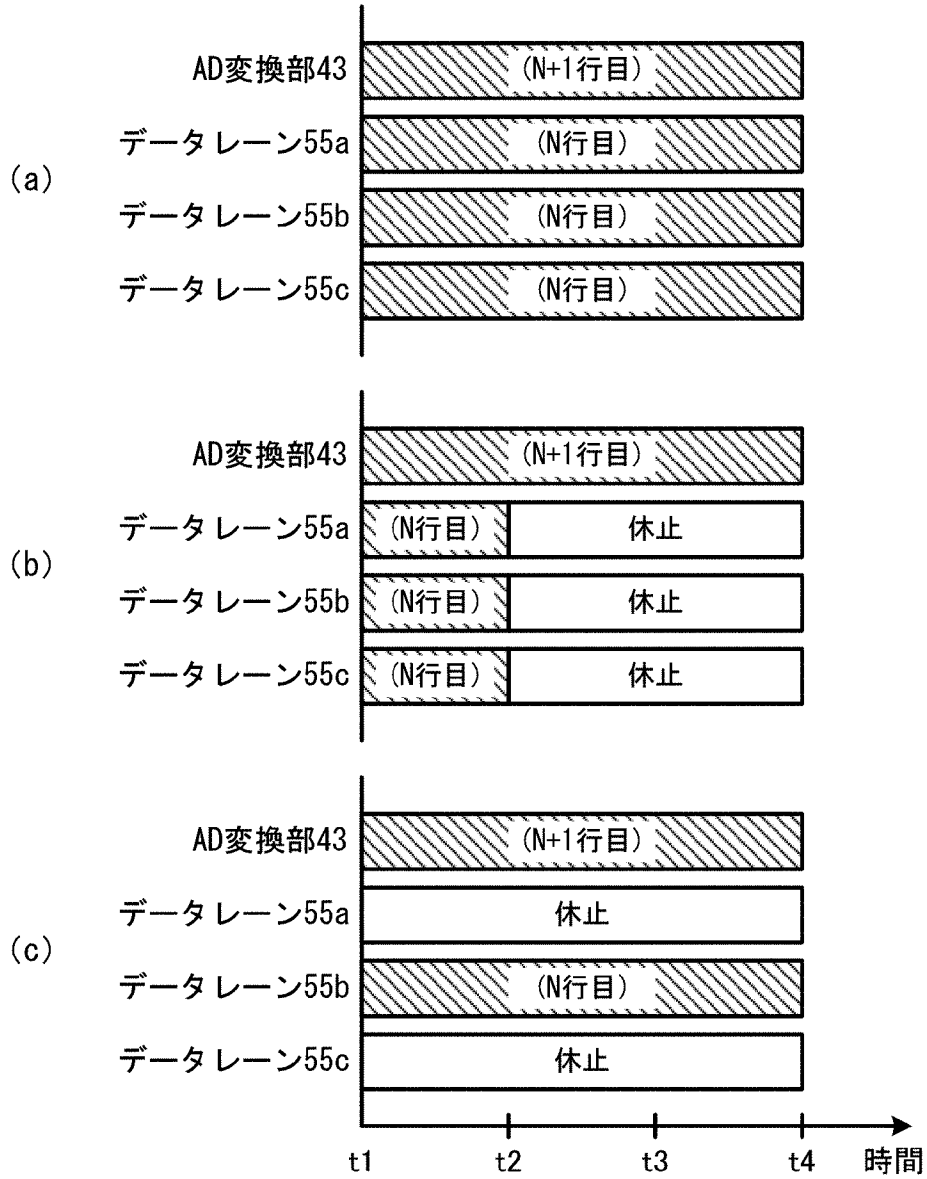
[図5]

【図５】



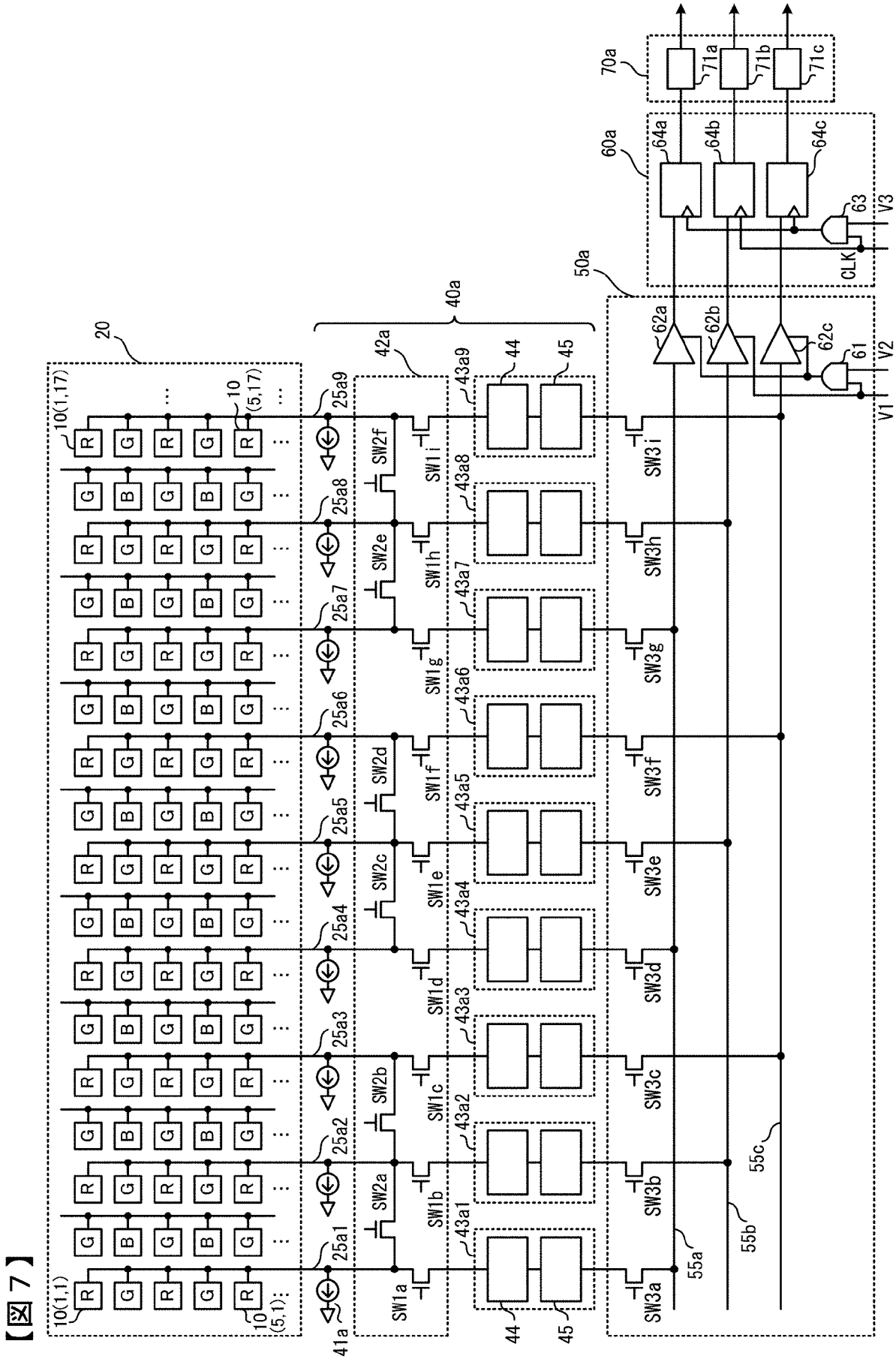
[図6]

【図６】

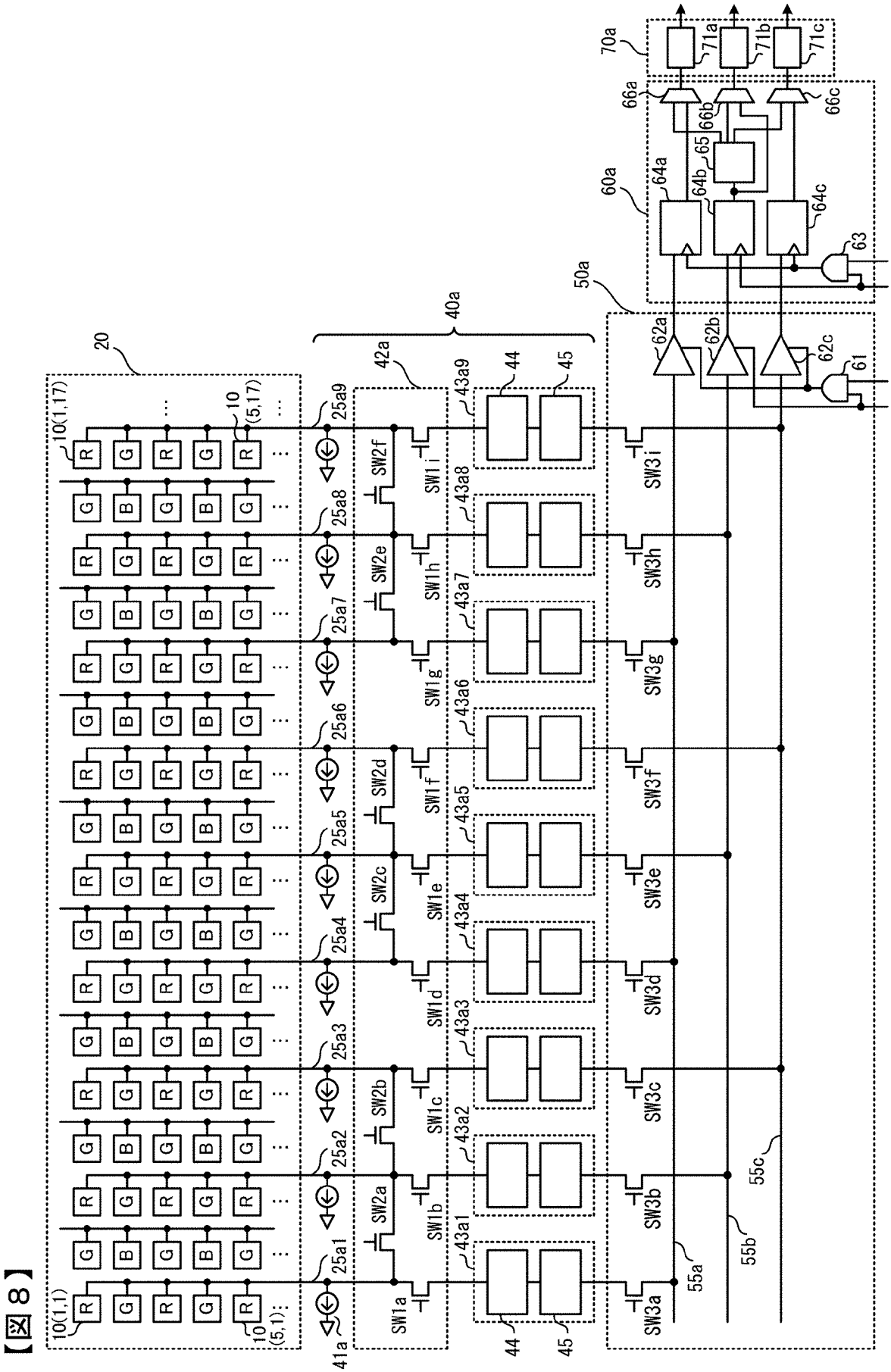

(a)
AD変換部43
(N+1行目)
データレーン55a
(N行目)
データレーン55b
(N行目)
データレーン55c
(N行目)
(b)
AD変換部43
(N+1行目)
データレーン55a
(N行目)
休止
データレーン55b
(N行目)
休止
データレーン55c
(N行目)
休止
(c)
AD変換部43
(N+1行目)
データレーン55a
休止
データレーン55b
(N行目)
データレーン55c
休止
t1
t2
t3
t4
時間

[図7]

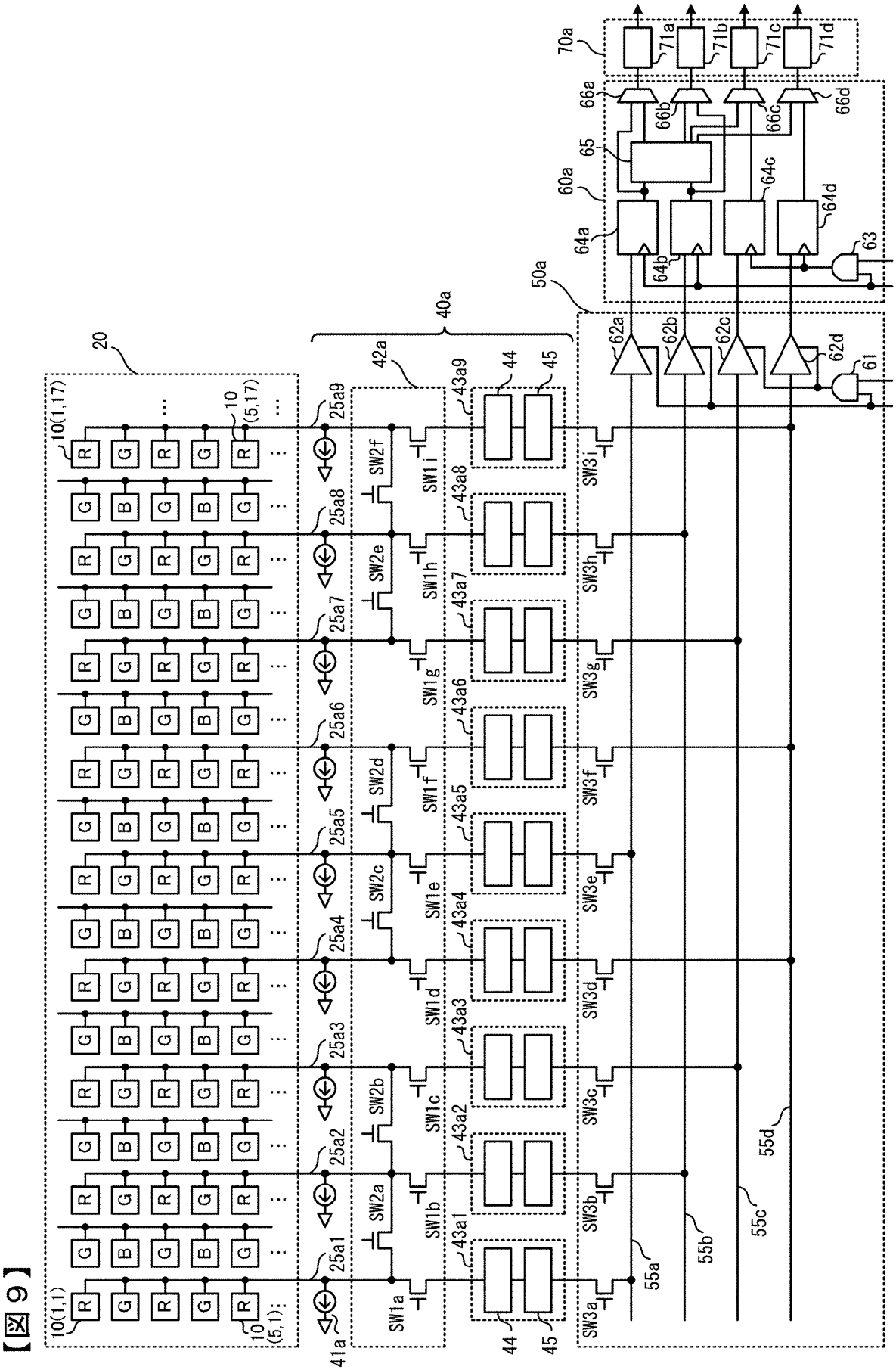
【図７】


20
10(1,1)
10(1,17)
10(5,1)
10(5,17)
R
G
B
41a
25a1
25a2
25a3
25a4
25a5
25a6
25a7
25a8
25a9
40a
42a
SW1a
SW2a
SW1b
SW2b
SW1c
SW2c
SW1d
SW2d
SW1e
SW2e
SW1f
SW2f
SW1g
SW1h
SW1i
43a1
43a2
43a3
43a4
43a5
43a6
43a7
43a8
43a9
44
45
50a
SW3a
SW3b
SW3c
SW3d
SW3e
SW3f
SW3g
SW3h
SW3i
55a
55b
55c
60a
62a
62b
62c
61
63
CLK
V1
V2
V3
64a
64b
64c
70a
71a
71b
71c

[図8]


【図８】
20
10(1,1)
10(5,1)
10(1,17)
10(5,17)
R
G
B
41a
40a
42a
SW1a
SW1b
SW1c
SW1d
SW1e
SW1f
SW1g
SW1h
SW1i
SW2a
SW2b
SW2c
SW2d
SW2e
SW2f
25a1
25a2
25a3
25a4
25a5
25a6
25a7
25a8
25a9
43a1
43a2
43a3
43a4
43a5
43a6
43a7
43a8
43a9
44
45
50a
SW3a
SW3b
SW3c
SW3d
SW3e
SW3f
SW3g
SW3h
SW3i
55a
55b
55c
60a
62a
62b
62c
61
63
64a
64b
64c
65
66a
66b
66c
70a
71a
71b
71c

[図9]


【図９】
20
10(1,1)
10(5,1)
10(1,17)
10(5,17)
R
G
B
41a
42a
40a
50a
60a
70a
71a
71b
71c
71d
66a
66b
66c
66d
65
64a
64b
64c
64d
63
62a
62b
62c
62d
61
44
45
SW1a
SW1b
SW1c
SW1d
SW1e
SW1f
SW1g
SW1h
SW1i
SW2a
SW2b
SW2c
SW2d
SW2e
SW2f
SW3a
SW3b
SW3c
SW3d
SW3e
SW3f
SW3g
SW3h
SW3i
25a1
25a2
25a3
25a4
25a5
25a6
25a7
25a8
25a9
43a1
43a2
43a3
43a4
43a5
43a6
43a7
43a8
43a9
55a
55b
55c
55d

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2020/014101

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H04N5/347(2011.01)i
FI: H04N5/347

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H04N5/347

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2009-44680 A (CANON INC.) 26.02.2009 (2009-02-26), paragraphs [0020], [0036], [0041], [0043], [0052], [0064], fig. 1, 2, 4	1-17
X	JP 2009-124550 A (SONY CORPORATION) 04.06.2009 (2009-06-04), paragraphs [0056]-[0063], [0094], fig. 5, 6, 10	1, 2, 4-12, 14, 15, 17
A	WO 2018/181723 A1 (NIKON CORPORATION) 04.10.2018 (2018-10-04), paragraphs [0061], [0106], fig. 7	1-17

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
04.06.2020	23.06.2020

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/014101

JP 2009-44680 A	26.02.2009	US 2009/0040350 A1 paragraphs [0033], [0051], [0056], [0058], [0067], [0079], fig. 1, 2, 4
JP 2009-124550 A	04.06.2009	US 2009/0128678 A1 paragraphs [0068]-[0075], [0106], fig. 5, 6, 10
WO 2018/181723 A1	04.10.2018	CN 110463189 A paragraphs [0077], [0125], fig. 7

国際調査報告

国際出願番号
PCT/JP2020/014101

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H04N 5/347(2011.01)i
FI: H04N5/347

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H04N5/347

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２０年
日本国実用新案登録公報	１９９６－２０２０年
日本国登録実用新案公報	１９９４－２０２０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2009-44680 A (キヤノン株式会社) 26.02.2009 (2009-02-26) 段落 [0020], [0036], [0041], [0043], [0052], [0064], 図1,2,4	1-17
X	JP 2009-124550 A (ソニー株式会社) 04.06.2009 (2009-06-04) 段落 [0056]-[0063], [0094], 図5,6,10	1,2,4-12,14,15,17
A	WO 2018/181723 A1 (株式会社ニコン) 04.10.2018 (2018-10-04) 段落 [0061], [0106], 図7	1-17

☐ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
04.06.2020	23.06.2020

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）

鈴木　明 5V 9185

電話番号 03-3581-1101 内線 3571

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2020/014101

引用文献	公表日	パテントファミリー文献	公表日
JP 2009-44680 A	26.02.2009	US 2009/0040350 A1 段落［0033］，［0051］，［0056］，［0058］，［0067］，［0079］，図1,2,4	
JP 2009-124550 A	04.06.2009	US 2009/0128678 A1 段落［0068］－［0075］，［0106］，図5,6,10	
WO 2018/181723 A1	04.10.2018	CN 110463189 A 段落［0077］，［0125］，図7	