

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)

(51) Int. Cl.<sup>4</sup>  
G11C 19/00  
G11C 19/08

(45) 공고일자 1989년08월 14일  
(11) 공고번호 89-002961

(21) 출원번호	특 1984-0005491	(65) 공개번호	특 1985-0002641
(22) 출원일자	1984년09월07일	(43) 공개일자	1985년05월 15일
(30) 우선권주장	58-172096 1983년09월20일	일본 (JP)	
(71) 출원인	후지쓰 가부시끼가이샤	야마모토 다쿠마	
	일본국 가나가와켄 가와사끼시 나카하라구 가미고다나카 1015반지		

(72) 발명자 다케마에 요시히로  
일본국 가나가와켄 가와사끼시 나카하라구 가미고다나카 후지쓰 가부시  
끼가이샤내  
(74) 대리인 장용식

심사관 : 유환열 (특자공보 제1624호)

**(54) 시프트 레지스터**

**요약**

내용 없음.

**대표도**

**도1**

**명세서**

[발명의 명칭]

시프트 레지스터

[도면의 간단한 설명]

제1도는 본 발명에 따르는 레지스터를 사용하는 메모리장치를 예시하는 블록회로도.

제2도는 본 발명의 실시예로서 시프트 레지스터를 예시하는 전기회로도.

제3도는 제1도의 시프트 레지스터의 동작을 예시하는 파형도.

제4도 및 제5도는 본 발명의 또 다른 실시예를 각각 예시하고 제1도의 시프트 레지스터를 각각 수정한 전기회로도.

제6도는 본 발명의 또 다른 실시예를 예시하는 전기회로도.

제7도는 제6도의 시프트 레지스터의 동작을 예시하는 파형도.

\* 도면의 주요부분에 대한 부호의 설명

SR : 시프트레지스터       $\emptyset$  : 클럭신호

Q : 트랜지스터

[발명의 상세한 설명]

본 발명은 시프트 레지스터, 특히 약간의 회로 소자들을 사용함으로써 구성될수 있는 MIS 다이내믹 시프트 레지스터에 관한 것이다. 예를들어, MIS 다이내믹 메모리장치에서 각 메모리셀에 기억된 데이터들을 재생시키기 위한 소위 자동 재생동작이 메모리장치에서 재생된 워드라인 수를 기억시킴으로써 그리고 각 워드라인에 연결된 메모리셀을 재생시킴으로써 및 워드라인의 수를 증가시킴으로써 실행된다. 본 출원자에 의해 1983년 6월 29일에 제출된 일본 특허 출원번호 제58-115887호에서,로우(row)디코우더에 평행하게 배열된 시프트레지스터를 포함하는 메모리장치가 공개되었으며 여기서 워드라인을 재생시키기 위한 선택신호가 시프트 레지스터의 출력신호를 사용함으로써 발생되고, 이것에 의해, 재생될 워드라인을 연속적으로 선택한다. 이러한 메모리 장치에 사용된 시프트 레지스터는 모든 비트중에 하나의 비트만의 출력이 "1"이고 다른 비트들의 출력은 "0"이라는 것을 특징으로 하

고 있다. "1"인 하나의 비트의 출력을 사용함으로써 하나의 목표워드라인만이 선택된다. 이러한 시프트 레지스터의 반도체 기판상에 한 회로 스테이지의 폭이 워드라인의 피치 길이보다 크지 않다는 것이 또한 필요하다.

일반적으로, 워드라인의 피치길이가 매우 좁으므로 시프트 레지스터의 각 회로 스테이지의 구조가 매우 간단하고 사용된 회로성분의 수가 적어야 한다는 것이 필요하다. 어떤 패턴을 가지는 데이터를 기억시키고 전송시킬 수 있는 종래의 시프트 레지스터에서 각 회로 스테이지는 매우 복잡한 회로 구조와 많은 후의 회로성분을 가지고 있다. 그러므로, 반도체장치상의 각 회로 스테이지의 회로폭은 비교적 크며 상기 언급한 기억장치에서 시프트 레지스터를 사용하는 것이 불가능하다.

앞서 언급한 종래의 시프트 레지스터를 고려할 때, 본 발명은 베이스 성분으로 3개의 MIS 트랜지스터를 사용함으로써 MIS 다이내믹형 시프트 레지스터내에 각 회로 스테이지를 구성시키는 개념을 채택하고 있다. 각 회로 스테이지의 회로구조를 간단히 하고 각 회로스테이지에 사용된 회로성분의 수를 감소시키는 것이 본 발명의 목적이며, 이것에 의해 반도체 기판상에서 각 회로 스테이지에 의해 점유된 공간의 폭을 좁히게 된다.

본 발명에 따라, 직렬로 연결된 다수의 회로 스테이지를 가지고 있고 시프트 레지스터를 구동시키기 위해 서로 위상이 다른 제1 및 제2클럭신호를 수신하며, 상기 회로 스테이지의 각각이 입력신호 및 상기 제1클럭신호에 반응해서 입력신호를 변환시키기 위한 상기 제1클럭신호를 수신하도록 기능적으로 연결된 제1트랜지스터 ; 와 상기 입력신호를 수신하도록 기능적으로 연결된 게이트, 소오스 및 드레인을 가지고 있는 제2트랜지스터 ; 및 상기 출력신호에 반응해서 제1트랜지스터에 적용된 상기 입력신호를 리세트하기 위한 리세트 수단으로 구성되며, 상기 드레인과 소오스중 하나가 상기 제2클럭신호를 수신하고, 상기 제2트랜지스터는 상기 입력신호와 상기 제2클럭신호에 반응해서 상기 소오스와 드레인중 나머지 하나에 출력신호를 공급하며, 입력신호를 공급하는 본 회로 스테이지의 상기 출력신호가 후속 스테이지의 제1트랜지스터에 적용되는 것을 특징으로 하는 시프트 레지스터가 제공된다.

본 발명의 실시예가 첨부도면과 관련하여 지금 설명될 것이다. 제1도는 시프트 레지스터가 재생동작을 위해 메모리셀에 접속된 워드라인을 연속적으로 나타내는데 사용된 다이내믹 메모리장치를 예시한다. 제1도의 메모리장치는 비트라인(BL)과 워드라인(WL), 칼럼(column) 디코더(CD), 워드 디코더(WD), 및 상기 언급한 시프트 레지스터(SR)에 각각 연결된 다수의 메모리 셀(MC)을 가지는 메모리 셀 어레이(MCA)로 구성된다. 워드 디코더는 어드레스 신호를 디코딩하기 위한 NOR게이트(NG) 및 모든 워드라인(WL)을 위한 전기 스위치로 구성되어 있다.

제1도의 메모리장치에서, 판독 또는 기록동작과 같은 상용 액세스 동작은 스위치(SW)가 NOR 게이트(NG)의 출력을 대응 워드라인(WL)에 접속시키도록 위치 조정되는 상태에서 실행된다. 워드라인(WL)은 디코딩된 신호, 즉 NOR 게이트(NG)의 출력신호에 의해 선택되며, 비트라인(BL)은 칼럼디코더(CD)에 의해 선택된다. 이와같이, 메모리 셀(MC)은 선택되고 액세스가 알려진 방식으로 수행된다. 스위치(SW)는 시프트 레지스터(SR)의 출력단자 각각을 대응 워드라인에 접속시키기 위해 예를 들어, 고전위 레벨의 재생 인에이블 신호(REF)에 의해 제어된다. 시프트 레지스터(SR)는 데이터 "1"을 순환적으로 시프트 시키며 워드라인을 연속적으로 선택하고 이것에 의해 각 워드라인에 연결된 메모리 셀을 재생시킨다.

제2도는 예를 들어, 제1도의 메모리장치에서 사용된 본 발명의 실시예로서 시프트 레지스터의 구조를 예시한다. 제2도에서, 일정선택에 의해 둘러싸인 회로부분은 시프트 레지스터의 한 스테이지 회로를 포함하고 있으며 3개의 MIS 트랜지스터( $Q_4$ ,  $Q_5$  및  $Q_6$ )와 하나의 캐퍼시터( $C_2$ )로 구성된다. 제2도의 시프트 레지스터는 두 종류의 클럭펄스( $\phi_0$ 와  $\phi_1$ )에 의해 제어되고 제3도에서와 같이 이러한 클럭펄스( $\phi_0$  및  $\phi_1$ )는 서로다른위상, 예를들어  $180^\circ$ 의 위상차를 가진다. 클럭펄스( $\phi_1$ )는 전력공급 전압( $V_{ss}$ 와  $V_{cc}$ )사이의 전압을 가진다. 그러나, 클럭펄스( $\phi_0$ )의 로우(low)레벨 부분의 전압은 하이(high)레벨 부분이  $V_{cc}$ 일지라도  $V_{th}$ 에서  $2V_{th}$ 는 MIS 트랜지스터, 예를들어,  $Q_4$ 의 드레시호일드 전압이다.

제3도와 같이 이전 스테이지 회로의 출력 노우드(N2)전위가 하이(high)상태라 하자. 어떤 시간( $t_0$ )에서 트랜지스터( $Q_4$ )는 클럭펄스( $\phi_0$ )의 상승에 반응하여 로우레벨로부터 온(on)상태로 된다. 즉,  $1.5V_{th}$ 를 하이 레벨로 변화시키고 노우드( $N_3$ )의 전위는 하이레벨로 증가하며 트랜지스터( $Q_5$ ) 온(on)이 된다. 시간( $t_1$ )에서 클럭펄스( $\phi_0$ )는 하락하고 클럭펄스( $\phi_1$ )는 로우레벨로부터 상승한다. 즉,  $V_{ss}$ 를  $V_{cc}$ 와 같은 하이레벨로 증가시키며 따라서, 노우드( $N_4$ )는 트랜지스터( $Q_5$ )가 온상태에 있기 때문에 하이레벨로 증가한다.

이 시간에 노우드( $N_3$ )의 전위는 트랜지스터( $Q_4$ )의 부트스트랩(bootstrap)효과에 기인해서 클럭펄스( $\phi_1$ )의 전위 상승과 반응하여 더 높은 전위레벨로 상승한다. 그러므로, 노우드( $N_4$ )는 클럭레벨( $\phi_1$ )뿐 아니라  $V_{cc}$  레벨로 상승한다. 노우드( $N_4$ )의 전위가 상승할때 이전 스테이지 트랜지스터( $Q_3$ )는 온으로 되고 이전 스테이지 회로의 출력 노우드(N2)전위는 로우레벨로 하락한다.

이시간에 클럭펄스( $\phi_0$ )의 전위는 로우레벨에 있으나, 클럭펄스( $\phi_0$ )의 로우레벨 전위는 앞서 언급했

$$\frac{1}{2} V_{th}$$

듯이  $1.5 V_{th}$ 이므로 노우드(N2)의 전위가 보다 더 낮을때 트랜지스터( $Q_4$ )는 온으로 되며 이것에 의해 노우드(N3)의 전위를 급격히 다운시키게 된다. 이러한 방식으로, 노우드(N2)로부터 노우드(N4)로 하이레벨의 전위의 전송이 실행되며 비슷하게 하이레벨 전위는 각 회로 스테이지를 통

해 연속적으로 전송된다. 출력 노우드(N4)의 캐패시턴스를 입력회로 즉, 후속 스테이지의 노우드(N5)의 캐패시턴스보다 충분히 더 크게 함으로써 전하가 이전 스테이지로 부터 후속 스테이지로 전송될 경우 발생된 전압손실을 감소시키기 위해 캐패시터( $C_2$ )가 마련되어 있다.

클럭펄스( $\psi_0$ )의 로우레벨 전압이  $1.5V_{th}$  이므로 예를들어, 노우드(N4)의 전위가 하이레벨에 있고 클럭펄스( $\psi_0$ )가  $1.5V_{th}$ 와 같은 로우레벨에 있을 경우, 다음 스테이지의 노우드(N5)전위는  $0.5V_{th}$ 로 되며 트랜지스터( $Q_8$ )를 차단상태를 유지시키는 것이 가능하게 된다. 그러므로, 노우드(N6)의 전위를  $V_{ss}$  와 같은 로우레벨로 유지시키는 것은 가능하다. 클럭펄스( $\psi_0$ )의 전위가  $2V_{th}$ 보다 크거나 또는 같을경우, 노우드(N6)의 전위는 클럭펄스( $\psi_1$ )의 상승과 하락에 반응하여  $V_{ss}$  보다 더 크거나 또는 같은 값으로 불리하게 상승한다.

클럭펄스( $\psi_0$ )의 로우레벨 전압이  $V_{th}$ 보다는 크고  $2V_{th}$ 보다는 적게 하는 것이 필요하다. 각 MIS 트랜지스터의 특성에 있어서 변화를 고려할때, 클럭펄스( $\psi_0$ )의 로우레벨 전압이  $1.5V_{th}$  근처의 값이 되게 하는 것이 바람직하다.

제4도는 본 발명의 또 다른 실시예로서 시프트 레지스터의 한 스테이지 회로를 예시한다. 제4도의 회로는 트랜지스터( $Q'_4$ )가 입력변환 게이트 트랜지스터( $Q_4$ )의 평행하게 접속된다는 점에서 제2도의 회로와 다르고, 대략  $1.5V_{th}$ 의 전압을 가지는 전압( $V_b$ )은 트랜지스터( $Q'_4$ )의 게이트에 적용되며 제2도에서 클럭펄스( $\psi_0$ )는 클럭펄스( $\psi_0'$ )의 의해 대체된다. 클럭펄스( $\psi_0'$ )의 로우레벨 전압은 클럭펄스( $\psi_1$ )의 전압과 같은  $V_{ss}$ 이며, 클럭펄스( $\psi_0'$ )는 클럭펄스( $\psi_1$ )의 위상을  $180^\circ$  만큼 시프트시킴으로써 형성된 펄스의 파형과 같은 파형을 갖는다.

제4도의 다른 부분은 제2도의 회로와 같으며 동일한 참조부호로 표시되었다. 제4도의 회로에서, 트랜지스터( $Q_4$ 와  $Q'_4$ )의 평형회로는 제2도의 트랜지스터( $Q_4$ )회로와 동일한 동작을 실행한다. 즉, 클럭펄스( $\psi_0'$ )가 로울일때 트랜지스터( $Q_4$ )는 오프(off)되며 노우드( $N_2$ 와  $N_3$ )는 트랜지스터( $Q'_4$ )를 경유하여서만 접속된다.  $1.5V_{th}$ 의 전압이 트랜지스터( $Q'_4$ )의 게이트에 적용되므로, 제2도의 회로에서 클럭펄스( $\psi_0$ )가  $1.5V_{th}$ 와 같은 로우 전위레벨에 있을때, 트랜지스터( $Q'_4$ )는 트랜지스터( $Q_4$ )와 동일하게 된다.

제4도의 회로에서 클럭펄스( $\psi_0'$ )의 전압레벨을 엄격히 조절하는 것은 필요치 않으며 클럭펄스( $\psi_0'$ )의 전압레벨에 대한 허용 오류를 크게 하는 것이 유용하게 가능하다.

제5도는 본 발명의 실시예로서 시프트 레지스터의 한 스테이지 회로를 예시한다. 제5도의 회로는 제2도의 회로에서 트랜지스터( $Q_6$ )에 연결된 트랜지스터( $Q'_6$ )와  $Q_6''$ )로 구성된다. 트랜지스터( $Q_6$ 와  $Q_6''$ )는 게이트와 드레인에서 서로 교차해서 결합되며 후속 스테이지의 출력 노우드(N6)신호는 트랜지스터( $Q_6''$ )를 경유한 노우드( $N_4'$ )와 같이 트랜지스터( $Q_6''$ )의 드레인에 입력된다. 다른 부분은 제2도의 회로부분과 동일하며 동일한 참조부호에 의해 표시되었다.

제5도의 회로에서, 노우드(N4)의 하이레벨 전압은 후속 스테이지 회로로 전송되고, 트랜지스터( $Q_6$ )의 게이트와 같은 후속 노이드( $N_4'$ )의 전위는 하이로 되며, 이것에 의해 노우드( $N_4$ )의 전위를  $V_{ss}$ 로 클램프시킨다. 후속 출력노우드( $N_6$ )의 하이레벨 전압이 더 나중의 후속 스테이지로 전송된 후에 출력노우드(N6)의 전위가 로우로 될때 노우드( $N_4$ )의 전위는 로우로 되며, 노우드( $N_4'$ )의 전위는 여전히 하이가 되고 따라서 노우드(N4)의 전위는 트랜지스터( $Q_6$ )에 의해 전압( $V_{ss}$ )으로 항상 클램프된다. 그러므로, 제5도의 회로를 사용함으로써, 노우드(N4)가 로우레벨일때 노우드(N4)가 전기적으로 유동(floating)상태로 되는 것을 방지하는 것이 가능하다. 노우드(N4)가 로우레벨일때 노우드(N4)잠음등에 기인해서 변동되지 않기 때문에, 시프트 레지스터의 동작에 대한 신뢰도를 높이는 것이 또한 가능하다.

제6도는 본 발명의 또 다른 실시예로서 시프트 레지스터를 예시한다. 예를들어, 스테이지 (SRi)와 같은 시프트 레지스터의 각 스테이지는 11개의 MIS 트랜지스터( $Q_{101}$ ,  $Q_{102}$ , ...,  $Q_{111}$ )로 구성된다. 트랜지스터( $Q_{110}$ )는 공핍(depletion)형 부하 트랜지스터이다. 트랜지스터( $Q_{101}$ , ...,  $Q_{104}$ )는 입력회로 및 트랜지스터( $Q_{105}$ )의 입력부분을 리세트하기 위한 제1리세트 수단을 구성하고 있다.

트랜지스터( $Q_{106}$ 과  $Q_{107}$ )는 트랜지스터( $Q_{105}$ )의 출력부분을 리세트시키는 제2리세트 수단을 구성하고 있다. 트랜지스터( $Q_{109}$ ,  $Q_{110}$  및  $Q_{111}$ )는 트랜지스터( $Q_{108}$ )의 출력신호에 의해 구동되는 래치회로를 구성한다. 제6도의 회로에서, 노우드(N05, N15, ...)는 제2도의 회로의 노우드(N2, N4, ...)와 일치한다. 클럭펄스( $\psi_2$ 와  $\psi_3$ )는 예를들어,  $180^\circ$ 의 위상차를 갖는 펄스이다. 양 클럭신호( $\psi_2$ 와  $\psi_3$ )의 하이전위레벨은  $V_{cc}$ 이고 양 클럭신호( $\psi_2$ 와  $\psi_3$ )의 로우 전위레벨은  $V_{ss}$ 이다. 제6도의 시프트 레지스터의 동작은 제7도와 관련하여 설명된다. 시간( $t_0$ )에 앞서, 데이터"1"이 회로 스테이지(SR0)에 기억되며, 노우드(N05)의 전위는 하이로 된다. 이 시간에 노우드(N12)는 온 상태인 트랜지스터( $Q_{103}$ )에 의해 하이 전위레벨로 이미 충전되어있다. 시간( $t_0$ )에서, 클럭펄스( $\psi_3$ )의 전위는 하이에서 로우로 변한다. 이것에 의해, 전류는 트랜지스터( $Q_8$ )를 경유하여 노우드(N05)에서 클럭라인( $\psi_3$ )으로 흐르며, 노우드(N05)의 전위는 회로 스테이지(SR0)의 출력신호가 "0"이 되는 것과 같이 하이에서 로우로 변한다. 로우로 되는 노우드(N05)의 전위변화에 반응하여, 트랜지스터( $Q_{11}$ )는 오프로 되고, 노우드(N06)의 전위는 로우에서 하이로 변한다.

대략적으로 시간( $t_1$  과  $t_2$  )사이의 시간 소멸에서 클럭펄스( $\psi_2$  )의 전위는 로우에서 하이로 되고, 하이레벨 신호는 온상태의 트랜지스터( $Q_{105}$  )를 경유하여 노우드(N12)에서 노우드(13)로 전송된다. 따라서, 노우드(N13)의 전위는 하이가 된다. 이 이후에, 클럭펄스( $\psi_2$  )가 하이에서 로우로 다시 변한다. 시( $t_3$  )에서, 클럭펄스( $\psi_3$  )는 로우에서 하이로 변한다. 노우드(N13)의 전위가 하이 이므로, 노우드(N15)의 전위는 온 상태의 트랜지스터( $Q_{108}$  )를 경유하여 하이상태로 되며, 회로 스테이지(SR1)의 출력데이터는 "1"이 된다. 노우드(N15)의 전위가 하이로 될때, 트랜지스터( $Q_{101}$  )는 온으로 되며 노우드(N11)의 전위는 하이상태로 된다.

이것에 의해, 트랜지스터( $Q_{104}$  )는 온으로 되며, 노우드(N12)는 하이에서 로우로 리세트된다. 회로 스테이지(SR0)에서, 노우드(N06)의 전위가 하이 상태이므로, 트랜지스터( $Q_7$  )는 온으로 된다. 트랜지스터( $Q_6$  )는 또한 클럭펄스( $\psi_3$  )의 하이 전위레벨 때문에 온 상태로 된다. 그러므로, 노우드(N03)의 전위는 로우상태로 리세트되며 회로 스테이지(SR0)로 부터 회로 스테이지(SR1)로의 데이터 "1"의 전송이 수행된다.

상기에서 언급했듯이, 본 발명에 따라 매우 간단히 회로구조를 사용함으로써 링(ring)카운터형 시프트 레지스터를 구성하는 것과 반도체 기판상에 각 회로 스테이지의 점유폭을 크게 줄이는 것이 가능하다. 그러므로, 상기 언급한 디코더와 평행하게 시프트 레지스터를 배열시키는 것이 매우 유용하다.

### (57) 청구의 범위

#### 청구항 1

직렬로 연결된 다수의 회로 스테이지를 가지고 있고 시프트 레지스터를 구동시키기 위해 서로 위상이 다른 제1 및 제2클럭신호를 수신하며, 상기 회로 스테이지의 각각이 입력신호 및 상기 제1클럭신호에 반응해서 입력 신호를 변환시키기 위한 상기 제1클럭신호를 수신하도록 기능적으로 연결된 제1트랜지스터 ; 와 상기 입력신호를 수신하도록 기능적으로 연결된 게이트, 소오스 및 드레인을 가지고 있는 제2트랜지스터 ; 및 상기 출력 신호에 반응해서 제1트랜지스터에 적용된 상기 입력 신호를 리세트하기 위한 리세트수단으로 구성되며, 상기 드레인과 소오스중 하나가 상기 제2클럭신호를 수신하고, 상기 제2트랜지스터는 상기 입력신호와 상기 제2클럭신호에 반응해서 상기 소오스와 드레인 중 나머지 하나에 출력신호를 공급하며, 입력신호를 공급하는 본 회로 스테이지의 상기 출력신호가 후속 스테이지의 제1트랜지스터에 적용되는 것을 특징으로 하는 시프트 레지스터.

#### 청구항 2

제1항에 있어서, 상기 리세트 수단이 상기 제2트랜지스터에 직렬로 연결되고 후속 회로 스테이지의 출력에 의해 온(on)과 오프(off)로 되는 제3트랜지스터로 구성되는 것을 특징으로 하는 시프트 레지스터.

#### 청구항 3

제2항에 있어서, 상기 스테이지의 각각이 상기 제3트랜지스터에 평행하게 연결된 캐퍼시터로 구성되는 것을 특징으로 하는 시프트 레지스터.

#### 청구항 4

제1항에 있어서, 상기 제1클럭신호와 상기 제2클럭신호의 위상이 대략 180도만큼 서로 다르게 되어 있는 것을 특징으로 하는 시프트 레지스터.

#### 청구항 5

제4항에 있어서,  $V_{th}$  가 상기 제1트랜지스터의 드레시홀드 전압이라고 할 경우에, 상기 제1클럭신호가  $V_{th}$  에서  $2V_{th}$  의 범위내의 전압과 전력공급 전압사이에 있도록 하는 것을 특징으로 하는 시프트 레지스터.

#### 청구항 6

제1항에 있어서,  $V_{th}$  가 상기 제1트랜지스터의 드레시홀드 전압이라고 할 경우에, 상기 회로 스테이지의 각각이 상기 제1트랜지스터에 평행하게 연결되고 그 게이트가  $V_{th}$  에서  $2V_{th}$  까지의 범위내의 바이어스 전압을 수신하는 제4트랜지스터로 구성되는 것을 특징으로 하는 시프트 레지스터.

#### 청구항 7

제6항에 있어서, 상기 제1클럭신호와 상기 제2클럭신호의 위상이 대략 180도 만큼 서로 차이가 나는 것을 특징으로 하는 시프트 레지스터.

#### 청구항 8

제7항에 있어서, 상기 제1클럭신호의 전압범위가  $V_{th}$  에서  $2V_{th}$  까지의 범위를가진 전압과 전력공급 전압사이에서 존재하는 것을 특징으로 하는 시프트 레지스터.

#### 청구항 9

제1항에 있어서, 상기 리세트수단이 상기 제2트랜지스터에 직렬 연결된 제5트랜지스터, 상기 제5트랜지스터와 교차해서 결합된 제6트랜지스터, 및 상기 제6트랜지스터에 직렬로 연결되고 후속 회로

스테이지에 의해 온과 오프상태로 되는 제7트랜지스터로 구성되는 것을 특징으로 하는 시프트 레지스터.

#### 청구항 10

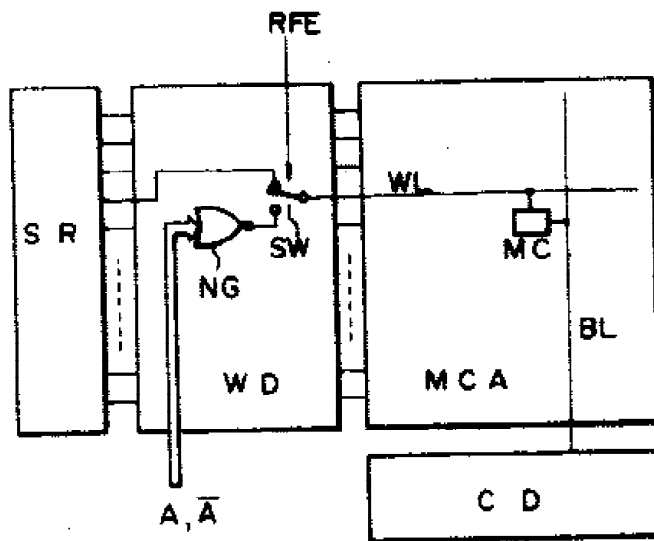
제9항에 있어서, 상기 회로 스테이지의 각각이 출력신호를 기억하기 위한 상기 제5트랜지스터에 연결된 캐퍼시터로 구성되는 것을 특징으로 하는 시프트 레지스터.

#### 청구항 11

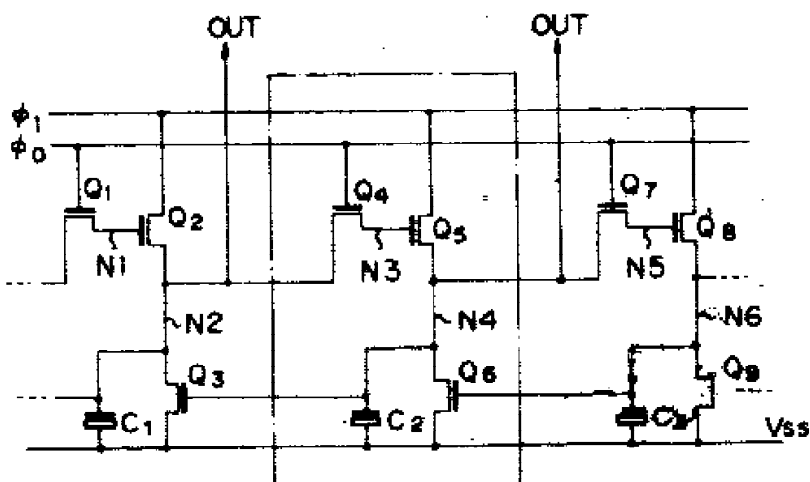
제1항에 있어서, 상기 회로 스테이지의 각각이 출력신호를 기억하기 위한 상기 제2트랜지스터의 출력신호에 의해 구동된 래치회로로 구성되며, 상기 리세트수단이 상기 래치회로가 출력회로를 기억한 후에 상기 제1트랜지스터에 적용된 입력신호를 리세트하기 위한 제1리세트 수단 및 상기 래치회로에 기억된 데이터에 의존하고 상기 제2클럭신호에 응해서 상기 제1트랜지스터의 상기 게이트에 입력신호를 리세트하기 위한 제2리세트 수단으로 구성되는 것을 특징으로 하는 시프트 레지스터.

도면

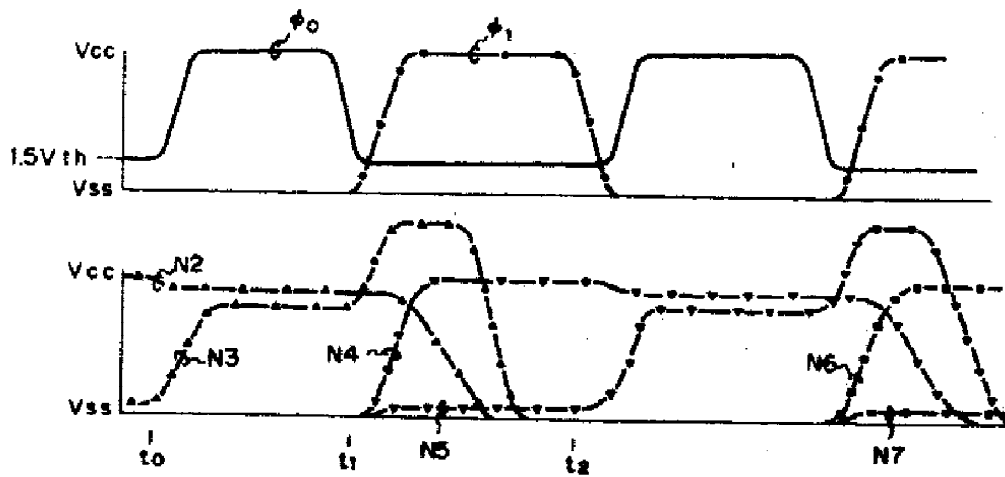
도면1



도면2



도면3



도면4

