



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 16.02.81 (21) 3249037/18-21

с присоединением заявки № -

(23) Приоритет -

Опубликовано 15.11.82. Бюллетень № 42

Дата опубликования описания 15.11.82

(11) 974581

(51) М. Кл.³

Н 03 К 17/28

(53) УДК 621.374.
.5(088.8)

(72) Авторы
изобретения

В.Р.Вартинь, Ю.В.Додока, В.Ф.Цеплис
и В.Е.Ашурков

(71) Заявитель

ВСЕСОЮЗНАЯ

13 ПАТЕНТНО- 13
ТЕХНИЧЕСКАЯ
БИБЛИОТЕКА

(54) ТАЙМЕР

1

Изобретение относится к радиотехнике и может быть использовано в автоматике и системах управления.

Известны интегральные таймеры, содержащие два компаратора, триггер, разрядный ключ и выходной каскад. К такой схеме подключены два внешних времязадающих элемента - резистор и конденсатор [1], которые невыгодно вводить внутрь многофункциональной ИС таймера.

Однако такие таймеры имеют недостаточную точность формирования выходного импульса.

Известен таймер, выполненный на основе известного принципа мостового делителя, одно плечо моста представляет собой резистивный делитель, другое - времязадающую RC-цепь, а в диагональ моста включен компаратор напряжения [2].

Недостатком этого устройства является невысокая точность формирования выходных импульсов минимальной длительности.

Цель изобретения - повышение точности формирования выходных импульсов.

Для достижения указанной цели в таймер, содержащий первый, второй и

2

третий резисторы, первый компаратор напряжения, первый вход которого через первый резистор соединен с шиной положительного источника питания и через последовательно включенные второй и третий резисторы соединен с общей шиной, второй вход которого соединен с выводом "Порог" таймера, второй компаратор напряжения на первом и втором транзисторах р-и-р типа, диоде, транзисторе и-р-и типа и генераторе стабильного тока, причем эмиттеры первого и второго транзисторов р-и-р типа соединены между собой и через генератор стабильного тока подключены к источнику положительного напряжения, база первого транзистора соединена с выводом таймера "Запуск", база второго транзистора через третий резистор соединена с общей шиной, коллектор второго транзистора соединен с анодом диода и базой транзистора и-р-и типа, катод диода и эмиттер и-р-и транзистора подключены к общей шине, триггер, первый вход которого соединен с выходом первого компаратора, второй вход соединен с коллектором первого р-и-р транзистора и коллектором и-р-и транзистора, выходной кас-

кад, первый вход которого соединен с первым выходом триггера, второй вход соединен со вторым выходом триггера, разрядный ключ на транзисторе $n-p-n$ типа, база которого соединена с вторым выходом триггера, эмиттер соединен с общей шиной, а коллектор соединен с выводом "Разряд" таймера, введены третий и четвертый транзисторы $p-n-p$ типа, второй генератор стабильного тока и блок смещения, при этом эмиттеры третьего и четвертого транзисторов через второй генератор стабильного тока соединены с источником положительного напряжения, база третьего транзистора соединена с первым выходом триггера, коллектор которого соединен с общей шиной, база четвертого транзистора через блок смещения подключена к источнику положительного напряжения, коллектор четвертого транзистора соединен с базой транзистора $n-p-n$ типа.

На чертеже представлена функциональная схема таймера.

Таймер содержит компаратор 1 напряжения, компаратор 2 напряжения, триггер 3 с выходами Q и $\bar{Q}$, выходной каскад 4, резистивный делитель на резисторах 5, 6 и 7, разрядный ключ на транзисторе 8, транзисторы 9 и 10 $p-n-p$ типа, генератор 11 стабильного тока, блок 12 смещения базы транзистора 10, опорные входы 13 и 14, вход 15 компаратора 2, вход 16 компаратора 1, режущий резистор 17 и конденсатор 18.

На опорные входы первого и второго компараторов подаются потенциалы от делителя (три одинаковых резистора 5, 6 и 7). Нормальное состояние разрядного ключа на транзисторе 8 - насыщенное (в это время внешний конденсатор 18, подключенный между входом компаратора 1 и общей шиной замкнут на землю). Если на вход 14 компаратора 2 подан отрицательный импульс запуска и потенциал этого входа оказывается меньше напряжения порога $E_n^+/3$, то компаратор 2, а за ним и триггер 3 переключаются и на выходе $\bar{Q}$ триггера отрабатывается отрицательный перепад. Этим скачком транзистор 8 закрывается по базе, конденсатор 18 начинает заряжаться через внешний резистор 17 от источника питания E_n^+ . В случае отсутствия дополнительных транзисторов 9 и 10, генератора 11 тока, блока 12 смещения на выходе компаратора 2 сохраняется высокий потенциал до момента окончания импульса запуска. Когда потенциал на конденсаторе превышает напряжение $2/3 E_n^+$ (порог срабатывания компаратора 1), компаратор 1 переключается и переводит триггер в исходное состояние в случае, если к этому моменту на выходе компара-

тора 2 присутствует низкий потенциал. В результате переключения триггера транзистор 8 открывается положительным перепадом и конденсатор 18 с большой скоростью разряжается на общую шину через насыщенный транзистор 8. На этом цикл работы таймера заканчивается. Он длится после импульса запуска время $T = 1,1 R_t C_t$, причем коэффициент 1,1 определяется тем, что конденсатор заряжается до потенциала $2/3 E_n^+$.

В случае, если импульс не заканчивается за время $T = 1,1 R_t C_t$, на выходе триггера неопределенное состояние и выходной импульс имеет длительность, определяемую моментом окончания импульса запуска, что является недопустимым. Таким образом, необходимым условием нормальной работы таймера является условие $t_{зар} \leq 1,1 R_t C_t$.

В случае, когда $t_{зар}$ сравнимо с $1,1 R_t C_t$ существенно возрастает погрешность формирования длительности выходного импульса, определяемая как

$$\delta = \left(\frac{T_{изм}}{1,1 R_t C_t} - 1 \right) 100\%,$$

вследствие того, что компаратор 2, реализованный на основе дифференциального каскада с динамической нагрузкой обладает низким быстродействием. Поэтому импульс, подаваемый на вход триггера с выхода компаратора 2 затянута по сравнению с входным импульсом запуска таймера на величину порядка нескольких микросекунд. Это мало отражается на точности формирования выходного импульса при больших длительностях последнего (свыше 1 мс), но существенно (до 50%) влияет при формировании коротких временных интервалов (или последовательности импульсов высокой частоты).

Чтобы устранить указанный недостаток в схему введены два транзистора $p-n-p$ типа 9 и 10, генератор 11 стабильного тока, блок 12 смещения. Когда на выходе Q отрабатывается положительный перепад, транзистор 9, управляемый по базе этим перепадом, закрывается и ток генератора 11 течет через транзистор 10. Блок 12 смещения задает на базу постоянное смещение, необходимое для полного переключения тока генератора 11 из транзистора 9 в транзистор 10 положительным перепадом с выхода Q триггера 3. Ток коллектора транзистора 10 создает падение напряжения на диоде и открывает транзистор, в результате чего потенциал коллектора транзистора и, следовательно, на входе триггера 3 падает, что дает возможность переключиться триггеру 3 при

срабатывании компаратора 1. Когда напряжение на конденсаторе 18 становится равным порогу, срабатывает компаратор 1 и переключается триггер 3, ток генератора 11 переключается в транзистор 10. Таким образом, дополнительно введенные элементы позволяют устранить действие входного импульса на вход триггера 3 при длительности выходного импульса, близкой к импульсу запуска. При длительности импульса запуска, значительно превышающей $T=1,1 R_1 C_1$, точность формирования выходного импульса не улучшается. Наибольший эффект достигается при минимальной длительности формируемого выходного импульса, при этом точность выходного импульса улучшается на 30%.

Таким образом, введение в схему таймера дополнительных элементов позволяет значительно улучшить точность формирования выходного импульса минимальной длительности при длительности запускающего импульса, сравнимой с длительностью выходного импульса, что позволяет расширить область применения таймера в радиоэлектронной аппаратуре.

Формула изобретения

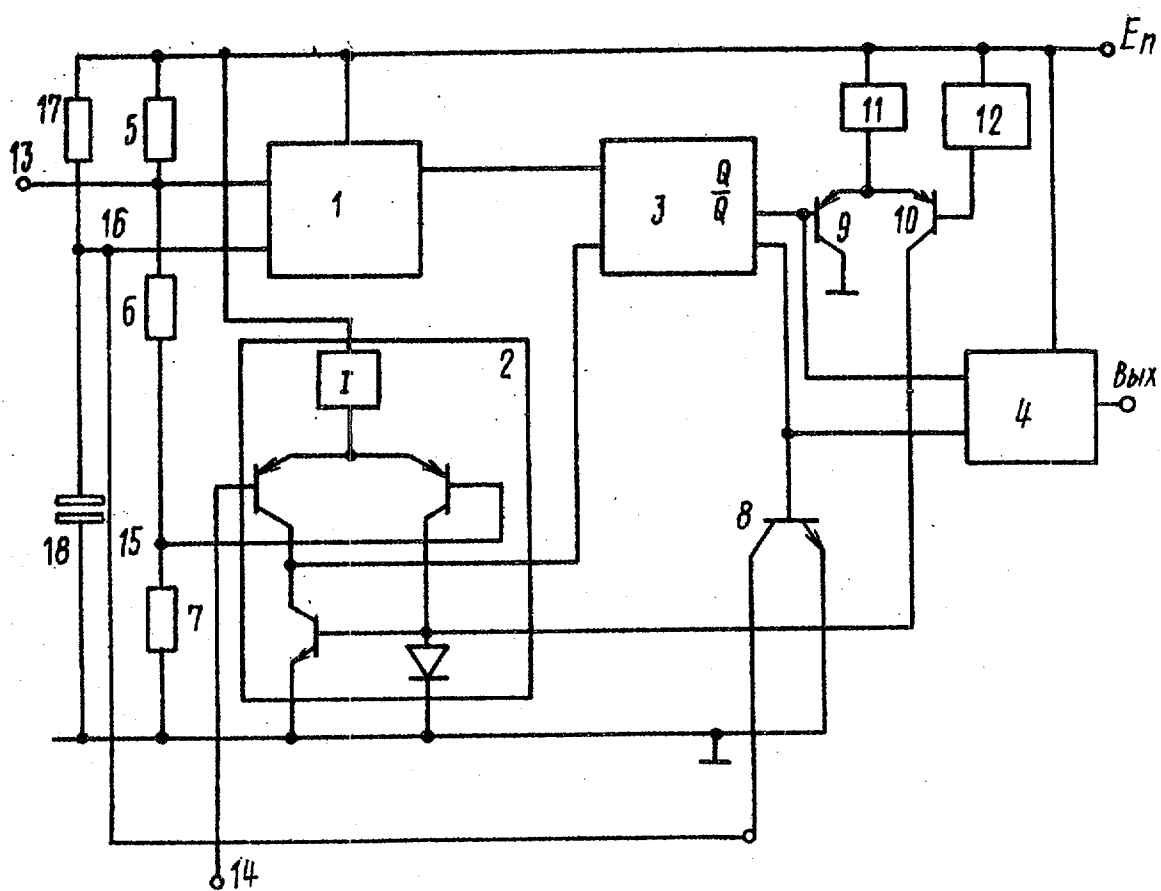
Таймер, содержащий первый, второй и третий резисторы, первый компаратор напряжения, первый вход которого через первый резистор соединен с шиной положительного источника питания и через последовательно включенные второй и третий резисторы соединен с общей шиной, второй вход которого соединен с выводом "Порог" таймера; второй компаратор напряжения на первом и втором транзисторах р-н-р типа, диоде, транзисторе н-р-п типа и генераторе стабильного тока, причем эмиттеры первого и второго транзисторов р-н-р-типа соединены между собой и через генератор стабильного тока подключены к источнику положительного напряжения,

база первого транзистора соединена с выводом таймера "Запуск", база второго транзистора через третий резистор соединена с общей шиной, коллектор второго транзистора соединен с анодом диода и базой транзистора н-р-п типа, катод диода и эмиттер н-р-п транзистора подключен к общей шине; триггер, первый вход которого соединен с выходом первого компаратора, второй вход соединен с коллектором первого р-н-р транзистора и коллектором н-р-п транзистора, и коллектором н-р-п транзистора, выходной каскад, первый вход которого соединен с первым выходом триггера, второй вход соединен со вторым выходом триггера, разрядный ключ на транзисторе н-р-п типа, база которого соединена с вторым выходом триггера, эмиттер соединен с общей шиной, а коллектор соединен с выводом "Разряд" таймера, отличающийся тем, что, с целью повышения точности формирования выходных импульсов, в него введены третий и четвертый транзисторы р-н-р типа, второй генератор стабильного тока и блок смещения, при этом эмиттеры третьего и четвертого транзисторов через второй генератор стабильного тока соединены с источником положительного напряжения, база третьего транзистора соединена с первым выходом триггера, коллектор соединен с общей шиной, база четвертого транзистора через блок смещения подключена к источнику положительного напряжения, коллектор четвертого транзистора соединен с базой транзистора н-р-п типа.

Источники информации, принятые во внимание при экспертизе

1. Шило В.Я. Линейные интегральные схемы. М., "Сов. радио", 1979, с. 233-237.

2. Дьяконов В.П. Интегральные таймеры и их применение в импульсных устройствах. "Зарубежная радиотехника", 1978, № 6, с. 48 (прототип).



Редактор Л. Алексеенко Составитель И. Радько
 Техред А.Ач Корректор Н. Король

Заказ 8734/77 Тираж 959 Подписное

ВНИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4