

WO 2023/153162 A1

目 1 4 番 1 号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 弁理士法人 酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関 3 丁目 8 番 1 号 虎の門三井ビルディング Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

processional movement around a magnetic field in a planar direction of the layer. The resistance value of the magnetoresistance element (11) gradually changes during rotation of the magnetization of the recording layer (113) between the low resistance value and the high resistance value. The writing circuit (24) applies a current limited to a predetermined value to the magnetoresistance element (11) to reverse the magnetization of the recording layer (113), such that the resistance value of the magnetoresistance element (11) is switched from the high resistance value to the low resistance value.

(57) 要約: 磁気抵抗効果メモリ (100) は、磁化の向きが固定された固定層 (111) 及び磁化の向きが変化する記録層 (113) を含む磁気抵抗素子 (11) と、磁気抵抗素子 (11) の抵抗値が低抵抗値及び高抵抗値の間で切り替わるように、記録層 (113) の磁化を反転させる書き込み回路 (24) と、を備え、記録層 (113) の磁化は、磁気抵抗素子 (11) に電圧が印加されているときに、層の面方向の磁場を軸とする歳差運動により回転し、磁気抵抗素子 (11) の抵抗値は、記録層 (113) の磁化の回転中に、低抵抗値及び高抵抗値の間で徐々に変化し、書き込み回路 (24) は、所定の大きさになるように制限された電流を磁気抵抗素子 (11) に印加することにより、磁気抵抗素子 (11) の抵抗値が高抵抗値から低抵抗値に切り替わるように、記録層 (113) の磁化を反転させる。

明 細 書

発明の名称：磁気抵抗効果メモリ

技術分野

[0001] 本開示は、磁気抵抗効果メモリに関する。

背景技術

[0002] 例えば特許文献1は、VCMA効果を有するMTJ素子にパルス電圧を印加することにより磁化を反転させる技術を開示する。VCMAは電圧磁気異方性制御 (Voltage-controlled magnetic anisotropy) であり、MTJは磁気トンネル接合 (Magnetic Tunnel Junction) である。

先行技術文献

特許文献

[0003] 特許文献1：特開2018-92696号公報

非特許文献

[0004] 非特許文献1：Y. C. Wuら著、「Deterministic and field-free voltage-controlled MRAM for high performance and low power applications」2020 IEEE Symposium on VLSI Technology、2020年7月16日

発明の概要

発明が解決しようとする課題

[0005] 磁化の反転期間が非常に短く、パルス制御が困難になる場合も少なくない。

[0006] 本開示の一側面は、磁化を反転させるためのパルス制御を容易にする。

課題を解決するための手段

[0007] 本開示の一側面に係る磁気抵抗効果メモリは、磁化の向きが固定された固定層及び磁化の向きが変化する記録層を含む磁気抵抗素子と、磁気抵抗素子の抵抗値が低抵抗値及び高抵抗値の間で切り替わるように、記録層の磁化を

反転させる書き込み回路と、を備え、記録層の磁化は、磁気抵抗素子に電圧が印加されているときに、層の面方向の磁場を軸とする歳差運動により回転し、磁気抵抗素子の抵抗値は、記録層の磁化の回転中に、低抵抗値及び高抵抗値の間で徐々に変化し、書き込み回路は、所定の大きさになるように制限された電流を磁気抵抗素子に印加することにより、磁気抵抗素子の抵抗値が高抵抗値から低抵抗値に切り替わるように、記録層の磁化を反転させる。

図面の簡単な説明

[0008] [図1]第1実施形態に係る磁気抵抗効果メモリ100の概略構成の例を示すブロック図である。

[図2]メモリセル10の概略構成の例を示す図である。

[図3]磁気抵抗素子11の特性の例を示す図である。

[図4]メモリセル10へのデータの書き込みを模式的に示す図である。

[図5]比較例によるデータの書き込みを模式的に示す図である。

[図6]段階的に制限された電流Jを模式的に示す図である。

[図7]第1実施形態におけるメモリセル10へのデータの書き込みを模式的に示す図である。

[図8]第1実施形態におけるメモリセル10へのデータの書き込みの制御の例を示す図である。

[図9]第1実施形態に係る磁気抵抗効果メモリ100において実行される処理の例を示すフローチャートである。

[図10]第2実施形態に係る磁気抵抗効果メモリ100の概略構成の例を示す図である。

[図11]第2実施形態におけるメモリセル10へのデータの書き込みの制御の例を示す図である。

[図12]第2実施形態の磁気抵抗効果メモリ100において実行される処理の例を示すフローチャートである。

[図13]第3実施形態におけるメモリセル10へのデータの書き込みを模式的に示す図である。

[図14]第3実施形態におけるメモリセル10へのデータの書き込みの制御の例を示す図である。

[図15]第3実施形態に係る磁気抵抗効果メモリ100において実行される処理の例を示すフローチャートである。

[図16]第4実施形態に係る磁気抵抗効果メモリ100の磁気抵抗素子11の概略構成の例を示す図である。

[図17]第4実施形態におけるメモリセル10へのデータの書き込みを模式的に示す図である。

[図18]第4実施形態におけるメモリセル10へのデータの書き込みの制御の例を示す図である。

[図19]第4実施形態に係る磁気抵抗効果メモリ100において実行される処理の例を示すフローチャートである。

[図20]第5実施形態におけるメモリセル10へのデータの書き込みの制御の例を示す図である。

発明を実施するための形態

[0009] 以下に、本開示の実施形態について図面に基づいて詳細に説明する。なお、以下の各実施形態において、同一の要素には同一の符号を付することにより重複する説明を省略する。

[0010] 以下に示す項目順序に従って本開示を説明する。

1. 第1実施形態
2. 第2実施形態
3. 第3実施形態
4. 第4実施形態
5. 第5実施形態
6. 効果の例

[0011] 1. 第1実施形態

図1は、第1実施形態に係る磁気抵抗効果メモリ100の概略構成の例を示すブロック図である。磁気抵抗効果メモリ100は、磁気抵抗素子11を

記憶素子として用いる半導体記憶装置である。磁気抵抗効果メモリ１００は、メモリセルアレイ１を含む。

[0012] メモリセルアレイ１は、２次元状に配置された複数のメモリセル１０を含む。各メモリセル１０は、ビットラインＢＬ、ソースラインＳＬ及びワードラインＷＬに接続される。メモリセル１０の詳細については、後に図２等を参照して改めて説明する。

[0013] メモリセルアレイ１の他に、磁気抵抗効果メモリ１００は、さまざまな周辺回路／要素を含む。メモリセルアレイ１に含まれる周辺回路／要素として、図１には、Ｉ／Ｏ２１、制御回路２２、電圧生成回路２３、書き込み回路２４、読み出し回路２５、ビットラインアドレスデコーダ２６、ビットライン制御回路２７、ワードラインアドレスデコーダ２８、ワードライン制御回路２９及びセンスアンプ３０が例示される。ビットライン制御回路２７は、ビットラインＢＬに接続される。ワードライン制御回路２９は、ワードラインＷＬに接続される。センスアンプ３０は、ソースラインＳＬに接続される。このようなメモリの基本的な構成自体は公知であるので、以下では端的に説明する。

[0014] Ｉ／Ｏ２１を介して、磁気抵抗効果メモリ１００の外部の要素（例えばＣＰＵ等）と、磁気抵抗効果メモリ１００の制御回路２２との間で、データの読み書きに関するコマンド、アクセス対象のメモリセル１０のアドレス、データ等の受け渡しが行われる。

[0015] 制御回路２２は、コマンドに応じて、メモリセル１０のデータの読み書きに関する制御を行う。

[0016] 電圧生成回路２３は、メモリセル１０のデータの読み書きに用いられる電圧（例えばパルス電圧）を生成する。なお、回路動作に必要な電圧は別途与えられるものとする。

[0017] 書き込み回路２４は、メモリセル１０へのデータの書き込みに用いる電圧や電流（例えばパルス電圧やパルス電流）を制御する。詳細は後述する。

[0018] 読み出し回路２５は、メモリセル１０のデータの読み出し、具体的には磁

磁気抵抗素子 11 の抵抗値の検出に用いる電圧（例えばパルス電圧）を制御する。

[0019] ビットラインアドレスデコーダ 26 は、上述の I/O 21 で受け付けられたアドレスに対応するビットライン BL のアドレスを得る。

[0020] ビットライン制御回路 27 は、ビットラインアドレスデコーダ 26 のアドレスに対応するビットライン BL を選択制御する。書き込み回路 24 によるメモリセル 10 へのデータの書き込み、及び、読み出し回路 25 によるメモリセル 10 のデータの読み出しは、ビットライン制御回路 27 等を介して行われる。

[0021] ワードラインアドレスデコーダ 28 は、上述の I/O 21 で受け付けられたアドレスに対応するワードライン WL のアドレスを得る。

[0022] ワードライン制御回路 29 は、ワードラインアドレスデコーダ 28 のアドレスに対応するワードライン WL を選択制御する。

[0023] センスアンプ 30 は、読み出し回路 25 によってメモリセル 10 から読み出されるデータ、具体的には磁気抵抗素子 11 の抵抗値を検出する。

[0024] メモリセル 10 について、図 2 以降を参照して改めて説明する。

[0025] 図 2 は、メモリセル 10 の概略構成の例を示す図である。メモリセル 10 は、磁気抵抗素子 11 と、選択トランジスタ 12 とを含む。磁気抵抗素子 11 及び選択トランジスタ 12 は、ビットライン BL とソースライン SL との間に直列に接続される。

[0026] 磁気抵抗素子 11 は、MTJ 素子であり、積層構造を有する。説明の便宜上、磁気抵抗素子 11 に対する XYZ 座標系が図示される。X 軸方向及び Y 軸方向は、層の面方向に相当する。X 軸方向、Y 軸方向、XY 平面方向を、水平方向とも称する。Z 軸方向は、層の面方向に垂直な方向（積層方向）に相当する。Z 軸方向を、垂直方向とも称する。

[0027] 磁気抵抗素子 11（の両端）に印加され得る電圧を、電圧 V と称し図示する。磁気抵抗素子 11 に印加され得る電流を、電流 J と称し図示する。電圧 V 及び電流 J は、書き込み回路 24 及び読み出し回路 25（図 1）等によっ

て制御される。

[0028] 磁気抵抗素子 11 は、固定層 111 と、トンネル障壁層 112 と、記録層 113 とを含む。この例では、固定層 111、トンネル障壁層 112 及び記録層 113 が、Z 軸正方向にこの順に積層される。各層の材料には、種々の公知の材料が用いられてよい。

[0029] 固定層 111 は、磁化の向きが固定された磁性層であり、参照層等とも称される。固定層 111 の磁化は、Z 軸正方向に固定されているものとする。

[0030] トンネル障壁層 112 は、固定層 111 と記録層 113 との間に設けられる非磁性層である。

[0031] 記録層 113 は、磁化の向きが変化する磁性層であり、自由層等とも称される。記録層 113 の磁化は、Z 軸正方向及び Z 軸負方向の間で変化する。

[0032] なお、固定層 111 と記録層 113 の配置は、図 2 に示される例とは反対であってもよい。その場合は、記録層 113、トンネル障壁層 112 及び固定層 111 が、Z 軸正方向にこの順に積層される。

[0033] メモリセル 10 は、記録層 113 が層の面方向（XY 平面方向）の磁場（水平磁場）に置かれるように構成される。図 2 に示される例では、磁気抵抗素子 11 は、磁場生成層 114 をさらに含む。磁場生成層 114 は、水平磁場を生成する。この例では、磁場生成層 114 は、記録層 113 を挟んでトンネル障壁層 112 とは反対側に設けられる。

[0034] なお、磁場生成層 114 は、固定層 111 を挟んでトンネル障壁層 112 とは反対側に設けられてもよい。また、水平磁場の生成に、磁場生成層 114 以外の手法が用いられてもよい。例えば、磁気抵抗素子 11 の上方（Z 軸正方向側）又は下方（Z 軸負方向側）に磁石層を形成することにより、磁場が生成されてよい。周辺に永久磁石を配置することにより、磁場が生成されてもよい。

[0035] 選択トランジスタ 12 は、この例では、電界効果トランジスタ（FET: Field Effect Transistor）である。選択トランジスタ 12 のドレイン及びソースの一方は、磁気抵抗素子 11 に接続される。選択トランジスタ 12 の

ドレイン及びソースの他方は、ソースラインSLに接続される。選択トランジスタ12のゲートは、ワードラインWLに接続される。ワードラインWLからの電圧信号が選択トランジスタ12のゲートに印加され、選択トランジスタ12がオンになる（ドレイン及びソースが導通状態になる）ことで、磁気抵抗素子11とビットラインBL及びソースラインSLとが接続され、磁気抵抗素子11に電圧Vや電流Jが印加される。

[0036] 磁気抵抗素子11の抵抗値を低抵抗値と高抵抗値との間で切り替えることにより、メモリセル10にデータが書き込まれる。磁気抵抗素子11の抵抗値を、抵抗値Rと称する。低抵抗値を、低抵抗値 R_{Low} と称する。高抵抗値を、高抵抗値 R_{High} と称する。低抵抗値 R_{Low} に対応するデータを“Low”とも称する。高抵抗値 R_{High} に対応するデータを、“High”とも称する。例えば、データ“Low”が“0”に相当し、データ“High”が“1”に相当する。

[0037] 磁気抵抗素子11の記録層113の磁化の向きをZ軸正方向及びZ軸負方向の間で反転させることで、磁気抵抗素子11の抵抗値Rが低抵抗値 R_{Low} 及び高抵抗値 R_{High} の間で切り替わる。磁気抵抗素子11は、VCMA効果を利用することにより記録層113の磁化を反転させることが可能なMTJ素子である。図3を参照して説明する。

[0038] 図3は、磁気抵抗素子11の特性の例を示す図である。図3の(A)には、記録層113の磁化成分 m_z と磁気抵抗素子11の抵抗値Rとの関係が示される。グラフの横軸は、記録層113の磁化成分 m_z を示す。磁化成分 m_z は、Z軸方向における記録層113の磁化の大きさである。磁化成分 m_z が1のとき、記録層113の磁化の向きはZ軸正方向である。磁化成分 m_z が-1のとき、記録層113の磁化の向きはZ軸負方向である。グラフの縦軸は、高抵抗値 R_{HIGH} で規格化された磁気抵抗素子11の抵抗値Rを示す。

[0039] 記録層113の磁化が回転すると、磁化成分 m_z は、-1から1の間で変化する。磁化成分 m_z が1のとき、記録層113の磁化の向きは、固定層111の磁化の向きと同じZ軸正方向であり、メモリセルアレイ1の抵抗値Rは低

抵抗値 R_{Low} になる。反対に、磁化成分 m_z が -1 のとき、記録層 113 の磁化の向きは、固定層 111 の磁化の向きとは反対の Z 軸負方向であり、メモリセルアレイ 1 の抵抗値 R は高抵抗値 R_{High} になる。磁気抵抗素子 11 の抵抗値 R は、記録層 113 の磁化の回転中に、低抵抗値 R_{Low} 及び高抵抗値 R_{High} の間で徐々に変化する。

[0040] 図 3 の (B) には、記録層 113 の垂直磁気異方性定数 K_u の電圧依存性の例が示される。グラフの横軸は、電圧 V を示す。グラフの縦軸は、記録層 113 の垂直磁気異方性定数 K_u を示す。垂直磁気異方性定数 K_u が大きいほど、記録層 113 は垂直方向に磁化し易い。より具体的に、垂直磁気異方性定数 K_u が正のときには、記録層 113 は垂直方向 (Z 軸方向) に磁化し易い。垂直磁気異方性定数 K_u が負のときには、記録層 113 は水平方向 (XY 平面方向) に磁化し易い。

[0041] グラフから理解されるように、電圧 V が 0、すなわち磁気抵抗素子 11 に電圧 V が印加されていないときには、垂直磁気異方性定数 K_u は正である。このときの記録層 113 は、垂直方向に磁化し易い。磁気抵抗素子 11 に電圧 V が印加されているときには、垂直磁気異方性定数 K_u の値が変化する。具体的に、電圧 V が高くなるにつれて、垂直磁気異方性定数 K_u が小さくなり、電圧 V が或る電圧を超えると、垂直磁気異方性定数 K_u は負になる。このときの記録層 113 は、水平方向に磁化し易い。

[0042] 上述のように記録層 113 が水平方向に磁化し易くなる電圧 V が磁気抵抗素子 11 に印加されているときに、磁気抵抗素子 11 の記録層 113 の磁化は、水平磁場を軸とする歳差運動により回転する。この回転を利用して記録層 113 の磁化を反転させることで、磁気抵抗素子 11 の抵抗値 R を低抵抗値 R_{Low} 及び高抵抗値 R_{High} の間で切り替え、メモリセル 10 にデータを書き込むことができる。

[0043] 従来は、垂直磁気異方性定数 K_u が 0 となる一定の電圧を記録層 113 の磁化の反転期間 (半回転するのに要する時間) だけ印加するように、電圧をパルス化していた。しかしながら、記録層 113 の磁化の反転期間は、水平

方向の磁場の強度に依存するとともに、例えば 0.7 ns といった短い期間であるため、 $\pm 0.1\text{ ns}$ 程度の高精度のパルス制御が求められる。このようなパルス制御は容易ではなく、また、素子バラつきを考慮すると制御がさらに困難になる。

[0044] 図1に戻り、書き込み回路24は、磁気抵抗素子11の抵抗値 R が低抵抗値 R_{Low} 及び高抵抗値 R_{High} の間で切り替わるように、記録層113の磁化を反転させる。図1に示される例では、書き込み回路24は、電流制限回路241を含む。電流制限回路241は、磁気抵抗素子11に印加される電流 J を制限する。電流制限回路241は、磁気抵抗素子11の抵抗値 R の大きさによらず、電流 J が所定の大きさになるように制限する。「電流 J が所定の大きさになるように制限する」ことは、磁気抵抗素子11の抵抗値 R が高すぎて所定の大きさの電流 J を印加することができない場合には、それよりも小さい電流 J を印加することを含む意味に解されてよい。

[0045] 書き込み回路24は、電流制限回路241によって所定の大きさになるように制限された電流 J を磁気抵抗素子11に印加することにより、磁気抵抗素子11の抵抗値 R が高抵抗値 R_{High} から低抵抗値 R_{Low} に切り替わるように、記録層113の磁化を反転させる。磁気抵抗素子11に電流 J が印加されると、磁気抵抗素子11には、抵抗値 R 及び電流 J に基づく電圧 $V (= R J)$ が印加される。上述の原理により、磁気抵抗素子11の記録層113の磁化が回転する。回転中に、磁気抵抗素子11の抵抗値 R が徐々に低くなり、電圧 $V (= R J)$ も低くなる。電圧 V が低下すると、記録層113の垂直磁気異方性定数 K_u が大きくなり、垂直磁気異方性が戻る。記録層113の磁化が反転したタイミングで、磁気抵抗素子11の抵抗値 R が最小値の低抵抗値 R_{Low} になり、垂直磁気異方性定数 K_u が大きくなる。記録層113の磁化は、歳差運動を停止し、反転したタイミングで（自動的に）止まる。磁気抵抗素子11の抵抗値 R が高抵抗値 R_{High} から低抵抗値 R_{Low} に切り替わり、メモリセル10にデータ“Low”が書き込まれる。

[0046] 図4は、メモリセル10へのデータの書き込みを模式的に示す図である。

時刻 t に対する電圧 V 及び電流 J が示される。当初、磁気抵抗素子 11 の抵抗値 R は高抵抗値 R_{High} であるものとする。

[0047] 時刻 t_1 ～時刻 t_3 において、データ “Low” が書き込まれる。書き込み回路 24 は、電流制限回路 241 によって制限された電流 J を磁気抵抗素子 11 に印加する。磁気抵抗素子 11 には、電圧 V ($= R J$) が印加される。磁気抵抗素子 11 の抵抗値 R が徐々に低下し、電圧 V も徐々に低下する。記録層 113 の磁化が反転したタイミング、すなわち抵抗値 R が低抵抗値 R_{Low} になったタイミングで、記録層 113 の磁化の回転が止まる。磁気抵抗素子 11 の抵抗値 R は、低抵抗値 R_{Low} になる。

[0048] 電流 J のパルス幅を、パルス幅 W_1 と称し図示する。上述のように記録層 113 の磁化の回転が反転のタイミングで自動的に止まるので、電流 J のパルス幅 W_1 は磁化の反転期間よりも長くてよい。その分、パルス制御が容易になる。比較例も用いて説明する。

[0049] 図 5 は、比較例によるデータの書き込みを模式的に示す図である。比較例では、時刻 t_1 ～時刻 t_2 において、記録層 113 の磁化の反転期間と同じパルス幅 W_E を有する一定の電圧 V が、磁気抵抗素子 11 に印加される。記録層 113 の磁化が反転し、その間、磁気抵抗素子 11 の抵抗値 R は減少し、電流 J ($= V / R$) は増加する。磁気抵抗素子 11 の抵抗値 R は、低抵抗値 R_{Low} になる。

[0050] この比較例の電圧 V のパルス幅 W_E は、先に説明した図 4 の電流 J のパルス幅 W_1 よりも短い。その分だけ、パルス制御が困難になる。なお、図 5 において一点鎖線で仮想的に示されるように、仮に電圧 V のパルス幅がパルス幅 W_E よりも長くなると、その間、記録層 113 の磁化が回転し続け、抵抗値 R 及び電流 J が振動を繰り返す。先に説明した図 4 のように記録層 113 の磁化が反転したタイミングで自動的に止まることはない。従って、比較例では、電圧 V のパルス幅 W_E を長くすることができない。

[0051] 以上のように、第 1 実施形態では、所定の大きさになるように制限された電流 J を磁気抵抗素子 11 に印加することにより、磁気抵抗素子 11 の抵抗

値 R を高抵抗値 R_{High} から低抵抗値 R_{Low} に切り替えることができる。電流 J のパルス幅 $W1$ は、記録層 113 の磁化の反転期間よりも長くてよい。従って、記録層 113 の磁化を反転させるためのパルス制御が容易になる。例えば、高精度なパルス制御が不要になるので、回路設計が容易になる。また、パルス幅や素子のバラつきに起因する記録層 113 の磁化の反転の成功確率（反転確率）の劣化を抑制することができる。

[0052] 一実施形態において、書き込み回路 24 は、磁気抵抗素子 11 の磁化の反転中に、異なる所定の大きさになるように段階的に制限された電流 J を磁気抵抗素子 11 に印加してよい。図 6 を参照して説明する。

[0053] 図 6 は、段階的に制限された電流 J を模式的に示す図である。この例では、電流 J は、電流 $J1$ 及び電流 $J2$ の 2 段階に制限される。当初、電流 J は、電流 $J1$ に制限される。その後、電流 J は、電流 $J1$ よりも大きい電流 $J2$ に制限される。当然ながら、電流 J を 3 段階以上に制限することも可能である。

[0054] データの書き込みについてさらに説明する。第 1 実施形態において、メモリセル 10 へのデータの書き込みは、初期読み出し及びベリファイ読み出しを含む。図 7 を参照して説明する。

[0055] 図 7 は、第 1 実施形態におけるメモリセル 10 へのデータの書き込みを模式的に示す図である。図 7 の (A) には、磁気抵抗素子 11 の抵抗値 R を高抵抗値 R_{High} から低抵抗値 R_{Low} に切り替えるときの電圧 V の変化が示される。図 7 の (B) には、磁気抵抗素子 11 の抵抗値 R を低抵抗値 R_{Low} から高抵抗値 R_{High} に切り替えるときの電圧 V の変化が示される。

[0056] 時刻 $t11$ ～時刻 $t12$ において、データの初期読み出しが行われる。読み出し回路 25 は、記録層 113 の磁化が反転しない低電圧を磁気抵抗素子 11 に印加することにより、磁気抵抗素子 11 の抵抗値 R を検出する。図 7 の (A) では、高抵抗値 R_{High} が検出される。図 7 の (B) では、低抵抗値 R_{Low} が検出される。

[0057] 時刻 $t13$ において、データが書き込まれる。書き込み回路 24 は、磁気

抵抗素子 11 の抵抗値 R が低抵抗値 R_{Low} 及び高抵抗値 R_{High} の間で切り替わるように、記録層 113 の磁化を反転させる。図 7 の (A) では、書き込み回路 24 は、読み出し回路 25 によって抵抗値 R が高抵抗値 R_{High} であると検出された磁気抵抗素子 11 に、電流制限回路 241 によって制限された電流 J (パルス幅 $W1$) を印加する。磁気抵抗素子 11 の抵抗値 R が高抵抗値 R_{High} から低抵抗値 R_{Low} に切り替わり、データ “Low” が書き込まれる。図 7 の (B) では、書き込み回路 24 は、読み出し回路 25 によって抵抗値 R が低抵抗値 R_{Low} であると検出された磁気抵抗素子 11 に、一定の電圧 V (パルス幅 $W2$) を印加する。電圧 V のパルス幅 $W2$ は、例えば先に図 5 を参照して説明したパルス幅 WE と同様に、記録層 113 の磁化の反転期間と同じであってよい。磁気抵抗素子 11 の抵抗値 R が低抵抗値 R_{Low} から高抵抗値 R_{High} に切り替り、データ “High” が書き込まれる。

[0058] 時刻 t_{14} ~ 時刻 t_{15} において、ベリファイ読み出しが行われる。読み出し回路 25 は、書き込み回路 24 による磁気抵抗素子 11 の抵抗値 R の切り替えの成否を判別するために、記録層 113 の磁化が反転しない電圧を磁気抵抗素子 11 に印加することにより、磁気抵抗素子 11 の抵抗値 R を検出する。メモリセル 10 の記録状態、すなわち抵抗値 R が正しく切り替えられたか否かが確認される。ここでは、先の時刻 t_{13} でのデータの書き込みが失敗し、初期読み出しと同じ抵抗値 R が検出されたものとする。従って、再びデータの書き込みが行われる。

[0059] 時刻 t_{16} において、データの書き込みが行われる。詳細は先の時刻 t_{13} でのデータの書き込みと同様であるので、説明は繰り返さない。

[0060] 時刻 t_{17} ~ 時刻 t_{18} において、ベリファイ読み出しが行われる。ここでは、先の時刻 t_{16} でのデータの書き込みが成功したものとする。従って、データの書き込みが終了する。

[0061] 図 8 は、第 1 実施形態におけるメモリセル 10 へのデータの書き込みの制御の例を示す図である。図 8 の (A) では、メモリセル 10 のデータが “High” から “Low” に書き換えられる。図 8 の (B) では、メモリセル

10のデータが“Low”から“High”に書き換えられる。

- [0062] 初期読み出し (Initial read) が行われる。制御回路22は、読み出し開始信号 (Read Start) を読み出し回路25に送る。読み出し回路25は、読み出しパルス (Read Pulse) を発行する。読み出しパルスは、ビットライン制御回路27を介して、データの書き込み対象のメモリセル10が接続されたビットラインBLに供給される。
- [0063] アクセス対象の磁気抵抗素子11からの読み出し電圧 (Read voltage) がセンスアンプ30に入力される。制御回路22がセンスアンプ30を有効化する (SA Enable)。磁気抵抗素子11の抵抗値Rの状態 (メモリセル10の記録状態) に応じて電位が変化するので、電位が確定した時点で、センスアンプ30が読み出し電圧 (High又はLow) を検出する。この検出は、磁気抵抗素子11の抵抗値R (高抵抗値 R_{High} 又は低抵抗値 R_{Low}) の検出に相当し、従って、メモリセル10のデータが読み出される。
- [0064] 制御回路22は、センスアンプ30によって読み出されたメモリセル10のデータと、書き込もうとするデータとを比較する。ここでは、比較結果が不一致であり (Result, mismatch)、制御回路22は、書き込み開始信号 (Write Start) を書き込み回路24に送る。
- [0065] 書き込み回路24は、書き込みパルス (Write Pulse) を発行する。書き込みパルスは、ビットライン制御回路27を介して、データ書き込み対象のメモリセル10が接続されたビットラインBLに供給される。図8の(A)では、書き込み回路24の電流制限回路241によって、電流Jが制限される (Current Compliance)。書き込み回路24は、制限された電流J (パルス幅W1) を磁気抵抗素子11に印加する。磁気抵抗素子11の抵抗値Rが高抵抗値 R_{High} から低抵抗値 R_{Low} に切り替わり、データ“High”が書き込まれる。図8の(B)では、書き込み回路24の電流制限回路241による電流Jの制限は行われない。書き込み回路24は、一定の電圧V (パルス幅W2) を磁気抵抗素子11に印加する。

磁気抵抗素子 11 の抵抗値 R が低抵抗値 R_{Low} から高抵抗値 R_{High} に切り替わり、データ “Low” が書き込まれる。

[0066] その後、ベリファイ読み出し (Verify read) が行われる。制御回路 22 は、ベリファイ読み出しで読み出されたメモリセル 10 のデータと、書き込もうとするデータとを比較する。ここでは比較結果は一致であり (Result, match)、従って、データの書き込みは終了する。

[0067] 図 9 は、第 1 実施形態における磁気抵抗効果メモリ 100 において実行される処理の例を示すフローチャートである。このフローは、例えば制御回路 22 (図 1) 内のステートマシーンによって制御される。フローチャートの処理は、書き込みのコマンド及び書き込もうとするデータが I/O 21 を介して入力されたことに応じて開始する。

[0068] ステップ S11 において、初期読み出しが行われる。データ書き込み対象のメモリセル 10 の磁気抵抗素子 11 の抵抗値 R が検出され、メモリセル 10 のデータが読み出される。

[0069] ステップ S12 において、読み出されたデータが書き込もうとするデータと一致しているか否かが判断される。一致している場合 (ステップ S12 : Yes)、フローチャートの処理は終了する。そうでない場合 (ステップ S12 : No)、ステップ S13 に処理が進められる。

[0070] ステップ S13 において、書き込もうとするデータが “Low” であるか否かが判断される。書き込もうとするデータが “Low” であれば (ステップ S13 : Yes)、ステップ S14 に処理が進められる。そうでない場合 (ステップ S13 : No)、ステップ S15 に処理が進められる。

[0071] ステップ S14 において、電流制限がオンになる。書き込み回路 24 の電流制限回路 241 による電流 J の制限機能が有効化される。その後、ステップ S16 に処理が進められる。

[0072] ステップ S15 において、電流制限がオフになる。書き込み回路 24 の電流制限回路 241 による電流 J の制限機能は有効化されない (無効化される)。その後、ステップ S16 に処理が進められる。

[0073] ステップS 1 6において、データが書き込まれる。書き込もうとするデータが“L o w”の場合には、電流制限回路2 4 1によって制限された電流J（パルス幅W 1）が磁気抵抗素子1 1に印加される。磁気抵抗素子1 1の抵抗値Rが高抵抗値 $R_{H i g h}$ から低抵抗値 $R_{L o w}$ に切り替わり、データ“L o w”が書き込まれる。書き込もうとするデータが“H i g h”の場合には、一定の電圧V（パルス幅W 2）が磁気抵抗素子1 1に印加される。磁気抵抗素子1 1の抵抗値Rが低抵抗値 $R_{L o w}$ から高抵抗値 $R_{H i g h}$ に切り替わり、データ“H i g h”が書き込まれる。

[0074] ステップS 1 7において、ベリファイ読み出しが行われる。その後、ステップS 1 2に処理が戻される。読み出されたデータが書き込みもうとするデータと一致している場合（ステップS 1 2：Y e s）、フローチャートの処理は終了する。そうでない場合（ステップS 1 2：N o）、ステップS 1 3に処理が進められる。

[0075] 例えば以上のようにして、メモリセル1 0へのデータが書き込まれる。なお、ベリファイ読み出し及び再書き込みの回数、すなわちステップS 1 7を経た後のステップS 1 2～ステップS 1 7のループ回数に上限（最大回数）が設定されてもよい。

[0076] 2. 第2実施形態

図1 0は、第2実施形態に係る磁気抵抗効果メモリ1 0 0の概略構成の例を示す図である。第2実施形態の磁気抵抗効果メモリ1 0 0は、第1実施形態形態（図1）と比較して、書き込み回路2 4が定電流回路2 4 2を含む点において相違する。定電流回路2 4 2は、磁気抵抗素子1 1に印加される電流Jを一定にする（定電流化する）。換言すると、先に説明した実施形態1での制限された電流Jが、第2実施形態では定電流である。

[0077] なお、電流Jが定電流の場合には、高抵抗値 $R_{H i g h}$ から低抵抗値 $R_{L o w}$ への切り替える開始時に磁気抵抗素子1 1に大きな電圧Vが印加され、垂直磁気異方性定数 K_u が一時的に負になる場合もある。ただしその場合でも、抵抗値Rの低下とともに垂直磁気異方性定数 K_u が大きくなるので、第1実施

形態と同様の動作原理により、磁気抵抗素子 11 の抵抗値 R を高抵抗値 R_{High} から低抵抗値 R_{Low} に切り替えることができる。従って、記録層 113 の磁化を反転させるためのパルス制御が容易になる。

[0078] 図 11 は、第 2 実施形態におけるメモリセル 10 へのデータの書き込みの制御の例を示す図である。第 1 実施形態（図 8）と比較して、電流制限回路 241 による電流制限（Current Compliance）に変えて、定電流回路 242 による定電流化（Current Constant）が行われる点において相違する。他の制御については第 1 実施形態と同様であるので、説明は繰り返さない。

[0079] 図 12 は、第 2 実施形態の磁気抵抗効果メモリ 100 において実行される処理の例を示すフローチャートである。ステップ S21～ステップ S23 及びステップ S27 の処理は、第 1 実施形態（図 9）のステップ S11～ステップ S13 及びステップ S17 の処理と同様であるので、説明は繰り返さない。

[0080] ステップ S24 において、定電流がオンになる。書き込み回路 24 の定電流回路 242 による電流 J の定電流化機能が有効化される。その後、ステップ S26 に処理が進められる。

[0081] ステップ S25 において、定電流がオフになる。書き込み回路 24 の定電流回路 242 による電流 J の定電流化機能は有効化されない（無効化される）。その後、ステップ S26 に処理が進められる。

[0082] ステップ S26 において、データが書き込まれる。書き込もうとするデータが “Low” の場合には、定電流回路 242 によって定電流化された電流 J （パルス幅 $W1$ ）が磁気抵抗素子 11 に印加される。磁気抵抗素子 11 の抵抗値 R が高抵抗値 R_{High} から低抵抗値 R_{Low} に切り替わり、データ “Low” が書き込まれる。書き込もうとするデータが “High” の場合には、一定の電圧 V （パルス幅 $W2$ ）が磁気抵抗素子 11 に印加される。磁気抵抗素子 11 の抵抗値 R が低抵抗値 R_{Low} から高抵抗値 R_{High} に切り替わり、データ “High” が書き込まれる。

[0083] 3. 第3実施形態

第3実施形態では、メモリセル10へのデータの書き込みは、初期読み出しを含まない代わりに、初期化を含む。初期化を行うことで、初期読み出しが不要になる。磁気抵抗効果メモリ100の基本的な構成は、第1実施形態（図1）又は第2実施形態（図10）と同様である。とくに説明がある場合を除き、第3実施形態以降は、図10の構成であるものとして説明する。

[0084] 書き込み回路24は、定電流回路242によって定電流化された電流Jを磁気抵抗素子11に印加することにより、磁気抵抗素子11の抵抗値Rを低抵抗値 R_{Low} に初期化する。初期化前に高抵抗値 R_{High} であった磁気抵抗素子11の抵抗値Rは、高抵抗値 R_{High} から低抵抗値 R_{Low} に切り替わる。初期化前に低抵抗値 R_{Low} であった磁気抵抗素子11の抵抗値Rは、電流Jが印加されても電圧Vが低く歳差運動が起きないので、低抵抗値 R_{Low} のままである。

[0085] 図13は、第3実施形態におけるメモリセル10へのデータの書き込みを模式的に示す図である。図13の（A）では、初期化前のデータは“High”であり、書き込もうとするデータも“High”である。図13の（B）では、初期化前のデータは“High”であり、書き込もうとするデータは“Low”である。図13の（C）では、初期化前のデータは“Low”であり、書き込もうとするデータは“High”である。図13の（D）は、初期化前のデータは“Low”であり、書き込もうとするデータも“Low”である。

[0086] 時刻 t_{31} ～時刻 t_{32} において、初期化が行われる。書き込み回路24は、定電流回路242によって定電流化された電流Jを磁気抵抗素子11に印加することにより、磁気抵抗素子11の抵抗値Rを低抵抗値 R_{Low} に初期化する。図13の（A）及び（B）では、磁気抵抗素子11の抵抗値Rが高抵抗値 R_{High} から低抵抗値 R_{Low} に切り替わる。図13の（C）及び（D）では、磁気抵抗素子11の抵抗値Rは高抵抗値 R_{High} のまま（変化なし）である。

- [0087] 時刻 t_{33} ～時刻 t_{34} において、必要に応じてデータが書き込まれる。図 13 の (A) 及び (C) では、データ “High” が書き込まれる。一定の電圧 V (パルス幅 W_2) が磁気抵抗素子 11 に印加され、磁気抵抗素子 11 の抵抗値 R が低抵抗値 R_{Low} から高抵抗値 R_{High} に切り替わる。図 13 の (B) 及び (D) では、データの書き込みは行われない。
- [0088] 時刻 t_{35} ～時刻 t_{36} において、必要に応じてベリファイ読み出しが行われる。図 13 の (A) 及び (C) では、先の時刻 t_{33} ～時刻 t_{34} でのデータ書き込みに応じて、ベリファイ読み出しが行われる。ここでは、データの書き込みが成功したものとする。従って、データの書き込みが終了する。図 13 の (B) 及び (D) では、ベリファイ読み出しは省略され、データの書き込みが終了する。ただし、図 13 の (B) 及び (D) でもベリファイ読み出しが行われてよい。
- [0089] 図 14 は、第 3 実施形態におけるメモリセル 10 へのデータの書き込みの制御の例を示す図である。図 14 の (A) では、データ “Low” が書き込まれる。図 14 の (B) では、データ “High” が書き込まれる。
- [0090] 初期化 (Initialize) が行われる。書き込み回路 24 は、書き込みパルス (Write Pulse) を発行する。書き込みパルスは、ビットライン制御回路 27 を介して、データ書き込み対象のメモリセル 10 が接続されたビットライン BL に供給される。書き込み回路 24 の定電流回路 242 が、電流 J を定電流化する (Current Constant)。書き込み回路 24 は、定電流回路 242 によって定電流化された電流 J (パルス幅 W_1) を磁気抵抗素子 11 に印加する。磁気抵抗素子 11 の抵抗値 R が低抵抗値 R_{Low} に初期化される。
- [0091] 図 14 の (A) では、上記の初期化により、データ “Low” が書き込まれた状態になるので、データの書き込みが終了する。なお、ベリファイ読み出しが行われてもよい。
- [0092] 図 14 の (B) では、データ “High” の書き込みが行われる。書き込み回路 24 は、書き込みパルス (Write Pulse) を発行する。書

き込み回路24は、一定の電圧V（パルス幅W2）を磁気抵抗素子11に印加する。磁気抵抗素子11の抵抗値Rは、低抵抗値 R_{Low} から高抵抗値 R_{High} に切り替わる。その後、ベリファイ読み出し（Verify read）が行われる。ここでは比較結果は不一致であり（Result, mismatch）、従って、再度データが書き込まれる。その後のベリファイ読み出しで、比較結果が一致となり（Result, match）、データの書き込みが終了する。

[0093] 図15は、第3実施形態に係る磁気抵抗効果メモリ100において実行される処理の例を示すフローチャートである。

[0094] ステップS31において、定電流がオンになる。定電流回路242による電流Jの定電流化機能が有効化される。

[0095] ステップ32において、初期化が行われる。指定されたアドレスのすべての磁気抵抗素子11（全ビット）に対して定電流化された電流J（パルス幅W1）が印加される。磁気抵抗素子11の抵抗値Rは、低抵抗値 R_{Low} に初期化される。

[0096] ステップS33において、書き込もうとするデータが“High”であるか否かが判断される。書き込もうとするデータが“High”の場合（ステップS33：Yes）、ステップS34に処理が進められる。そうでない場合（ステップS33：No）、フローチャートの処理は終了する。

[0097] ステップS34において、定電流がオフになる。電流制限回路241による電流Jの定電流化機能は有効化されない（無効化される）。

[0098] ステップS35において、データが書き込まれる。一定の電圧V（パルス幅W2）が磁気抵抗素子11に印加され、磁気抵抗素子11の抵抗値Rが低抵抗値 R_{Low} から高抵抗値 R_{High} に切り替わる。

[0099] ステップS36において、ベリファイ読み出しが行われる。

[0100] ステップS37において、読み出されたデータが書き込みもうとするデータと一致しているか否かが判断される。一致している場合（ステップS37：Yes）、フローチャートの処理は終了する。そうでない場合（ステップ

S 2 7 : N o) 、ステップ S 3 5 に処理が戻され、再びデータが書き込まれる。

[0101] 4. 第4実施形態

第4実施形態では、非特許文献1の技術を用いて、磁気抵抗素子11の抵抗値 R が、高抵抗値 R_{High} に初期化される。非特許文献1の技術によれば、磁気抵抗素子11の抵抗値 R を低抵抗値 R_{Low} から高抵抗値 R_{High} に切り替える際の電圧 V のパルス制御が容易になる。記録層113の磁化を反転させるためのパルス制御を容易にする効果がさらに高められる。

[0102] 具体的に、水平方向の磁場だけでなく、垂直方向の磁場も用いられる。垂直方向の磁場によって、記録層113の磁化成分 m_z （-1から1）に対する磁場エネルギーの変化が、非対称性を有するようになる。磁化成分 m_z がマイナスになる範囲（ $-1 \leq \text{磁化成分 } m_z < 0$ ）、すなわち記録層113の磁化がZ軸負方向に近くなるところで磁場エネルギーが最小となるように設計することにより、磁化の向きの振動を抑制し、Z軸負方向に反転させることができる。電圧 V のパルス幅を高精度に制御せずとも、磁気抵抗素子11の抵抗値 R を高抵抗値 R_{High} にすることができる。

[0103] 図16は、第4実施形態に係る磁気抵抗効果メモリ100の磁気抵抗素子11の概略構成の例を示す図である。メモリセル10は、記録層113が垂直方向（Z軸方向）の磁場（垂直磁場）にも置かれるように構成される。図16に示される例では、磁気抵抗素子11は、磁場生成層115をさらに含む。磁場生成層115は、垂直磁場を生成する。この例では、磁場生成層115は、固定層111を挟んでトンネル障壁層112とは反対側に設けられる。

[0104] なお、磁場生成層115は、記録層113を挟んでトンネル障壁層112とは反対側に設けられてもよい。垂直磁場の生成に、磁場生成層115以外の手法が用いられてもよい。例えば、磁気抵抗素子11の上方（Z軸正方向側）又は下方（Z軸負方向側）に磁石層を形成することにより、磁場が生成されてよい。周辺に永久磁石を配置することにより、磁場が生成されてもよ

い。

[0105] 図17は、第4実施形態におけるメモリセル10へのデータの書き込みを模式的に示す図である。図17の(A)では、初期化前のデータは“High”であり、書き込もうとするデータも“High”である。図17の(B)では、初期化前のデータは“High”であり、書き込もうとするデータも“Low”である。図17の(C)では、初期化前のデータは“Low”であり、書き込もうとするデータは“High”である。図17の(D)では、初期化前のデータは“Low”であり、書き込もうとするデータも“Low”である。

[0106] 時刻 t_{41} ～時刻 t_{42} において、初期化が行われる。書き込み回路24は、一定の電圧 V （パルス幅 W_3 ）を磁気抵抗素子11に印加することにより、磁気抵抗素子11の抵抗値 R を高抵抗値 R_{High} に初期化する。ここでの電圧 V のパルス幅 W_3 は、パルス幅 W_2 （図7、図13等）よりも長くてよい。図17の(A)及び(B)では、磁気抵抗素子11の抵抗値 R は、高抵抗値 R_{High} のままである（変化なし）。図17の(C)及び(D)では、磁気抵抗素子11の抵抗値 R が低抵抗値 R_{Low} から高抵抗値 R_{High} に切り替わる。

[0107] 時刻 t_{43} ～時刻 t_{44} において、必要に応じてデータが書き込まれる。図17の(A)及び(C)では、データの書き込みは行われない。図17の(B)及び(D)では、データが書き込まれる。定電流回路242によって定電流化された電流 J （パルス幅 W_1 ）が磁気抵抗素子11に印加され、磁気抵抗素子11の抵抗値 R が高抵抗値 R_{High} から低抵抗値 R_{Low} に切り替わる。

[0108] 時刻 t_{45} ～時刻 t_{46} において、必要に応じてベリファイ読み出しが行われる。図17の(A)及び(C)では、ベリファイ読み出しは省略され、データの書き込みが終了する。ただし、ベリファイ読み出しが行われてもよい。図17の(B)及び(D)では、先の時刻 t_{43} ～時刻 t_{44} でデータの書き込みに応じて、ベリファイ読み出しが行われる。ここでは、データの

書き込みが成功たものとする。従って、データの書き込みが終了する。

[0109] 図18は、第4実施形態におけるメモリセル10へのデータの書き込みの制御の例を示す図である。図18の(A)には、データ“Low”を書き込むときの制御が示される。図18の(B)には、データ“High”を書き込むときの制御が示される。

[0110] 初期化(Initialize)が行われる。書き込み回路24は、書き込みパルス(Write Pulse)を発行する。書き込みパルスは、ビットライン制御回路27を介して、データ書き込み対象のメモリセル10が接続されたビットラインBLに供給される。書き込み回路24は、一定の電圧V(パルス幅W3)を磁気抵抗素子11に印加する。磁気抵抗素子11の抵抗値Rが高抵抗値 R_{High} に初期化される。

[0111] 図18の(A)では、データ“Low”の書き込みが行われる。書き込み回路24は、書き込みパルス(Write Pulse)を発行する。書き込み回路24は、定電流回路242によって定電流化された電流J(パルス幅W1)を磁気抵抗素子11に印加する。磁気抵抗素子11の抵抗値Rが高抵抗値 R_{High} から低抵抗値 R_{Low} に切り替わる。その後、ベリファイ読み出し(Verify read)が行われる。ここでは比較結果は不一致であり(Result, mismatch)、従って、再度データが書き込まれる。その後のベリファイ読み出しで、比較結果が一致となり(Result, match)、データの書き込みが終了する。

[0112] 図18の(B)では、上記の初期化により、データ“High”が書き込まれた状態になるので、データの書き込みが終了する。なお、ベリファイ読み出しが行われてもよい。

[0113] 図19は、第4実施形態に係る磁気抵抗効果メモリ100において実行される処理の例を示すフローチャートである。

[0114] ステップS41において、初期化が行われる。指定されたアドレスのすべての磁気抵抗素子11(全ビット)に対して一定の電圧V(パルス幅W3)が印加される。磁気抵抗素子11の抵抗値Rは、高抵抗値 R_{High} に初期化さ

れる。

[0115] ステップS 4 2において、書き込もうとするデータが“L o w”であるか否かが判断される。書き込もうとするデータが“L o w”の場合（ステップS 4 2 : Y e s）、ステップS 4 3に処理が進められる。そうでない場合（ステップS 4 : N o）、フローチャートの処理は終了する。

[0116] ステップS 4 3において、定電流がオンになる。定電流回路2 4 2による電流Jの定電流化機能が有効化される。

[0117] ステップS 4 4において、データが書き込まれる。定電流回路2 4 2によって一定に制御された電流J（パルス幅W 1）が磁気抵抗素子1 1に印加される。磁気抵抗素子1 1の抵抗値Rが高抵抗値 $R_{H i g h}$ から低抵抗値 $R_{L o w}$ に切り替わる。

[0118] ステップS 4 5において、ベリファイ読み出しが行われる。

[0119] ステップS 4 6において、読み出されたデータが書き込みもうとするデータと一致しているか否かが判断される。一致している場合（ステップS 4 6 : Y e s）、フローチャートの処理は終了する。そうでない場合（ステップS 4 6 : N o）、ステップS 4 4に処理が戻され、再びデータが書き込まれる。

[0120] 5. 第5実施形態

第5実施形態では、初期読み出しを行い、必要に応じて、磁気抵抗素子1 1の抵抗値Rを低抵抗値 $R_{L o w}$ 及び高抵抗値 $R_{H i g h}$ の間で切り替える。例えば先に説明した図9のステップS 1 6や図1 2のステップS 2 6においてデータ“H i g h”を書き込むときに、一定の電圧V（パルス幅W 3）が磁気抵抗素子1 1に印加され、磁気抵抗素子1 1の抵抗値Rが低抵抗値 $R_{L o w}$ から高抵抗値 $R_{H i g h}$ に切り替わる。

[0121] 図2 0は、第5実施形態におけるメモリセル1 0へのデータの書き込みの制御の例を示す図である。図2 0の（A）には、データ“L o w”を書き込むときの制御が示される。図2 0の（B）には、データ“H i g h”を書き込むときの制御が示される。図2 0の（A）は、先に説明した図1 1の（A

）と同じである。図20の（B）は、先に説明した図11の（B）と比較して、抵抗値 R を低抵抗値 R_{Low} から高抵抗値 R_{High} に切り替えるときに、パルス幅 $W3$ の電圧 V を印加する点において相違する。図11の（B）のような短いパルス幅 $W2$ の電圧 V の印加は不要である。

[0122] 6. 効果の例

以上で説明した技術は、例えば次のように特定される。開示される技術の1つは、磁気抵抗効果メモリ100である。図1～図4及び図6～図9等を参照して説明したように、磁気抵抗効果メモリ100は、磁化の向きが固定された固定層111及び磁化の向きが変化する記録層113を含む磁気抵抗素子11と、磁気抵抗素子11の抵抗値 R が低抵抗値 R_{Low} 及び高抵抗値 R_{High} の間で切り替わるように、記録層113の磁化を反転させる書き込み回路24と、を備える。記録層113の磁化は、磁気抵抗素子11に電圧 V が印加されているときに、層の面方向（XY平面方向）の磁場（水平磁場）を軸とする歳差運動により回転する。磁気抵抗素子11の抵抗値 R は、記録層113の磁化の回転中に、低抵抗値 R_{Low} 及び高抵抗値 R_{High} の間で徐々に変化し、書き込み回路24は、所定の大きさになるように制限された電流 J を磁気抵抗素子11に印加することにより、磁気抵抗素子11の抵抗値 R が高抵抗値 R_{High} から低抵抗値 R_{Low} に切り替わるように、記録層113の磁化を反転させる。書き込み回路24は、記録層113の磁化の反転期間よりも長いパルス幅 $W1$ を有する制限された電流 J を磁気抵抗素子11に印加してよい。

[0123] 上記の磁気抵抗効果メモリ100では、所定の大きさになるように制限された電流 J を磁気抵抗素子11に印加することにより、磁気抵抗素子11の抵抗値 R が高抵抗値 R_{High} から低抵抗値 R_{Low} に切り替わる。電流 J のパルス幅 $W1$ は記録層113の磁化の反転期間よりも長くてよいので、記録層113の磁化を反転させるためのパルス制御が容易になる。

[0124] 図10～図12等を参照して説明したように、制限された電流 J は、定電流であってよい。定電流化された電流 J を磁気抵抗素子11に印加すること

によっても、磁気抵抗素子 11 の抵抗値 R を高抵抗値 R_{High} から低抵抗値 R_{Low} に切り替えることができる。

[0125] 図 6 等を参照して説明したように、書き込み回路 24 は、記録層 113 の磁化の反転中に、異なる所定の大きさになるように段階的に制限された電流 J （例えば電流 J_1 及び電流 J_2 ）を磁気抵抗素子 11 に印加してよい。このような電流 J を磁気抵抗素子 11 に印加することによっても、磁気抵抗素子 11 の抵抗値 R を高抵抗値 R_{High} から低抵抗値 R_{Low} に切り替えることができる。

[0126] 図 7 等を参照して説明したように、書き込み回路 24 は、一定の電圧 V を磁気抵抗素子 11 に印加することにより、磁気抵抗素子 11 の抵抗値 R が低抵抗値 R_{Low} から高抵抗値 R_{High} に切り替わるように、記録層 113 の磁化を反転させてよい。その場合、書き込み回路 24 は、記録層 113 の磁化の反転期間と同じパルス幅 W_2 を有する一定の電圧 V を磁気抵抗素子 11 に印加してよい。例えばこのようにして、磁気抵抗素子 11 の抵抗値 R を高抵抗値 R_{High} にすることもできる。

[0127] 図 1 及び図 7～図 9 等を参照して説明したように、磁気抵抗効果メモリ 100 は、記録層 113 の磁化が反転しない電圧を磁気抵抗素子 11 に印加することにより、磁気抵抗素子 11 の抵抗値 R を検出する読み出し回路 25 を備えてよい。その場合、書き込み回路 24 は、読み出し回路 25 によって抵抗値 R が高抵抗値 R_{High} であると検出された磁気抵抗素子 11 に、制限された電流 J を印加することにより、磁気抵抗素子 11 の抵抗値 R が高抵抗値 R_{High} から低抵抗値 R_{Low} に切り替わるように、記録層 113 の磁化を反転させてよい。このようにして、初期読み出しを行ってから必要に応じて磁気抵抗素子 11 の抵抗値 R を切り替えることで、メモリセル 10 にデータを書き込むことができる。

[0128] 図 13～図 15 等を参照して説明したように、書き込み回路 24 は、磁気抵抗素子 11 に制限された電流 J を印加することにより磁気抵抗素子 11 の抵抗値 R を低抵抗値 R_{Low} に初期化し、初期化後の磁気抵抗素子 11 に一定の

電圧 V を印加することにより、磁気抵抗素子11の抵抗値 R が低抵抗値 R_{Low} から高抵抗値 R_{High} に切り替わるように、記録層113の磁化を反転させてよい。初期化を行うことで、初期読み出しが不要になる。

[0129] 図1～図4及び図6～図9等を参照して説明したように、書き込み回路24は、書き込み回路24による磁気抵抗素子11の抵抗値 R の切り替えの成否を判別するために、記録層113の磁化が反転しない低電圧を磁気抵抗素子11に印加することにより、磁気抵抗素子11の抵抗値 R を検出してよい。このようにして、ベリファイ読み出しを行うこともできる。

[0130] 図16～図20等を参照して説明したように、記録層113の磁化は、層の面方向に垂直な（ Z 軸方向の）磁場（垂直磁場）の中で、層の面方向の磁場（水平磁場）を軸とする歳差運動により回転し、書き込み回路24は、記録層113の磁化の反転期間よりも長いパルス幅 $W3$ を有する一定の電圧 V を磁気抵抗素子11に印加してよい。これにより、磁気抵抗素子11の抵抗値 R を低抵抗値 R_{Low} から高抵抗値 R_{High} に切り替える際の電圧 V のパルス制御も容易になる。記録層113の磁化を反転させるためのパルス制御を容易にする効果がさらに高められる。

[0131] 図17～図19等を参照して説明したように、書き込み回路24は、磁気抵抗素子11に一定の電圧 V を印加することにより磁気抵抗素子11の抵抗値 R を高抵抗値 R_{High} に初期化し、初期化後の磁気抵抗素子11に制限された電流 J を印加することにより、磁気抵抗素子11の抵抗値 R が高抵抗値 R_{High} から低抵抗値 R_{Low} に切り替わるように、記録層113の磁化を反転させてよい。初期化を行うことで、初期読み出しが不要になる。

[0132] なお、本開示に記載された効果は、あくまで例示であって、開示された内容に限定されない。他の効果があってもよい。

[0133] 以上、本開示の実施形態について説明したが、本開示の技術的範囲は、上述の実施形態そのままに限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。また、異なる実施形態及び変形例にわたる構成要素を適宜組み合わせてもよい。

[0134] なお、本技術は以下のような構成も取ることができる。

(1)

磁化の向きが固定された固定層及び磁化の向きが変化する記録層を含む磁気抵抗素子と、

前記磁気抵抗素子の抵抗値が低抵抗値及び高抵抗値の間で切り替わるように、前記記録層の磁化を反転させる書き込み回路と、

を備え、

前記記録層の磁化は、前記磁気抵抗素子に電圧が印加されているときに、層の面方向の磁場を軸とする歳差運動により回転し、

前記磁気抵抗素子の抵抗値は、前記記録層の磁化の回転中に、低抵抗値及び高抵抗値の間で徐々に変化し、

前記書き込み回路は、所定の大きさになるように制限された電流を前記磁気抵抗素子に印加することにより、前記磁気抵抗素子の抵抗値が高抵抗値から低抵抗値に切り替わるように、前記記録層の磁化を反転させる、

磁気抵抗効果メモリ。

(2)

前記書き込み回路は、前記記録層の磁化の反転期間よりも長いパルス幅を有する前記制限された電流を前記磁気抵抗素子に印加する、

(1)に記載の磁気抵抗効果メモリ。

(3)

前記制限された電流は、定電流である、

(1)又は(2)に記載の磁気抵抗効果メモリ。

(4)

前記書き込み回路は、前記記録層の磁化の反転中に、異なる所定の大きさになるように段階的に制限された電流を前記磁気抵抗素子に印加する、

(1)～(3)のいずれかに記載の磁気抵抗効果メモリ。

(5)

前記書き込み回路は、一定の電圧を前記磁気抵抗素子に印加することによ

り、前記磁気抵抗素子の抵抗値が低抵抗値から高抵抗値に切り替わるように、前記記録層の磁化を反転させる、

(1) ~ (4) のいずれかに記載の磁気抵抗効果メモリ。

(6)

前記書き込み回路は、前記記録層の磁化の反転期間と同じパルス幅を有する前記一定の電圧を前記磁気抵抗素子に印加する、

(5) に記載の磁気抵抗効果メモリ。

(7)

前記記録層の磁化が反転しない電圧を前記磁気抵抗素子に印加することにより、前記磁気抵抗素子の抵抗値を検出する読み出し回路を備える、

(1) ~ (6) のいずれかに記載の磁気抵抗効果メモリ。

(8)

前記書き込み回路は、前記読み出し回路によって抵抗値が高抵抗値であると検出された前記磁気抵抗素子に、前記制限された電流を印加することにより、前記磁気抵抗素子の抵抗値が高抵抗値から低抵抗値に切り替わるように、前記記録層の磁化を反転させる、

(7) に記載の磁気抵抗効果メモリ。

(9)

前記書き込み回路は、前記磁気抵抗素子に前記制限された電流を印加することにより前記磁気抵抗素子の抵抗値を低抵抗値に初期化し、初期化後の前記磁気抵抗素子に一定の電圧を印加することにより、前記磁気抵抗素子の抵抗値が低抵抗値から高抵抗値に切り替わるように、前記記録層の磁化を反転させる、

(1) ~ (6) のいずれかに記載の磁気抵抗効果メモリ。

(10)

前記書き込み回路による前記磁気抵抗素子の抵抗値の切り替えの成否を判別するために、前記記録層の磁化が反転しない低電圧を前記磁気抵抗素子に印加することにより、前記磁気抵抗素子の抵抗値を検出する読み出し回路を

備える、

(1) ~ (9) のいずれかに記載の磁気抵抗効果メモリ。

(11)

前記記録層の磁化は、層の面方向に垂直な磁場の中で、前記層の面方向の磁場を軸とする前記歳差運動により回転し、

前記書き込み回路は、前記記録層の磁化の反転期間よりも長いパルス幅を有する前記一定の電圧を前記磁気抵抗素子に印加する、

(5) に記載の磁気抵抗効果メモリ。

(12)

前記書き込み回路は、前記磁気抵抗素子に前記一定の電圧を印加することにより前記磁気抵抗素子の抵抗値を高抵抗値に初期化し、初期化後の前記磁気抵抗素子に前記制限された電流を印加することにより、前記磁気抵抗素子の抵抗値が高抵抗値から低抵抗値に切り替わるように、前記記録層の磁化を反転させる、

(11) に記載の磁気抵抗効果メモリ。

符号の説明

[0135] 100 磁気抵抗効果メモリ

1 メモリセルアレイ

10 メモリセル

11 磁気抵抗素子

111 固定層

112 トンネル障壁層

113 記録層

114 磁場生成層

115 磁場生成層

12 選択トランジスタ

21 I/O

22 制御回路

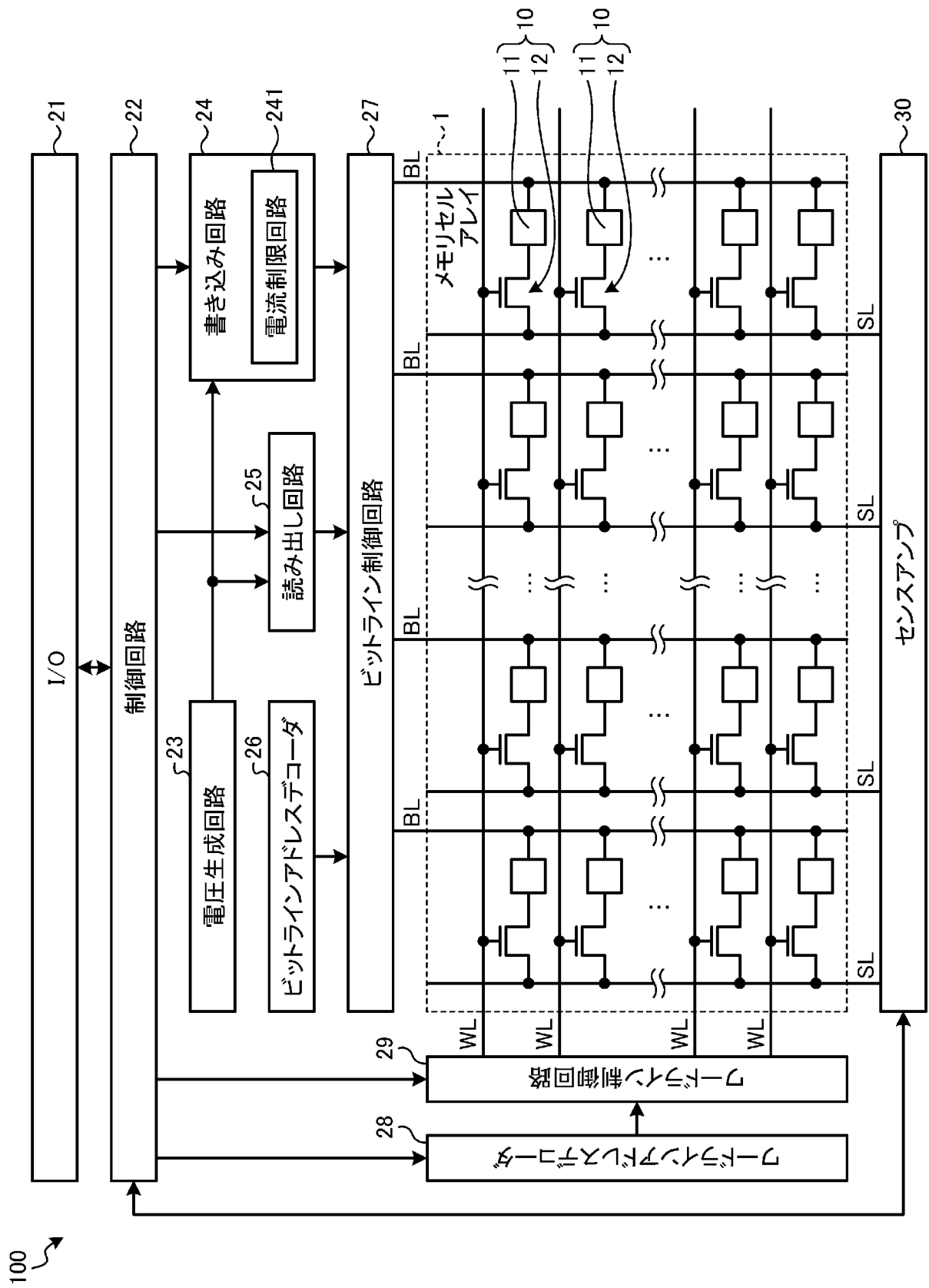
- 2 3 電圧生成回路
- 2 4 書き込み回路
 - 2 4 1 電流制限回路
 - 2 4 2 定電流回路
- 2 5 読み出し回路
- 2 6 ビットラインアドレスデコーダ
- 2 7 ビットライン制御回路
- 2 8 ワードラインアドレスデコーダ
- 2 9 ワードライン制御回路
- 3 0 センスアンプ
 - J 電流
 - J 1 電流
 - J 2 電流
 - K u 垂直磁気異方性定数
 - V 電圧
- B L ビットライン
- S L ソースライン
- W L ワードライン
 - W 1 パルス幅
 - W 2 パルス幅
 - W 3 パルス幅
 - W E パルス幅

請求の範囲

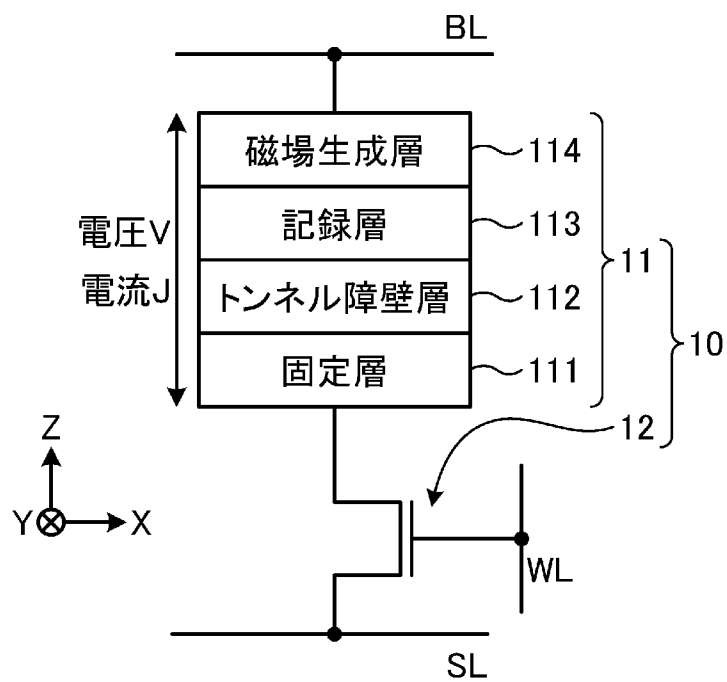
- [請求項1] 磁化の向きが固定された固定層及び磁化の向きが変化する記録層を含む磁気抵抗素子と、
- 前記磁気抵抗素子の抵抗値が低抵抗値及び高抵抗値の間で切り替わるように、前記記録層の磁化を反転させる書き込み回路と、
- を備え、
- 前記記録層の磁化は、前記磁気抵抗素子に電圧が印加されているときに、層の面方向の磁場を軸とする歳差運動により回転し、
- 前記磁気抵抗素子の抵抗値は、前記記録層の磁化の回転中に、低抵抗値及び高抵抗値の間で徐々に変化し、
- 前記書き込み回路は、所定の大きさになるように制限された電流を前記磁気抵抗素子に印加することにより、前記磁気抵抗素子の抵抗値が高抵抗値から低抵抗値に切り替わるように、前記記録層の磁化を反転させる、
- 磁気抵抗効果メモリ。
- [請求項2] 前記書き込み回路は、前記記録層の磁化の反転期間よりも長いパルス幅を有する前記制限された電流を前記磁気抵抗素子に印加する、
- 請求項1に記載の磁気抵抗効果メモリ。
- [請求項3] 前記制限された電流は、定電流である、
- 請求項1に記載の磁気抵抗効果メモリ。
- [請求項4] 前記書き込み回路は、前記記録層の磁化の反転中に、異なる所定の大きさになるように段階的に制限された電流を前記磁気抵抗素子に印加する、
- 請求項1に記載の磁気抵抗効果メモリ。
- [請求項5] 前記書き込み回路は、一定の電圧を前記磁気抵抗素子に印加することにより、前記磁気抵抗素子の抵抗値が低抵抗値から高抵抗値に切り替わるように、前記記録層の磁化を反転させる、
- 請求項1に記載の磁気抵抗効果メモリ。

- [請求項6] 前記書き込み回路は、前記記録層の磁化の反転期間と同じパルス幅を有する前記一定の電圧を前記磁気抵抗素子に印加する、
請求項5に記載の磁気抵抗効果メモリ。
- [請求項7] 前記記録層の磁化が反転しない電圧を前記磁気抵抗素子に印加することにより、前記磁気抵抗素子の抵抗値を検出する読み出し回路を備える、
請求項1に記載の磁気抵抗効果メモリ。
- [請求項8] 前記書き込み回路は、前記読み出し回路によって抵抗値が高抵抗値であると検出された前記磁気抵抗素子に、前記制限された電流を印加することにより、前記磁気抵抗素子の抵抗値が高抵抗値から低抵抗値に切り替わるように、前記記録層の磁化を反転させる、
請求項7に記載の磁気抵抗効果メモリ。
- [請求項9] 前記書き込み回路は、前記磁気抵抗素子に前記制限された電流を印加することにより前記磁気抵抗素子の抵抗値を低抵抗値に初期化し、初期化後の前記磁気抵抗素子に一定の電圧を印加することにより、前記磁気抵抗素子の抵抗値が低抵抗値から高抵抗値に切り替わるように、前記記録層の磁化を反転させる、
請求項1に記載の磁気抵抗効果メモリ。
- [請求項10] 前記書き込み回路による前記磁気抵抗素子の抵抗値の切り替えの成否を判別するために、前記記録層の磁化が反転しない低電圧を前記磁気抵抗素子に印加することにより、前記磁気抵抗素子の抵抗値を検出する読み出し回路を備える、
請求項1に記載の磁気抵抗効果メモリ。

[図1]

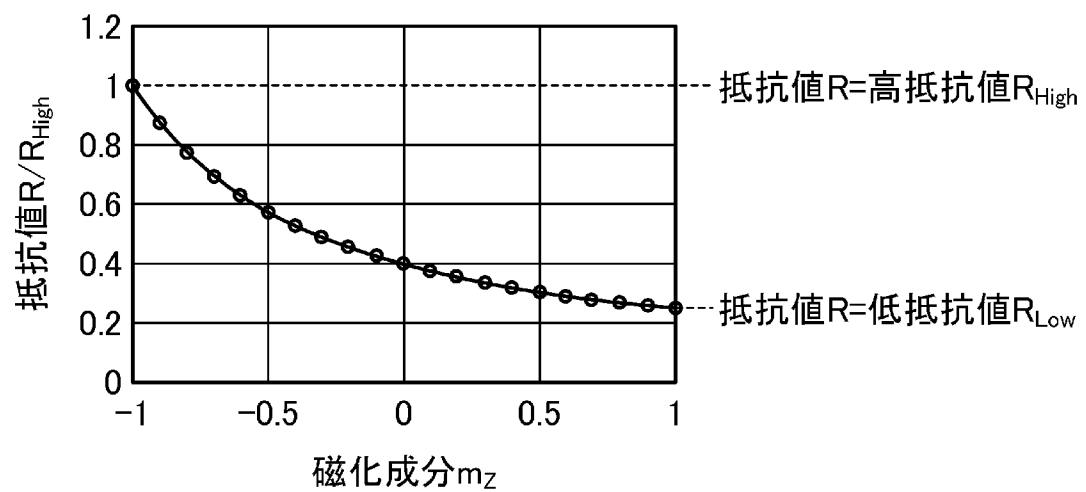


[図2]

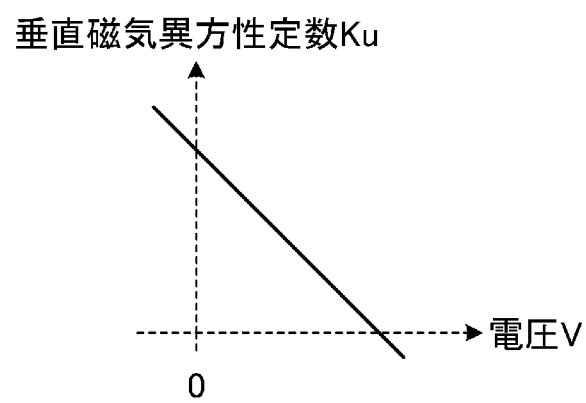


[図3]

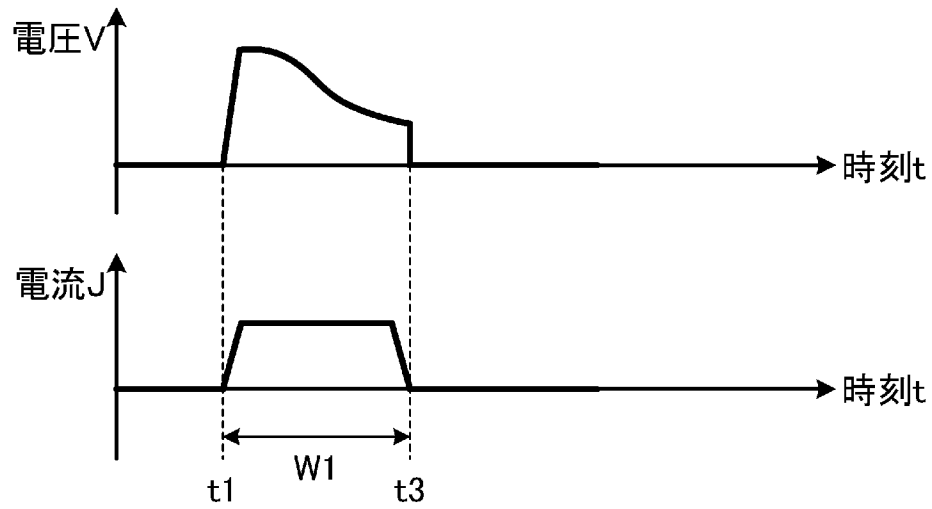
(A)



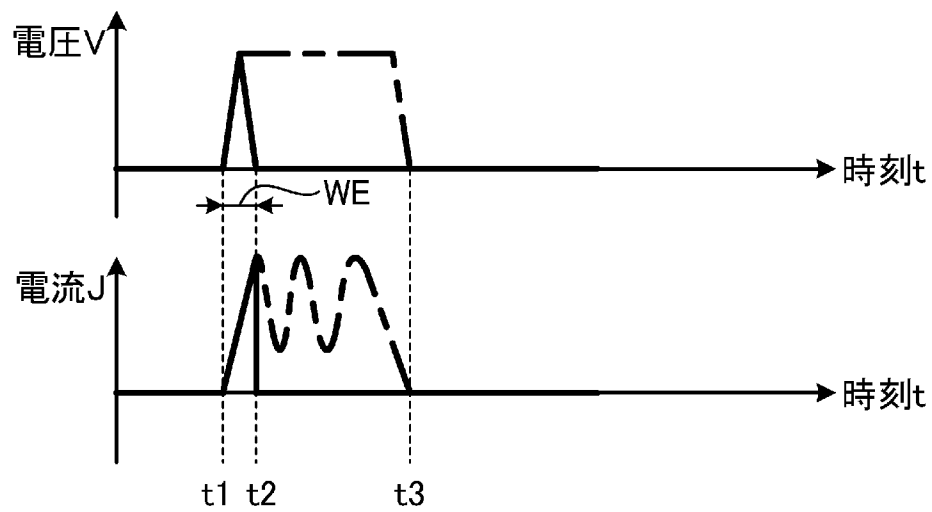
(B)



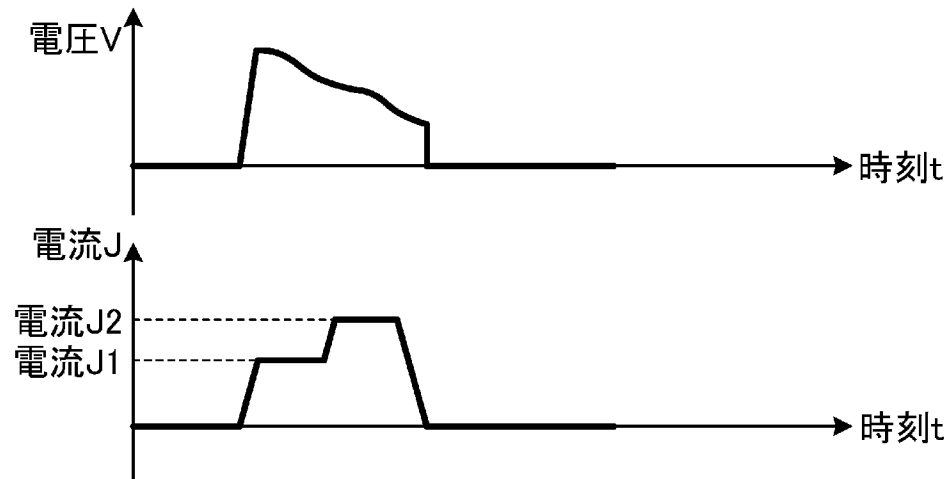
[図4]



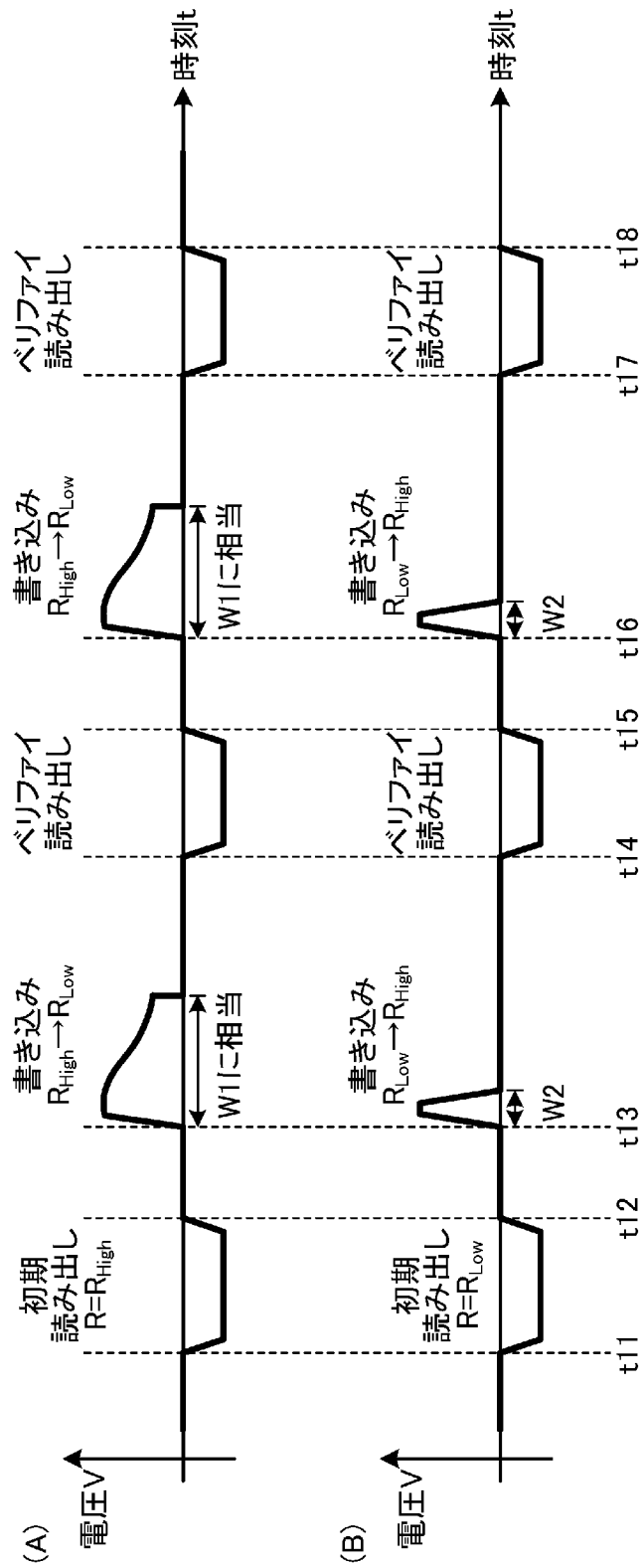
[図5]



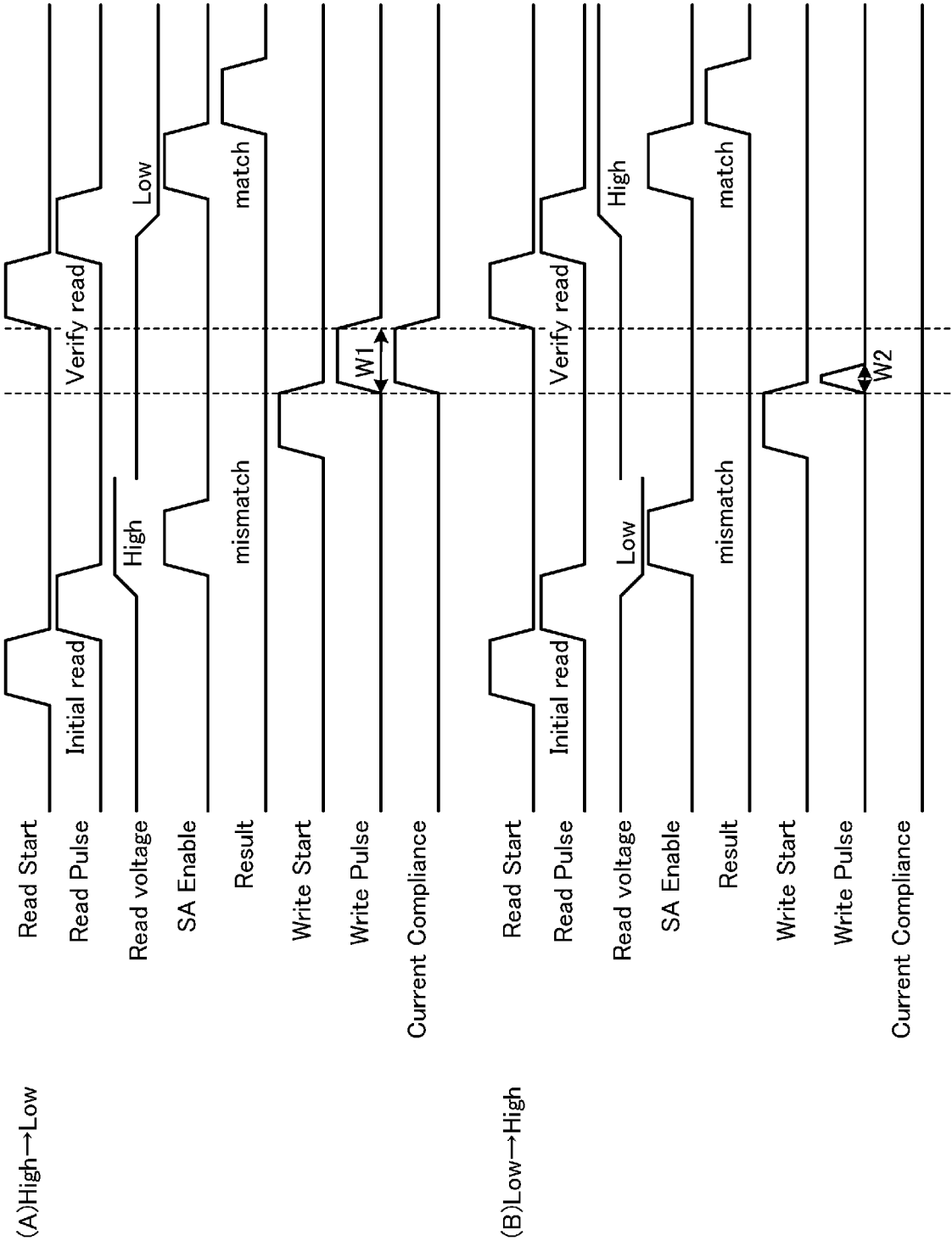
[図6]



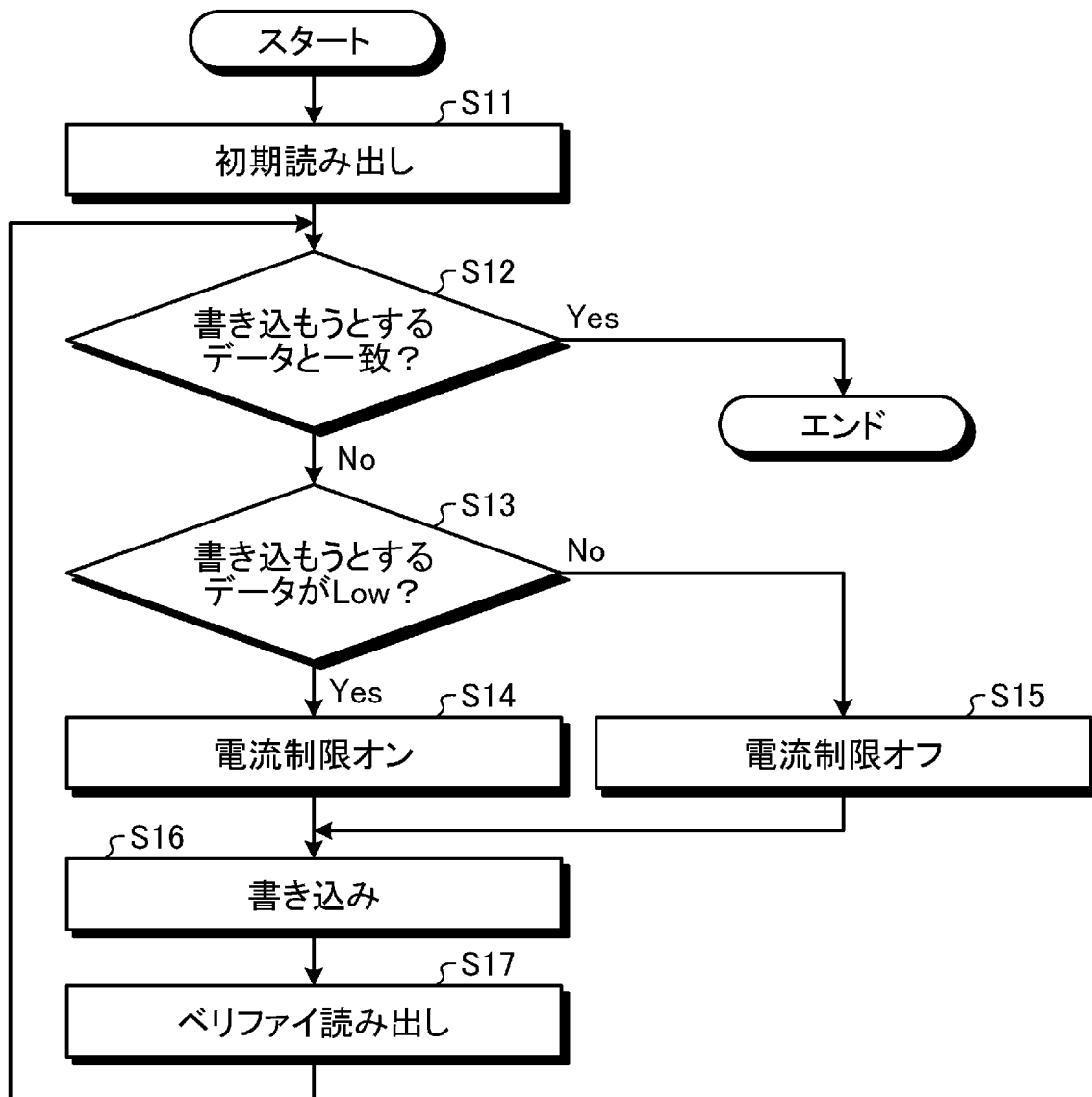
[図7]



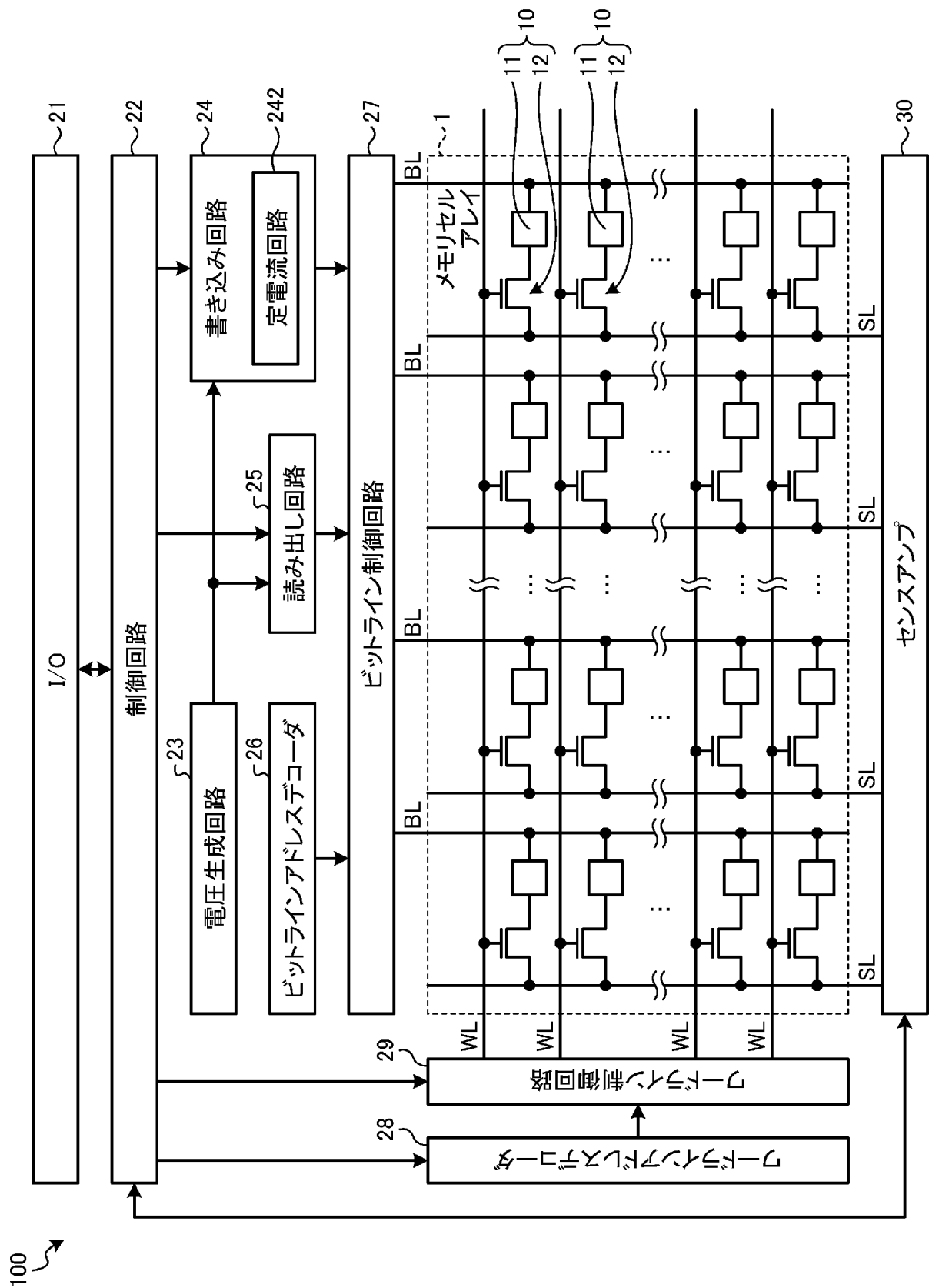
[図8]



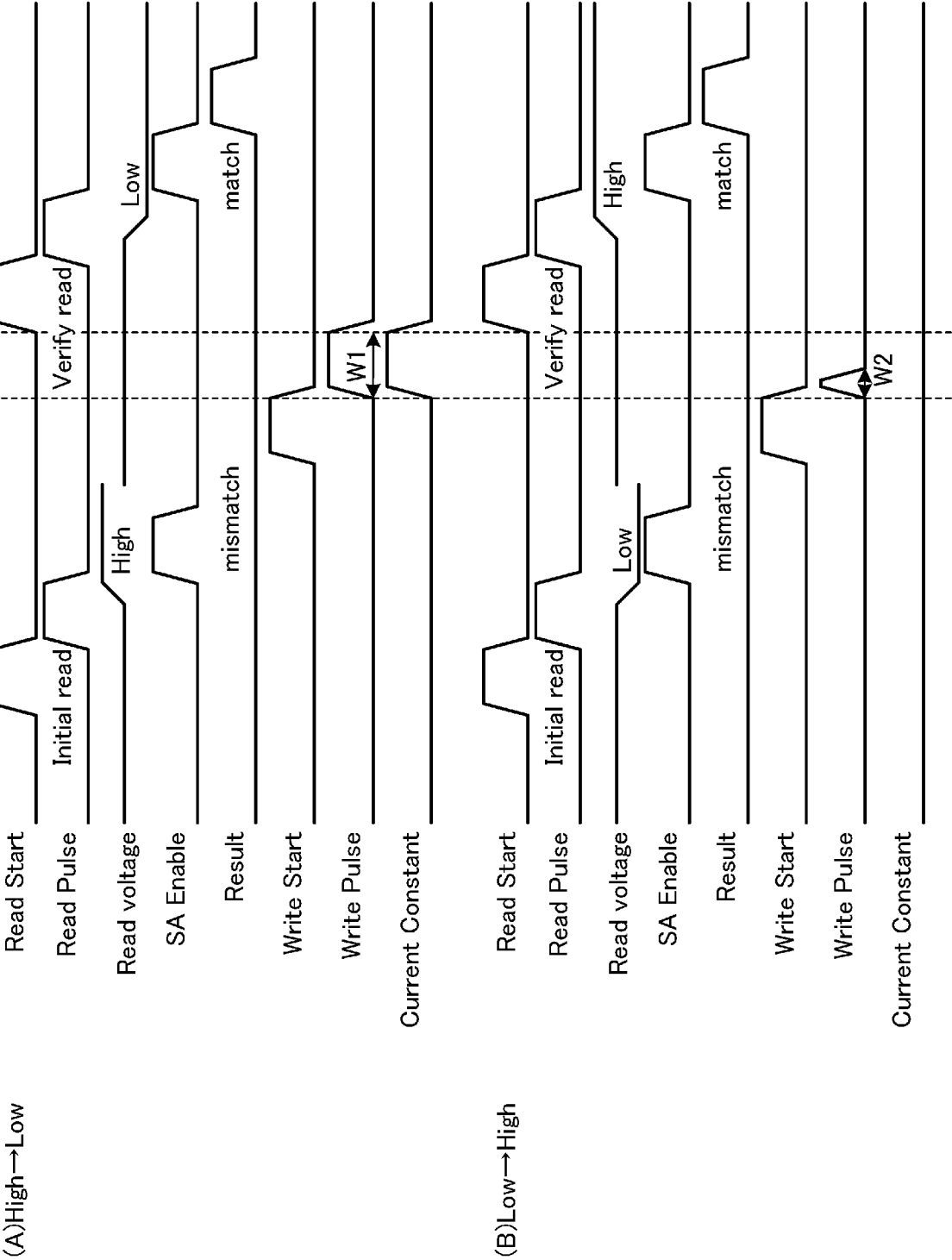
[図9]



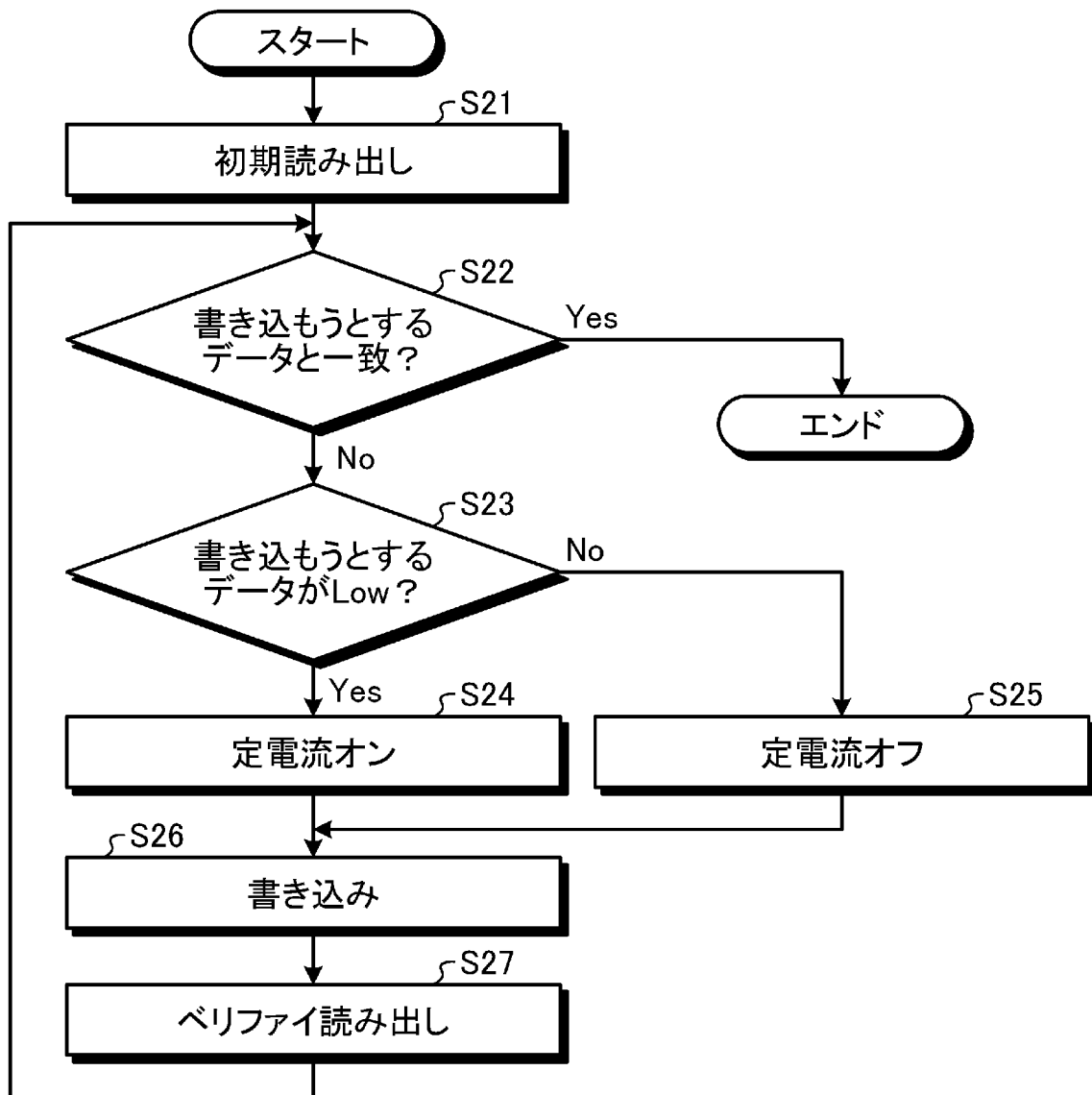
[図10]



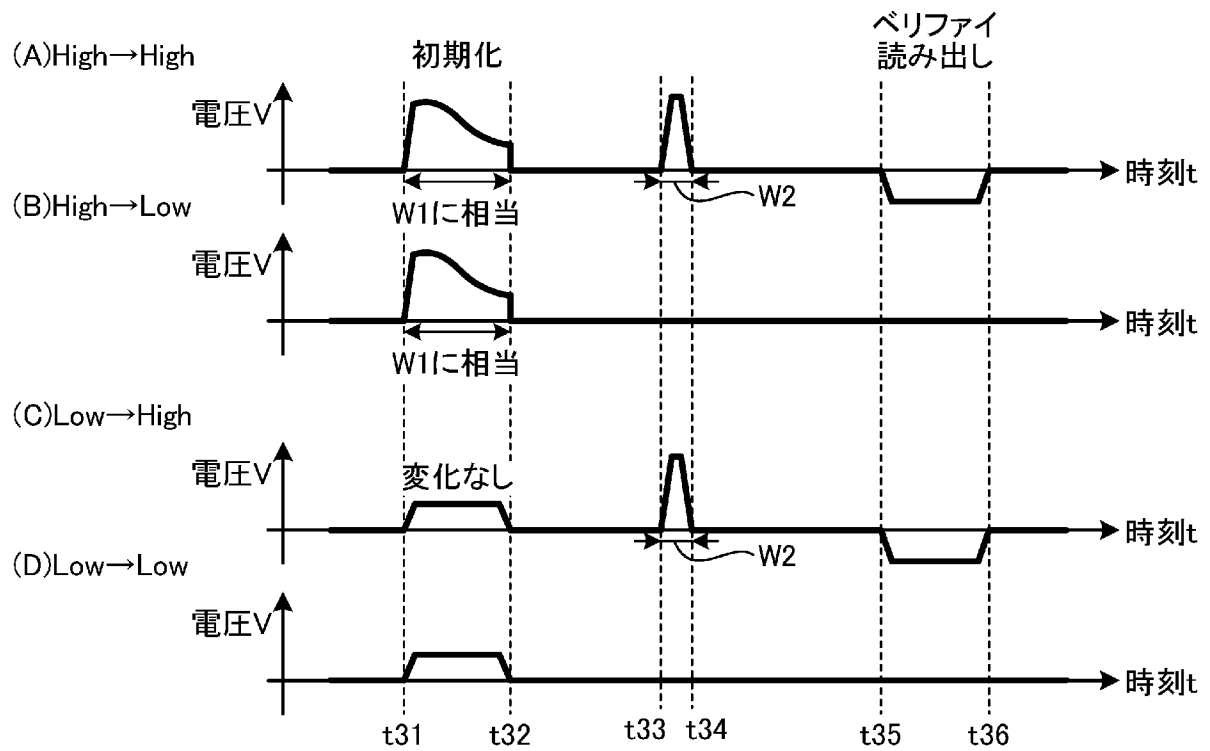
[図11]



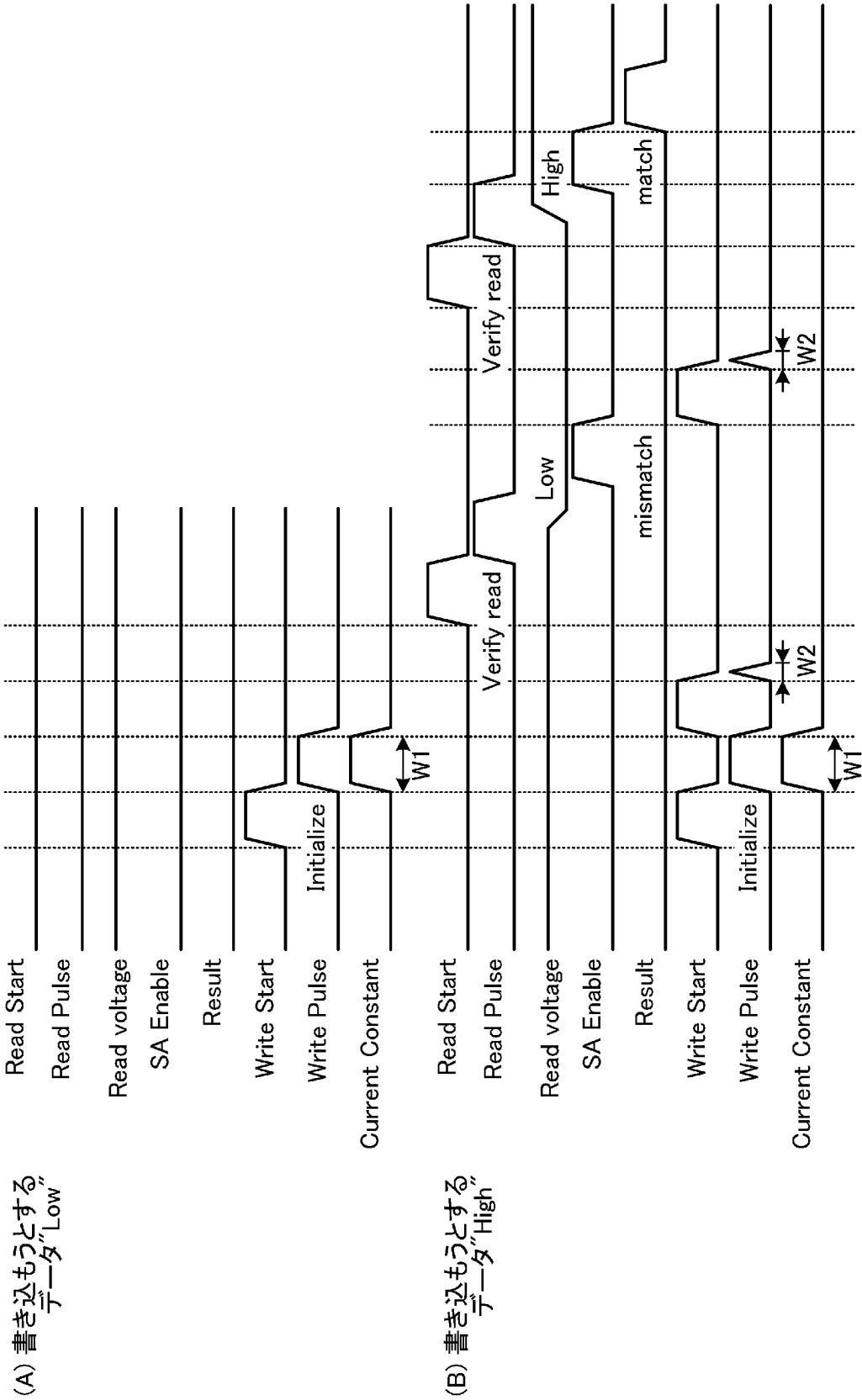
[図12]



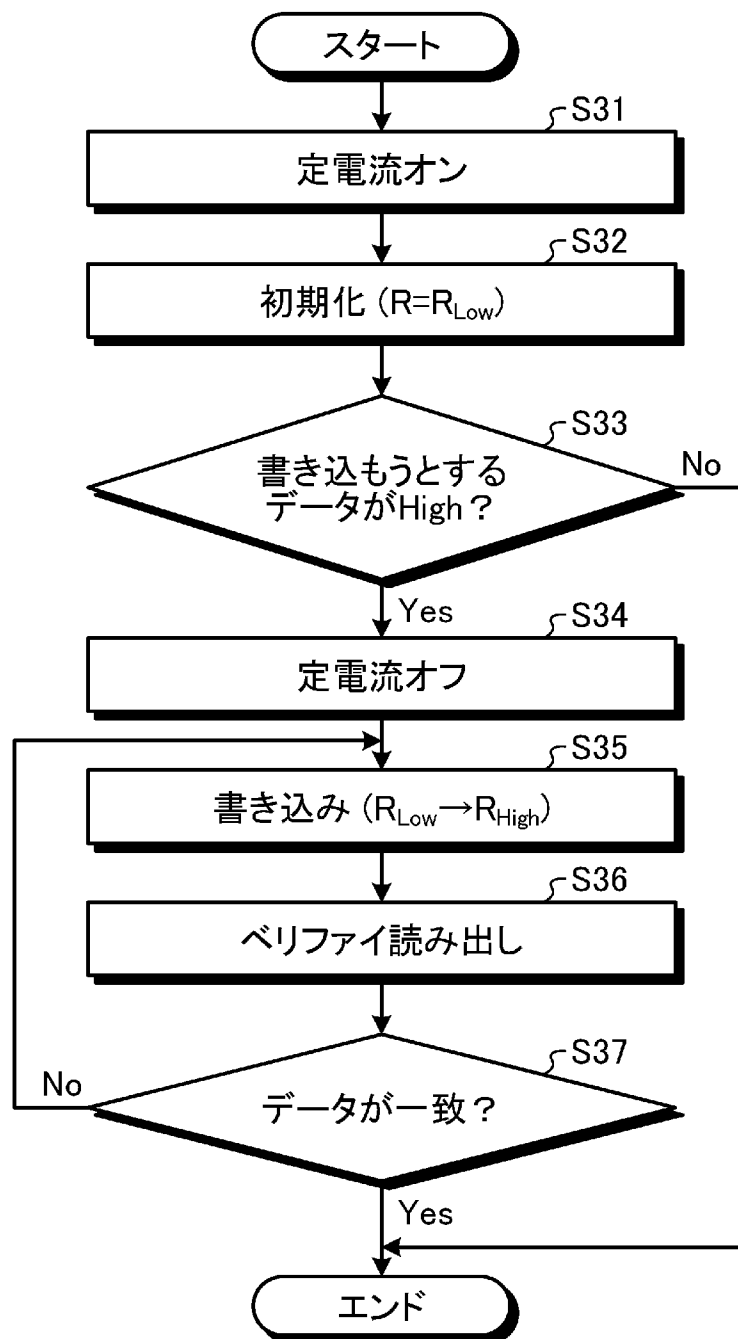
[図13]



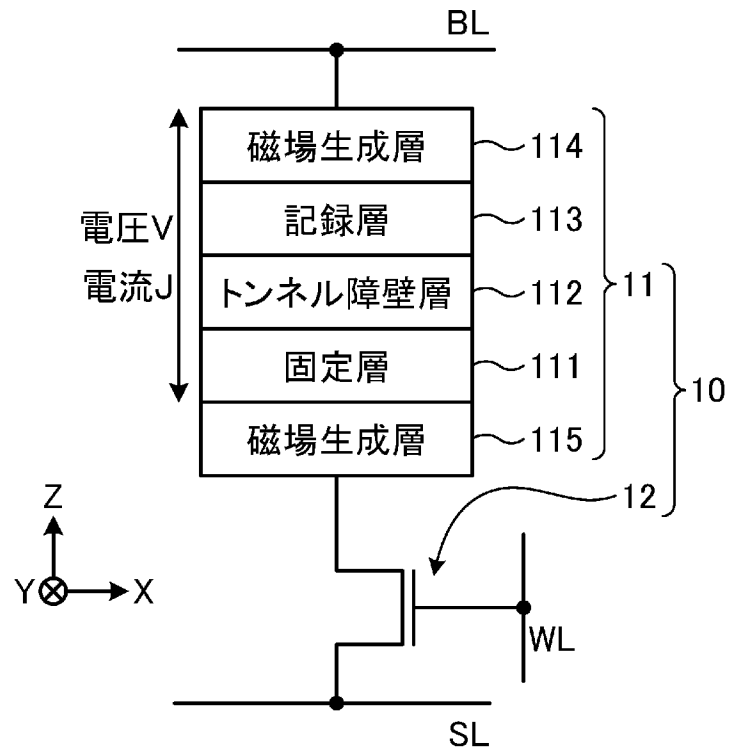
[図14]



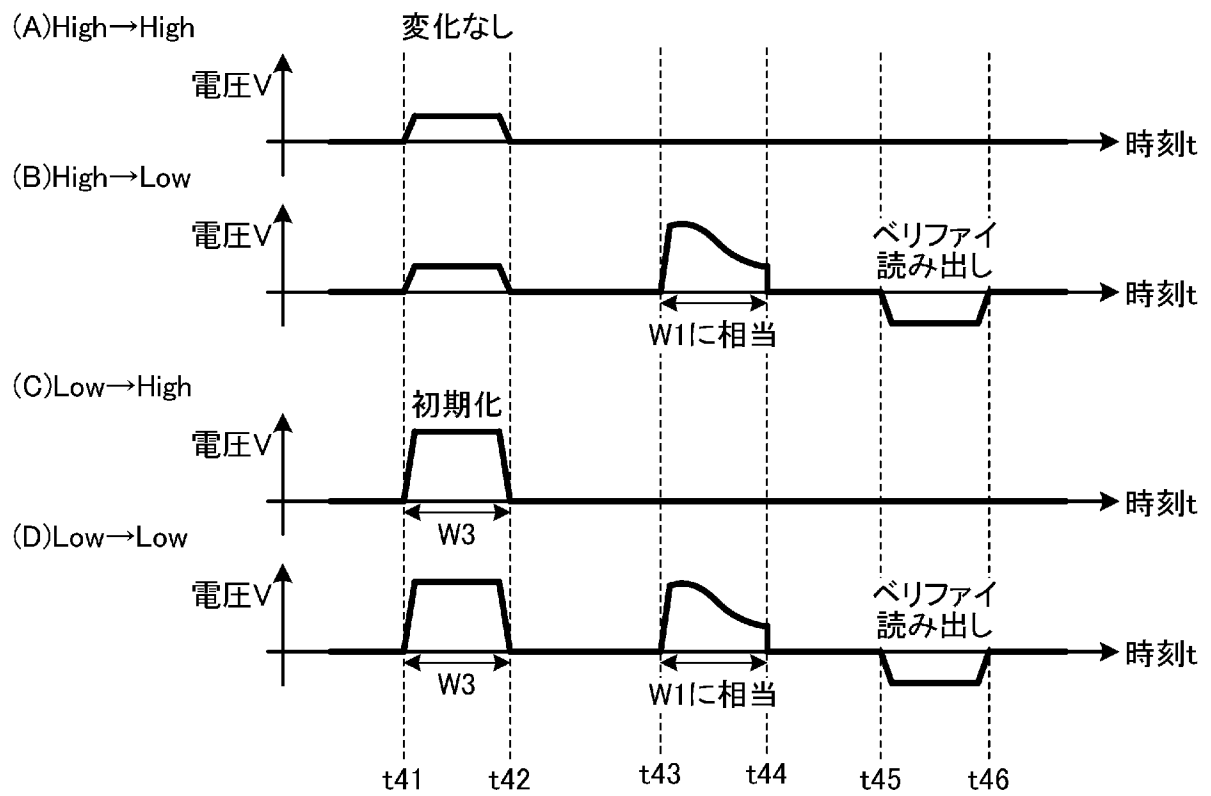
[図15]



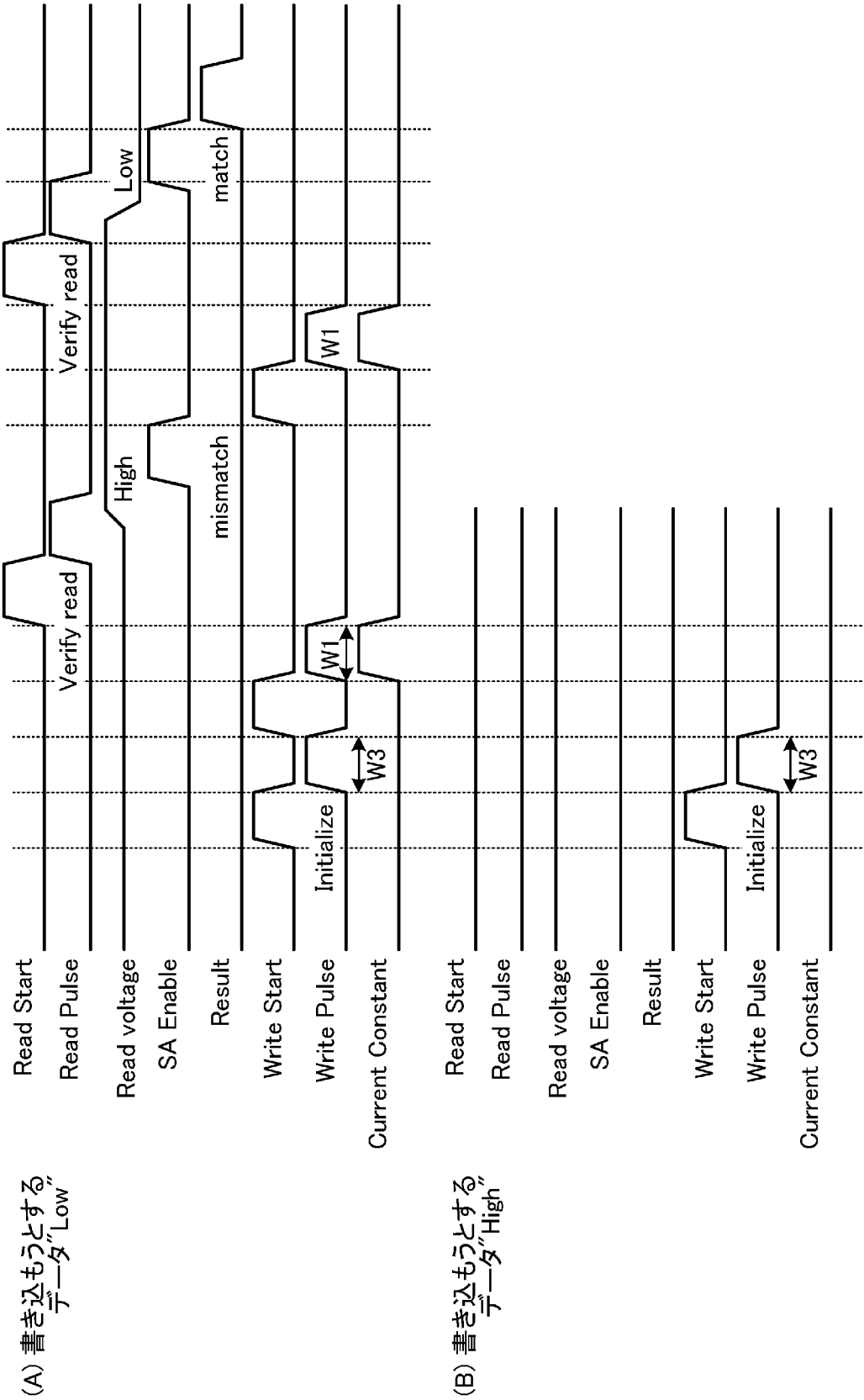
[図16]



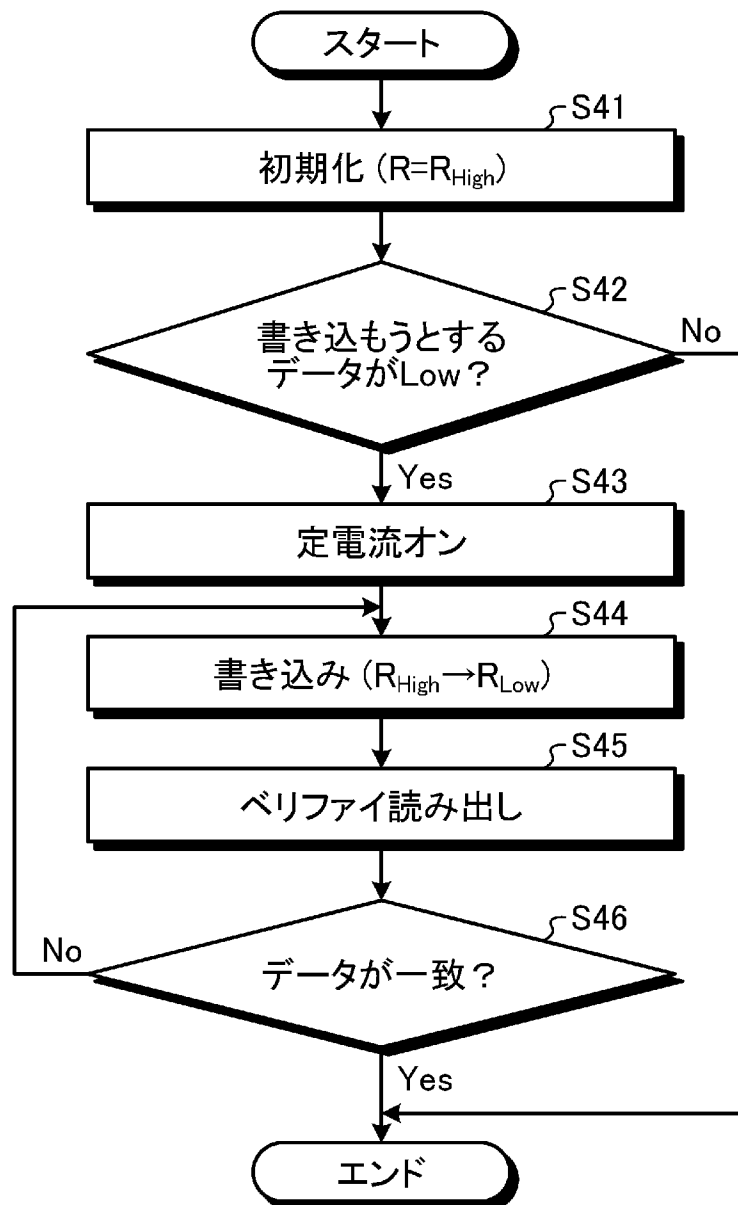
[図17]



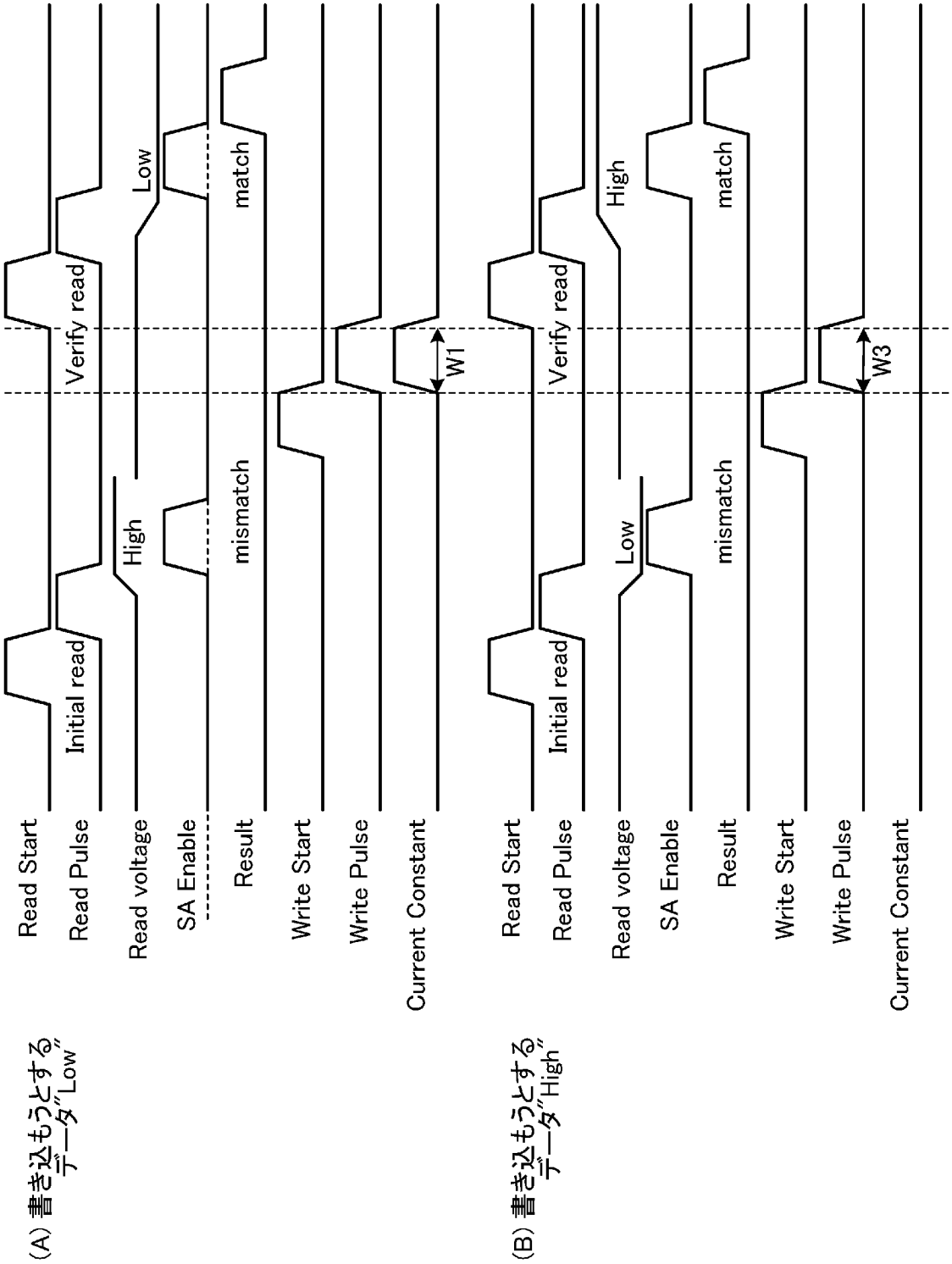
[図18]



[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/001497

A. CLASSIFICATION OF SUBJECT MATTER <i>G11C 11/16</i> (2006.01)i FI: G11C11/16 240; G11C11/16 250 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G11C11/16 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2019-21356 A (TOSHIBA CORP) 07 February 2019 (2019-02-07) paragraphs [0047]-[0174], fig. 3-11	1-10
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 20 March 2023		Date of mailing of the international search report 28 March 2023
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2023/001497

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2019-21356	A	07 February 2019	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） G11C 11/16(2006.01)i FI: G11C11/16 240; G11C11/16 250										
B. 調査を行った分野										
調査を行った最小限資料（国際特許分類（IPC）） G11C11/16										
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年
日本国実用新案公報	1922 - 1996年									
日本国公開実用新案公報	1971 - 2023年									
日本国実用新案登録公報	1996 - 2023年									
日本国登録実用新案公報	1994 - 2023年									
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
A	JP 2019-21356 A（株式会社東芝）07.02.2019（2019-02-07） 段落[0047]-[0174]、図3-11	1-10								
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
<table border="0"> <tr> <td> * 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 </td> <td> “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献 </td> </tr> </table>			* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献						
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献									
国際調査を完了した日 20.03.2023	国際調査報告の発送日 28.03.2023									
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 後藤 彰 5S 4226 電話番号 03-3581-1101 内線 3546									

国際出願番号
PCT/JP2023/001497

引用文献	公表日	パテントファミリー文献	公表日
JP 2019-21356 A	07.02.2019	(ファミリーなし)	