



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0123322
(43) 공개일자 2016년10월25일

(51) 국제특허분류(Int. Cl.)
H01L 23/498 (2006.01) *H01L 21/48* (2006.01)
H01L 23/13 (2006.01) *H05K 1/03* (2006.01)
H05K 1/11 (2006.01) *H05K 1/16* (2006.01)
H05K 1/18 (2006.01) *H05K 3/40* (2006.01)

(52) CPC특허분류
H01L 23/49827 (2013.01)
H01L 21/4853 (2013.01)
(21) 출원번호 10-2016-7024477
(22) 출원일자(국제) 2015년02월06일
심사청구일자 없음
(85) 번역문제출일자 2016년09월05일
(86) 국제출원번호 PCT/US2015/014895
(87) 국제공개번호 WO 2015/126640
국제공개일자 2015년08월27일

(30) 우선권주장
61/941,308 2014년02월18일 미국(US)
14/200,684 2014년03월07일 미국(US)

(71) 출원인
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775

(72) 발명자
베레츠, 마리오 프란시스코
미국 92121 캘리포니아 샌 디에고 모어하우스 드라이브 5775
김, 대익 다니엘
미국 92121 캘리포니아 샌 디에고 모어하우스 드라이브 5775
(뒷면에 계속)
(74) 대리인
특허법인 남앤드남

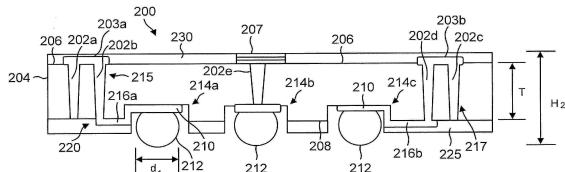
전체 청구항 수 : 총 27 항

(54) 발명의 명칭 패시브 디바이스를 갖는 로우-프로파일 패키지

(57) 요 약

대응하는 상호접속부들을 수용하는 복수의 리세스들을 포함하는 로우-프로파일 패시브-온-패키지가 제공된다. 리세스들 내의 상호접속부들의 수용 때문에, 패시브-온-패키지는, 기판에 대한 두께와 상호접속부 높이 또는 직경의 합보다 작은 높이를 갖는다.

대 표 도 - 도2



(52) CPC특허분류

H01L 21/486 (2013.01)

H01L 23/13 (2013.01)

H01L 23/49811 (2013.01)

H01L 23/49894 (2013.01)

H05K 1/0306 (2013.01)

H05K 1/115 (2013.01)

H05K 1/165 (2013.01)

H05K 1/182 (2013.01)

H05K 3/4038 (2013.01)

(72) 발명자

송, 영 규

미국 92121 캘리포니아 샌 디에고 모어하우스 드라

이브 5775

장, 시아오난

미국 92121 캘리포니아 샌 디에고 모어하우스 드라

이브 5775

김, 종해

미국 92121 캘리포니아 샌 디에고 모어하우스 드라

이브 5775

윤, 창한 호비

미국 92121 캘리포니아 샌 디에고 모어하우스 드라
이브 5775

주오, 챕지

미국 92121 캘리포니아 샌 디에고 모어하우스 드라
이브 5775

명세서

청구범위

청구항 1

디바이스로서,

기판;

상기 기판의 제 1 표면 상의 제 1 리세스;

상기 기판을 통과하여 연장되고 상기 기판의 두께와 실질적으로 동일한 길이를 갖는 복수의 제 1 관통-기판 비아들;

제 1 상호접속부 -상기 제 1 상호접속부는 상기 제 1 리세스에 의해 수용됨-;

상기 기판의 상기 제 1 표면 상의 제 2 리세스;

상기 제 2 리세스로부터 상기 기판을 통과하여 연장되고 상기 제 2 리세스의 깊이만큼 짧아지는 기판의 두께와 실질적으로 동일한 길이를 갖는 제 2 관통-기판 비아;

상기 기판의 상기 제 1 표면 상의 재배선 총 -상기 재배선 총은 상기 제 1 관통-기판 비아들 중 대응하는 비아에 상기 제 1 상호접속부를 전기적으로 결합시키도록 구성됨-; 및

상기 기판의 반대쪽 제 2 표면에 인접한 캐패시터를 포함하고,

상기 제 2 관통-기판 비아는 상기 캐패시터에 전기적으로 결합되는, 디바이스.

청구항 2

제 1 항에 있어서,

임베딩된 인덕터를 더 포함하고,

상기 임베딩된 인덕터는 상기 제 1 관통-기판 비아들 중 적어도 2개를 포함하는, 디바이스.

청구항 3

제 2 항에 있어서,

상기 임베딩된 인덕터는 복수의 임베딩된 인덕터들을 포함하는, 디바이스.

청구항 4

제 3 항에 있어서,

각각의 임베딩된 인덕터는, 상기 기판의 상기 반대쪽 제 2 표면에 인접한 도체를 통해 함께 전기적으로 결합되는 2개의 제 1 관통-기판 비아들을 포함하는, 디바이스.

청구항 5

제 1 항에 있어서,

상기 기판은 유리 기판을 포함하고, 상기 제 1 상호접속부는 솔더 볼을 포함하는, 디바이스.

청구항 6

제 1 항에 있어서,

상기 기판은 반도체 기판을 포함하고, 상기 제 1 상호접속부는 금속 기둥(pillar)을 포함하는, 디바이스.

청구항 7

제 1 항에 있어서,

상기 기판은 유기 기판을 포함하고, 상기 제 1 상호접속부는 솔더 볼을 포함하는, 디바이스.

청구항 8

제 1 항에 있어서,

상기 기판의 상기 제 1 표면 상의 제 3 리세스; 및

상기 제 3 리세스에 의해 수용되는 제 2 상호접속부를 더 포함하고,

상기 제 1 상호접속부 및 제 2 상호접속부는 대응하는 제 1 솔더 볼 및 제 2 솔더 볼을 포함하고, 상기 제 2 솔더 볼은 상기 디바이스를 회로 보드에 고정시키는 것에 대하여 기계적 기능만을 갖는, 디바이스.

청구항 9

방법으로서,

기판의 제 1 표면 상에 제 1 리세스를 형성하는 단계;

상기 기판을 통과하여 연장되고 상기 기판의 두께와 실질적으로 동일한 길이를 갖는 복수의 제 1 관통-기판 비아들을 형성하는 단계;

상기 기판의 상기 제 1 표면 상에 제 2 리세스를 형성하는 단계;

상기 제 2 리세스로부터 상기 기판을 통과하여 연장되고 상기 제 2 리세스의 깊이만큼 짧아진 상기 기판의 두께와 실질적으로 동일한 길이를 갖는 제 2 관통-기판 비아를 형성하는 단계;

상기 기판의 상기 제 1 표면에 인접하게 재배선 층을 형성하는 단계;

상기 제 1 리세스 안으로 제 1 상호접속부를 결합시키는 단계 –상기 재배선 층을 형성하는 단계는 상기 제 1 상호접속부를 상기 제 1 관통-기판 비아들 중 대응하는 비아에 결합시키는 도체를 형성함–; 및

상기 기판의 반대쪽 제 2 표면에 인접하게 캐패시터를 형성하는 단계를 포함하고,

상기 제 2 관통-기판 비아는 상기 캐패시터에 전기적으로 결합되는, 방법.

청구항 10

제 9 항에 있어서,

상기 재배선 층을 형성하는 단계는 상기 제 1 표면 상에 금속층을 패터닝하는 단계를 포함하는, 방법.

청구항 11

제 10 항에 있어서,

상기 금속층을 패터닝하는 단계는 상기 제 1 리세스 내에 패드를 패터닝하는 단계를 더 포함하는, 방법.

청구항 12

제 11 항에 있어서,

상기 금속층을 패터닝하는 단계는 구리 금속 층을 패터닝하는 단계를 포함하는, 방법.

청구항 13

제 9 항에 있어서,

상기 제 2 리세스를 형성하는 단계는 복수의 제 2 리세스들을 형성하는 단계를 포함하고, 상기 제 2 관통-기판 비아를 형성하는 단계는 상기 복수의 제 2 리세스들에 대응하는 복수의 제 2 관통-기판 비아들을 형성하는 단계를 포함하고, 각각의 제 2 관통-기판 비아는 상기 대응하는 제 2 리세스로부터 상기 기판을 통과하여 연장되는, 방법.

청구항 14

제 9 항에 있어서,

상기 기판의 상기 제 1 표면 상에 그리고 상기 기판의 상기 반대쪽 제 2 표면 상에 패시베이션 층을 층착하는 단계를 더 포함하는, 방법.

청구항 15

제 9 항에 있어서,

리세스들을 형성하는 단계는 유리 기판의 제 1 면을 에칭하는 단계를 포함하는, 방법.

청구항 16

제 9 항에 있어서,

상기 제 1 상호접속부를 상기 제 1 리세스에 결합시키는 단계는 솔더 볼을 상기 제 1 리세스에 적하하는 단계를 포함하는, 방법.

청구항 17

디바이스로서,

기판;

상기 기판을 통과하여 연장되고 상기 기판의 두께와 실질적으로 동일한 길이를 갖는 복수의 제 1 관통-기판 비아들;

한 쌍의 상기 복수의 제 1 관통-기판 비아들로부터 형성된 임베딩된 인더터;

상기 기판의 제 1 표면 상의 제 1 리세스;

상기 기판의 상기 제 1 표면 상의 제 2 리세스;

상기 제 2 리세스로부터 상기 기판을 통과하여 연장되고 그리고 상기 제 2 리세스의 깊이만큼 짧아지는 상기 기판의 두께와 실질적으로 동일한 길이를 갖는 제 2 관통-기판 비아;

상기 제 1 리세스에 의해 수용되는 제 1 상호접속부;

상기 제 2 리세스에 의해 수용되는 제 2 상호접속부;

상기 제 1 상호접속부를 상기 임베딩된 인더터에 전기적으로 결합시키기 위한 수단; 및

상기 기판의 반대쪽 제 2 표면에 인접한 캐패시터를 포함하고,

상기 제 2 관통 기판 비아는 상기 캐패시터를 상기 제 2 상호접속부에 전기적으로 결합시키는, 디바이스.

청구항 18

제 17 항에 있어서,

상기 제 1 상호접속부 및 상기 제 2 상호접속부는 솔더 볼들을 포함하는, 디바이스.

청구항 19

제 17 항에 있어서,

상기 기판은 적어도 100 마이크론의 두께를 갖는 유리 기판을 포함하는, 디바이스.

청구항 20

제 17 항에 있어서,

유리 기판은 적어도 150 마이크론의 두께를 갖는, 디바이스.

청구항 21

제 17 항에 있어서,

상기 수단은 적어도 하나의 패터닝된 금속 층을 포함하는, 디바이스.

청구항 22

패키지로서,

기판의 반대쪽 제 2 표면으로부터 기판 두께만큼 분리되는 제 1 면을 갖는 기판;

상기 기판의 상기 제 1 면 상의 복수의 리세스들;

상기 복수의 리세스들에 대응하는 복수의 솔더 볼들 –각각의 솔더 볼은 솔더 볼 직경을 가지며 각각의 리세스는 상기 대응하는 솔더 볼을 수용하여, 상기 패키지에 대한 패키지 높이가 상기 기판 두께 및 상기 솔더 볼 직경의 합보다 작음–;

상기 제 1 면으로부터 연장되고, 상기 기판 두께와 실질적으로 동일한 길이를 각각 갖는 복수의 제 1 관통-기판 비아들

상기 복수의 리세스들 중 하나로부터 상기 기판을 관통하여 연장되고 그리고 제 2 리세스의 깊이만큼 짙아지는 상기 기판 두께와 실질적으로 동일한 길이를 갖는 제 2 관통-기판 비아;

상기 솔더 볼들 중 특정 솔더 볼들을 상기 제 1 관통-기판 비아들 중 대응하는 비아들에 전기적으로 결합시키도록 구성되는 재배선 층; 및

상기 기판의 상기 반대쪽 제 2 면에 인접한 캐패시터를 포함하고,

상기 제 2 관통-기판 비아는 상기 캐패시터에 전기적으로 결합되는, 패키지.

청구항 23

제 22 항에 있어서,

상기 패키지는 셀폰, 랩탑, 태블릿, 음악 플레이어, 통신 디바이스, 컴퓨터, 및 비디오 플레이어 중 적어도 하나에 포함되는, 패키지.

청구항 24

제 22 항에 있어서,

상기 기판은 유리 기판인, 패키지.

청구항 25

제 22 항에 있어서,

임베딩된 인덕터를 더 포함하고,

상기 임베딩된 인덕터는 한 쌍의 상기 제 1 관통-기판 비아들을 포함하는, 패키지.

청구항 26

제 22 항에 있어서,

상기 기판은 반도체 기판인, 패키지.

청구항 27

제 2 항에 있어서,

상기 기판의 상기 제 1 표면 상의 제 3 리세스; 및

상기 제 3 리세스에 의해 수용되는 제 2 상호접속부를 더 포함하고,

상기 재배선 층은, 상기 제 1 상호접속부를 상기 인덕터를 형성하는 상기 제 1 관통-기판 비아들 중 적어도 2개 중 하나에 전기적으로 결합시키고 그리고 상기 제 2 상호접속부를 상기 인덕터를 형성하는 상기 제 1 관통-기판 비아들 중 적어도 2개 중 다른 하나에 전기적으로 결합시키도록 구성되는, 디바이스.

발명의 설명

기술 분야

[0001]

관련 출원들의 교차 참조

[0002]

[0001] 본 출원은, 2014년 2월 18일에 출원된 미국 가특허 출원 시리얼 넘버 제61/941,308호의 출원일을 우선권으로 주장하고, 2014년 3월 7일에 출원된 미국 특허 출원 시리얼 넘버 제 14/200,684호의 출원일을 우선권으로 주장하며, 상기 출원 둘 모두는 그 전체가 인용에 의해 본원에 포함된다.

[0003]

[0002] 본 출원은 집적 회로 패키지 기판들에 관한 것으로, 보다 구체적으로, 패시브 디바이스를 구비한 로우-프로파일(low-profile) 패키지에 관한 것이다.

배경 기술

[0004]

[0003] POG(passive-on-glass) 패키지에서, 인덕터들 및 커패시터들과 같은 패시브 컴포넌트들이 유리 기판에 통합된다. 이후, PoG 패키지는 무선 주파수(RF) 프린트 엔드와 같은 완전한 작업 디바이스를 형성하기 위해 반도체 패키지들과 함께 회로 기판에 결합될 수 있다. 회로 기판에 대한 별개의 패시브 디바이스들의 종래의 결합과 비교하여, PoG 패키지의 사용은 훨씬 더 컴팩트하다. 이외에도, PoG 패키지는 전자 시스템용 활성 디바이스들을 포함하는 다이들에 패시브 디바이스들을 통합시키는 것보다 더 저렴한데, 이는 유리 기판들이 결정질 반도체 기판들에 비해 상대적으로 더 저렴하기 때문이다.

[0005]

[0004] 이와 같이, POG 패키지가 전자 시스템에 패시브 컴포넌트들을 제공하기 위한 매력적인 대안이지만, PoG 설계는 다수의 과제들에 직면해 있다. 특히, 모바일 디바이스들에 포함되는 전자장치의 크기들을 감소시킬 필요성이 계속해서 증가하고 있다. 사용자가 보다 컴팩트한 디바이스들을 요구함에 따라, 디바이스들 내에 포함된 전자장치는 그에 따라 크기를 수축시켜야 한다. PoG 패키지를 위해 수축시켜야 할 치수들 중 하나는 하부 회로 기판에 대한 그 높이이다. PoG 패키지 높이를 감소시키는 간단한 방법은 그 유리 기판의 두께를 감소시키는 것이다. 그러나 유리는 본질적으로 취성(brITTLE)이다. 따라서, 유리 기판의 두께가 150 또는 100 마이크론 미만과 같이 과도하게 감소될 경우 유리 기판에 크랙이 발생하기 쉽다. 이러한 기판들이 또한 취성이며, 지나치게 얇은 경우 너무 부서지기 쉽기 때문에 패시브 컴포넌트들이 대신에 반도체 기판에 통합되더라도 문제가 없어지는 것은 아니다. 패시브 컴포넌트들을 지지하기 위해 사용되는 기판의 타입과 관계없이 문제들은 대부분 동일하기 때문에, 용어 "패시브-온-패키지"는 유리, 반도체, 또는 유기 기판 상에 통합되는 패시브 컴포넌트들을 포함하는 패키지를 나타내는 데 사용된다.

[0006]

[0005] 유리 기판의 두께를 감소시키는 다른 문제점은 유리 기판 내에 관통-기판 비아들에 의해 형성되는 임베딩된 인덕터들에 대한 인덕턴스이다. 각각의 임베딩된 인덕터에 대한 코일 또는 루프가 한 쌍(또는 그 이상 쌍)의 관통-기판 비아들에 의해 형성된다. 예를 들어, 임베딩된 인덕터 내의 제 1 관통-기판 비아가, 기판의 제 1 표면으로부터 기판에 대한 반대쪽 제 2 표면 상에 형성되는 리드 또는 도체까지 연장될 수 있다. 도체는 또한, 제 2 표면으로부터 제 1 표면으로 다시 연장되는, 임베딩된 인덕터 내의 제 2 관통-기판 비아에 결합된다. 이와 같이, 제 1 표면으로부터 제 1 관통-기판 비아 안으로 진입하는 전류가 제 2 표면 상의 도체를 통해 흘러 제 2 관통-기판 비아 내의 제 1 표면까지 다시 아래로 루프할 것이다. 이 전류 루프는 결과적으로 발생되는 임베딩된 인덕터에 인덕턴스를 제공한다. 인덕턴스는 (다른 요인들 중에서도) 전류 루프에 의해 에워싸이게 되는 면적에 의존한다. 관통-기판 비아 길이들이 기판을 얇게 하는 만큼 감소되는 경우, 임베딩된 인덕터에 대한 결과적인 인덕턴스도 줄어들 것이다. 기판에 대한 두께가 감소됨에 따라, 이러한 감소된 두께의 기판을 통과하는 관통-기판 비아들의 높이의 길이도 물로 그에 따라 감소된다. 예를 들어, 두께가 200 마이크론인 기판은, 이러한 두께를 통해 연장되고, 따라서 200 마이크론의 대응하는 길이를 갖는 관통-기판 비아들을 가질 수 있다. 하지만, 기판이 단지 100 마이크론의 두께라면, 관통-기판 비아들은 단지 100 마이크론의 길이를 가질 것이다. PoG 패키지에 대한 패키지 높이를 감소시키는 것은 이와 같이 그의 인덕터들에 대한 인덕턴스들을 감소시키는 경향이 있을 것이다. 따라서, 필수 인덕턴스 또한 PoG 패키지 높이들을 감소시키는 장벽이다.

[0007]

[0006] 솔더 볼들 또는 패시브-온-패키지를 하부 회로 보드에 결합시키는 상호접속부들의 다른 타입들은 패시브

-온-패키지 높이 감소를 제한하는 다른 팩터이다. 패시브-온-패키지 설계에 있어서의 이러한 과제들을 더 잘 예시하기 위해서, 종래의 패시브-온-패키지(100)가 도 1에 도시된다. 패키지(100)는, 기판(104)에 대한 두께(T)뿐만 아니라 복수의 솔더 볼들(112) 각각에 대한 직경(d_1)에 의존하는 하부 회로 보드(미도시)에 관한 두께 또는 높이(H_1)를 갖는다. 기판(104)은 기판(104)의 보드-대향쪽 표면(108)로부터 반대쪽 표면(106)에 결합하는 복수의 관통-기판 비아들(102)을 포함한다. 비아들(102)은 임베딩된 인더터(103)와 같은 3차원 패시브 구조들을 형성할 수 있다. 상술한 바와 같이, 기판(104)에 대한 두께(T)가 감소됨에 따라, 임베딩된 인더터(103)에 대한 인더턴스가 감소한다. 솔더 볼들(112)이 표면(108) 상의 대응하는 패드들(110)에 결합한다. 솔더 볼들(112)이 표면(108) 상의 패드들(110)으로부터 프로젝트되기 때문에, 솔더 볼들(112)의 직경(d_1)이 감소됨에 따라, 패키지(100)에 대한 높이(H_1)가 그에 따라 감소될 것이라는 것을 즉시 인식할 수 있다. 그러나, 솔더 볼들(112)은, 직경(d_1)이 과도하게 감소되면 크랙이 발생하기 쉽다. 특히, 종래의 납-함유 솔더의 사용에 의해 제기되는 환경 문제들로 인해 현재 시스템들에서는 무연 솔더가 요구된다. 그러나, 무연 솔더는 통상적으로 종래의 솔더보다 더 취성성이므로, 그의 사용은 솔더 볼들(112)에 대해 특정한 최소 직경을 요구한다. 기판(104)의 두께(T) 및 솔더 볼들(112)에 대한 직경(d_1) 둘 모두는 따라서, 강도 및 보드 레벨 신뢰도(BLR; board level reliability)뿐만 아니라 인더터(103)에 대한 필수 인더턴스를 희생시키지 않고 과도하게 감소될 수 없다. 이와 같이, 높이(H_1)는 종래의 패시브-온-패키지들에 대한 이러한 최소 값들을 만족해야 한다. 이 최소 높이 요건은 패키지(100)를 포함하는 시스템들의 결과적인 밀도를 감소시킨다.

[0008] [0007] 따라서, 패시브 디바이스들을 갖는 더욱 콤팩트한 패키지 설계들의 필요성이 본 기술에 존재한다.

발명의 내용

[0009] 패시브 디바이스 포함하는 로우-프로파일 패키지 기판을 제공하기 위해서, 기판의 제 1 면은 복수의 리세스들을 포함한다. 본원에서 사용되는 바와 같이, 패시브 디바이스를 포함하는 로우-프로파일 패키지 기판은 또한 패시브-온-패키지로 표기될 수 있다. 각각의 리세스는 대응하는 상호접속부, 이를 테면, 솔더 볼 또는 금 속 기둥을 수용한다. 기판의 제 1 면 상의 재배선 층이 적어도 상호접속부들의 서브셋에 전기적으로 결합된다. 기판은 복수의 관통-기판 비아들을 포함한다. 일 실시예에서, 한 쌍의 관통-기판 비아들이 임베딩된 인더터를 형성한다. 재배선 층은, 리세스들 중 제 1 리세스로부터 인더터를 형성하는 관통-기판 비아들 중 하나까지 연장되는 납 또는 도체를 포함할 수 있다. 이러한 방식으로, 제 1 리세스에 수용되는 상호접속부는 재배선 층 내 도체를 통해 임베딩된 인더터 내의 제 1 관통-기판 비아에 전기적으로 결합한다. 기판은 이러한 방식으로 재배선 층을 통해 대응하는 상호접속부들에 결합되는 관통-기판 비아들을 구비하는 부가적인 임베딩된 인더터들을 포함할 수 있다.

도면의 간단한 설명

[0010] [0009] 도 1은 종래의 패시브-온-패키지의 단면도이다.

[0010] [0010] 도 2는 본 개시물의 실시예에 따른 로우-프로파일 패시브-온-패키지의 단면도이다.

[0011] [0011] 도 3a는 본 개시물의 실시예에 따른 로우-프로파일 패시브-온-패키지의 단면도이다.

[0012] [0012] 도 3b는 도 3a의 로우-프로파일 패시브-온-패키지의 리세스 면의 평면도이다.

[0013] [0013] 도 4a는 관통-기판 비아들의 형성 이후의 기판의 단면도이다.

[0014] [0014] 도 4b는 기판의 다이-대향쪽 표면 상에 재배선 층을 그리고 재배선 층 상에 패시베이션 층을 증착한 이후의 도 4a의 기판의 단면도이다.

[0015] [0015] 도 4c는 기판의 보드-대향쪽 표면 상에 리세스를 형성한 이후의 도 4b의 기판의 단면도이다.

[0016] [0016] 도 4d는 기판의 보드-대향쪽 표면 상에 재배선 층을 그리고 재배선 층 위에 패시베이션 층을 증착한 이후의 도 4c의 기판의 단면도이다.

[0017] [0017] 도 4e는 로우-프로파일 패시브-온-패키지의 제조를 완료하기 위해서, 리세스들에 솔더 볼들을 배치한 이후의 도 4d의 기판의 단면도이다.

[0018] [0018] 도 5는 본 개시물의 실시예에 따른 제조 방법에 대한 흐름도이다.

[0019] 본 개시물의 실시예들 및 이들의 이점들은, 다음의 상세한 설명을 참고함으로써 가장 잘 이해된다. 동일한 도면 부호들은 하나 이상의 도면들에 도시된 동일한 엘리먼트들을 식별하는 데 사용된다는 것을 인식해야 한다.

발명을 실시하기 위한 구체적인 내용

[0011]

[0020] 복수의 리세스들을 갖는 제 1 면을 포함하는 로우-프로파일 패시브-온-패키지가 제공된다. 각각의 리세스는, 솔더 볼, 금속 기둥, 또는 금속 실린더와 같은 대응하는 상호접속부를 수용할 수 있다. 다음 설명은 솔더 볼 상호접속부 실시예에 관한 것일 수 있지만, 다른 적절한 타입들의 상호접속부들이 대안적인 실시예들에서 사용될 수 있다는 것을 인식할 것이다. 기판은 또한, 제 1 표면으로부터 기판의 반대쪽 제 2 표면까지 연장되는 복수의 관통 기판 비아들을 포함한다. 기판의 제 1 면 상의 재배선 층을 리세스들 내의 솔더 볼들 중 하나 또는 그 초과의 것들에 전기적으로 결합시킨다. 예를 들어, 재배선 층은 리세스에서 수용되는 솔더 볼들 중 대응하는 솔더 볼들에 결합되는 도체들 또는 리드들을 형성하는 패터닝된 금속층을 포함할 수 있다. 재배선 층 도체가 대응하는 솔더 볼들 사이에서 대응하는 관통-기판 비아의 단부에 결합한다. 재배선 층이 기판의 제 1 표면에 인접하기 때문에, 재배선 층 도체가 결합하는 관통-기판 비아의 단부는 또한 제 1 표면에 인접한다.

[0012]

[0021] 한 쌍(또는 그 이상의 쌍)의 관통 기판 비아들이 임베딩된 인덕터를 형성하기 위해서 기판의 제 2 표면 상의 도체를 통하여 서로 결합될 수 있다. 예를 들어, 재배선 층은 리세스들 중 제 1 리세스의 상호접속부로부터, 임베딩된 인덕터 내의 관통-기판 비아까지 연장되는 제 1 도체를 포함할 수 있다. 유사하게, 재배선 층은 리세스들 중 제 2 리세스의 상호접속부로부터, 임베딩된 인덕터 내의 다른 관통-기판 비아까지 연장되는 제 2 도체를 포함할 수 있다. 이와 같이, 제 1 리세스 내의 상호접속부는, 임베딩된 인덕터를 통해 제 2 리세스 내의 상호접속부에 전기적으로 결합된다. 이러한 방식으로, 제 1 리세스 내의 솔더 볼과 같은 상호접속부로부터 공급된 전류가, 임베딩된 인덕터를 통해, 예를 들어, 제 2 리세스 내의 솔더 볼로 전도된다. 이는, 관통-기판 비아들이 기판에 대한 제 1 면으로부터 반대쪽 제 2 면까지 연장된다는 점에서 임베딩된 관통-기판 비아들 각각이 상대적으로 길어짐에 따라, 임베딩된 인덕터가 상대적으로 강인한 인덕턴스를 가질 수 있기 때문에 매우 유리하다. 또한, 솔더 볼들이 리세스들 내에 수용되어 있기 때문에, 결과적으로 발생된 패시브-온-패키지는 유리하게도 로우-프로파일을 갖는다. 대응하는 리세스 내에 수용되는 각각의 솔더 볼의 부분이 패키지 높이에 기여하지 않는다.

[0013]

[0022] 이외에도, 기판은, 리세스들 중 대응하는 리세스들로부터 기판의 반대쪽 제 2 표면까지 연장되는 관통-기판 비아들을 포함할 수 있다. 다양한 관통-기판 비아들 간의 구분을 위해서, 기판의 제 1 면으로부터 반대쪽 제 2 면까지 연장되는 관통-기판 비아는 제 1 관통-기판 비아로서 본원에 나타내어진다. 대조적으로, 리세스로부터 기판의 반대쪽 제 2 면까지 연장되는 관통-기판 비아는 또한 제 2 관통-기판 비아로서 본원에 나타내어진다. 제 2 관통-기판 비아는, 제 1 관통-기판 비아보다 대응하는 리세스의 깊이 만큼 더 얕다. 이 감소된 길이는, 캐패시터에 결합하는 제 2 관통-기판 비아의 감소된 길이가 제 1 관통 기판 비아로부터의 결합에 비해 더 적은 기생 저항과 인덕턴스를 갖기 때문에, MIM(metal-insulator-metal) 캐패시터와 같이 기판의 제 2 표면 상에 통합되는 캐패시터를 구동할 경우에 유리하다. 이는, 기판이 상대적으로 두꺼우므로, 파손과 휨에 강인할 수 있고 증가된 인덕턴스를 임베딩된 인덕터들에 제공하는 상대적으로 긴 제 1 관통-기판 비아들을 지지할 수 있고, 또한 동일한 기판이, 감소된 기생 저항과 인덕턴스를 갖는 통합된 캐패시터들을 구동할 수 있는 제 2 관통-기판 비아들을 지지하기 때문에 매우 유리하다.

[0014]

[0023] 기판 리세스들 내의 솔더 볼들과 같은 상호접속부들의 수용을 감안할 때, 기판을 과도하게 얇게 할 필요가 없고, 솔더 볼들은 또한 크랙이 발생하는 것을 방지하기 위해 충분히 강인한 직경을 가질 수 있지만, 결과적으로 발생된 패시브-온-패키지는, 솔더 볼들이 블라인드 비아들 또는 리세스들 내에 수용되기 때문에 감소된 두께 또는 높이를 갖는다. 기판이 과도하게 얇을 필요가 없기 때문에, 기판은, 파손 및 휨에 강인하도록 충분히 두꺼운 두께를 가질 수 있다. 이외에도, 기판을 통하여 확장되는 한 쌍의 관통-기판 비아들을 이용하여 형성되는 임베딩된 인덕터들은, 결과적으로 발생되는 패시브-온-패키지가 솔더-볼-수용 리세스들로 인해 감소된 높이를 갖지만, 상대적으로 강인한 기판 두께로 인해 유익하다는 것을 주목한다. 앞서 논의된 바와 같이, 인덕터의 인덕턴스는 인덕터를 형성하는 권선 또는 코일에 의해 인클로징되는 루프 면적의 함수이다. 본원에 개시된 임베딩된 인덕터들과 관련하여, 인덕터 코일은 한 쌍(또는 그 이상의 쌍)의 제 1 관통-기판 비아들에 의해 형성될 수 있다. 그런 다음, 기판은 인덕터로부터 강인한 인덕턴스를 달성하기에 충분한 크기의 두께를 가질 수 있지만, 솔더 볼들이 대응하는 리세스들 내에 수용되기 때문에, 패키지 높이는 감소된다.

[0015]

[0024] 이외에도, 기판에 대한 두께는 충분히 강인할 수 있으므로, 기판의 부서지기 쉬움, 휨, 그리고 파손을

감소시키지만, 패키지의 높이는, 솔더 볼들이 대응하는 리세스들 내에 수용되기 때문에 감소된다. 유사하게, 솔더 볼들은, 크랙을 감소시키고 보드 레벨 신뢰도를 증가시키기 위해서, 각각 충분히 견고한 직경을 가질 수 있다. 솔더 볼들이 개인한 직경을 가질 수 있지만, 이들 직경들은 단지, 리세스들 내에 수용되는 솔더 볼들로 인해 패키지 높이에 부분적으로만 기여한다. 이러한 이점과 다른 장점은 다음의 예시적인 실시예들의 논의를 통해 더 잘 이해될 수 있다.

[0016] 예시적인 실시예들

[0017] 도 2는 종래의 패시브-온-패키지(100)에 관하여 논의된 최소 두께(T)를 갖는 기판(204)을 포함하는 예시적인 패시브-온-패키지(200)를 도시한다. 예를 들어, 기판(204)이 유리를 포함하는 경우, 두께(T)는, 예를 들어, 적어도 100 마이크론일 수 있으므로, 기판(204)은 원하는 BLR(board level reliability)을 제공할 만큼 충분히 개인하다. 일반적으로, 최소 두께(T)는 기판(204)의 특성들에 의존한다. 예를 들어, 더 개인한 타입의 유리는 100 마이크론 초과까지 박형화될 수 있다. 반대로, 유리는 두께(T)가 150 마이크론 또는 그 이상이 되도록 덜 개인할 수 있다. 기판(204)이 실리콘과 같은 반도체 기판인 경우 두께(T)에 관한 유사한 제한들이 발생할 것이다. 대안으로, 기판(204)은 유기 기판을 포함할 수 있다. 회로 보드 또는 다른 패키지 기판에 대한 상호접속을 위한 솔더 볼들(212)과 같은 복수의 상호접속부들은 또한 종래의 패시브-온-패키지(100)에 관하여 논의된 동일한 최소 두께(d_1)를 가질 수 있다. 솔더 볼(212)을 위한 최소 두께(d_1)는 그의 구성에 따라 달라진다. 예를 들면, 솔더 볼들(212)이 무연 솔더를 포함하는 경우, 이들은 보다 취성이고, 따라서, 납을 함유하는 실시예와 비교하여, 보다 두꺼운 최소 두께(d_1)를 필요로 할 것이다. 이러한 최소 치수들이 충족됨에도 불구하고, 패시브-온-패키지(200)는 패시브-온-패키지(100)의 높이(H_1)에 비해 감소되는 높이(H_2)를 갖는데, 기판(204)이 기판(204)의 제 1 면(208)에 형성된 대응하는 블라인드 비아들 또는 리세스들(214) 내에 솔더 볼들(212)을 수용하기 때문이다. 패시브-온-패키지(200)의 높이(H_2)는 따라서, 대략 블라인드 비아들 또는 리세스들(214)의 깊이만큼 감소된다.

[0018] 패시브-온-패키지(200)는 하나 또는 그 초과의 제 1 관통-기판 비아들, 이를 테면, 기판(204)의 제 1 표면(208)부터 기판(208)의 반대쪽 제 2 표면(206)까지 연장되는 제 1 관통-기판들(202a, 202b, 202c, 및 202d)을 포함한다. 먼저, 관통-기판 비아(202a)가 기판(204)의 제 2 표면(206) 상의 납 또는 도체(203a)를 통하여 제 1 관통-기판 비아(202a)에 결합하여, 임베딩된 인덕터(215)를 형성한다. 유사하게, 제 1 관통-기판 비아(202c)는 도체(203b)를 통해 제 1 관통-기판 비아(202d)에 결합하여 임베딩된 인덕터(217)를 형성한다. 각각의 임베딩된 인덕터(215 및 217)는, 기판(204)에 대한 두께(T)가 과도하게 얇지 않기 때문에, 유리하게도 개인한 인덕턴스를 갖는다. 예를 들어, 인덕터(215)가 둘러싸는 전류 루프 면적은 (다른 팩터들 중에서도) 각각의 제 1 관통-기판 비아(202a 및 202b)의 길이의 함수이다. 차례로, 제 1 관통-기판 비아 길이들은 기판(204)에 대한 두께(T)의 함수이다. 패시브-온-패키지(200)에 대한 유리하게 낮은 패키지 높이(H_2)를 달성하기 위해서 두께(T)가 과도하게 감소될 필요가 없기 때문에, 제 1 관통-기판 비아들, 이를 테면, 비아들(202a 및 202b)이 인덕터(215)에 대한 향상된 인덕턴스를 제공하기 위해 상대적으로 길 수 있다.

[0019] 인덕터들(215 및 217)에 결합시키는 것은 재배선 층(220)을 통해 발생할 수 있다. 예를 들어, 리세스(214a) 내에 수용되는 솔더 볼(212)이 재배선 층(220)으로부터 형성되는 재배선 층 도체(216a) 및 리세스 패드(210)를 통해 인덕터(215) 내의 제 1 관통-기판 비아(202b)에 결합한다. 다른 솔더 볼이 유사한 재배선 층 도체 및 패드(미도시)를 통해 제 1 관통-기판 비아(202a)에 결합하여 인덕터(215)에 대한 결합을 완료할 수 있다. 임베딩된 인덕터(217)에 관하여 유사한 결합이 제공될 수 있다. 예를 들면, 리세스(214c) 내에 수용되는 솔더 볼(212)은 재배선 층 도체(216b) 및 리세스 패드(210)를 통해 인덕터(217) 내의 제 1 관통-기판 비아(216b)에 결합된다. 일 실시예에서, 재배선 층(220)은, 리세스-수용 상호접속부들 중 특정한 상호접속부를 제 1 관통-기판 비아들 중 대응하는 비아들에 전기적으로 결합시키기 위한 수단을 포함하는 것으로 간주될 수 있다.

[0020] 제 1 관통-기판 비아들과는 대조적으로, 제 2 관통-기판 비아들은 감소된 길이를 가질 수 있다. 예를 들어, 제 2 관통-기판 비아(202e)는 리세스(214b)로부터 기판(204)의 제 2 표면(206)까지 연장된다. 실질적으로 기판(204)의 두께(T)와 동일한 제 1 관통-기판 비아들에 대한 길이에 비해, 제 2 관통-기판 비아(202e)는 리세스(214b)의 깊이 또는 높이만큼 짧아지는 길이를 갖는다. 이 감소된 길이는, 제 2 관통-기판 비아(202e)의 기판(204)의 표면(206) 상으로 통합되는 캐페시터(207)로의 결합 시 기생 인덕턴스 및 저항을 감소시킨다. 일 실시예에서, 캐페시터(207)는 MIM(metal-insulator-metal) 커피시터를 포함할 수 있다.

[0021] 리세스들(214)은 또한, 솔더 볼들(212)을 유지하는 데 도움이 되도록 접착제(미도시)를 포함할 수 있다.

제 1 및 제 2 관통-기판 비아들(202)은 전기 결합 기능뿐만 아니라 열 전달 역할 둘 모두를 제공할 수 있다. 제 2 관통-기판 비아들이, 제 1 관통-기판 비아들에 비해 이들의 감소된 길이로 인해 제 2 표면(206)으로부터, 대응하는 리세스들 내에 수용되는 솔더 볼들로의 열 전달에 특히 유용하다. 패시베이션 층 또는 솔더 레지스트 층(230)은 제 2 표면(206)을 커버할 수 있다. 유사하게, 패시베이션 층 또는 솔더 레지스트 층(225)은 기판(204)의 제 1 표면(208)을 커버할 수 있다. 패시베이션 층들(230 및 225)은 매우 다양한 적절한 재료들, 이를 테면, 실리콘 질화물, 폴리아미드(polyimide)와 같은 유전성 중합체, 또는 유기 중합체들을 포함할 수 있다.

[0022] [0030] 도 3a에 도시된 패시브-온-패키지(300)는 많은 대안적인 실시예들 중 하나를 포함한다. 이 실시예에서, 표면(206)은, 어떠한 관통-기판 비아들에 또는 다른 구조들에 결합하지 않는 솔더 볼(212)을 수용하는 리세스(214d)를 포함한다. 리세스(214d) 내의 솔더 볼(212)은 이와 같이, 전기 기능을 갖는 것과는 대조적으로, 패시브-온-패키지(300)를 대응하는 회로 보드 또는 추가 기판(미도시)에 기계적으로 결합시키는 기능만 한다. 패시브-온-패키지 기판(300) 내의 나머지 엘리먼트들은 패시브-온-패키지(200)에 관하여 논의된 바와 같다.

[0023] [0031] 예시적인 패시브-온-패키지에 대한 기판(360)의 표면(208)의 평면도가, 제 1 관통-기판 비아들(202)에 대한 재배선 층 패드들(210) 및 재배선 층 도체들(216)에 대한 레이아웃을 더 잘 도시하기 위해 도 3b에 도시된다. 예시적인 리세스(214f)는, 재배선 층 도체(216)를 통해 제 1 관통 기판 비아(202)에 결합하는 재배선 층 패드(210)를 포함한다. 대조적으로, 리세스(214e)는 어떠한 재배선 층 도체에도 결합되지 않는 재배선 층 패드(210)를 포함한다. 리세스(214e) 내 패드(210)는 대신에 제 2 관통-기판 비아(미도시)에 결합될 수 있다. 대안으로, 리세스(214e)는, 도 3a의 리세스(214d)와 관련하여 논의된 바와 같이 기계 결합의 목적을 가질 뿐일 수 있다.

[0024] [0032] 도 2에 도시된 개시된 기판들, 이를 테면, 기판(204)에 대한 향상된 두께(T)는, 기판 두께가 감소되었을 경우 두께가 감소되지 않았다면 제조 동안 필요로 되었을, 일시적인 캐리어들의 제거를 가능하게 한다. 이외에도, 제 1 관통-기판 비아들(202)에 대한 길이가 증가될 수 있으며, 이는, 임베딩된 인더터(215 및 217)와 같은 인더터들에 대해 증가된 인더턴스와 더 양호한 품질 팩터들에 이르게 한다. 이외에도, 기판(204)을 통한 더 나은 열 흐름은, 기판의 두께(T)에 비해 짧아지는 제 2 관통-기판 비아들, 이를 테면, 제 2 관통-기판 비아(202e)를 이용하여 달성될 수 있다. 이러한 비아(202e)의 동일한 단축은 또한 그의 저항을 감소시키며, 이는, 예를 들어, 캐페시터(207)에 대한 품질 팩터를 통해 구동되는 캐페시터들에 대한 품질 팩터를 증가시킨다. 이러한 제 2 관통-기판 비아들을 통과하는 결과적으로 감소된 신호 경로 길이는 또한 신호 통합의 향상에 유리하다. 이외에도, 리세스들(214)에서 수용되는 솔더 볼들(212)의 부분이 패키지 높이에 기여하지 않기 때문에, 솔더 볼들(212)은, BLR(board level reliability) 및 솔더 볼 크랙킹에 대한 저항을 또한 개선하는 최소 직경을 유지할 수 있다. 블라인드 비아들 또는 리세스들(214)은 또한 접착제의 사용을 수용하며, 이는 BLR을 추가로 개선한다. 마지막으로, 블라인드 비아들 또는 리세스들(214)은, 솔더 볼들(212)이 적은 오차로 대응하는 리세스들(214) 내에 수용될 수 있도록 제조 시 볼 적하 스테이지 동안 스텐실(stencil)로서 역할을 한다. 예시적인 제조 프로세스가 이제 논의될 것이다.

예시적인 제조 프로세스

[0025] [0033] 다음의 설명은, 패시브-온-패키지의 패시브 컴포넌트들을 지지하기 위해 사용되는 기판이, 개별 패키지들로 다이싱되기 전에 웨이퍼 (또는 패널)의 부분으로서 프로세싱되는 웨이퍼-레벨-프로세스(WLP) 실시예들에 관한 것이다. 그러나, 본원에 논의되는 프로세스들은 또한, 웨이퍼(또는 패널)를 한 개로 프로세싱하는 것에 의해, 웨이퍼로부터 다이싱되었던 기판들에 개별적으로 적용될 수 있다는 것을 인식할 것이다. 감소된 높이를 달성하기 위해서 WLP 프로세스가 패시브-온-패키지들을 제조하기 위해 사용되는지 여부와 무관하게, 본원에 개시된 감소된 높이의 패시브-온-패키지들은 대응하는 블라인드 비아들 또는 리세스들 내에 솔더 볼들과 같은 상호접속부들을 수용한다.

[0026] [0034] 예시적인 제조 프로세스 흐름이 도 4a 내지 도 4e에 도시된다. 도 4a에 도시된 바와 같이, 유리 패널 또는 웨이퍼(또는 반도체 웨이퍼)와 같은 기판(204)은, 기판을 통과하는 비아들(202)을 형성하도록 프로세싱된다. 대안으로, 기판(204)은 라미네이트된 유기 패널을 포함할 수 있다. 관통-기판 비아들을 형성하기 위해서, 기판(204)은, 비아들을 형성하기 위해서 레이저 드릴, 기계 드릴, 또는 에칭 처리될 수 있고, 이 비아들은 이후 구리, 니켈, 또는 다른 적절한 금속들로 전기도금되어 관통-기판 비아들(202)을 형성한다. 대안으로, 무전해 프로세스가 전기도금 대신 사용될 수 있다. 관통-기판 비아 비아들(202)을 형성하기 위해 금속을 증착한 후, 기판(204)에 대한 제 1 표면(208) 및 반대쪽 제 2 표면(206)이 이후 폴리싱될 수 있다. 리세스들이 (보드-대향 쪽 표면일 수 있는) 제 1 표면(208) 상에 아직 형성되지 않았기 때문에, 제 1 및 제 2 관통-기판 비아들 사이의

길이 차이가 아직 형성되지 않았다.

[0028] [0035] 도 4b에 도시된 바와 같이, 기판(204)의 제 2 표면(206)은, 예를 들어, 대응하는 관통-기판 비아들을 연결하는 도체들(203)을 형성하여 인덕터들을 형성하기 위해서 포토리소그래픽 기술들을 통해, 패터닝된 금속 층, 이를 테면, 구리 또는 니켈 금속 층을 이용하여 프로세싱될 수 있다. 이외에도, 임의의 원하는 캐페시터들(미도시)을 형성하기 위한 표면(206) 상의 MIM 구조 중착이 또한 이 시점에서 수행될 수 있다. 또한, 패시베이션 층(230)이 이 제조 스템에서 표면(208) 위에 중착될 수 있다. 예를 들어, 다이로의 열 전달 또는 신호 전도를 위해 특정한 후속 관통-기판 비아들에 대해 컨택트가 필요로 될 경우, 도체들(203)을 형성하는 패터닝된 금속 층은 또한 패드들, 이를 테면, 패드(219)를 형성하기 위해 패터닝될 수 있다. 이러한 실시예에서, 패시베이션 층(230)은, 패드(219)를 노출시키기 위해서 패드 개구들, 이를 테면, 패드 개구(218)를 포함할 수 있다.

[0029] [0036] 이후, 도 4c에 도시된 바와 같이, 표면(208)이 에칭되거나 또는 드릴링되어 블라인드 비아들 또는 리세스들(214)을 형성할 수 있다. 리세스들(214)의 에칭과 관련하여, 습식 또는 건식 에칭 기술들이 사용될 수 있다. 대안으로, 반응성 이온 에칭이 리세스들(214)을 에칭하기 위해 사용될 수 있다. 드릴링과 관련하여, 레이저 또는 기계식 드릴링 기술들이 적합하다. 도 4c의 단면도에서, 리세스들(214)이 임의의 관통-기판 비아들(202)과 교차하지 않으므로, 모든 이러한 도시된 비아들은 제 1 표면 비아들이다. 대안으로, 리세스가, 도 2의 리세스(214e)와 관련하여 앞서 설명된 바와 같은 관통-기판 비아와 교차하여, 제 2 관통-기판 비아(202e)(도 2에만 도시됨)를 형성할 수 있다.

[0030] [0037] 도 4d에 도시된 바와 같이, 재배선 층 패드들(210) 및 도체들(216)의 이면이 이후, 기판(204)의 표면(208) 상에 중착될 수 있다. 예를 들어, 마스크 층(미도시)이 이후 패드들(210) 및 도체들(216)을 형성하기 위해 구리, 니켈, 또는 다른 적합한 금속들의 도금을 위한 개구부들을 포함하도록 패터닝될 수 있다. 마지막으로, 솔더 볼들(214)은, 도 4f에 도시된 바와 같이, 리세스(214) 안으로 적하되고 리플로우된다. 이후, 기판(204)이 제조 프로세스를 완료하기 위해서 이때에 그의 패널 또는 웨이퍼(미도시)로부터 다이싱될 수 있다. 이제 제조 프로세스를 다음 흐름도에서 요약할 것이다.

예시적인 제조 프로세스 흐름도

[0032] [0038] 예시적인 제조 방법에 대한 흐름도가 도 5에 도시된다. 방법은, 기판의 제 1 표면 상에 제 1 리세스를 형성하는 단계(500)를 포함한다. 단계(505)는 기판을 통과하여 연장되는 복수의 제 1 관통-기판 비아들을 형성하는 단계를 포함한다. 도 2의 202d를 통과하는 비아들(202a)은 이러한 제 1 관통-기판 비아들의 예들이다. 단계(510)는 제 1 표면 상에 재배선 층을 형성하는 단계를 포함한다. 마지막으로, 단계(515)는 제 1 리세스 안으로 상호접속부를 결합시키는 단계를 포함하며, 재배선 층을 형성하는 단계는 제 1 관통-기판 비아들 중 대응하는 비아에 제 1 상호접속부를 결합시키는 도체를 형성한다. 예를 들어, 도 2의 재배선 층(220)을 형성하는 것은 도체(216a)를 리세스(214a) 내의 솔더 볼(212) 사이에서 제 1 관통-기판 비아(202b)에 결합시킨다. 이와 관련하여, 일부 리세스는, 이를 테면, 도 3a의 리세스(214d)가 임의의 재배선 층 도체들을 통해 임의의 관통-기판 비아들에 결합하지 않는 솔더 볼(212)을 수용한다는 것을 주목한다. 로우-프로파일 패시브-온-패키지를 유리하게 통합시킬 수 있는 일부 예시적인 전자 시스템들을 이제 논의할 것이다.

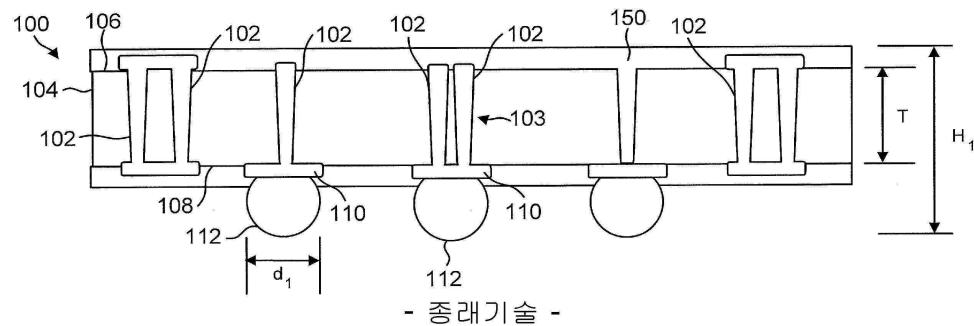
예시적인 전자 시스템들

[0033] [0039] 본원에 개시된 패시브-온-패키지가 매우 다양한 전자 시스템들에 포함될 수 있다. 예를 들어, 도 6에 도시된 바와 같이, 휴대 전화(600), 랩탑(605), 및 태블릿 PC(610)는 모두, 본 개시물에 따라 구성되는 로우-프로파일 패시브-온-패키지를 포함할 수 있다. 음악 플레이어, 비디오 플레이어, 통신 디바이스, 및 개인 컴퓨터와 같은 다른 예시적인 전자 시스템들은 또한 본 개시물에 따라 구성되는 패시브-온-패키지들로 구성될 수 있다.

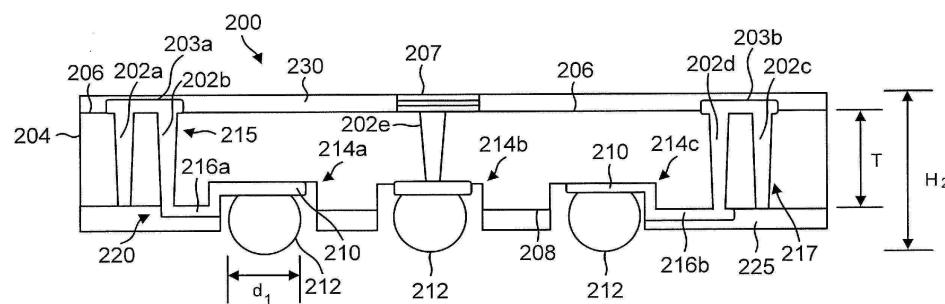
[0040] 이제 당업자가 인식하는 바와 같이 그리고 머지않아 쓸 수 있는 특정 용도에 의존하여, 본 개시물의 디바이스들의 재료들, 장치, 구성들 및 사용 방법들에 대하여 많은 변경들, 대체들 및 변형들이, 본 발명의 정신 및 범위로 부터 벗어나지 않고 이루어질 수 있다. 이러한 관점에서, 본 개시물의 범위는 본원에 예시되고 설명되는 특정 실시예들의 범위로 제한되지 않아야 하고, 이들은 단지 본 개시물의 일부 예시일 뿐이지만, 더 정확하게는, 이후에 첨부되는 청구항들 및 이들의 기능적 등가물들의 범위와 전적으로 상응되어야 한다.

도면

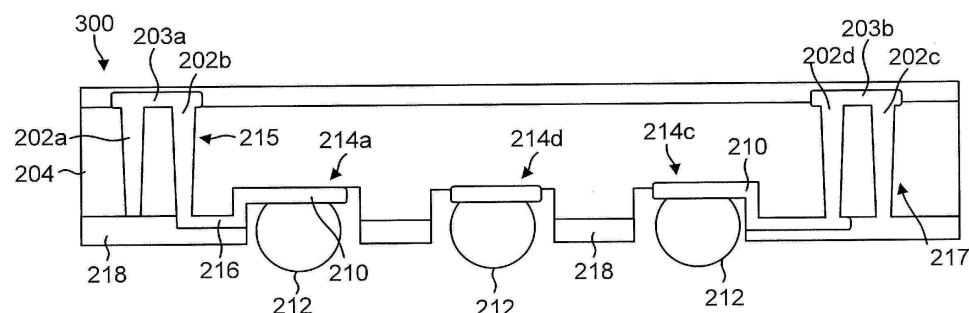
도면1



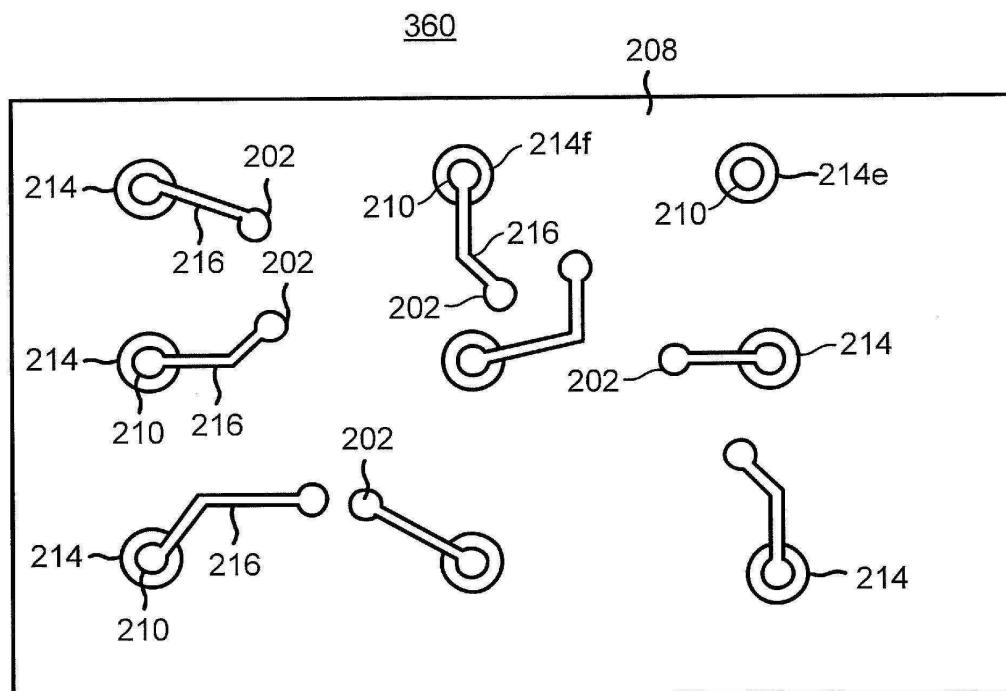
도면2



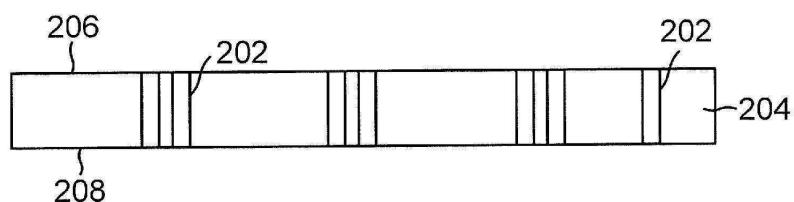
도면3a



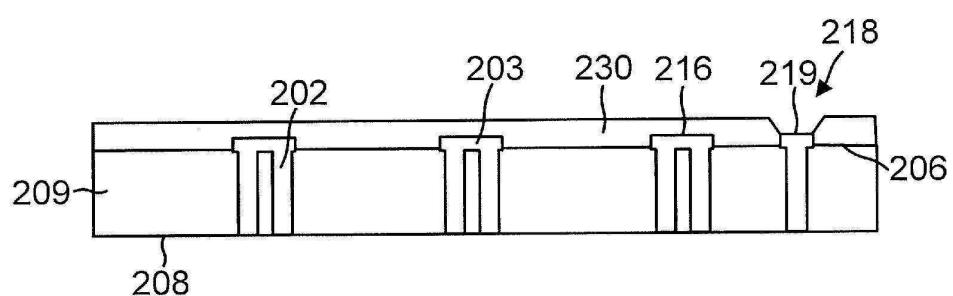
도면3b



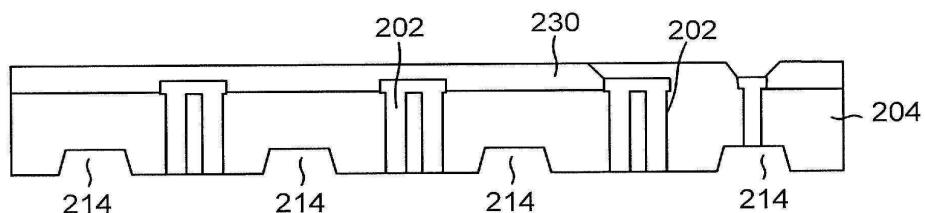
도면4a



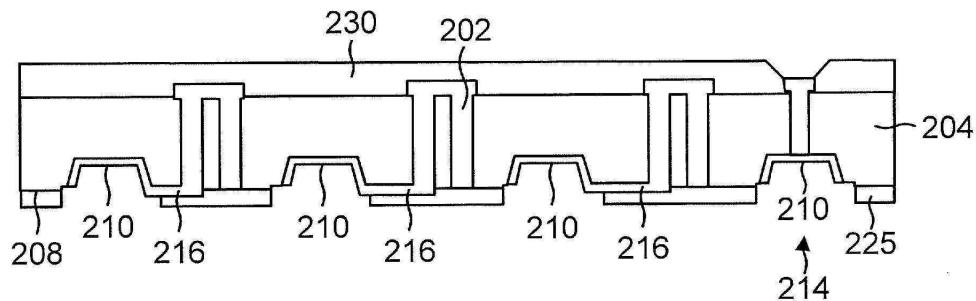
도면4b



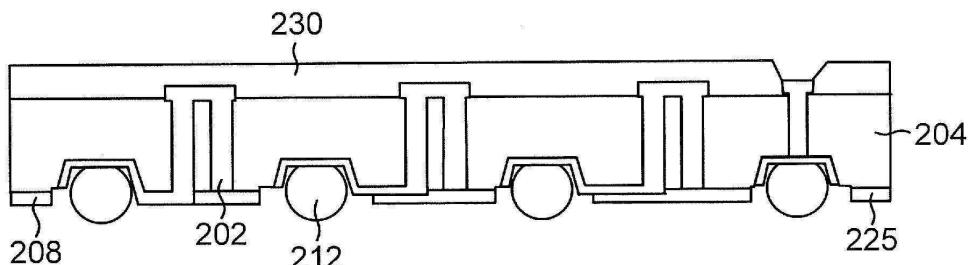
도면4c



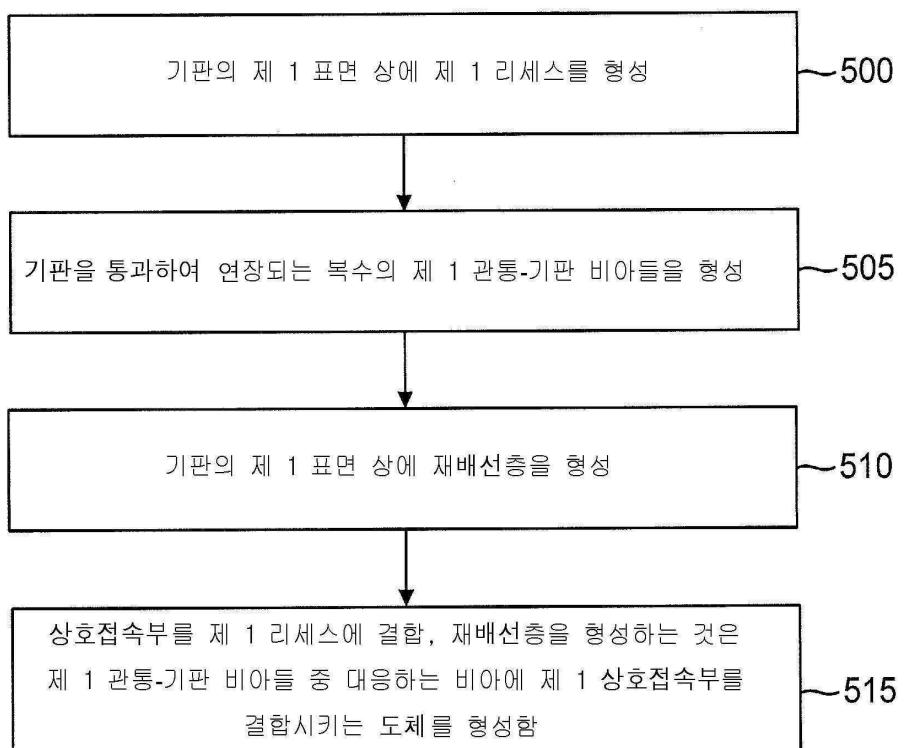
도면4d



도면4e



도면5



도면6

