

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第4区分

【発行日】令和1年9月5日(2019.9.5)

【公開番号】特開2019-33583(P2019-33583A)

【公開日】平成31年2月28日(2019.2.28)

【年通号数】公開・登録公報2019-008

【出願番号】特願2017-152713(P2017-152713)

【国際特許分類】

H 02 M 1/08 (2006.01)

H 02 J 1/00 (2006.01)

【F I】

H 02 M 1/08 A

H 02 J 1/00 310 A

【手続補正書】

【提出日】令和1年7月23日(2019.7.23)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1電圧を供給する電源配線である第1配線と、

第2電圧を供給する電源配線である第2配線と、

前記第1配線と前記第2配線との間に設けられ、駆動対象の第1トランジスタのゲート電圧を制御する第1制御トランジスタと、

前記第1制御トランジスタのゲート電圧を制御する第3電圧を供給する第3配線と、

前記第1、第2、および第3配線に接続され、前記第3電圧を変化させる電源回路と、

前記第1配線に接続されたゲートと、前記第2配線に接続されたドレインと、前記第3配線に接続されたソースとを有するデプレッショnP型トランジスタと、

を備えるトランジスタ駆動回路。

【請求項2】

前記デプレッショnP型トランジスタの閾値電圧の絶対値は、前記第3配線と前記第1制御トランジスタとの間に設けられた複数のCMOSの動作電圧の最小値以上である、請求項1に記載のトランジスタ駆動回路。

【請求項3】

前記第1配線と前記第3配線との間に設けられ、前記第1電圧と前記第3電圧との差が前記CMOSの耐圧を超えないよう動作するクランプ回路をさらに備える、請求項2に記載のトランジスタ駆動回路。

【請求項4】

前記クランプ回路は、ツエナーダイオードを備える、請求項3に記載のトランジスタ駆動回路。

【請求項5】

前記デプレッショnP型トランジスタのドレインに接続されたゲートと、前記第2配線に接続されたソースと、前記第3配線に接続されたドレインとを有するトランジスタをさらに備える、請求項1から4のいずれか1項に記載のトランジスタ駆動回路。

【請求項6】

前記第1配線と前記第3配線とに接続され、前記第1制御トランジスタのゲート電圧を

N O R 論理により制御するロジック回路をさらに備える、請求項 1 から 5 のいずれか 1 項に記載のトランジスタ駆動回路。

【請求項 7】

前記ロジック回路は、複数の C M O S により構成されている、請求項 6 に記載のトランジスタ駆動回路。

【請求項 8】

前記第 1 配線と前記第 3 配線とに接続され、前記第 3 電圧に基づいて前記第 1 制御トランジスタがオンになるタイミングを制御する電圧検知回路をさらに備える、請求項 1 から 7 のいずれか 1 項に記載のトランジスタ駆動回路。

【請求項 9】

制御対象のトランジスタのゲート電圧を制御する第 1 トランジスタを駆動する第 1 トランジスタ駆動回路と、

前記制御対象のトランジスタのゲート電圧を制御する第 2 トランジスタを駆動する第 2 トランジスタ駆動回路とを備え、

前記第 1 トランジスタ駆動回路は、

第 1 電圧を供給する電源配線である第 1 配線と、

第 2 電圧を供給する電源配線である第 2 配線と、

前記第 1 配線と前記第 2 配線との間に設けられ、前記第 1 トランジスタのゲート電圧を制御する第 1 制御トランジスタと、

前記第 1 制御トランジスタのゲート電圧を制御する第 3 電圧を供給する第 3 配線と、

前記第 1 、第 2 、および第 3 配線に接続され、前記第 3 電圧を変化させる電源回路と、

前記第 1 配線に接続されたゲートと、前記第 2 配線に接続されたドレインと、前記第 3 配線に接続されたソースとを有するデプレッション P 型トランジスタとを備え、

前記第 2 トランジスタ駆動回路は、

第 4 電圧を供給する電源配線である第 4 配線と、

第 5 電圧を供給する電源配線である第 5 配線と、

前記第 4 配線と前記第 5 配線との間に設けられ、前記第 2 トランジスタのゲート電圧を制御する第 2 制御トランジスタと、

前記第 2 制御トランジスタのゲート電圧を制御する第 6 電圧を供給する第 6 配線と、

前記第 4 、第 5 、および第 6 配線に接続され、前記第 6 電圧を変化させる電源回路と、

前記第 4 配線に接続されたゲートと、前記第 5 配線に接続されたドレインと、前記第 6 配線に接続されたソースとを有するデプレッション P 型トランジスタとを備える、

ゲート制御回路。