

(19) 中华人民共和国国家知识产权局



(12) 发明专利申请

(10) 申请公布号 CN 102043699 A

(43) 申请公布日 2011. 05. 04

(21) 申请号 201010528092. 2

(22) 申请日 2010. 11. 02

(71) 申请人 青岛海信信芯科技有限公司

地址 266100 山东省青岛崂山区株洲路 151
号

(72) 发明人 杨元成

(74) 专利代理机构 北京中博世达专利商标代理
有限公司 11274

代理人 申健

(51) Int. Cl.

G06F 11/26 (2006. 01)

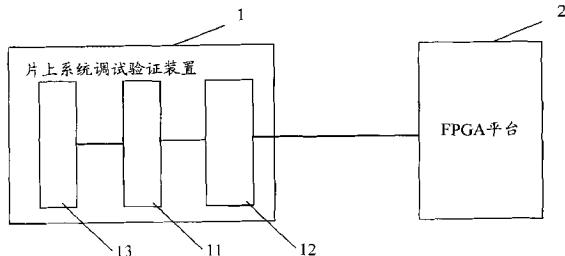
权利要求书 1 页 说明书 4 页 附图 7 页

(54) 发明名称

片上系统调试验证装置和方法

(57) 摘要

本发明实施例公开了一种片上系统调试验证装置和方法,涉及 SOC 领域,实现对 IP 硬核和 SOC 系统进行充分的验证,极大提高了 SOC 产品的开发效率,降低了开发成本。一种片上系统调试验证装置,所述片上系统调试验证装置与 FPGA 平台为总线连接,通过所述总线连接,执行片上系统 SOC 调试验证。本发明应用于 SOC 系统验证。



1. 一种片上系统调试验证装置,其特征在于,所述片上系统调试验证装置与 FPGA 平台为总线连接,通过所述总线连接,执行片上系统 SOC 调试验证。
2. 根据权利要求 1 所述的装置,其特征在于,包括 :
支持总线连接的 IP 核单元和 FPGA 接口单元 ;
所述 FPGA 接口单元通过所述总线与所述 IP 核单元相连接,并通过所述总线与 FPGA 平台相连接。
3. 根据权利要求 2 所述的装置,其特征在于,还包括 :
调试接口单元,与所述 IP 核单元相连接,用于对所述 IP 核单元进行实时调试。
4. 根据权利要求 3 所述的装置,其特征在于,
所述总线为 PCI 总线。
5. 根据权利要求 3 所述的装置,其特征在于,
所述总线为高级微处理器总线架构 AMBA 总线。
6. 根据权利要求 5 所述的装置,其特征在于,
所述 AMBA 总线包括 :HRDATA[31..0]、HWDATA[31..0]、HADDR[31..0]、HRESP[1..0]、HBURST[2..0]、HSIZE[2..0]、HTRANS[1..0]、HRESETn、HGRANT、HREADY、H β USREQ、HWRITE、HCLK。
7. 根据权利要求 5 所述的装置,其特征在于,
所述调试接口单元通过 JRST、JTCK、JTDI、JTDO、JTMS 把 JTAG 调试工具与 IP 核单元连接在一起。
8. 根据权利要求 5 所述的装置,其特征在于,
所述 IP 核单元设置有数个为其调试提供驱动能力的上拉电阻。
9. 根据权利要求 1-8 任一权利要求所述的装置,其特征在于,
所述 IP 核单元的 IP 核为 IP 硬核。
10. 一种片上系统调试验证方法,其特征在于,
片上系统调试验证装置与 FPGA 平台通过总线相连接,通过 IP 硬核方式,执行片上系统 SOC 调试验证。

片上系统调试验证装置和方法

技术领域

[0001] 本发明涉及片上系统 (System on Chip, 以下简称 SOC) 领域, 尤其涉及一种 SOC 调试验证装置和方法。

背景技术

[0002] 在 SOC 芯片的前期开发中, 系统的调试验证是芯片能否开发成功的关键。一个复杂的 SOC 的系统, 由众多的 IP 模块组成, 各个模块都要参与整个系统的验证。在 SOC 芯片进行前期验证时, 一般会采用软核的方式, 把各个 IP 模块综合后, 载入现场可编程门阵列 (Field-Programmable Gate Array, 以下简称 FPGA) 平台。

[0003] 由于 IP 模块的保密性及厂家之间的合作问题, 在工作的前期, 一般很难拿到 IP 厂家的软核; 再就是 FPGA 平台的资源有限, 新的 IP 系统的加入, 有时会造成系统资源不够的情况, 这两种情况, 往往会阻碍开发的进度, 降低开发的效率。

[0004] 针对此问题, 目前, 在 SOC 芯片的前期验证调试中, 在进行 IP 模块的整合时, 一般会更换新的资源更大的 FPGA 平台, 加上 IP 质量风险性, 这又在很大程度上增加了 SOC 芯片的开发成本。

发明内容

[0005] 本发明所要解决的技术问题在于提供一种片上系统调试验证装置和方法, 实现对 IP 硬核和 SOC 系统进行充分的验证, 极大提高了 SOC 产品的开发效率, 降低了开发成本。

[0006] 为解决上述技术问题, 本发明片上系统调试验证装置和方法采用如下技术方案:

[0007] 一种片上系统调试验证装置, 所述片上系统调试验证装置与 FPGA 平台为总线连接, 通过所述总线连接, 执行片上系统 SOC 调试验证。

[0008] 包括:

[0009] 支持总线连接的 IP 核单元和 FPGA 接口单元;

[0010] 所述 FPGA 接口单元通过所述总线与所述 IP 核单元相连接, 并通过所述总线与 FPGA 平台相连接。

[0011] 还包括:

[0012] 调试接口单元, 与所述 IP 核单元相连接, 用于对所述 IP 核单元进行实时调试。

[0013] 所述总线为 PCI 总线。

[0014] 所述总线为高级微处理器总线架构 AMBA 总线。

[0015] 所述 AMBA 总线包括: HRFDATA[31..0]、HWDATA[31..0]、HADDR[31..0]、HRESP[1..0]、HBURST[2..0]、HSIZE[2..0]、HTRANS[1..0]、HRESETn、HGRANT、HREADY、HBUSREQ、HWRITE、HCLK。

[0016] 所述调试接口单元通过 JRST、JTCK、JTDI、JTDO、JTMS 把 JTAG 调试工具与 IP 核单元连接在一起。

[0017] 所述 IP 核单元设置有数个为其调试提供驱动能力的上拉电阻。

- [0018] 所述 IP 核单元的 IP 核为 IP 硬核。
- [0019] 一种片上系统调试验证方法，
- [0020] 片上系统调试验证装置与 FPGA 平台通过总线相连接，通过 IP 硬核方式，执行片上系统 SOC 调试验证。
- [0021] 在本发明的实施例中，在前期的 SOC 系统验证时，在没有 IP 软核或 FPGA 平台资源不够时，可利用该片上系统调试验证装置通过总线把 IP 核单元与 FPGA 平台连接在一起，对 IP 硬核和 SOC 系统进行充分的验证，该装置极大提高了 SOC 产品的开发效率，降低了开发成本。

附图说明

[0022] 为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

- [0023] 图 1 为本发明实施例片上系统调试验证装置的结构示意图之一；
- [0024] 图 2 为本发明实施例片上系统调试验证装置的结构示意图之二；
- [0025] 图 3 为本发明实施例 IP 核单元的结构示意图之一；
- [0026] 图 4 为本发明实施例 IP 核单元的结构示意图之二；
- [0027] 图 5 为本发明实施例 IP 核单元的结构示意图之三；
- [0028] 图 6 为本发明实施例 IP 核单元的结构示意图之四；
- [0029] 图 7 为本发明实施例 FPGA 接口单元的结构示意图；
- [0030] 图 8 为本发明实施例调试接口单元的结构示意图；
- [0031] 图 9 为本发明实施例片上系统调试验证方法的流程图。
- [0032] 附图标记说明：
- [0033] 1- 片上系统调试验证装 2-FPGA 平台； 11-IP 核单元；置；
- [0034] 12-FPGA 接口单元； 13- 调试接口单元。

具体实施方式

[0035] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0036] 本发明实施例提供一种片上系统调试验证装置和方法，实现对 IP 硬核和 SOC 系统进行充分的验证，极大提高了 SOC 产品的开发效率，降低了开发成本。

[0037] 本发明实施例提供一种片上系统调试验证装置，如图 1 所示，该片上系统调试验证装置 1 与 FPGA 平台 2 为总线连接，通过所述总线连接，执行片上系统 SOC 调试验证。

[0038] 在前期的 SOC 系统验证时，在没有 IP 软核或 FPGA 平台资源不够时，可利用该片上系统调试验证装置通过总线把 IP 核单元与 FPGA 平台连接在一起，对 IP 硬核和 SOC 系统进行充分的验证，该装置极大提高了 SOC 产品的开发效率，降低了开发成本。

[0039] 进一步地,如图 2 所示,本发明一个优选的实施例中,该片上系统调试验证装置 1 包括:支持总线连接的 IP 核单元 11 和 FPGA 接口单元 12;

[0040] 所述 FPGA 接口单元 12 通过所述总线与所述 IP 核单元 11 相连接,并通过所述总线与 FPGA 平台 2 相连接。

[0041] 再进一步地,该装置还包括:

[0042] 调试接口单元 13,与所述 IP 核单元 11 相连接,用于对所述 IP 核单元 11 进行实时调试。

[0043] 进一步地,上述总线为可以实现的各种总线,例如所述总线为 PCI 总线,在本实施例中,优选为,所述总线为高级微处理器总线架构 AMBA 总线。

[0044] 进一步地,所述 IP 核单元的 IP 核为 IP 硬核。通过 IP 硬核的方式,实现对 SOC 系统的 FPGA 平台的调试验证。

[0045] 以下以一个具体的实施例说明本发明的技术方案,如图 3- 图 6 所示,IP 核单元为 U1(包括 U1A、U1B、U1C、U1D),U1 为具有 AMBA 总线的 IP 核单元,该 IP 核单元的 IP 核为 IP 硬核,通过 AMBA 总线与 FPGA 平台连接,以进行 SOC 系统的调试验证。需要用到的 AMBA 总线包括 HRDATA[31..0]、HWDATA[31..0]、HADDR[31..0]、HRESP[1..0]、HBURST[2..0]、HSIZE[2..0]、HTRANS[1..0]、HRESETn、HGRANT、HREADY、HBUSREQ、HWRITE、HCLK。如图 7 所示,CON2 为 FPGA 接口,通过该接口可把 FPGA 平台与 IP 核单元连接在一起。如图 8 所示,CON1 为 JTAG 调试接口,该接口通过 JRST、JTCK、JTDI、JTDO、JTMS 把 JTAG 调试工具与 IP 核单元连接在一起,通过此接口,可方便的对 IP 核单元的 IP 硬核进行实时调试。进一步地,图 3 中的 R2、R4、R5、R6、R7 为相应网络的上拉电阻,为其调试提供驱动能力。

[0046] 在本发明的实施例中,在前期的 SOC 系统验证时,在没有 IP 软核或 FPGA 平台资源不够时,可利用该片上系统调试验证装置通过 AMBA 总线把 IP 核单元与 FPGA 平台连接在一起,通过 IP 硬核的方式,实现对 SOC 系统的 FPGA 平台验证,该方法通过 IP 硬核的方式,无需 IP 软核,方便了外置模块的实时调试,有效节省了 FPGA 平台的系统资源,该装置极大提高了 SOC 产品的开发效率,降低了开发成本。

[0047] 本发明实施例还提供了一种利用上述片上系统调试验证装置进行片上系统调试验证的方法,如图 9 所示,该方法包括:

[0048] 步骤 101、片上系统调试验证装置与 FPGA 平台通过总线相连接,通过 IP 硬核方式,执行片上系统 SOC 调试验证。

[0049] 如图 2 所示,该片上系统调试验证装置 1 包括:支持总线连接的 IP 核单元 11 和 FPGA 接口单元 12;其中,IP 核单元的 IP 核为 IP 硬核,通过总线与 FPGA 接口单元 12 相连接,并进一步通过 FPGA 接口单元 12 与 FPGA 平台 2 总线连接,以通过 IP 硬核的验证,实现 SOC 系统的 FPGA 平台调试验证。

[0050] 该片上系统调试验证装置 1 还包括:调试接口单元 13,与 IP 核单元 11 相连接,用于对 IP 核单元 11 进行实时调试。

[0051] 进一步地,上述总线优选为高级微处理器总线架构 AMBA 总线。

[0052] 在本发明的实施例中,在前期的 SOC 系统验证时,在没有 IP 软核或 FPGA 平台资源不够时,可利用该片上系统调试验证装置通过 AMBA 总线把 IP 核单元与 FPGA 平台连接在一起,通过 IP 硬核的方式,实现对 SOC 系统的 FPGA 平台验证,该方法采用 IP 硬核方式,无需

IP 软核，方便了外置模块的实时调试，有效节省了 FPGA 平台的系统资源，极大提高了 SOC 产品的开发效率，降低了开发成本。

[0053] 通过以上的实施方式的描述，所属领域的技术人员可以清楚地了解到本发明可借助软件加必需的通用硬件的方式来实现，当然也可以通过硬件，但很多情况下前者是更佳的实施方式。基于这样的理解，本发明的技术方案本质上或者说对现有技术做出贡献的部分可以以软件产品的形式体现出来，该计算机软件产品存储在可读取的存储介质中，如计算机的软盘、硬盘或光盘等，包括若干指令用以使得一台计算机设备（可以是个人计算机、服务器，或者网络设备等）执行本发明各个实施例所述的方法。

[0054] 以上所述，仅为本发明的具体实施方式，但本发明的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本发明揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本发明的保护范围之内。因此，本发明的保护范围应以所述权利要求的保护范围为准。

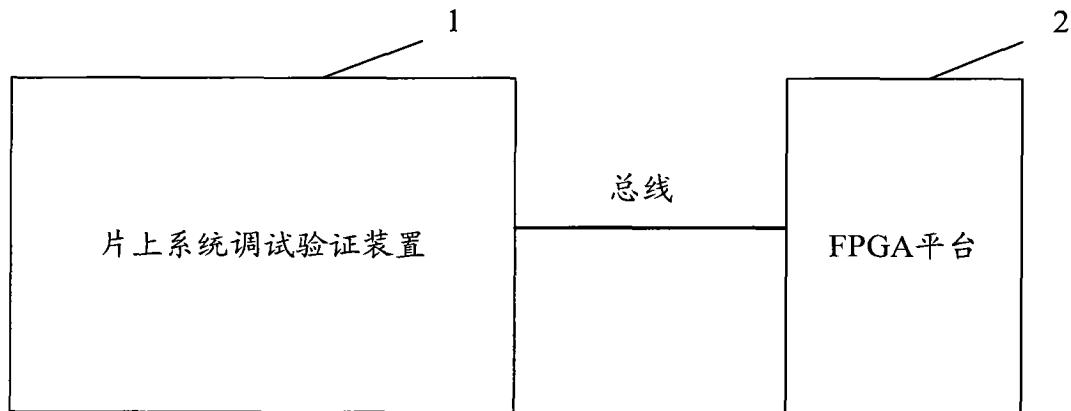


图 1

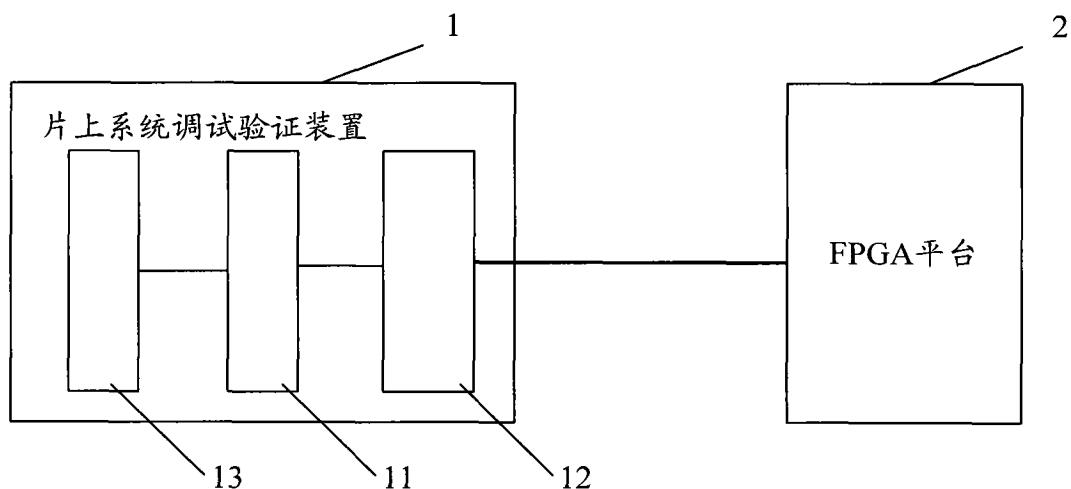


图 2

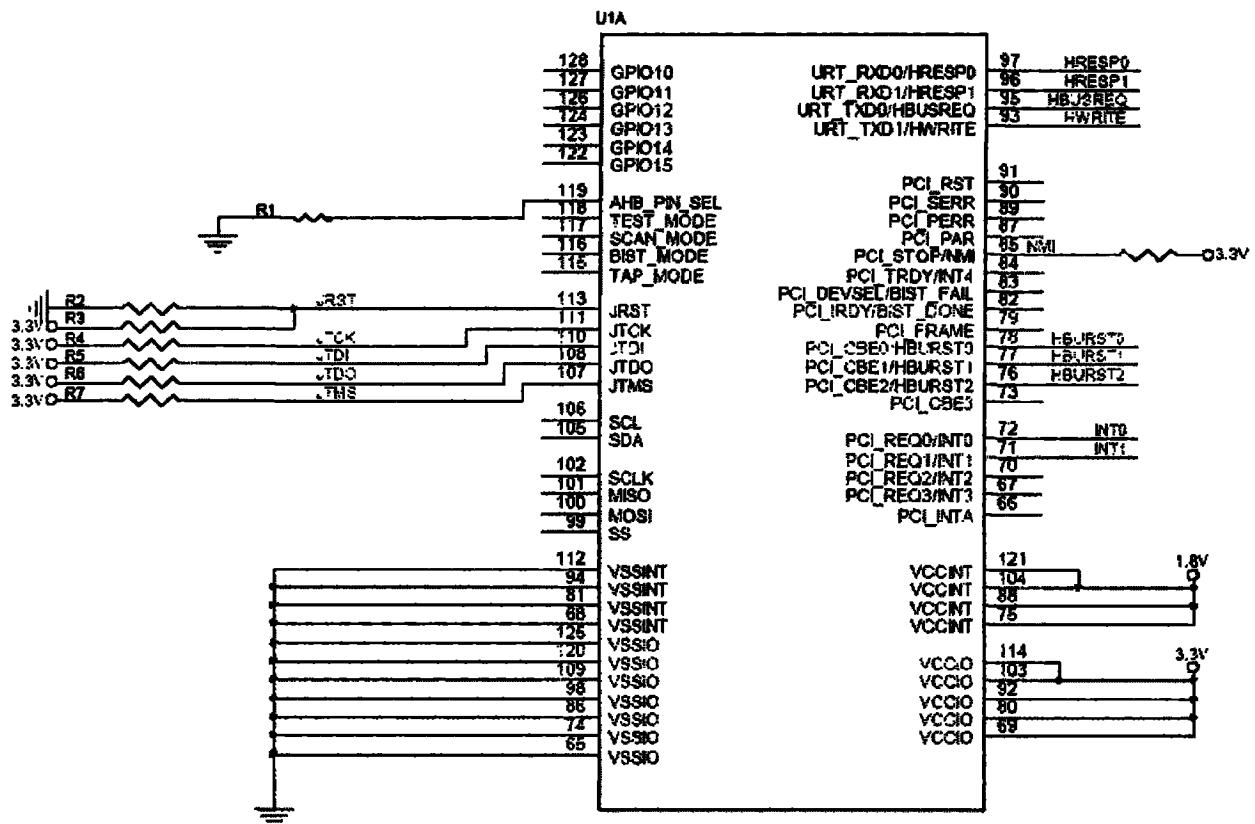


图 3

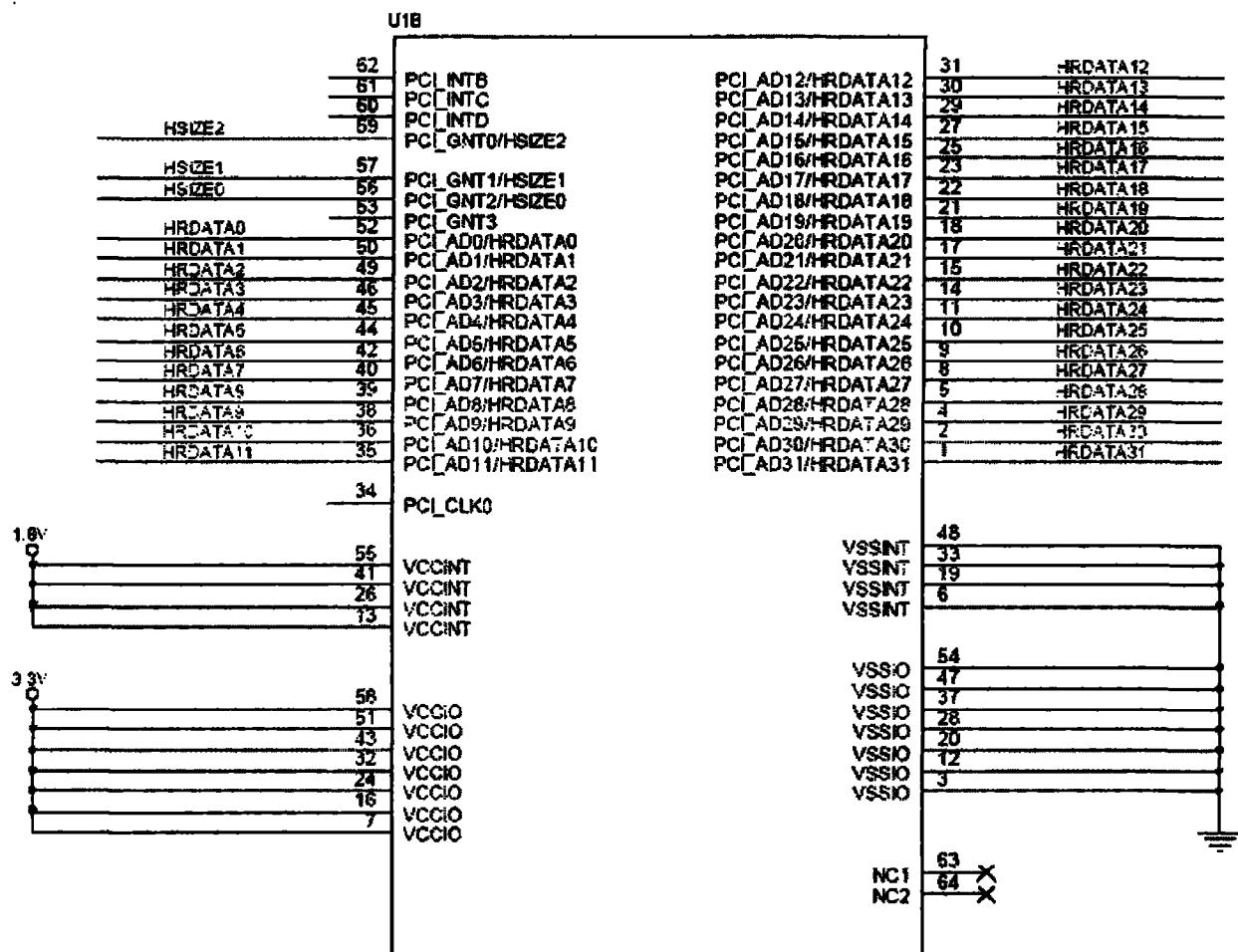


图 4

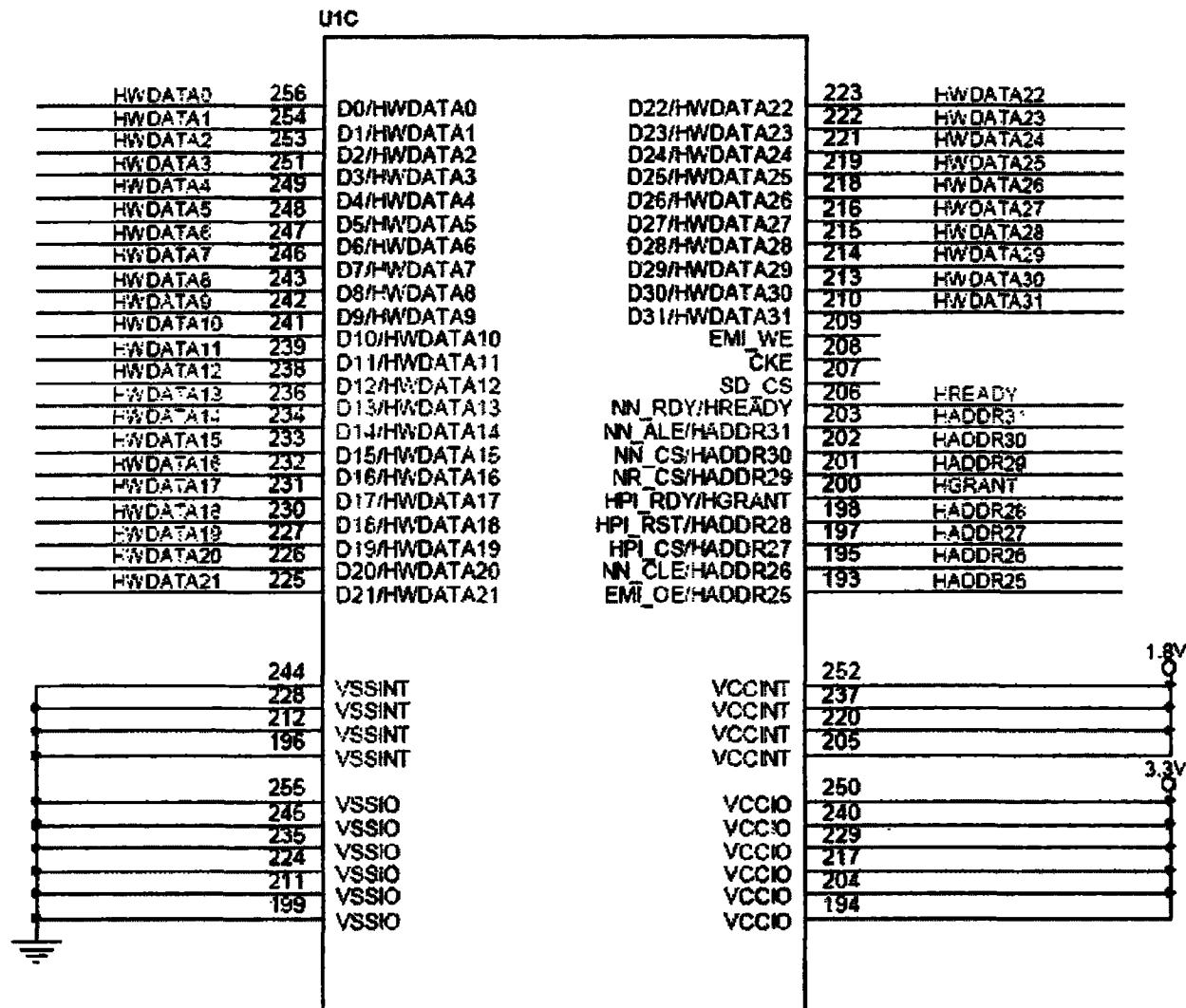


图 5

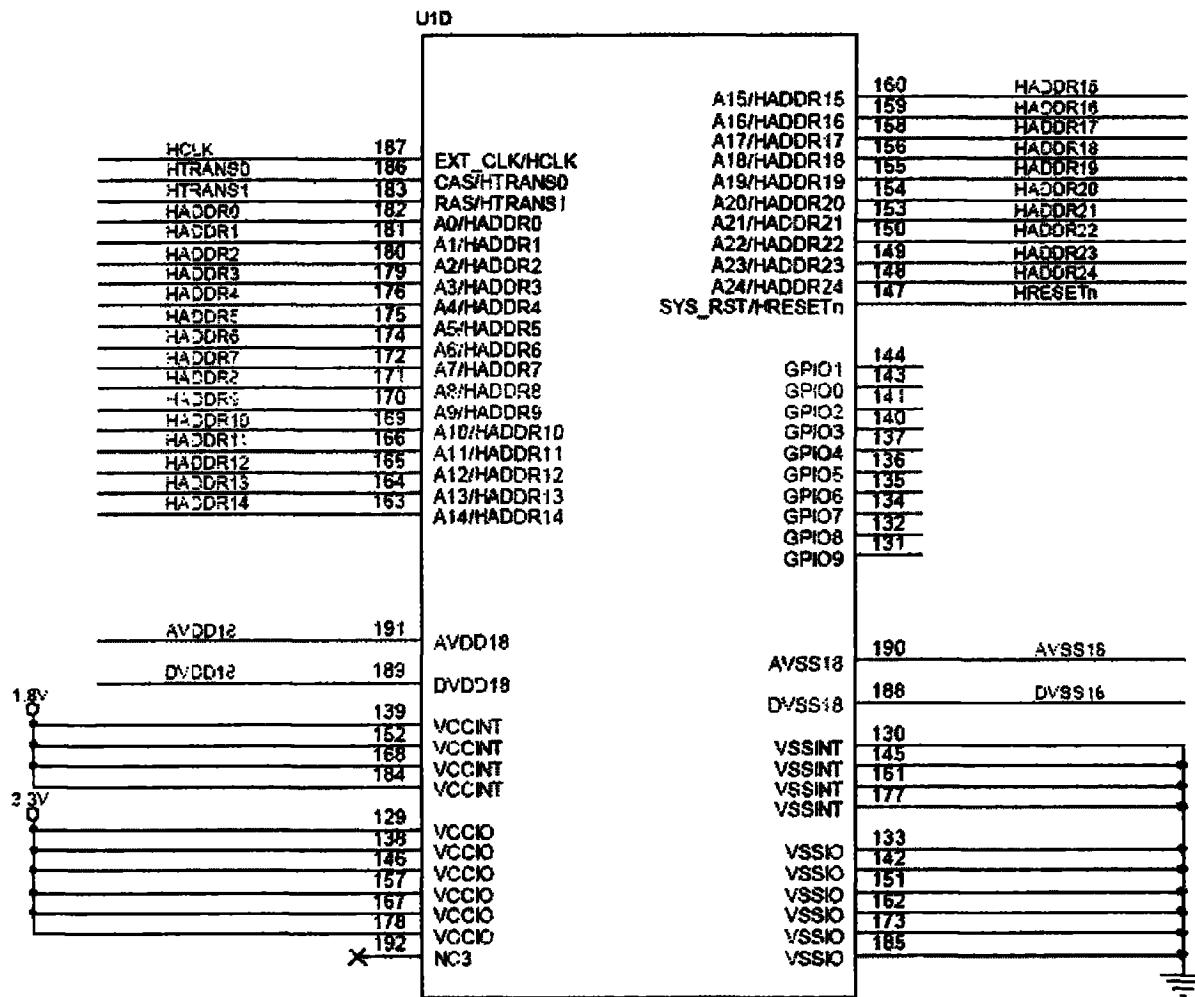


图 6

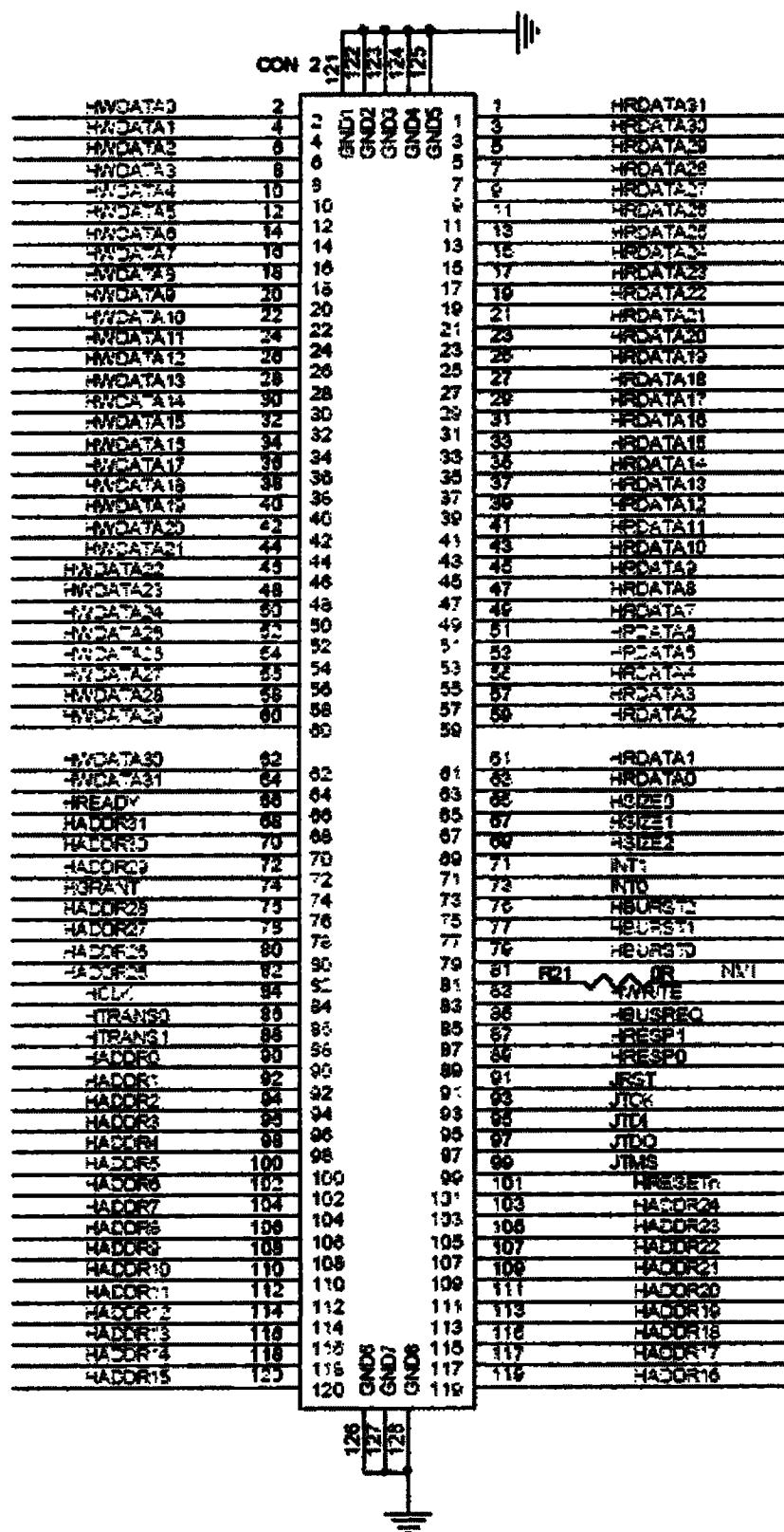


图 7

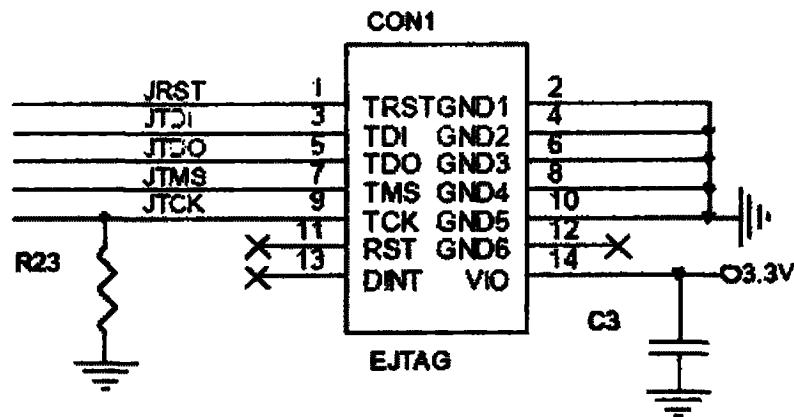


图 8

片上系统调试验证装置与FPGA平台通过总线相连接，通过IP硬核方式，执行片上系统SOC调试验证

101

图 9