

(12) 发明专利申请

(10) 申请公布号 CN 102411987 A

(43) 申请公布日 2012. 04. 11

(21) 申请号 201110280452. 6

(22) 申请日 2011. 09. 20

(30) 优先权数据

10-2010-0092583 2010. 09. 20 KR

13/236, 249 2011. 09. 19 US

(71) 申请人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 崔城赫 孙弘乐 孔骏镇 金宰弘

赵庆来 金容俊

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 侯广

(51) Int. Cl.

G11C 16/02(2006. 01)

G11C 29/42(2006. 01)

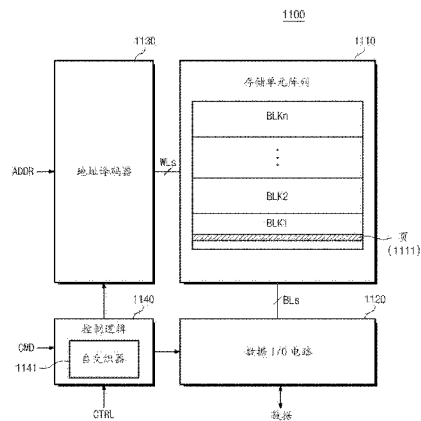
权利要求书 3 页 说明书 13 页 附图 22 页

(54) 发明名称

存储器件及其自交织方法

(57) 摘要

一种存储器件包括：存储单元阵列；自交织器，配置为使用交织方案将数据即时交织和加载到缓冲器电路中；以及控制逻辑，配置为控制存储单元阵列中交织数据的编程。



1. 一种存储器件,包括:
存储单元阵列;
自交织器,配置为使用交织方案将数据即时交织和加载到缓冲器电路中;以及
控制逻辑,配置为控制存储单元阵列中交织数据的编程。
2. 如权利要求 1 所述的存储器件,其中该控制逻辑包括该自交织器。
3. 如权利要求 1 所述的存储器件,其中从该存储器件外部接收数据。
4. 如权利要求 1 所述的存储器件,其中:
该存储单元阵列包括多个物理页,每个物理页能够存储多个逻辑页;
该自交织器被配置为将每个逻辑页划分为多个扇区,并且通过混合各个不同逻辑页的扇区来执行交织方案;以及
该控制逻辑控制存储单元阵列的物理页中多个混合的逻辑页的编程。
5. 如权利要求 4 所述的存储器件,其中该缓冲器电路按扇区存储数据。
6. 如权利要求 5 所述的存储器件,其中该缓冲器电路包括多个页缓冲器,其响应于从自交织器输出的使能信号和选择信号存储各扇区。
7. 如权利要求 6 所述的存储器件,其中每个页缓冲器包括多个锁存器,每个锁存器响应于从自交织器输出的对应的使能信号和对应的选择信号存储一个比特。
8. 如权利要求 7 所述的存储器件,其中该自交织器被配置为以扇区为单位将数据交织和加载到缓冲器电路中。
9. 如权利要求 6 所述的存储器件,进一步包括:
列选择电路,选择该缓冲器电路的页缓冲器;以及
数据缓冲器,向列选择电路提供从存储器件外部接收的数据。
10. 如权利要求 9 所述的存储器件,其中该自交织器被配置为控制该缓冲器电路和该列选择电路来交织和加载数据。
11. 如权利要求 6 所述的存储器件,其中数据来自该存储单元阵列的源页,并且其中该控制逻辑被配置为使用交织控制交织数据到存储单元阵列中的目标页的编程。
12. 如权利要求 11 所述的存储器件,其中该自交织器被配置为顺序地将来自源页的 n 比特数据存储于缓冲器电路的第一页缓冲器中,传递源页数据到数据缓冲器,以及将源页数据从第一页缓冲器即时交织和加载到 n 个锁存器中。
13. 如权利要求 11 所述的存储器件,其中该自交织器被配置为将来自源页的数据存储在缓冲器电路中,传递源页数据到存储器件的外部电路,该电路进一步处理源页数据,以及将源页数据从该外部电路即时交织和加载到缓冲器电路中,以及控制交织数据到存储单元阵列的目标页的编程。
14. 如权利要求 11 所述的存储器件,其中该自交织器被配置为将来自源页的数据和来自存储器件外部的数据存储于缓冲器电路中,以及将源页数据和来自外部的数据即时交织和加载到缓冲器电路中,以及控制交织数据到存储单元阵列的目标页的编程。
15. 如权利要求 4 所述的存储器件,其中通过全状态同时编程方案来编程存储在该缓冲器电路中的多个逻辑页。
16. 如权利要求 4 所述的存储器件,其中该自交织器被配置为确定各个扇区的尺寸。
17. 如权利要求 4 所述的存储器件,其中交织数据具有等于多个扇区的平均比特错误

率的比特错误率。

18. 如权利要求 4 所述的存储器件,其中每个物理页被划分为主区域和备用区域。

19. 如权利要求 1 所述的存储器件,其中该存储单元阵列具有三维结构。

20. 如权利要求 1 所述的存储器件,其中该存储单元阵列是快闪存储单元阵列。

21. 一种存储系统,包括:

如权利要求 1 所述的存储器件;以及

存储控制器,配置为控制该存储器件的操作。

22. 如权利要求 21 所述的存储系统,其中该存储系统是片上系统。

23. 如权利要求 21 所述的存储系统,进一步包括纠错码电路。

24. 如权利要求 23 所述的存储系统,其中该纠错码电路是该存储控制器的一部分。

25. 如权利要求 23 所述的存储系统,其中该纠错码电路与该存储控制器分离。

26. 如权利要求 23 所述的存储系统,其中该纠错码电路设计用于将要存储在存储单元阵列中的逻辑页的平均比特错误率。

27. 如权利要求 21 所述的存储系统,进一步包括:

主机;以及

通信设备,配置为在主机与存储器件之间交换数据。

28. 如权利要求 21 所述的存储系统,进一步包括多个如权利要求 1 所述的存储器件。

29. 如权利要求 21 所述的存储系统,其中该存储器件是存储卡的一部分。

30. 如权利要求 21 所述的存储系统,其中该存储器件是固态驱动器的一部分。

31. 如权利要求 21 所述的存储系统,其中该存储器件是快闪存储器件。

32. 一种包括如权利要求 21 所述的存储系统的电子设备。

33. 一种操作存储器件的方法,包括:

接收数据;

使用交织方案将接收的数据即时交织和加载到缓冲器电路中;以及

在存储器件的存储单元阵列中编程交织数据。

34. 如权利要求 33 所述的方法,其中接收数据包括从该存储器件外部接收数据。

35. 如权利要求 33 所述的方法,其中接收数据进一步包括从该存储器件内部接收数据。

36. 如权利要求 33 所述的方法,其中接收数据包括从存储单元阵列的源页接收数据,而且其中编程包括将交织数据编程到存储单元阵列中的目标页。

37. 如权利要求 33 所述的方法,其中接收数据包括从存储单元阵列的源页接收数据以及从接收来自存储器件外部的数据,其中交织和加载包括混合来自源页的数据和来自外部的数据,其中编程包括将交织数据编程到存储单元阵列中的目标页。

38. 如权利要求 33 所述的方法,其中交织和加载包括:确定要交织的扇区的数据尺寸,将将要存储在存储单元阵列中的逻辑页划分为多个扇区,以及混合不同的逻辑页的扇区。

39. 如权利要求 33 所述的方法,其中交织数据的比特错误率等于多个扇区的平均比特错误率。

40. 如权利要求 33 所述的方法,进一步包括,在编程之前,确定是否全部数据已经被加载到缓冲器电路中。

41. 如权利要求 40 所述的方法,其中当全部数据已经被加载到缓冲器电路中时,编程包括使用全状态同时编程方案。

42. 如权利要求 40 所述的方法,其中,当全部数据尚未被加载到缓冲器电路中时,重复接收、以及交织和加载步骤。

43. 如权利要求 33 所述的方法,其中该存储单元阵列是快闪存储单元阵列。

存储器件及其自交织方法

技术领域

[0001] 本公开这里涉及半导体存储器,且更具体地,涉及使用交织方案的存储器件。

背景技术

[0002] 通常,半导体存储器件分类为诸如动态随机存取存储器 (DRAM) 和静态随机存取存储器 (SRAM) 的易失性存储器、以及诸如电可擦除可编程只读存储器 (EEPROM)、铁电随机存取存储器 (FRAM)、相变随机存取存储器 (PRAM)、磁阻随机存取存储器 (MRAM) 和快闪存储器的非易失性存储器。易失性存储器当停止供电时丢失存储的数据,然而非易失性存储器即使停止供电时也维持存储的数据。具体地,快闪存储器具有高编程速度、低功耗、和大容量数据存储的优点。因此,包括快闪存储器的快闪存储系统正被广泛地用作数据存储介质。

[0003] 快闪存储器可以在一个存储单元中存储 1 比特数据或 2 比特或更多比特数据。通常,存储 1 比特数据的存储单元叫做单电平单元 (SLC),而存储 2 比特或更多比特数据的存储单元叫做多电平单元 (MLC)。SLC 具有依据阈电压的擦除状态和编程状态。MLC 具有依据阈电压的擦除状态和多个编程状态。

[0004] 在具有多电平单元的快闪存储器(以下,称为 MLC 快闪存储器)中,多个逻辑页可以存储在共享一条字线的存储单元(以下,称为物理页)中。这里,每个逻辑页可以具有不同的比特错误率 (BER)。如果假定失败比特的数量在每个读电平中相同,则 N 比特 MLC 快闪存储器在每个逻辑页中可以具有 $1 : 2 : 2^2 : \dots : 2^{N-1}$ 的 BER。

发明内容

[0005] 示例实施例提供存储器件。所述存储器件可以包括:存储单元阵列;自交织器,配置为使用交织方案将数据即时交织和加载到缓冲器电路中;以及控制逻辑,配置为控制存储单元阵列中交织数据的编程。

[0006] 在一些实施例中,控制逻辑可以包括自交织器。

[0007] 在一些实施例中,数据可以从存储器件外部接收。

[0008] 在一些实施例中,存储单元阵列可以包括多个物理页,每个物理页能够存储多个逻辑页;自交织器可以被配置为将每个逻辑页划分为多个扇区,并且通过混合各个不同逻辑页的扇区来执行交织方案;而且控制逻辑可以控制存储单元阵列的物理页中的多个混合的逻辑页的编程。

[0009] 在一些实施例中,缓冲器电路可以按扇区来存储数据。

[0010] 在一些实施例中,缓冲器电路可以包括多个页缓冲器,其响应于从自交织器输出的使能信号和选择信号存储各扇区。

[0011] 在一些实施例中,每个页缓冲器可以包括多个锁存器,每个锁存器响应于从自交织器输出的对应的使能信号和对应的选择信号存储一个比特。

[0012] 在一些实施例中,自交织器可以被配置为以扇区为单位将数据交织和加载到缓冲器电路中。

[0013] 在一些实施例中,该存储器件可以进一步包括:列选择电路,选择缓冲器电路的页缓冲器;以及数据缓冲器,向列选择电路提供从存储器件外部接收的数据。

[0014] 在一些实施例中,自交织器可以被配置为控制缓冲器电路和列选择电路来交织和加载数据。

[0015] 在一些实施例中,数据可以来自存储单元阵列的源页,并且控制逻辑可以被配置为使用交织控制交织数据到存储单元阵列中的目标页的编程。

[0016] 在一些实施例中,自交织器可以被配置为顺序地将来自源页的 n 比特数据存储在缓冲器电路的第一页缓冲器中,传递源页数据到数据缓冲器,以及将源页数据从第一页缓冲器即时交织和加载到 n 个锁存器中。

[0017] 在一些实施例中,自交织器可以被配置为将来自源页的数据存储在缓冲器电路中,传递源页数据到存储器件的外部电路,该电路进一步处理源页数据,以及将源页数据从该外部电路即时交织和加载到缓冲器电路中,以及控制交织数据到存储单元阵列的目标页的编程。

[0018] 在一些实施例中,自交织器可以被配置为将来自源页的数据和来自存储器件外部的数据存储在缓冲器电路中,以及将源页数据和来自外部的数据即时交织和加载到缓冲器电路中,以及控制交织数据到存储单元阵列的目标页的编程。

[0019] 在一些实施例中,存储在缓冲器电路中的多个逻辑页可以通过全状态同时编程方案来编程。

[0020] 在一些实施例中,自交织器可以被配置为确定各个扇区的尺寸。

[0021] 在一些实施例中,交织数据可以具有等于多个扇区的平均比特错误率的比特错误率。

[0022] 在一些实施例中,每个物理页可以被划分为主区域和备用区域。

[0023] 在一些实施例中,存储单元阵列可以具有三维结构。

[0024] 在一些实施例中,存储单元阵列可以是快闪存储单元阵列。

[0025] 示例实施例提供存储系统。所述存储系统可以包括:根据实施例的存储器件;以及存储控制器,控制该存储器件的操作。

[0026] 在一些实施例中,存储系统可以是片上系统。

[0027] 在一些实施例中,存储系统可以包括纠错码电路。

[0028] 在一些实施例中,纠错码电路可以是存储控制器的一部分。

[0029] 在一些实施例中,纠错码电路可以与存储控制器分离。

[0030] 在一些实施例中,纠错码电路可以设计用于将要存储在存储单元阵列中的逻辑页的平均比特错误率。

[0031] 在一些实施例中,存储系统可以包括:主机;以及通信设备,配置为在主机与存储器件之间交换数据。

[0032] 在一些实施例中,存储系统可以包括多个存储器件。

[0033] 在一些实施例中,存储器件可以是存储卡的一部分。

[0034] 在一些实施例中,存储器件可以是固态驱动器的一部分。

[0035] 在一些实施例中,存储器件可以是快闪存储器件。

[0036] 示例实施例提供包括根据实施例的存储系统的电子设备。

[0037] 示例实施例提供操作存储器件的方法。所述方法可以包括：接收数据；使用交织方案将接收的数据即时交织和加载到缓冲器电路中；以及在存储器件的存储单元阵列中编程交织数据。

[0038] 在一些实施例中，接收数据可以包括从存储器件外部接收数据。

[0039] 在一些实施例中，接收数据可以包括从存储器件内部接收数据。

[0040] 在一些实施例中，接收数据可以包括从存储单元阵列的源页接收数据，而且编程可以包括将交织数据编程到存储单元阵列中的目标页。

[0041] 在一些实施例中，接收数据可以包括从存储单元阵列的源页接收数据以及从存储器件外部接收数据，其中，交织和加载包括混合来自源页的数据和来自外部的数据，其中编程包括将交织数据编程到存储单元阵列中的目标页。

[0042] 在一些实施例中，交织和加载可以包括：确定将要交织的扇区的数据尺寸，将将要存储在存储单元阵列中的逻辑页划分为多个扇区，并且混合不同的逻辑页的扇区。

[0043] 在一些实施例中，交织数据的比特错误率可以等于多个扇区的平均比特错误率。

[0044] 在一些实施例中，所述方法可以包括，在编程之前，确定是否全部数据已经被加载到缓冲器电路。

[0045] 在一些实施例中，当全部数据已经被加载到缓冲器电路时，编程可以包括使用全状态同时编程方案。

[0046] 在一些实施例中，当全部数据尚未被加载到缓冲器电路时，该方法可以包括重复接收、以及交织和加载步骤。

[0047] 在一些实施例中，该方法可以利用快闪存储单元阵列来使用。

附图说明

[0048] 通过参考附图详细描述示范实施例，上述和其它特征和优点将对本领域的普通技术人员变得更明显，其中：

[0049] 图 1 说明根据实施例的存储系统的框图；

[0050] 图 2 说明图 1 的快闪存储器的框图；

[0051] 图 3 说明图 1 的存储块 BLK1 的电路图；

[0052] 图 4 到 7 说明图 3 的存储单元的阈电压分布；

[0053] 图 8 说明 2 比特 MLC 快闪存储器的自交织操作的框图；

[0054] 图 9 说明图 8 的 2 比特 MLC 快闪存储器的自交织操作；

[0055] 图 10 和 11 说明 4 比特 MLC 快闪存储器的自交织操作的框图；

[0056] 图 12 说明图 1 的存储系统的自交织操作的流程图；

[0057] 图 13 说明图 1 的快闪存储器的回拷贝 (copyback) 自交织操作的框图；

[0058] 图 14 说明图 13 的快闪存储器的回拷贝自交织操作的流程图；

[0059] 图 15 说明执行回拷贝自交织操作的存储系统的框图；

[0060] 图 16 说明图 15 的存储系统的回拷贝自交织操作的流程图；

[0061] 图 17 说明根据实施例的当自交织方法应用到三维快闪存储器时的框图；

[0062] 图 18 说明图 17 的存储块 BLK1 的三维结构的透视图；

[0063] 图 19 说明图 17 的存储块 BLK1 的等价电路图；

- [0064] 图 20 说明图 19 的等价电路图的平面结构的概念图；
- [0065] 图 21 说明根据实施例的应用于存储卡的快闪存储系统的图；
- [0066] 图 22 说明根据实施例的当存储系统应用到 SSD 时的框图；
- [0067] 图 23 说明图 22 的 SSD 控制器 4210 的配置的框图；以及
- [0068] 图 24 说明根据实施例的当利用电子设备实现快闪存储系统时的框图。

具体实施方式

[0069] 下文将参照附图更完整地描述示例实施例，然而，它们可以以不同的形式实现，并且不应被解读为限于这里阐述的实施例。相反，提供这些实施例以使得本公开对本领域技术人员来说清楚完整，并全面传达本发明的范围。

[0070] I. 包括自交织器的快闪存储系统

[0071] 图 1 说明根据实施例的存储系统的框图。参考图 1，存储系统 1000 可以包括快闪存储器 1100 和存储控制器 1200。

[0072] 快闪存储器 1100 和存储控制器 1200 可以包括在一个存储设备中。该存储设备可以包括 USB 存储器、存储卡、固态驱动器 (SSD) 等。此外，该存储设备可以连接到主机（未示出），如，计算机、笔记本电脑、数字相机、移动电话机、MP3 播放器、PMP、游戏控制台等，然后可以被使用。

[0073] 快闪存储器 1100 可以根据存储控制器 1200 的控制执行擦除、写、或读操作。参考图 1，快闪存储器 1100 可以包括自交织器 1141。快闪存储器 1100 可以使用自交织器 1141 自己执行交织操作。将参考图 2 更详细地描述快闪存储器 1100 的内部配置和操作。

[0074] 仍参考图 1，存储控制器 1200 可以包括快闪接口 1210、主机接口 1220、纠错码 (ECC) 电路 1230、中央处理单元 (CPU) 1240、和缓冲存储器 1250。存储控制器 1200 可以将主机（未示出）输入的数据存储到快闪存储器 1100，并且可以将从快闪存储器 1100 读取的数据提供给主机。

[0075] 快闪接口 1210 可以用于与快闪存储器 1100 交换命令、地址、和数据。即，快闪接口 1210 可以在读操作期间提供读命令和地址，并且可以在写操作期间提供写命令、地址、和数据。主机接口 1220 可以用来从主机接收请求，如写或读，并且响应于主机的请求提供数据。

[0076] ECC 电路 1230 可以使用将要存储在快闪存储器 1100 中的数据来产生校验位。除了数据之外，校验位也被存储在快闪存储器 1100 中。ECC 电路 1230 使用 ECC 能够纠正的比特错误的数量受限制。例如，1 比特 ECC 引擎可以仅纠正 1 比特错误，2 比特 ECC 引擎可以仅纠正 2 比特错误，如此类推。一般，随着可纠正的比特错误的数量增加，ECC 电路的开销增加。

[0077] ECC 电路 1230 可以使用存储在快闪存储器 1100 中的校验位来检测和纠正从快闪存储器 1100 读取的数据错误。该错误检测和纠正技术允许有效地恢复由各种因素破坏的数据。多种方法用于错误检测和纠正技术，例如，里德 - 所罗门 (RS) 码、汉明码、Bose-Chaudhuri-Hocquenghem (BCH) 码、循环冗余码 (CRC) 等。此外，根据存储系统 1000 的结构，ECC 电路 1230 可以位于存储控制器 1200 的内部或外部。

[0078] ECC 电路 1230 可以使用 ECC 编码器（未示出）产生校验位，并且使用 ECC 解码器（未示出）纠正错误和恢复数据。ECC 电路 1230 可以按照预定的数据单位（下文，称为码

字) 执行校验编码或解码操作。

[0079] CPU 1240 可以响应于主机的请求控制快闪存储器 1100 的读、写、和擦除操作。

[0080] 缓冲存储器 1250 可以临时存储从快闪存储器 1100 读取的数据或从主机提供的的数据。另外,缓冲存储器 1250 可以用来驱动固件,例如,快闪转换层 (FTL)。

[0081] 此外,缓冲存储器 1250 可以存储用于管理读错误信息所必需的表信息。该表信息可以在 CPU 1240 的控制下作为元数据存储于快闪存储器 1100 的元区域中。该表信息在加电期间从该元区域复制到缓冲存储器 1250。虽然图中未示出,但是存储系统 1000 可以进一步包括用于存储用于与主机接口连接的代码数据的 ROM。

[0082] 图 2 说明图 1 的快闪存储器 1100 的框图。参考图 2,快闪存储器 1100 包括存储单元阵列 1110、数据输入 / 输出电路 1120、地址译码器 1130、和控制逻辑 1140。

[0083] 存储单元阵列 1110 可以包括多个存储块 BLK1 到 BLKn。每个存储块由多个页组成。每个页 (如,1111) 由多个存储单元组成。快闪存储器 1100 可以以存储块为单位执行擦除操作,并可以以页为单位执行写或读操作。

[0084] 数据输入 / 输出电路 1120 通过多条位线 BL 连接到存储单元阵列 1110。数据输入 / 输出电路 1120 用于接收编程数据并将它们传递到选择的页,或输出从选择的页 1111 读取的数据。

[0085] 地址译码器 1130 通过多条字线 WL 连接到存储单元阵列 1110。地址译码器 1130 接收地址 ADDR 并且选择存储块或页。这里,用于选择存储块的地址被表示为块地址,而用于选择页的地址被表示为页地址。

[0086] 控制逻辑 1140 可以根据从存储控制器 1200 提供的控制信号 CTRL 执行编程、读、和擦除操作。参考图 2,控制逻辑 1140 可以包括自交织器 1141。自交织器 1141 可以自己执行交织操作,且与图 1 的存储控制器 1200 分离。自交织器 1141 可以利用例如模块的硬件和 / 或例如算法的软件来实现。此外,自交织器 1141 可以位于控制逻辑 1140 的外部。

[0087] 图 3 说明图 2 的存储块 BLK1 的电路图。参考图 3,存储块 BLK1 具有单元串结构。一个单元串包括串选择晶体管、多个存储单元、和地选择晶体管。

[0088] 串选择晶体管连接到串选择线 SSL,多个存储单元连接到多条字线 WL0 到 WL31,而地选择晶体管连接到地选择线 GSL。串选择晶体管连接到位线 BL1 到 BLm,而地选择晶体管连接到公共源极线 CSL。

[0089] 多个存储单元可以连接到一条字线 (如,WLi)。连接到一条字线的存储单元的集合被称为物理页。一个物理页可以被划分为用于存储主数据的主区域、和用于存储诸如校验位的额外数据的备用区域。

[0090] 可以在一个存储单元中存储单比特数据或多比特数据 (即,两个或多个比特的数据)。存储单比特数据的存储单元叫做单电平单元 (SLC),而存储多比特数据的存储单元叫做多电平单元 (MLC) 或多比特单元。

[0091] SLC 具有依据阈电压的擦除状态和编程状态。MLC 具有依据阈电压的擦除状态和多个编程状态。快闪存储器 1100 可以同时具有单电平单元和多电平单元。

[0092] 2 比特 MLC 快闪存储器可以在一个物理页中存储两个逻辑页。这里,逻辑页表示在一个物理页中可同时编程的数据的集合。3 比特 MLC 快闪存储器件可以在一个物理页中存储三个逻辑页,而 4 比特 MLC 快闪存储器可以在一个物理页中存储四个逻辑页。

[0093] 图 4 到 7 说明图 3 的存储单元的阈电压分布。更具体地,图 4 和 5 示范性地说明其中在一个存储单元中存储 2 比特数据的存储单元的阈电压分布。图 4 中,水平轴表示阈电压 V_{th} ,而垂直轴表示存储单元的数量。存储单元根据阈电压分布可以具有四个状态 E、P1、P2、和 P3 中的一个。这里,E 代表擦除状态,而 P1、P2、和 P3 代表编程状态。

[0094] 当存储 2 比特数据时,存储单元具有四个状态。参考图 5,第一逻辑页(或 LSB)和第二逻辑页(或 MSB)可以存储在图 3 的一个物理页 1111 中。具有 E 状态的存储单元存储(11),具有 P1 的存储单元存储(10),具有 P2 的存储单元存储(00),而具有 P3 的存储单元存储(01)。

[0095] 快闪存储器 1100 可以在每个逻辑页中具有不同的比特错误率(BER)。随着逻辑页增加,BER 以二为因子增加。例如,如果每个读电平中的失败比特的数量相同,则第一逻辑页 LSB 的 BER 是 1,而第二逻辑页 MSB 的 BER 是 2。如果在一个存储单元中存储 N 比特数据,则关于 N 个逻辑页的每个的 BER 是 $1 : 2 : 2^2 : \dots : 2^{N-1}$ 。

[0096] 图 6 和 7 说明其中在一个存储单元中存储 4 比特数据的存储单元的阈电压分布。参考图 6,存储单元可以根据阈电压分布具有十六个状态 E、P1、P2、...、P15 中的一个。这里,E 代表擦除状态,而 P1 到 P15 代表编程状态。图 6 中,R1 到 R15 是用于读每个状态的读电压电平。

[0097] 参考图 7,第一到第四逻辑页可以存储在图 3 的一个物理页 1111 中。具有 E 状态的存储单元可以存储(1111),具有 P1 状态的存储单元可以存储(1110),具有 P2 状态的存储单元可以存储(1100),而具有 P15 状态的存储单元可以存储(0111)。

[0098] 此外,如果假定每个读电平中的失败比特的数量相同,则第一逻辑页的 BER 是 1,第二逻辑页的 BER 是 2,第三逻辑页的 BER 是 4,而第四逻辑页的 BER 是 8。

[0099] 再参考图 1,存储系统 1000 可以包括用于纠正快闪存储器 1100 的比特错误的 ECC 电路 1230。ECC 电路 1230 可以通过检测和纠正比特错误提高快闪存储器 1100 的可靠性。如果快闪存储器 1100 在一个存储单元中存储 N 比特数据,则 ECC 电路 1230 的可纠正范围被设置为具有最差 BER 的第 N 逻辑页。例如,如果在一个存储单元中存储 4 比特数据,则 ECC 电路 1230 的可纠正范围被设置为第四逻辑页。

[0100] 每个逻辑页的 BER 不成比例可以是增加 ECC 电路 1230 的开销的因素。随着可纠正比特的数量增加,ECC 电路 1230 占据的面积增加。通过执行自交织操作,根据实施例的图 2 的快闪存储器 1100 可以平均每个逻辑页的 BER,并且可以减少 ECC 电路 1230 的开销。以下,将描述快闪存储器 1100 的自交织方法作为示范实施例。

[0101] II. 自交织方法的实施例

[0102] 1. 2 比特 MLC 快闪存储器的自交织方法

[0103] 图 8 说明 2 比特 MLC 快闪存储器的自交织操作的框图。参考图 8,图 2 的数据输入/输出电路 1120 包括页缓冲电路 1121、列选择电路 1122、和数据缓冲器 1123。数据输入/输出电路 1120 可以根据自交织器 1141 的控制执行自交织操作。

[0104] 仍参考图 8,页缓冲电路 1121 可以包括多个页缓冲器 PB1 到 PB2048。每个页缓冲器连接到每条位线,并且包括至少两个锁存器 LATa 和 LATb。第一逻辑页(页 1)存储在 LATa 中,而第二逻辑页(页 2)存储在 LATb 中。LATa 和 LATb 分别响应于信号 ENa 和 ENb 而激活。

[0105] 列选择电路 1122 可以响应于选择信号 SEL 选择位线。这里,选择信号 SEL 可以是起始列地址和地址计数信号。起始列地址表示开始存储数据的页缓冲器,而地址计数表示将要存储数据的页缓冲器的数目。例如,如果数据存储在第一到第 1024 个页缓冲器 PB1 到 PB1024 中,则起始列地址表示第一页缓冲器 PB1,而地址计数表示页的数目,即,1024。

[0106] 数据缓冲器 1123 可以按字节单位或字单位接收数据。接收的数据通过列选择电路 1122 存储在页缓冲电路 1121 中。数据缓冲器 1123 可以根据自交织器 1141 的控制接收或输出数据 DATA。此外,图 2 的快闪存储器 1100 可以装备用于执行自交织操作的数据缓冲器,其与用于输入/输出的数据缓冲器 1123 分离。

[0107] 自交织器 1141 可以通过控制页缓冲电路 1121、列选择电路 1122、和数据缓冲器 1123 来执行自交织操作。自交织器 1141 可以通过交织单元执行交织操作。参考图 8,第一和第二逻辑页由 2048 比特组成。每个逻辑页可以划分为多个交织单元 (IU)。这里,扇区被定义为借以执行交织操作的最小单元。扇区可以从 1 比特到 n 比特 (如,8 比特、512 比特、和 1024 比特) 多样地调整。

[0108] 交织操作是指将图 3 的一个物理页 1111 中存储的多个逻辑页按 IU 来划分并混合它们的操作。自交织器 1141 可以通过按 IU 混合多个逻辑页来减轻逻辑页之间的 BER 不均衡。即,自交织器 1141 可以通过平均逻辑页之间的 BER 来减少图 1 的 ECC 电路 1230 的开销。

[0109] 图 9 说明图 8 的 2 比特 MLC 快闪存储器的自交织操作。参考图 8 和 9,第一逻辑页 (页 1) 可以划分为多个 IU,并且第一 IU (IU1) 由两个扇区 A1 和 A2 组成。例如,如果第一逻辑页是 2048 比特,并且第一交织单元是 512 比特,则每个扇区是 256 比特。类似地,第二逻辑页 (页 2) 可以划分为多个 IU,并且第二 IU (IU2) 由两个扇区 B1 和 B2 组成。

[0110] 首先,将检查没有执行交织操作时的码字配置。第一 IU (IU1) 包括扇区 A1 和 A2,而第二 IU (IU2) 包括扇区 B1 和 B2。此时,由于第一 IU (IU1) 包括在第一逻辑页 (页 1) 中,其具有 BER 为 1,并且由于第二 IU (IU2) 包括在第二逻辑页 (页 2) 中,其具有 BER 为 2。图 9 中,BER 由每个扇区的一个或多个点表示。该情况下,由于 ECC 电路 1230 被设计为满足第二 IU (IU2) 的 BER,不交织时,ECC 电路 1230 具有与 BER 为 2 对应的静电容量。

[0111] 接下来,将检查执行交织操作时的码字配置。将第一逻辑页 (页 1) 的扇区 A1 和第二逻辑页的扇区 B1 混合,从而组成第一 IU (IU1)。第一 IU (IU1) 包括在第一逻辑页中并且包括扇区 A1 和扇区 B1。类似地,将扇区 A2 和扇区 B2 混合,从而最后组成第二 IU (IU2)。第二 IU (IU2) 包括在第二逻辑页中并且由扇区 A2 和扇区 B2 组成。此时,第一和第二 IU (IU1、IU2) 的每个的 BER 是 1.5 (1 和 2 的平均值)。该情况下,ECC 电路 1230 具有与减少的 BER (如, BER 平均值,即 1.5) 对应的静电容量。

[0112] 如图 9 所示,一旦交织操作开始,由于 ECC 电路 1230 具有 1.5 的静电容量,ECC 电路 1230 的静电容量可以减少 0.5。图 8 的快闪存储器 1100 可以将第一和第二逻辑页划分为多个 IU 并且按扇区单元混合它们,从而可以执行自交织操作。根据实施例,可以减少 ECC 电路 1230 的开销。

[0113] 2.4 比特 MLC 快闪存储器的自交织方法

[0114] 图 10 说明 4 比特 MLC 快闪存储器的自交织操作的框图。参考图 10,图 2 的数据输入/输出电路 1120 包括页缓冲电路 1121、列选择电路 1122、和数据缓冲器 1123。数据输入

/ 输出电路 1120 可以根据自交织器 1141 的控制执行自交织操作。

[0115] 参考图 10, 页缓冲电路 1121 包括多个页缓冲器 PB1 到 PB2048。每个页缓冲器包括至少四个锁存器 LATa 到 LATd。第一到第四逻辑页分别存储在 LATa 到 LATd 中。LATa 到 LATd 分别响应于信号 ENa 到 ENd 而激活。

[0116] 列选择电路 1122 可以响应于选择信号 SEL 选择位线。这里, 选择信号 SEL 可以是起始列地址和地址计数信号。数据缓冲器 1123 可以按字节单位、字单位等接收数据。

[0117] 自交织器 1141 可以通过控制页缓冲电路 1121、列选择电路 1122、和数据缓冲器 1123 来执行自交织操作。自交织器 1141 可以通过激活信号 ENa 到 ENd 而在 LATa 到 LATd 中存储数据。此外, 自交织器 1141 可以通过提供起始列地址和地址计数来确定 IU 或扇区尺寸。

[0118] 参考图 10 和 11, 第一逻辑页 (页 1) 可以划分为多个 IU, 并且第一 IU (IU1) 由四个扇区 A1 到 A4 组成。类似地, 第二 IU (IU2) 由扇区 B1 到 B4 组成, 第三 IU (IU3) 由扇区 C1 到 C4 组成, 而第四 IU (IU4) 由扇区 D1 到 D4 组成。此时, 第一到第四 IU : IU1 到 IU4 分别具有的 BER 是 1、2、4、和 8。图 11 中, BER 由每个扇区中的一个或多个点表示。该情况下, 由于 ECC 电路 1230 被设计为满足扇区的最高 BER, 即第四 IU (IU4) 的 BER, ECC 电路 1230 具有与 BER 为 8 对应的静电容量。

[0119] 在自交织器 1141 中, 将扇区 A1、B1、C1 和 D1 混合, 从而组成第一 IU (IU1)。即, 第一 IU (IU1) 由扇区 A1、B1、C1、和 D1 组成。类似地, 将扇区 A2、B2、C2、和 D2 混合, 从而组成第二 IU (IU2); 将扇区 A3、B3、C3、和 D3 混合, 从而组成第三 IU (IU3); 并将扇区 A4、B4、C4、和 D4 混合, 从而组成第四 IU (IU4)。此时, 第一到第四 IU (IU1 到 IU4) 的每个 BER 是 3.75, 即, 交织之前的原始扇区之间的平均值。

[0120] 该情况下, ECC 电路 1230 需要具有与减少的 BER 值 (这里为平均值 3.75) 对应的静电容量。如图 11 所示, 一旦交织操作开始, 由于 ECC 电路 1230 要求 3.75 的静电容量, ECC 电路 1230 的静电容量可以减少 4.25。

[0121] 图 12 说明图 1 的存储系统 1000 的自交织操作的流程图。参考图 1, 根据实施例的存储系统 1000 可以通过执行自交织操作来减少逻辑页之间的 BER 不平衡。以下, 将描述图 1 所示的存储系统 1000 的自交织操作。

[0122] 在操作 S110, 图 1 的存储系统 1000 确定执行交织操作的数据的尺寸。图 2 的快闪存储器 1100 中自身执行交织操作, 并且可以从图 1 的存储控制器 1200 提供 IU 的尺寸。

[0123] 在操作 S120, 从存储控制器 1200 向快闪存储器 1100 的图 8 的数据缓冲器 1123 传递数据。在操作 S130, 通过列选择电路 1122 将数据从数据缓冲器 1123 加载到页缓冲电路 1121。此时, 快闪存储器 1100 使用这里所述的交织混合每个 IU 的数据。在操作 S140, 确定是否全部数据都被加载到页缓冲器。如果尚未加载全部数据, 则重复操作 S120 和 S130。如果已加载全部数据, 则在操作 S150 使用全状态同时编程方案同时地在存储单元上编程加载的数据。根据图 12 的自交织方法, 减少逻辑页之间的 BER 不平衡。一旦减轻 BER 不平衡, 就可以减少 ECC 电路的静电容量。

[0124] 3. 在快闪存储器执行的回拷贝自交织方法

[0125] 图 13 说明图 1 的快闪存储器的回拷贝自交织操作的框图。根据实施例的快闪存储器 1100 可以通过自交织方法执行回拷贝操作。回拷贝操作表示将快闪存储器的源页中

存储的数据传递到目标页的操作。

[0126] 参考图 13, 快闪存储器 1100 包括存储单元阵列 1110、页缓冲电路 1121、列选择电路 1122、数据缓冲器 1123、和自交织器 1141。图 3 所示的快闪存储器 1100 可以通过自交织方法执行回拷贝操作而无需图 1 的 ECC 电路 1230 的额外开销。

[0127] 图 13 中, 假定存储在快闪存储器 1100 的源页中的第一和第二逻辑页 MSB 和 LSB 被拷贝回目标页。为了执行拷贝操作, 页缓冲电路 1121 中的每个页缓冲区 (未示出) 可以包括至少三个锁存器, 如 LATA、LATb、和 LATc。锁存器 LATA、LATb、和 LATc 分别响应于信号 ENa、ENb、和 ENc 而激活。自交织器 1141 产生用于控制页缓冲电路 1121、列选择电路 1122、和数据缓冲器 1123 的信号 ENa、ENb、ENc、SEL、和 DBC。

[0128] 图 14 说明图 13 的快闪存储器的回拷贝自交织操作的流程图。参考图 13 和 14, 将描述快闪存储器 1100 的回拷贝自交织操作。

[0129] 在操作 S210, 快闪存储器 1100 读取源页的 MSB 数据并且将其存储在锁存器 LATc 中。自交织器 1141 激活信号 Enc 以将 MSB 数据存储在锁存器 LATc 中。

[0130] 在操作 S220, 存储在锁存器 LATc 中的 MSB 数据被传递给数据缓冲器 1123。此时, MSB 数据可以按照扇区单元划分并且使用交织方案存储在锁存器 LATA 和 LATb 中。可以如图 8 和 9 描述地执行该交织。自交织器 1141 可以通过使用控制信号 ENa、ENb、Enc、SEL、和 DBC 通过列选择电路 1122 和数据缓冲器 1123 在锁存器 LATA 和 LATb 中存储 MSB 数据。

[0131] 在操作 S230, 读取源页的 LSB 数据并将其存储在锁存器 LATc 中。在操作 S240, 存储在锁存器 LATc 中的 LSB 数据被传递到数据缓冲器 1123、按照扇区单元划分、并使用交织方案存储在锁存器 LATA 和 LATb 中。此时, 根据自交织器 1141, 响应于控制信号 ENa、ENb、Enc、SEL、和 DBC, 存储在锁存器 LATc 中的 LSB 数据通过列选择电路 1122 和数据缓冲器 1123 被划分和存储在锁存器 LATA 和 LATb 中。在操作 S250, 使用全状态同时编程方案同时地在存储单元中编程存储在锁存器 LATA 和 LATb 中的数据。

[0132] 4. 使用缓冲存储器的回拷贝自交织方法

[0133] 图 15 说明执行回拷贝自交织操作的存储系统的框图。参考图 15, 存储系统 1000 包括快闪存储器 1100、ECC 电路 1230、和缓冲存储器 1250。快闪存储器 1100 包括存储单元阵列 1110、页缓冲电路 1121、和自交织器 1141。可以使用缓冲存储器 1250 执行快闪存储器 1100 的回拷贝操作。

[0134] 在图 15, 假定存储在快闪存储器 1100 的源页中的第一和第二逻辑页 MSB 和 LSB 被拷贝回目标页。为了执行拷贝操作, 页缓冲电路 1121 中的每个页缓冲区 (未示出) 需要至少两个锁存器 LATA 和 LATb。锁存器 LATA 和 LATb 分别响应于信号 ENa 和 ENb 而激活。自交织器 1141 产生用于控制页缓冲电路 1121 的信号 ENa 和 ENb。

[0135] 图 16 说明图 15 的存储系统的回拷贝自交织操作的流程图。参考图 15 和 16, 将按顺序描述根据实施例的存储系统的回拷贝自交织操作。

[0136] 在操作 S310, 快闪存储器 1100 读取源页的 MSB 和 LSB 数据并且将其存储在锁存器 LATA 和 LATb 中。在操作 S320, 将存储在锁存器 LATA 和 LATb 中的 MSB 和 LSB 数据输出到缓冲存储器 1250。在操作 S330, 将 MSB 和 LSB 数据按照扇区单元划分并使用交织方案存储在锁存器 LATA 和 LATb 中。如上所述, 可以通过按预定单元划分每个逻辑页的 IU 获得各扇区。

[0137] 在操作 S330,可以执行参考图 8 和 9 描述的操作。即,通过产生关于存储在缓冲存储器 1250 的数据的校验位和使用交织方案,将数据和校验位存储在锁存器 LATa 和 LATb 中。在操作 S340,可以将存储在锁存器 LATa 和 LATb 中的数据同时编程到目标页。

[0138] III. 自交织方法的应用示例

[0139] 图 17 说明根据实施例的当自交织方法应用到三维快闪存储器时的框图。参考图 17,快闪存储器 2100 包括三维单元阵列 2110、数据输入 / 输出电路 2120、地址译码器 2130、和控制逻辑 2140。

[0140] 三维单元阵列 2110 包括多个存储块 BLK1 到 BLKz。每个存储块具有三维结构(或垂直结构)。在具有三维结构的存储块中,沿与衬底垂直的方向形成存储单元。每个存储块构成快闪存储器 2100 的擦除单元。

[0141] 数据输入 / 输出电路 2120 通过多条位线 BL 连接到三维单元阵列。数据输入 / 输出电路 2120 可以从外部接收数据 DATA,或可以将三维单元阵列 2110 读取的数据 DATA 输出到外部。地址译码器 2130 通过多条字线 WL 和选择线 GSL 和 SSL 连接到三维单元阵列 2110。地址译码器 2130 可以接收地址 ADDR 并且选择字线。

[0142] 控制逻辑 2140 包括自交织器 2141。自交织器 2141 可以自身执行交织操作,与图 1 的存储控制器 1200 分离。

[0143] 图 18 说明图 17 的存储块 BLK1 的三维结构的透视图。参考图 18,沿与衬底 SUB 垂直的方向形成存储块 BLK1。在衬底 SUB 中形成 n+ 掺杂区域。在衬底 SUB 上交替地布置栅电极层和绝缘层。可以在栅电极层与绝缘层之间形成电荷存储层。

[0144] 通过将栅电极层和绝缘层垂直地定模(pattern)来形成 V 形支柱。该支柱通过栅电极层和绝缘层连接到衬底 SUB。支柱的外面部分 O 可以由沟道半导体构成,而内部部分 I 可以由诸如二氧化硅的绝缘材料构成。

[0145] 仍参考图 18,存储块 BLK1 的栅电极层可以连接到地选择线 GSL、多条字线 WL1 到 WL8、以及串选择线 SSL。存储块 BLK1 的支柱可以连接到多条位线 BL1 到 BL3。图 17 中,虽然示出一个存储块 BLK1 包括两条选择线 GSL 和 SSL、8 条字线 WL1 到 WL8、以及三条位线 BL1 到 BL3,然而线的实际数目可以变化。

[0146] 图 19 说明图 17 的存储块 BLK1 的等价电路图。参考图 19,NAND 串 NS11 到 NS33 连接在位线 BL1 到 BL3 与公共源极线 CSL 之间。每个 NAND 串(如,NS11)包括串选择晶体管 SST、多个存储单元 MC1 到 MC8、以及地选择晶体管 GST。

[0147] 串选择晶体管 SST 连接到串选择线 SSL1 到 SSL3。多个存储单元 MC1 到 MC8 分别连接到对应的字线 WL1 到 WL8。地选择晶体管 GST 连接到地选择线 GSL1 到 GSL3。串选择晶体管 SST 连接到位线 BL,而地选择晶体管 GST 连接到公共源极线 CSL。

[0148] 仍参考图 19,具有相同高度的字线(如 WL1)被共同连接,并且将地选择线 GSL1 到 GSL3 和串选择线 SSL1 到 SSL3 分离。如果连接到第一字线 WL1 并包括在 NAND 串 NS11、NS12 和 NS13 中的存储单元(以下,称为页)被编程,则选择第一字线 WL1 和第一选择线 SSL 和 GSL1。

[0149] 图 20 说明图 19 的等价电路图的平面结构的平面概念图。参考图 20,图 19 的存储块 BLK1 由三个平面构成。图 20 中,NAND 串 NS11、NS12、和 NS13 组成平面 PLANEa,NAND 串 NS21、NS22、和 NS23 组成平面 PLANEb,而 NAND 串 NS31、NS32、和 NS33 组成平面 PLANEc。WL1

划分为 WLa1、WLb1、和 WLe1，而 WL2 划分为 WLa2、WLb2、和 WLe2。以同样的方式，WL_n 划分为 WLa_n、WLb_n、和 WLe_n。

[0150] 编程顺序可以改变。例如，可以从 PLANEa 到 PLANEc 顺序执行编程操作。在每个平面中，编程操作可以从 WL1 到 WL8 顺序执行。此外，如图 20 所示，可以在 PLANEb 与 PLANEc 之间进一步包括至少一个平面。

[0151] 参考图 17，快闪存储器 2100 可以使用自交织器 2141 自己执行交织操作。通过上述方法执行交织操作。

[0152] 根据实施例的存储系统可以应用于各种产品。存储系统可以利用电子设备（诸如个人计算机、数字相机、摄像机、移动电话机、MP3、PMP、PSP、和 PDA）和存储设备（诸如存储卡、USB 存储器、和固态驱动器（SSD））来实现。

[0153] 图 21 说明根据实施例的应用于存储卡的快闪存储系统的图。存储卡系统 3000 包括主机 3100 和存储卡 3200。主机 3100 包括主机控制器 3110 和主机连接单元 3120。存储卡 3200 包括卡连接单元 3210、卡控制器 3220、和快闪存储器 3230。

[0154] 主机 3100 可以在存储卡 3200 中写数据，并且可以读取存储在存储卡 3200 中的数据。主机控制器 3110 可以通过主机连接单元 3120 向存储卡 3200 发送命令（如，写命令）、由主机 3100 中的时钟产生器（未示出）产生的时钟信号 CLK、以及数据 DATA。

[0155] 与卡控制器 3220 的时钟产生器（未示出）产生的时钟信号同步，卡控制器 3220 响应于通过卡连接单元 3210 接收的写命令在快闪存储器 3230 中存储数据。快闪存储器 3230 存储从主机 3100 发送的数据。例如，如果主机 3100 是数字相机，则快闪存储器 3230 存储图像数据。

[0156] 图 21 的存储卡 3200 可以通过自交织方法减少快闪存储器 3230 的逻辑页之间的 BER 不平衡。如上所述执行该自交织方法。

[0157] 图 22 说明根据实施例的当存储系统应用到 SSD 时的框图。参考图 22，SSD 系统 4000 包括主机 4100 和 SSD 4200。

[0158] SSD 4200 通过信号连接器 4211 与主机 4100 交换信号，并且通过电源连接器 4211 接收电源。SSD 4200 可以包括多个快闪存储器 4201 到 420n、SSD 控制器 4210、以及辅助电源设备 4220。

[0159] 多个快闪存储器 4201 到 420n 被用作存储介质。SSD 4200 可以使用快闪存储器之外的诸如 PRAM、MRAM、ReRAM、和 FRAM 的非易失性存储设备。多个快闪存储器 4201 到 420n 可以通过多个通道 CH1 到 CHn 连接到 SSD 控制器 4210。至少一个快闪存储器可以连接到一个通道。连接到一个通道的快闪存储器可以连接到相同的数据总线。

[0160] SSD 控制器 4210 通过信号连接器 4211 与主机 4100 交换信号 SGL。这里，SGL 可以包括命令、地址、和数据。SSD 控制器 4210 根据主机 4100 的命令在对应的快闪存储器中写数据，或从对应的快闪存储器读取数据。将参考图 23 更详细地描述 SSD 控制器 4210 的内部配置。

[0161] 辅助电源设备 4220 通过电源连接器 4221 连接到主机 4100。辅助电源设备 4220 从主机 4100 接收电源 PWR 并且进行充电。此外，辅助电源设备 4220 可以置于 SSD 4200 中或 SSD 4200 外。例如，辅助电源设备 4220 可以置于主板中并且可以向 SSD 4200 提供辅助电源。

[0162] 图 23 说明图 22 的 SSD 控制器 4210 的配置的框图。参考图 23, SSD 控制器 4210 包括 NVM 接口 4211、主机接口 4212、ECC 电路 4213、中央处理单元 (CPU) 4214、和缓冲存储器 4215。

[0163] NVM 接口 4211 将从缓冲存储器 4215 传递的数据分散到各个通道 CH1 到 CHn。此外, NVM 接口 4211 将从快闪存储器 4201 到 420n 读取的数据传递到缓冲存储器 4215 中。这里, NVM 接口 4211 可以使用快闪存储器的接口方法。即, SSD 控制器 4210 可以根据快闪存储器接口方法执行编程、读、或擦除操作。

[0164] 主机接口 4212 根据主机 4100 的协议提供与 SSD 4200 的接口。主机接口 4212 可以通过通用串行总线 (USB)、小型计算机系统接口 (SCSI)、PCI 快速、ATA、并行 ATA (PATA)、串行 ATA (SATA)、和串行附着 SCSI (SAS) 与主机 4100 通信。此外, 主机接口 4212 可以执行盘仿真以支持主机 4100 将 SSD 识别为硬盘驱动器 (HDD)。

[0165] ECC 电路 4213 使用发送到快闪存储器 4201 到 420n 的数据按码字单位产生纠错码 (ECC) 的校验位。产生的校验位被存储在快闪存储器 4201 到 420n 的备用区域中。ECC 电路 4213 检测从快闪存储器 4201 到 420n 读取的数据的错误。如果检测的错误在可纠正范

围中, 则 ECC 电路 4213 纠正检测的错误。

[0166] CPU 4214 分析和处理来自图 2 的主机 4100 的信号 SGL。CPU 4214 通过主机接口 4212 或 NVM 接口 4211 控制主机 4100 或快闪存储器 4201 到 420n。CPU 4214 根据用于驱动 SSD 4200 的固件控制快闪存储器 4201 到 420n 的操作。

[0167] 缓冲存储器 4215 临时存储从主机 4100 提供的写数据、或从快闪存储器读取的数据。此外, 缓冲存储器 4215 可以存储将要存储在快闪存储器 4201 到 420n 的元数据或高速缓存数据。在突然掉电操作期间, 存储在缓冲存储器 4215 中的元数据或高速缓存数据被存储在快闪存储器 4201 到 420n 中。缓冲存储器 4215 可以包括 DRAM 或 SRAM。图 21 和 22 中所示的 SSD 4000 可以使用如上所述的自交织方法减轻 BER 不平衡。

[0168] 图 24 说明根据实施例的当利用电子设备实现快闪存储系统时的框图。这里, 电子设备 5000 可以实现为个人计算机 (PC) 或便携电子设备, 诸如笔记本计算机、移动电话机、个人数字助理 (PDA)、和相机。

[0169] 参考图 24, 电子设备 5000 包括存储系统 5100、电源设备 5200、辅助电源设备 5250、CPU 5300、RAM 5400、和用户接口 5500。存储系统 5100 包括快闪存储器 5110 和存储控制器 5120。存储系统 5100 可以使用如上所述的自交织方法减轻 BER 不平衡。

[0170] 作为总结和回顾, 根据实施例, 自交织可以用来减少各扇区之间 BER 的差异。例如, 不同扇区中的页可以在扇区之间重新分配 (即, 混合) 以使得每个扇区的 BER 是相同的, 如, 扇区之间 BER 的平均值。因此, 根据实施例, 可以减轻 BER 不平衡, 可以减少 ECC 电路的负荷, 而且可以减少缓冲存储器的尺寸。

[0171] 如上所述, 自交织可以利用例如模块的硬件、或例如算法或固件的软件来实现。算法或固件可以实现为计算机可读记录介质中的计算机可读代码和 / 或程序。根据一些实施例的使用交织技术的非易失性存储器件的编程方法可以通过执行计算机程序来实现, 该计算机程序用于执行在计算机可读记录介质中存储的非易失性存储器件的编程方法。

[0172] 计算机可读记录介质是能够存储随后由计算机系统读取的数据的任何数据存储设备。更具体地, 计算机可读记录介质可以是如有形的、非短暂的记录介质。计算机可读记

录介质的例子包括只读存储器 (ROM), 随机访问存储器 (RAM)、CD-ROM、磁带、软盘、和光数据存储设备。RFID 系统中用于执行程序程序的升级的方法的程序代码可以以载波的形式传输 (诸如通过因特网的数据传输)。

[0173] 计算机可读记录介质也可以分布在网络耦合的计算机系统上以使得以分布方式存储和 / 或执行计算机可读代码。同样, 由施例所属领域的程序员可以容易地得出用于实现施例的功能程序、代码、和 / 或代码段。

[0174] 这里已经公开示例实施例, 虽然采用特定术语, 它们仅按照一般的和描述性的含义来使用和解释而不是限制性的目的。在一些实例中, 本领域普通技术人员显然可知, 在提交本申请时, 结合特定实施例描述的特征、特点和 / 或元素可以单独地使用或结合地与参考其他实施例描述的特征、特点和 / 或元素一起使用, 除非特别指出外。因此, 本领域的技术人员不难理解, 可以在形式和细节上进行各种改变而不背离所附权利要求书阐述的本发明的精神和范围。

[0175] 对相关申请的交叉引用

[0176] 本申请要求于 2010 年 9 月 20 日提交的韩国专利申请 No. 10-2010-0092583 的优先权, 其全部内容通过参照而被合并于此。

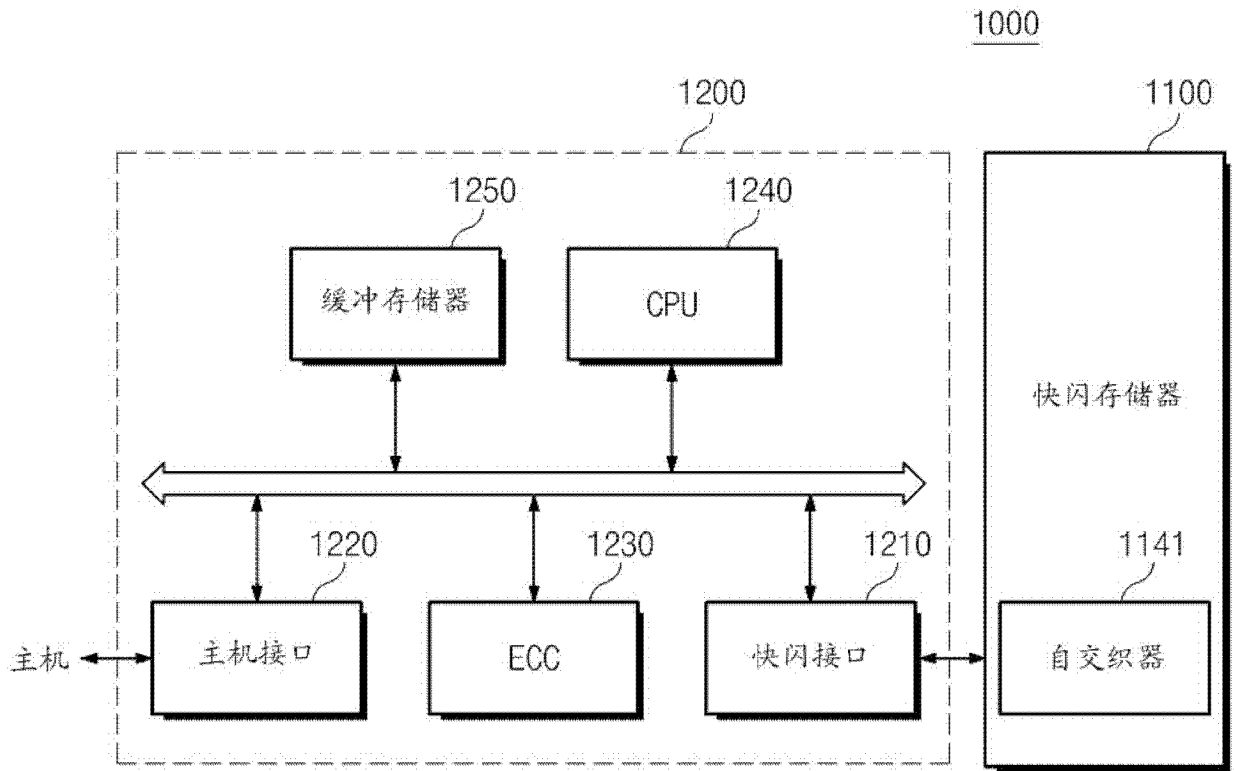


图 1

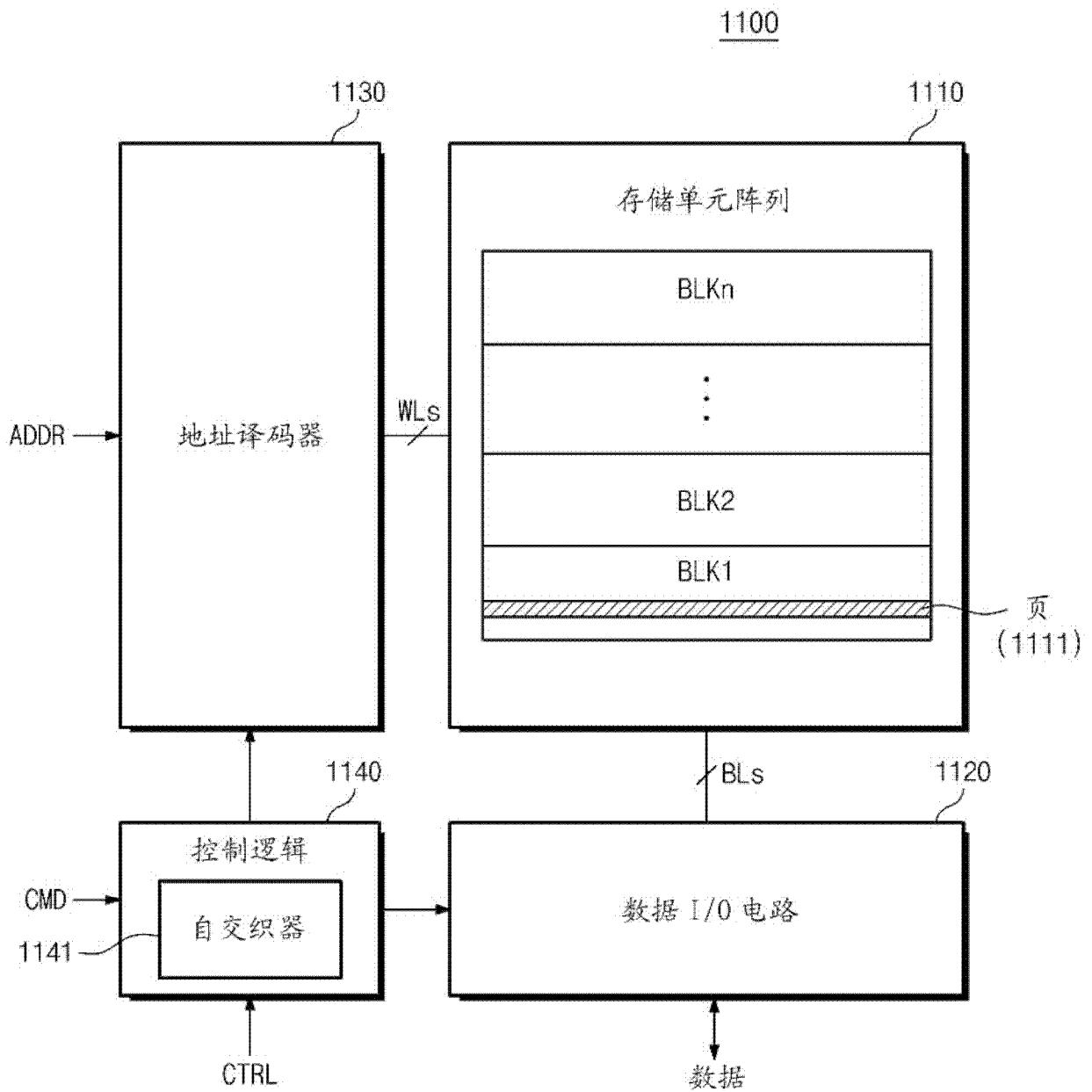


图 2

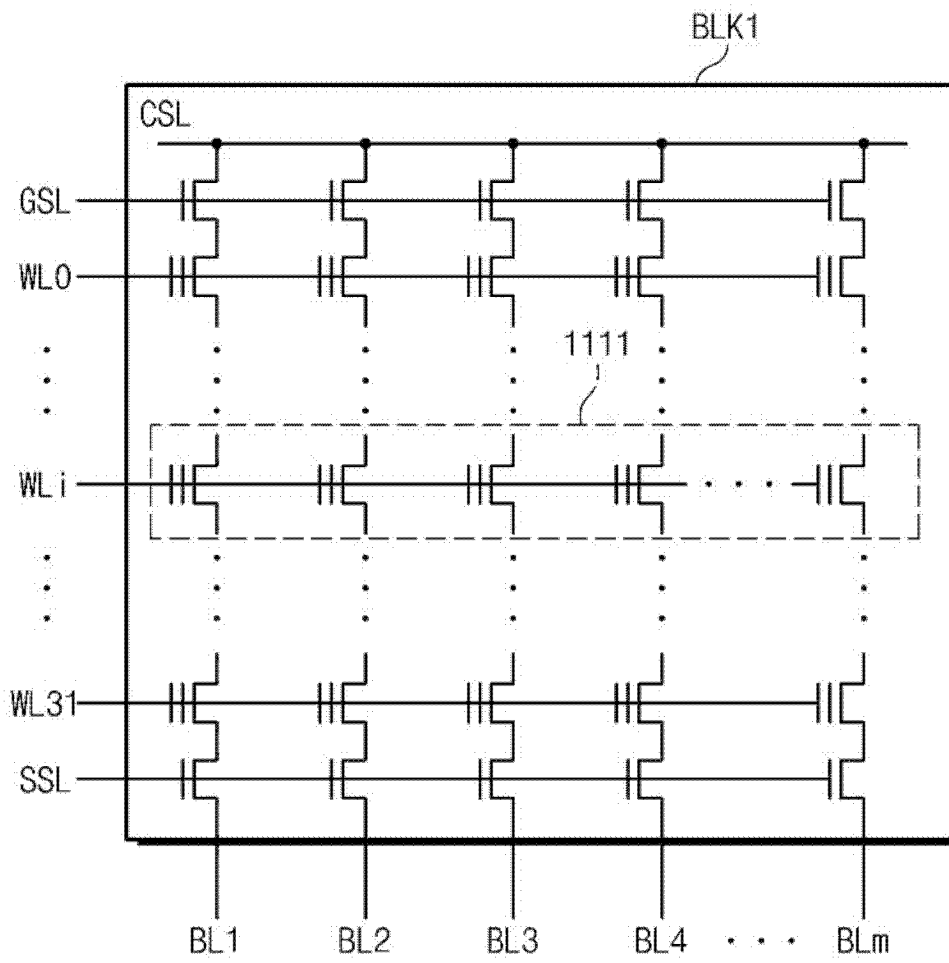


图 3

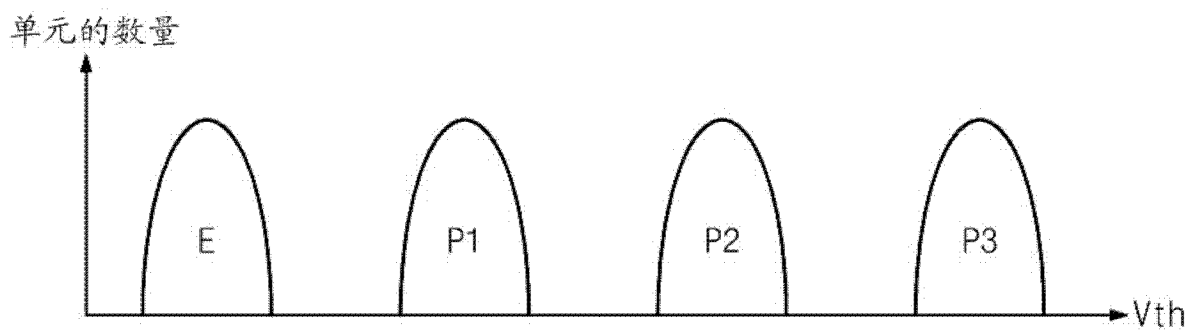


图 4

状态 页	E	P1	P2	P3	BER
页 1 (LSB)	1	1	0	0	1
页 2 (MSB)	1	0	0	1	2

图 5

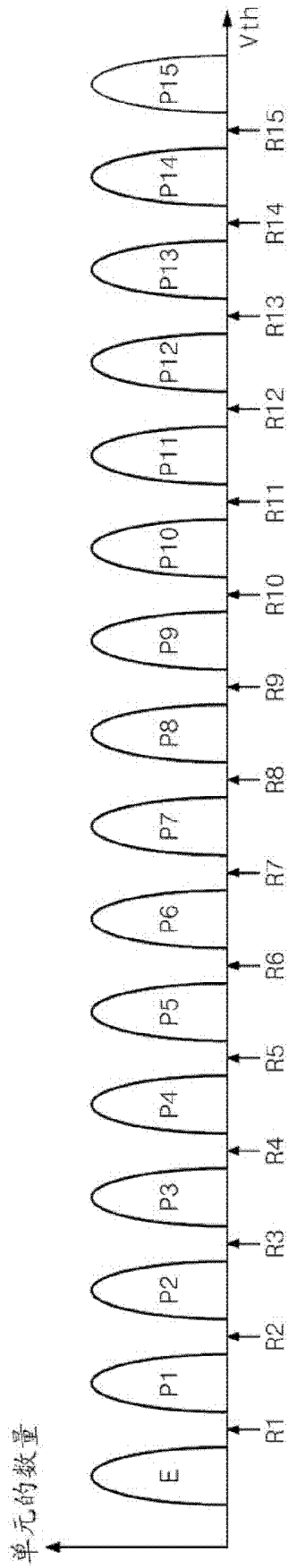


图 6

状态 / 页	E	P1	P2	P3	P4	P5	P6	P7	P8	P9	P10	P11	P12	P13	P14	P15	BER
页 1	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	1
页 2	1	1	1	1	0	0	0	0	0	0	0	0	1	1	1	1	2
页 3	1	1	0	0	0	0	1	1	1	1	0	0	0	0	1	1	4
页 4	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	8

图 7

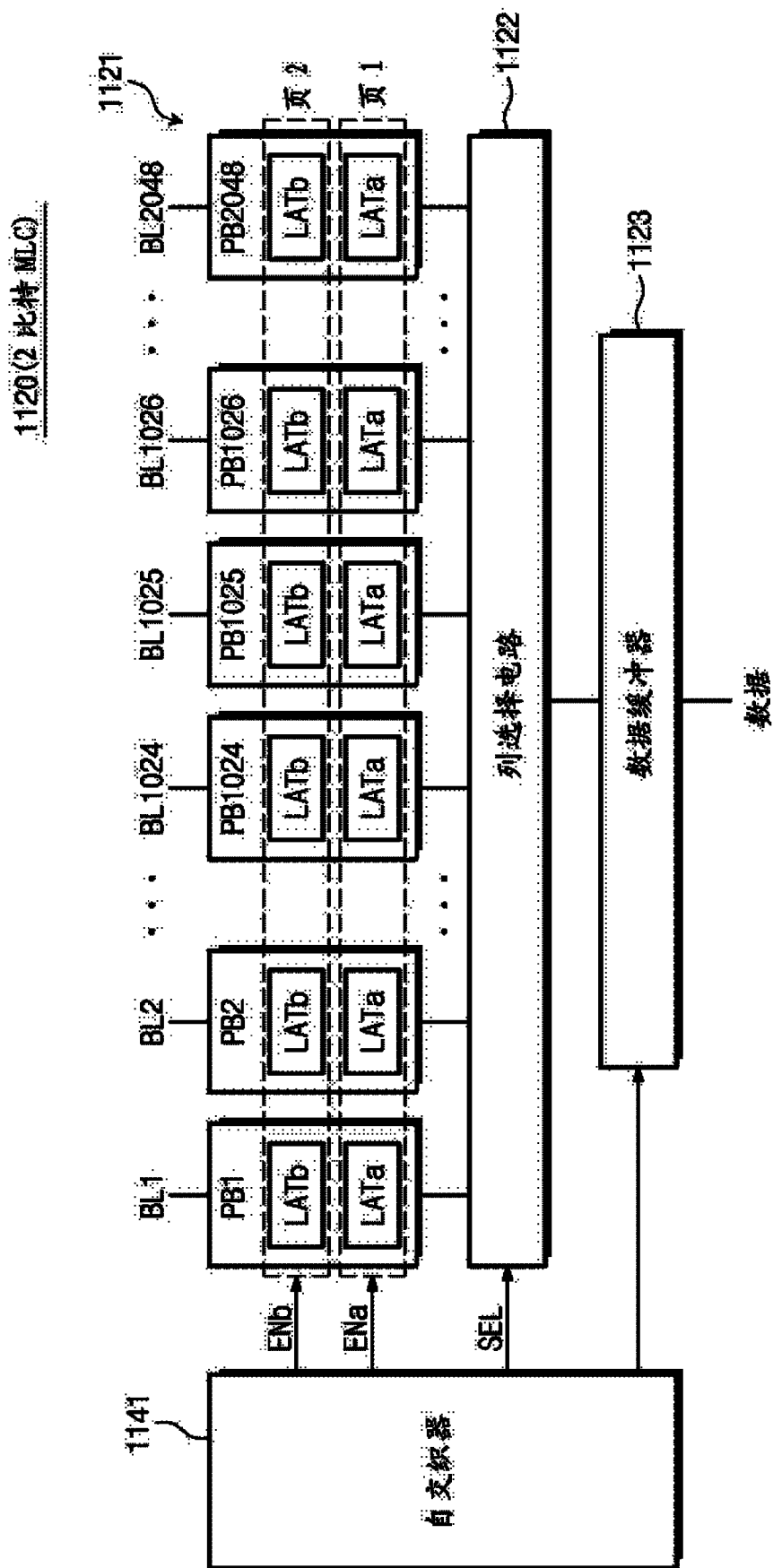


图 8

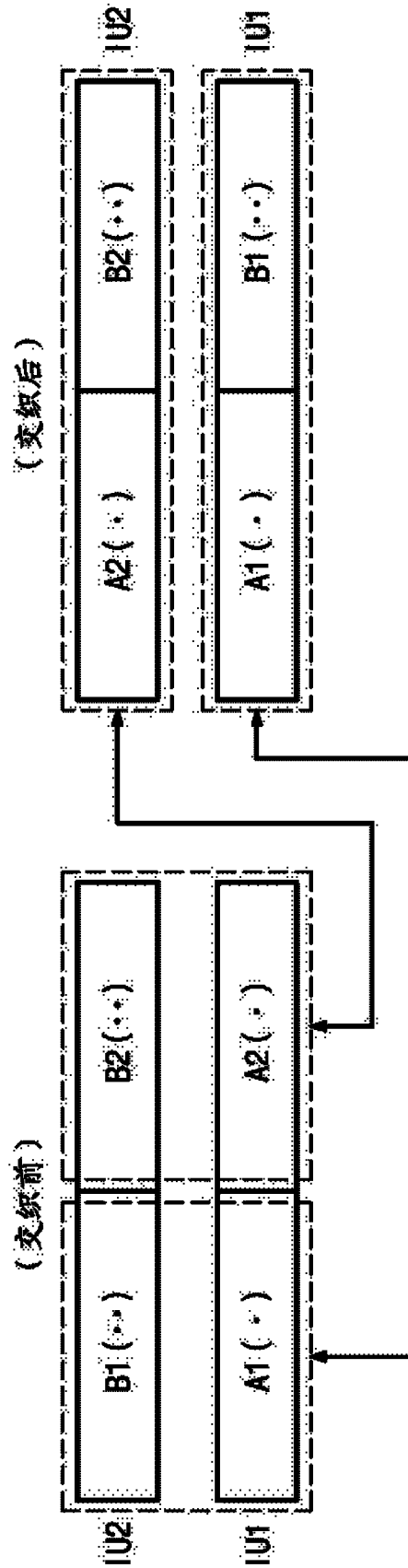


图 9

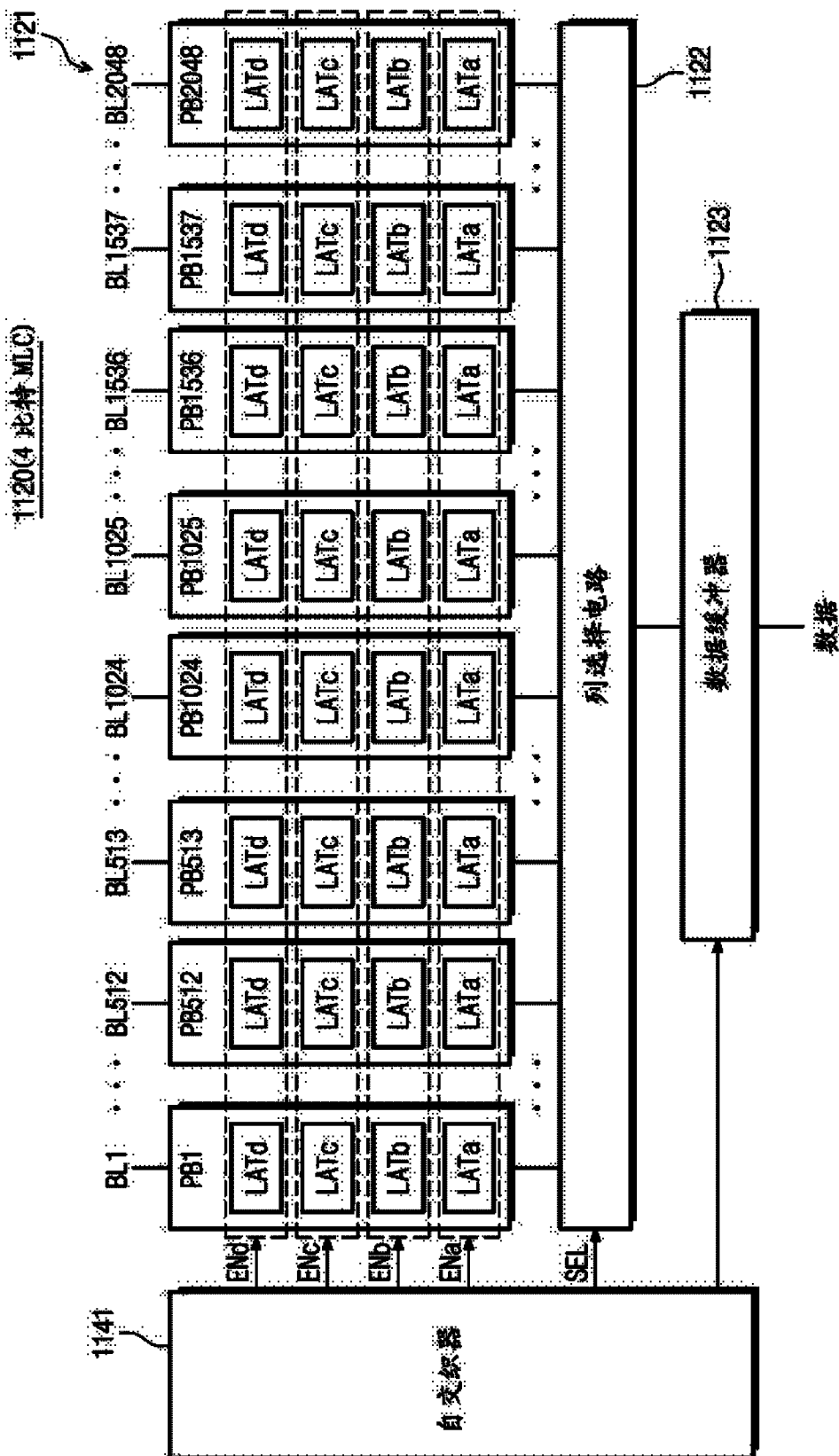


图 10

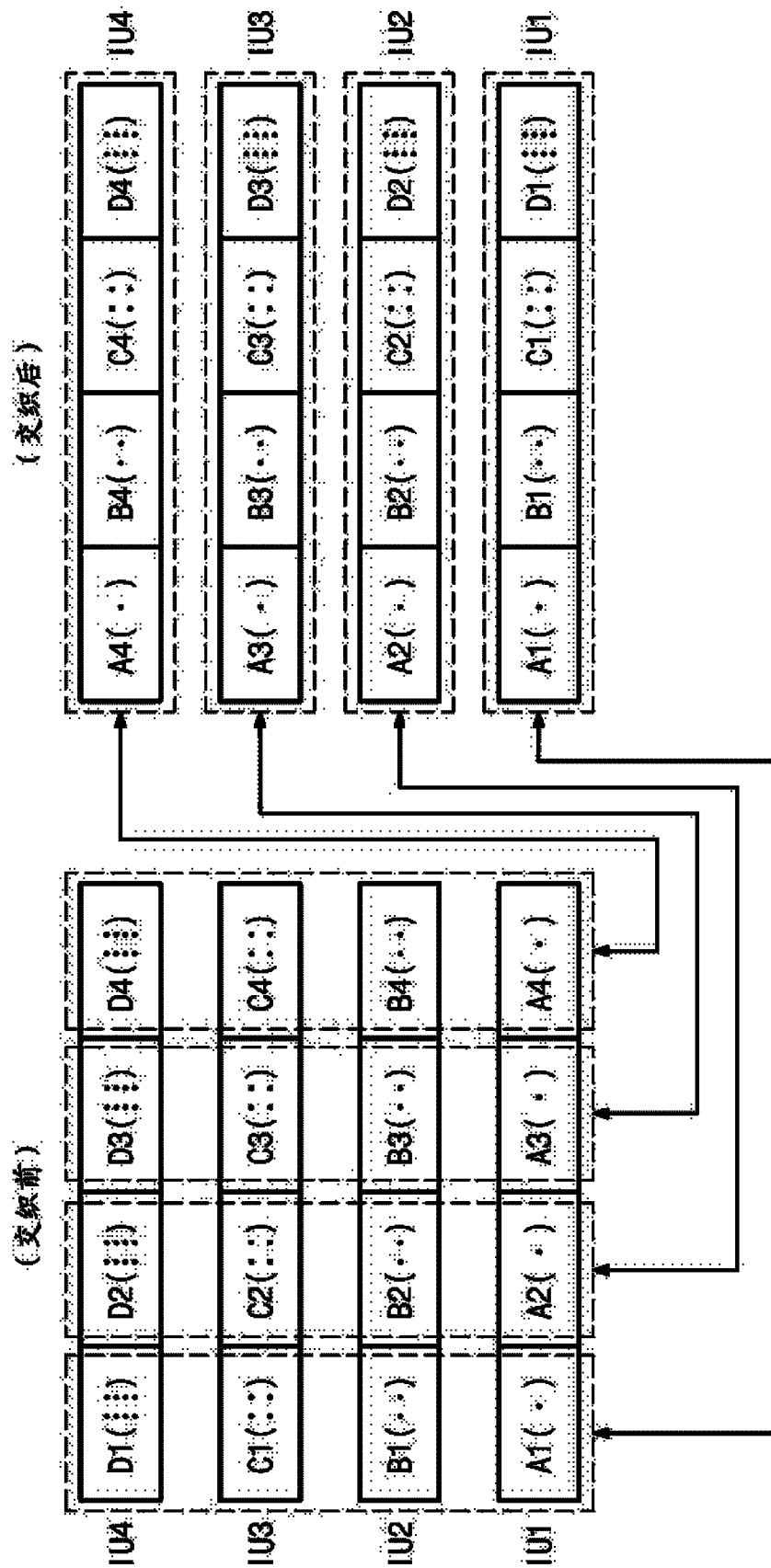


图 11

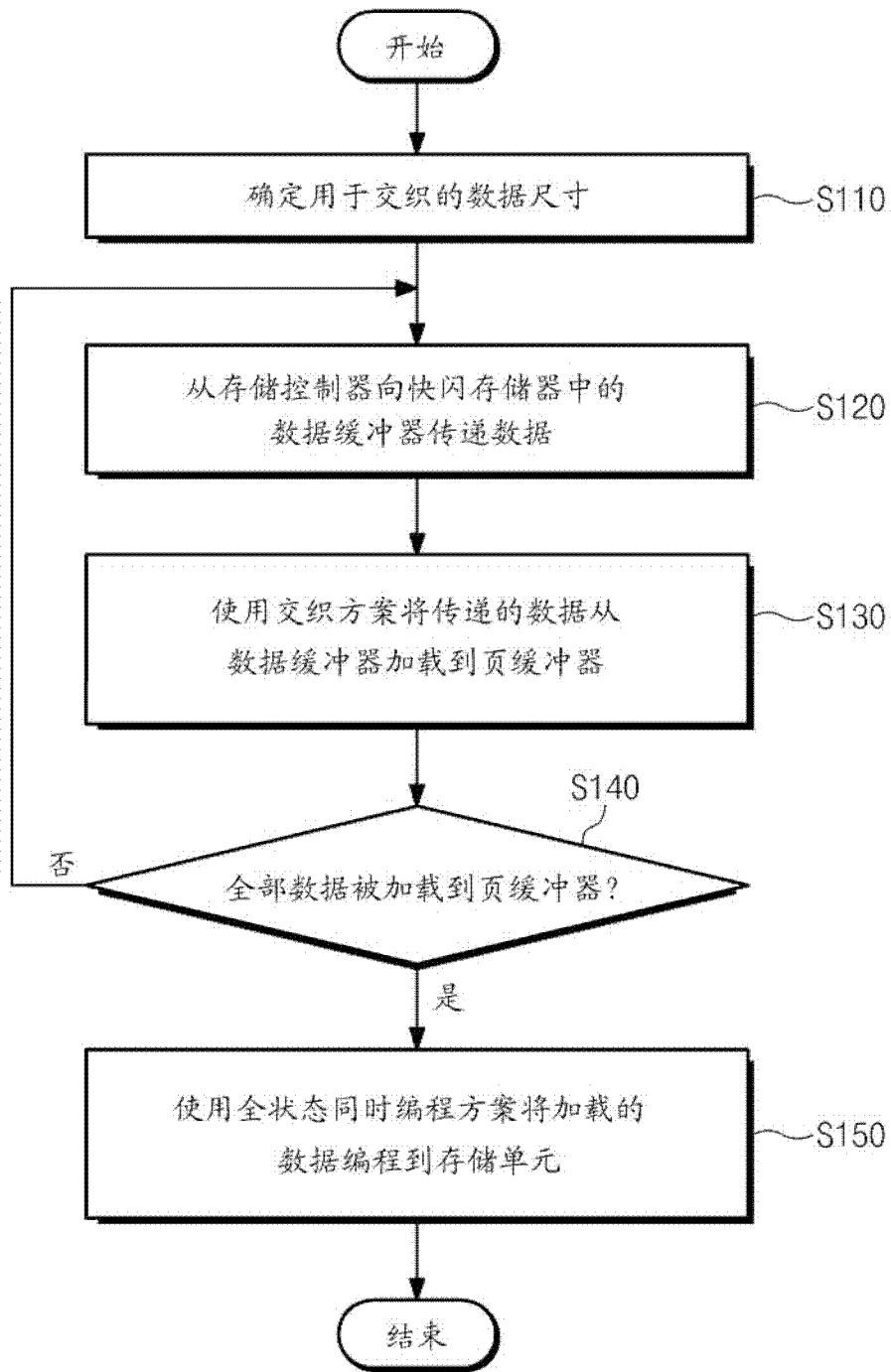


图 12

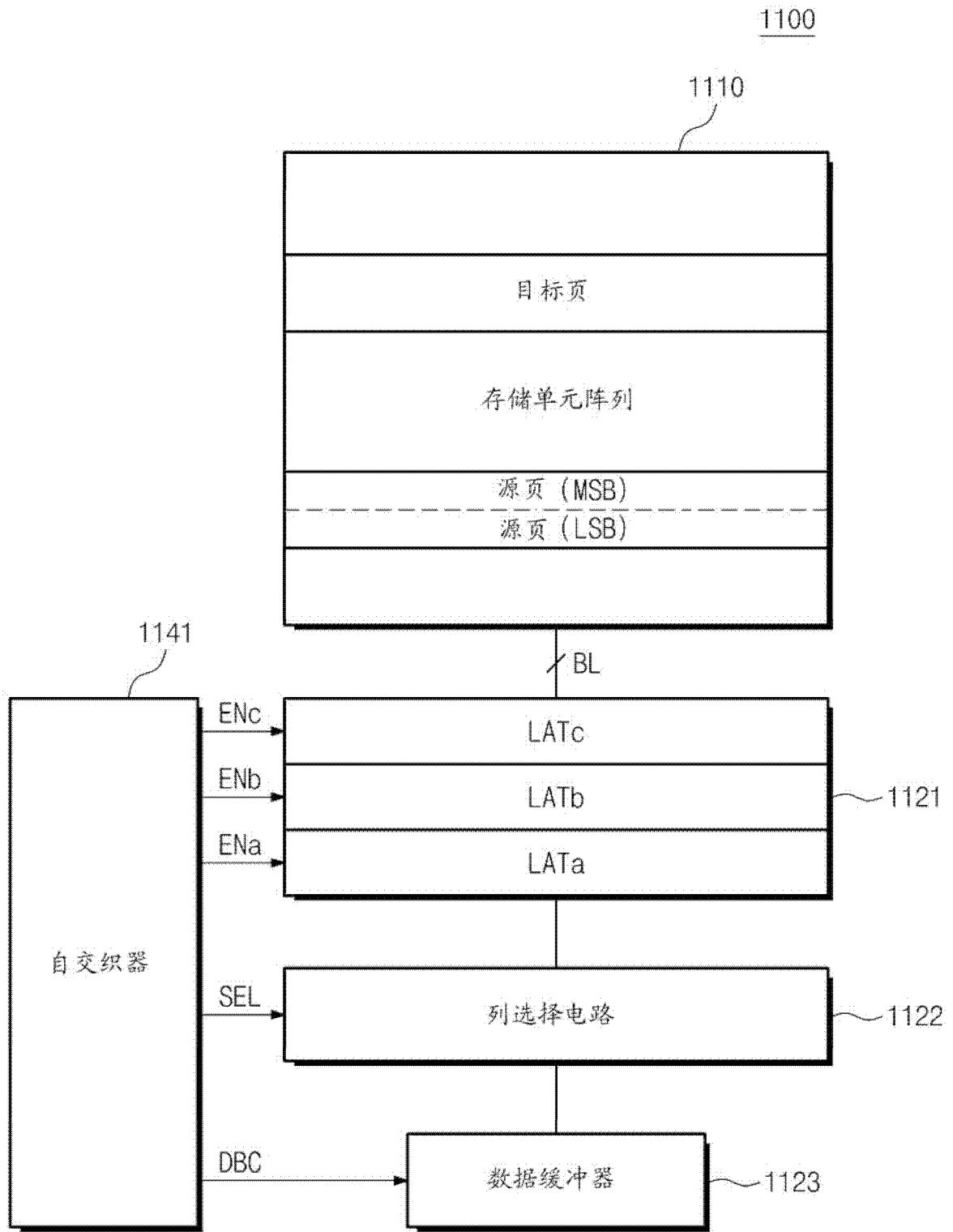


图 13

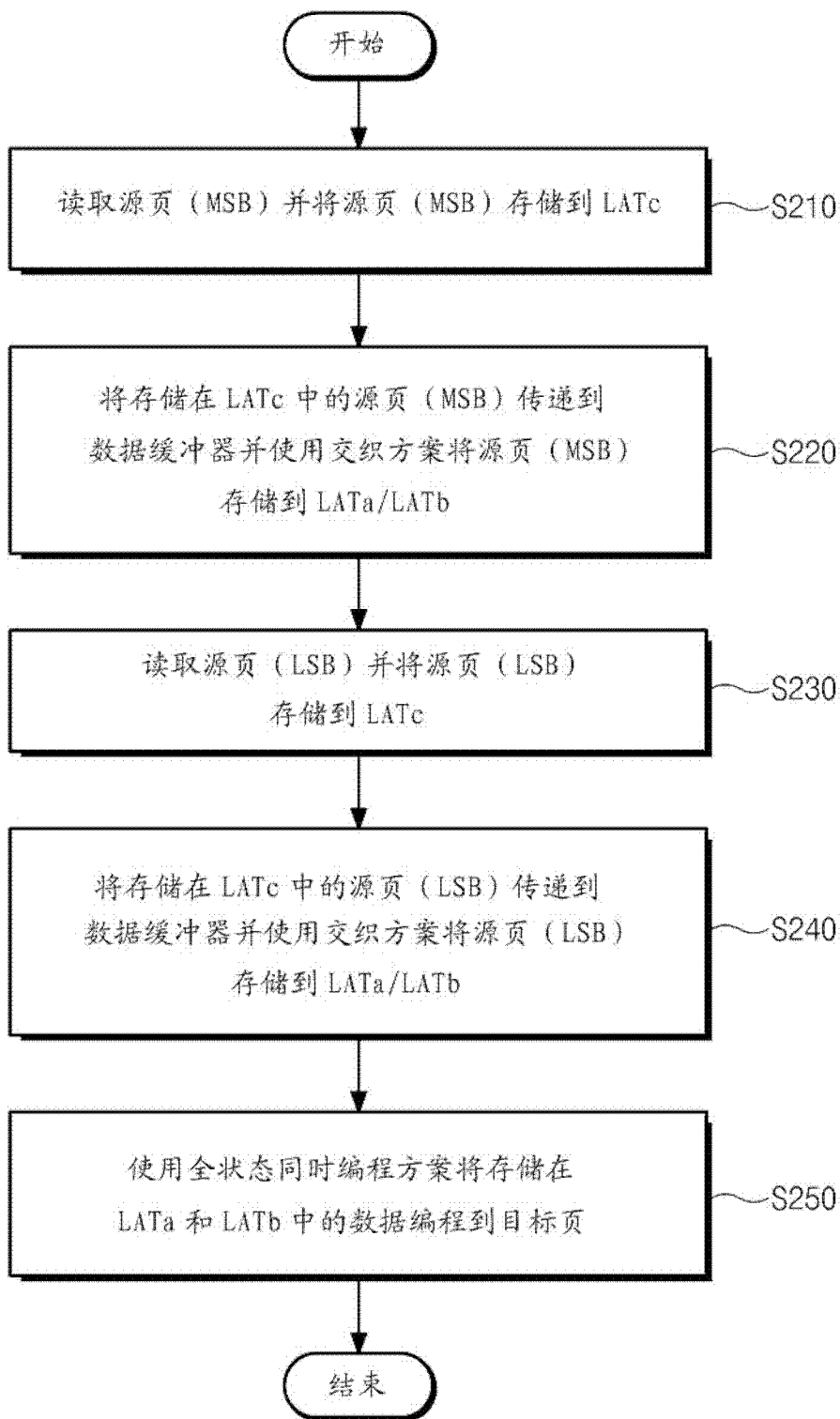


图 14

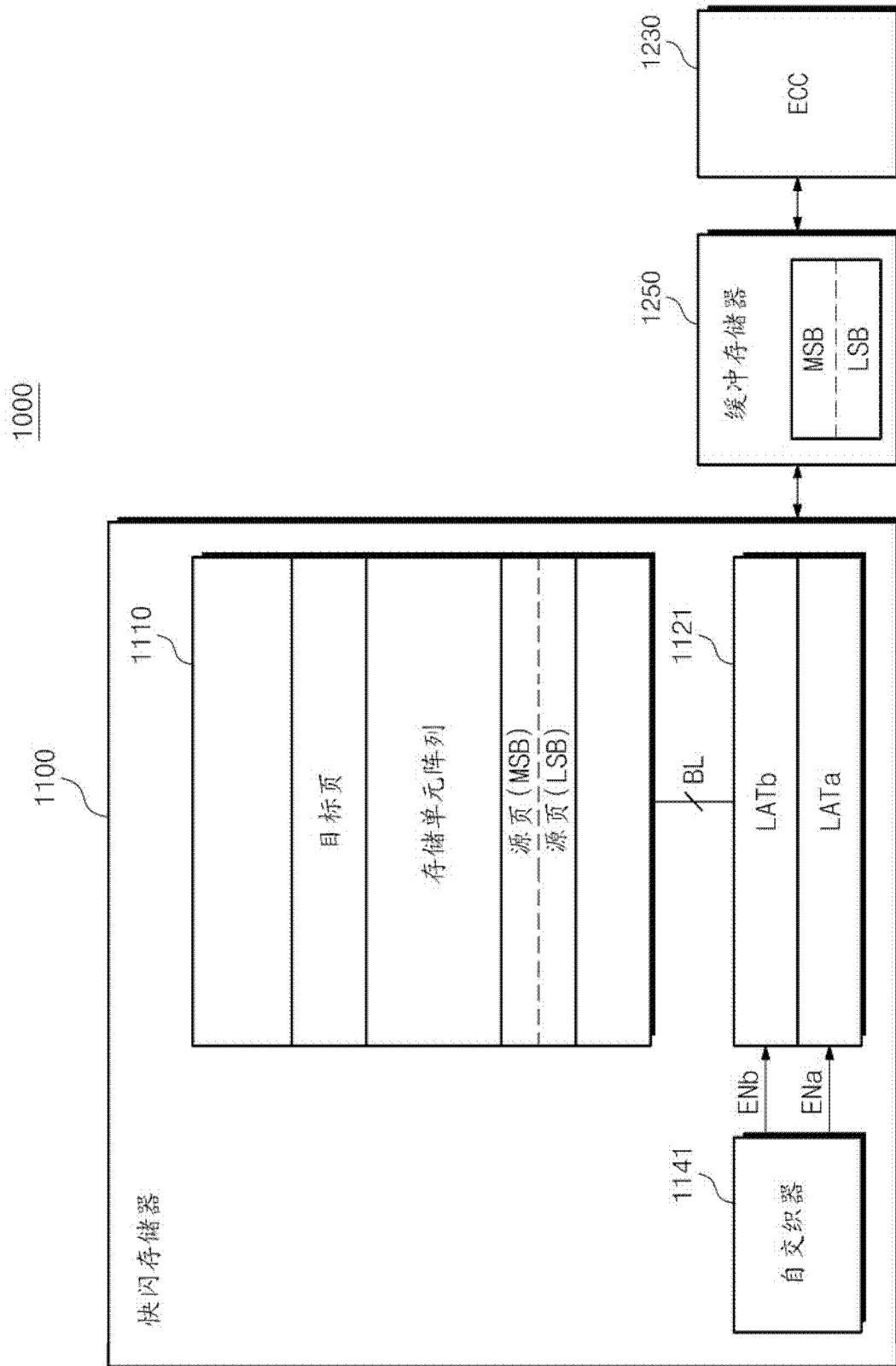


图 15

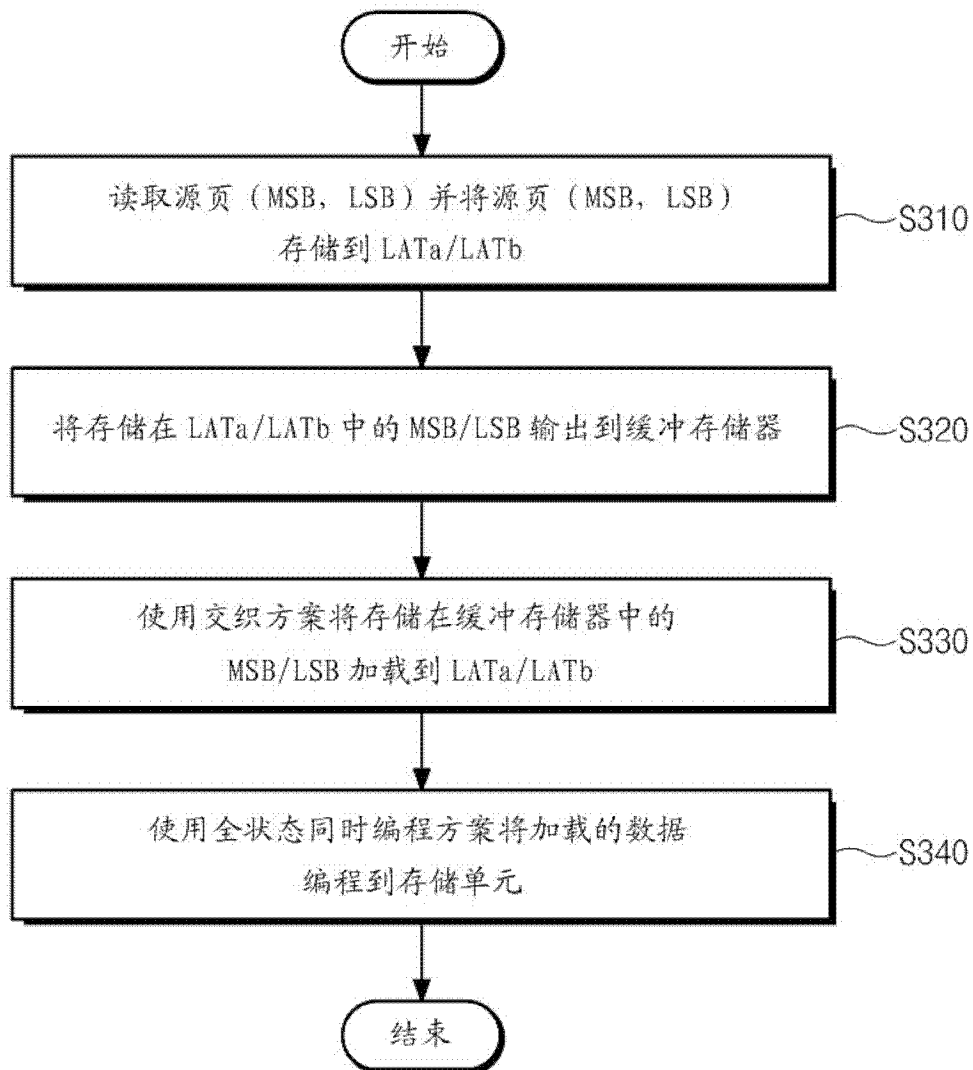


图 16

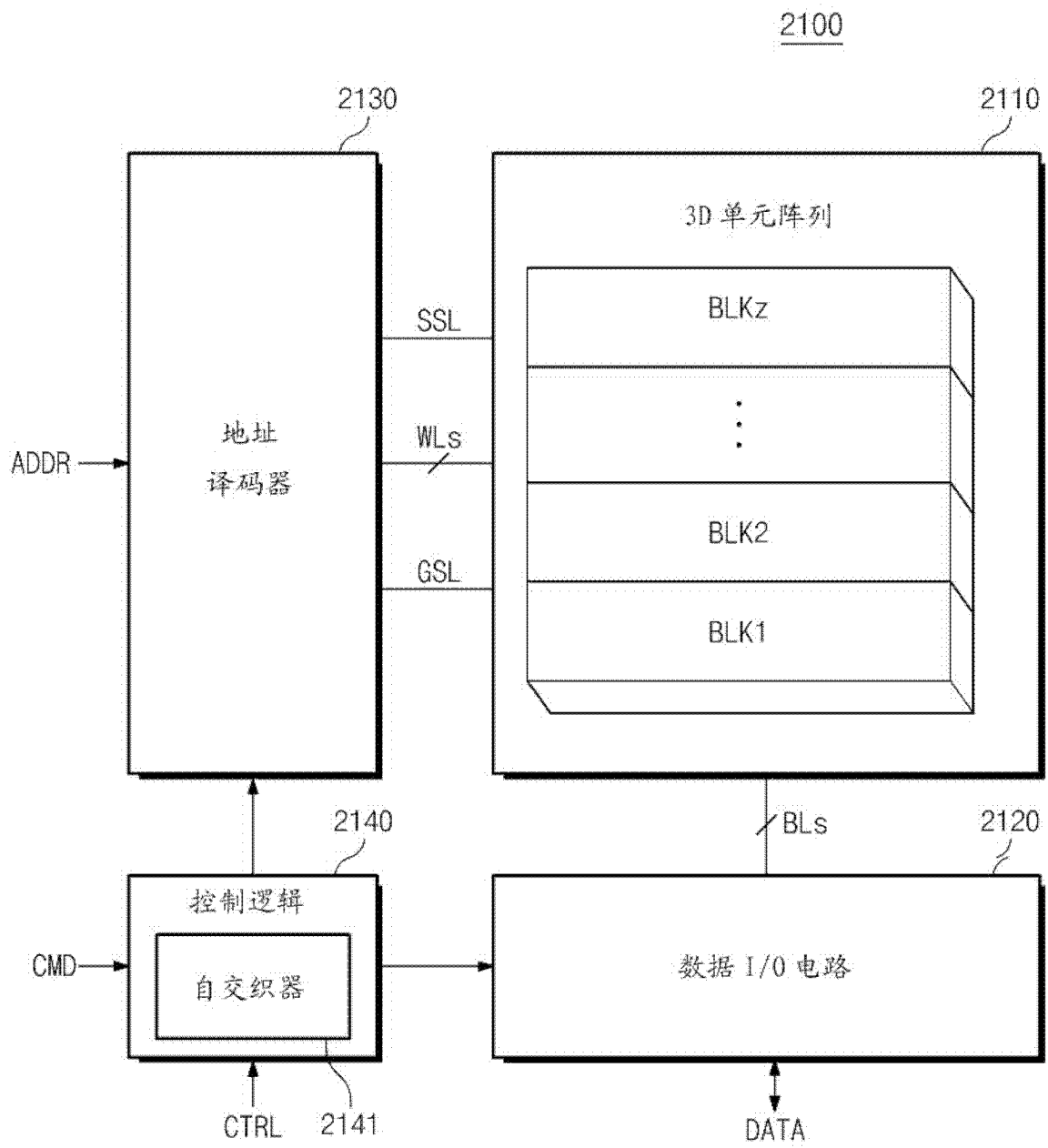


图 17

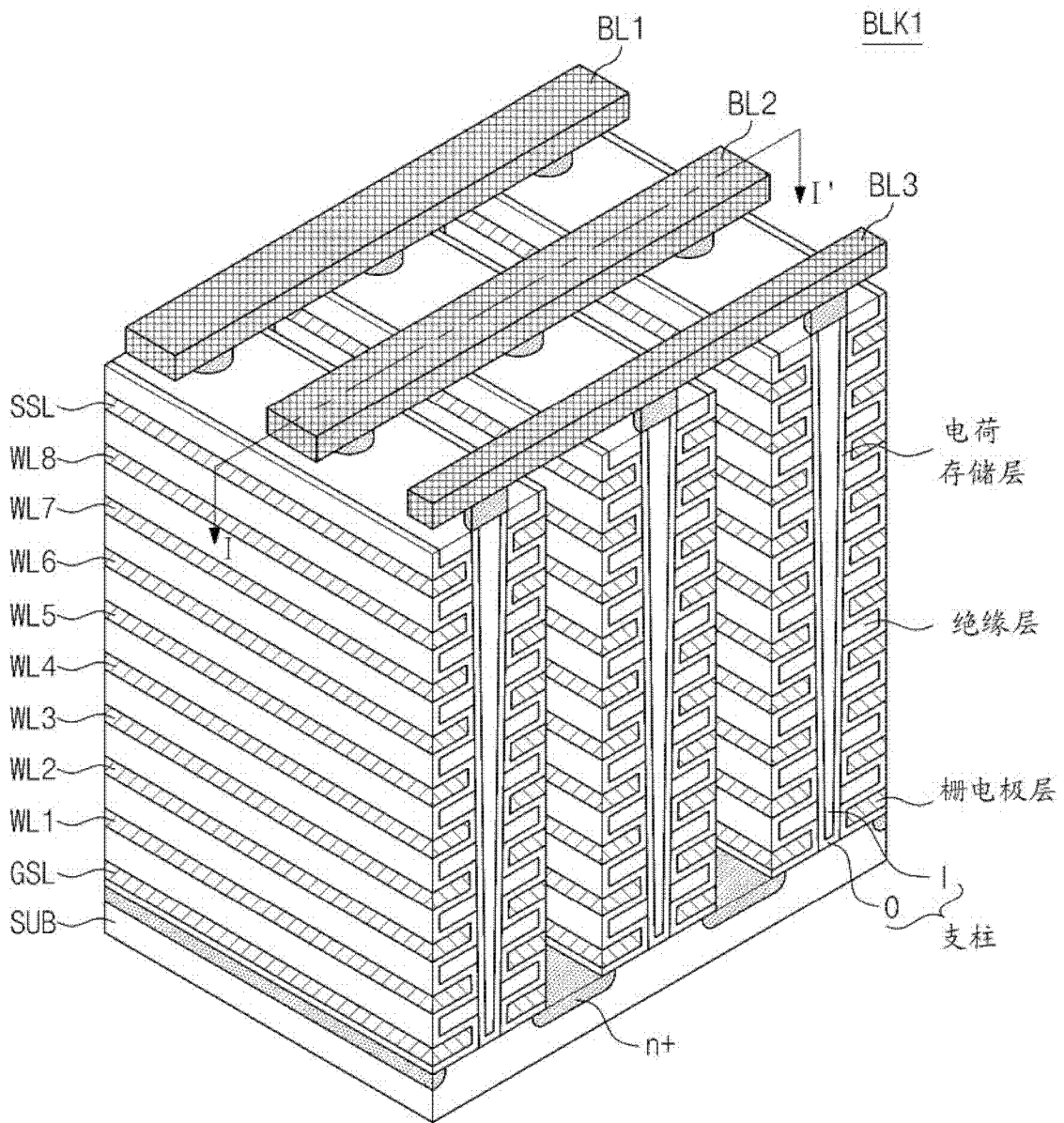


图 18

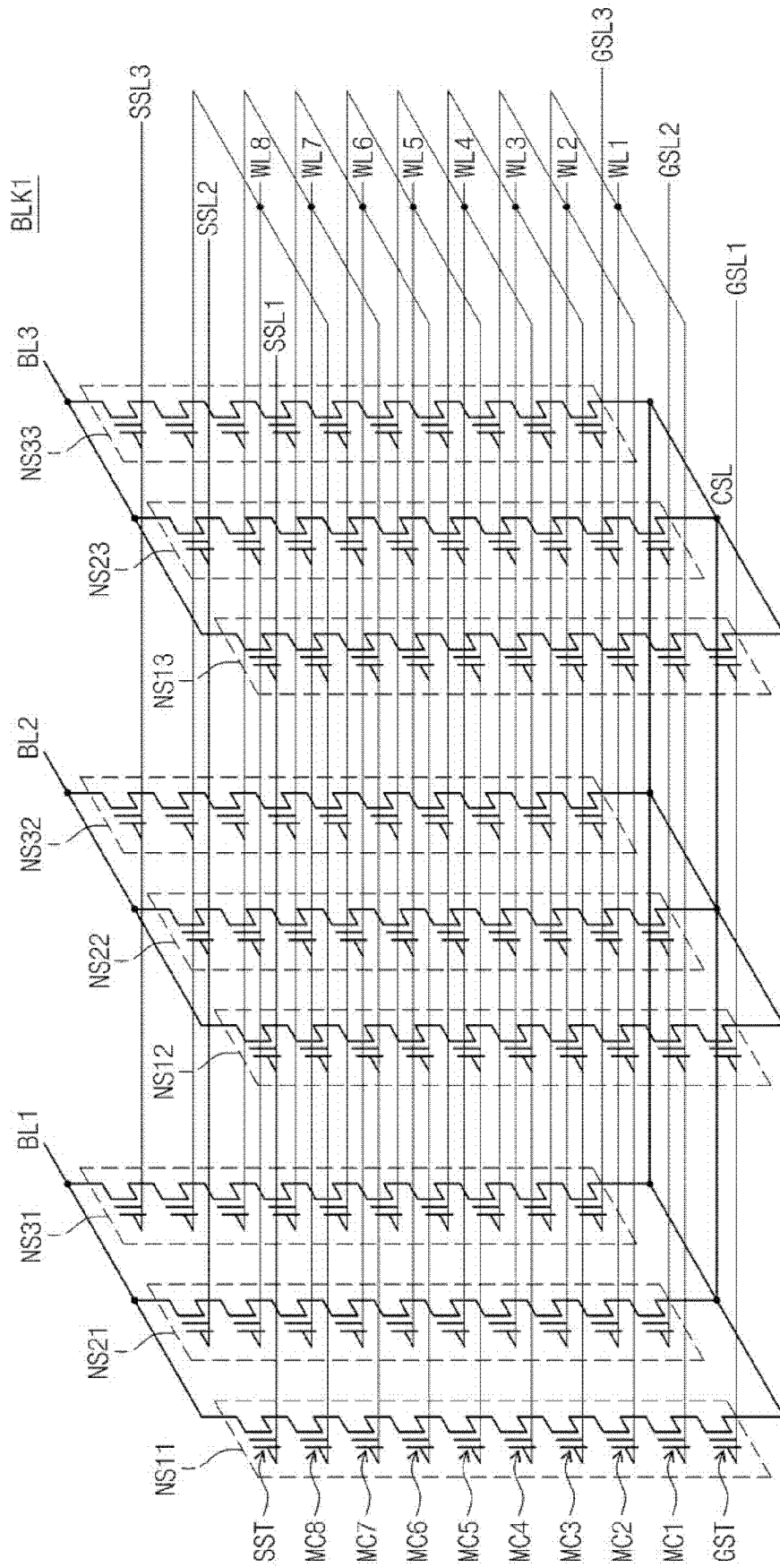


图 19

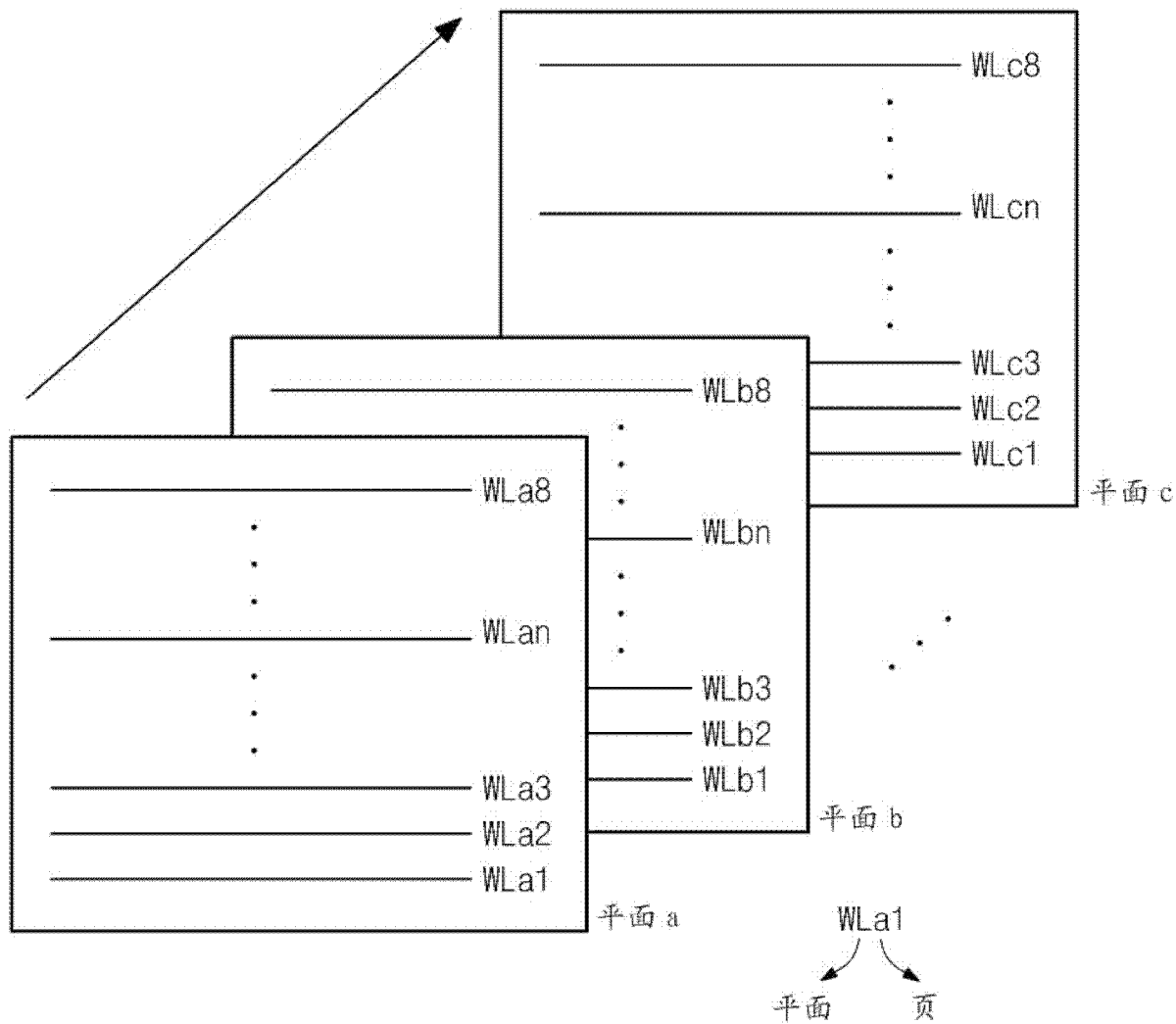


图 20

3000

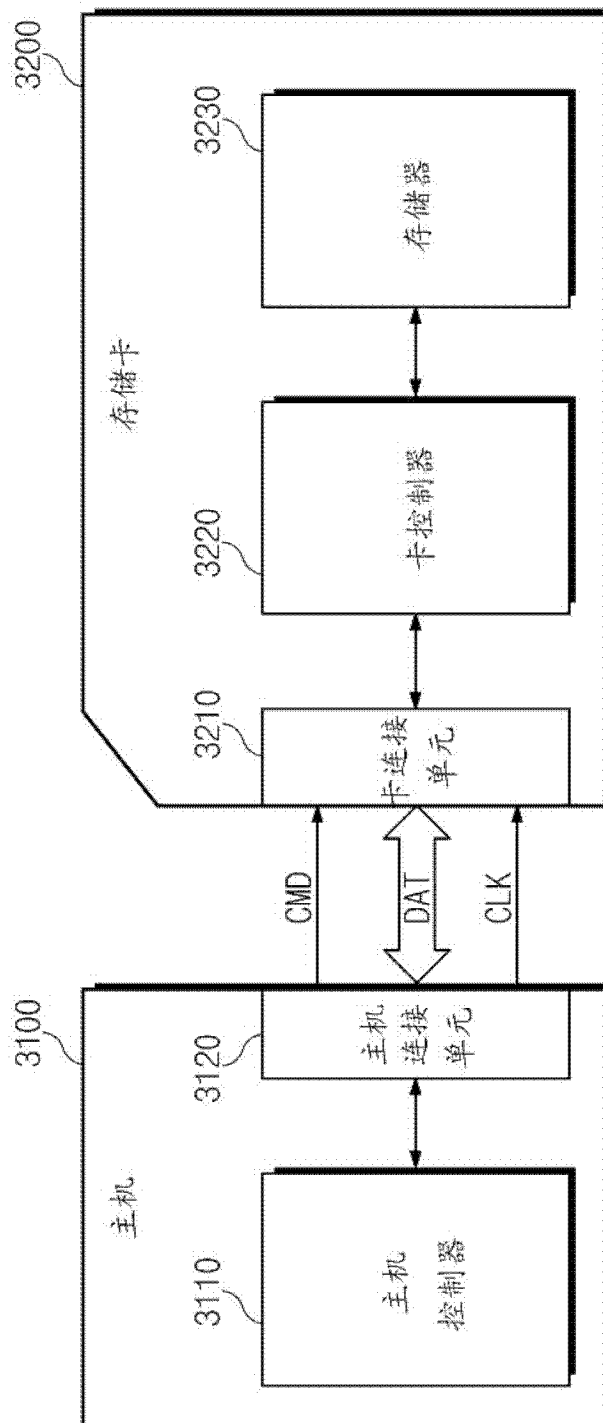


图 21

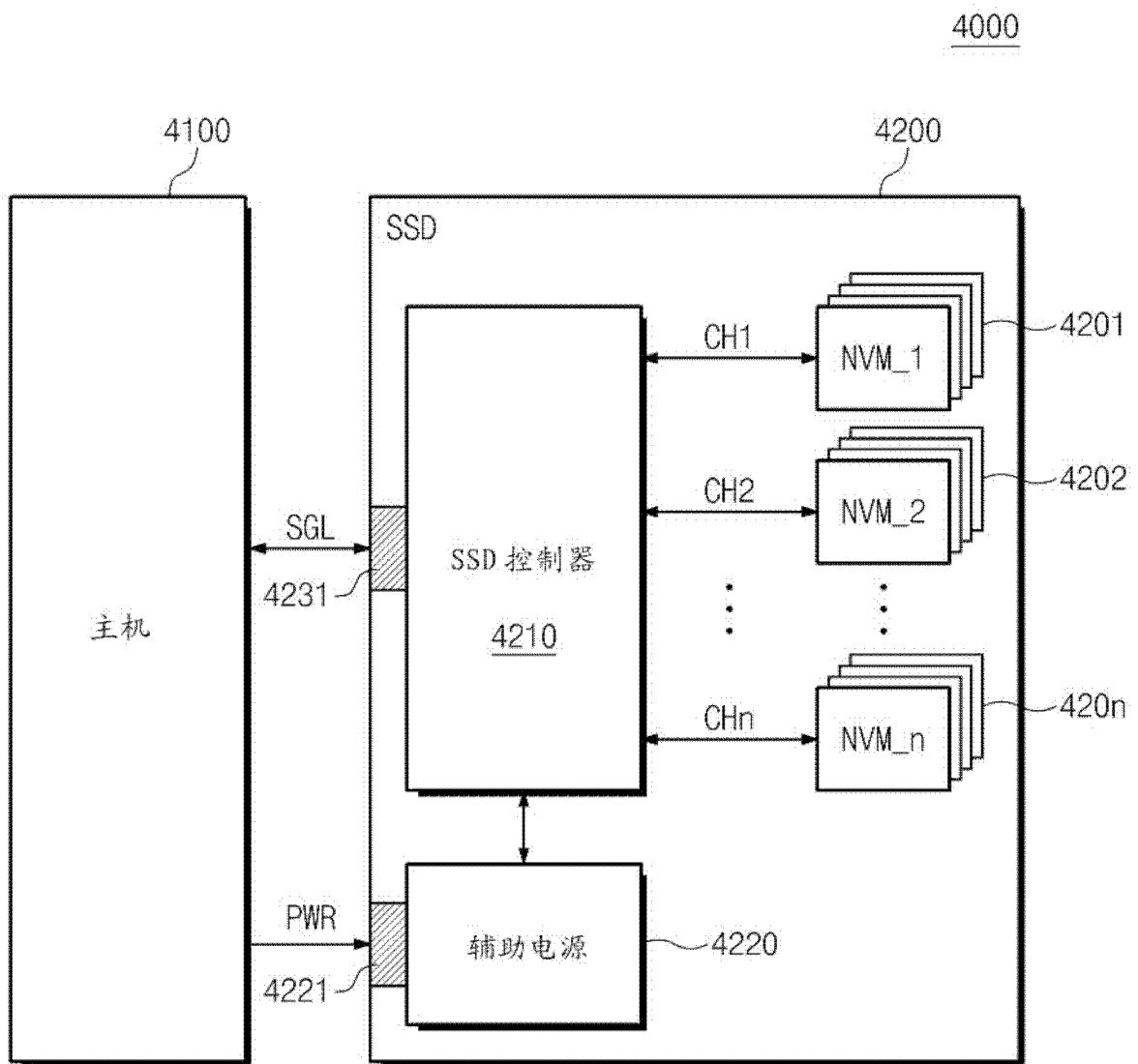


图 22

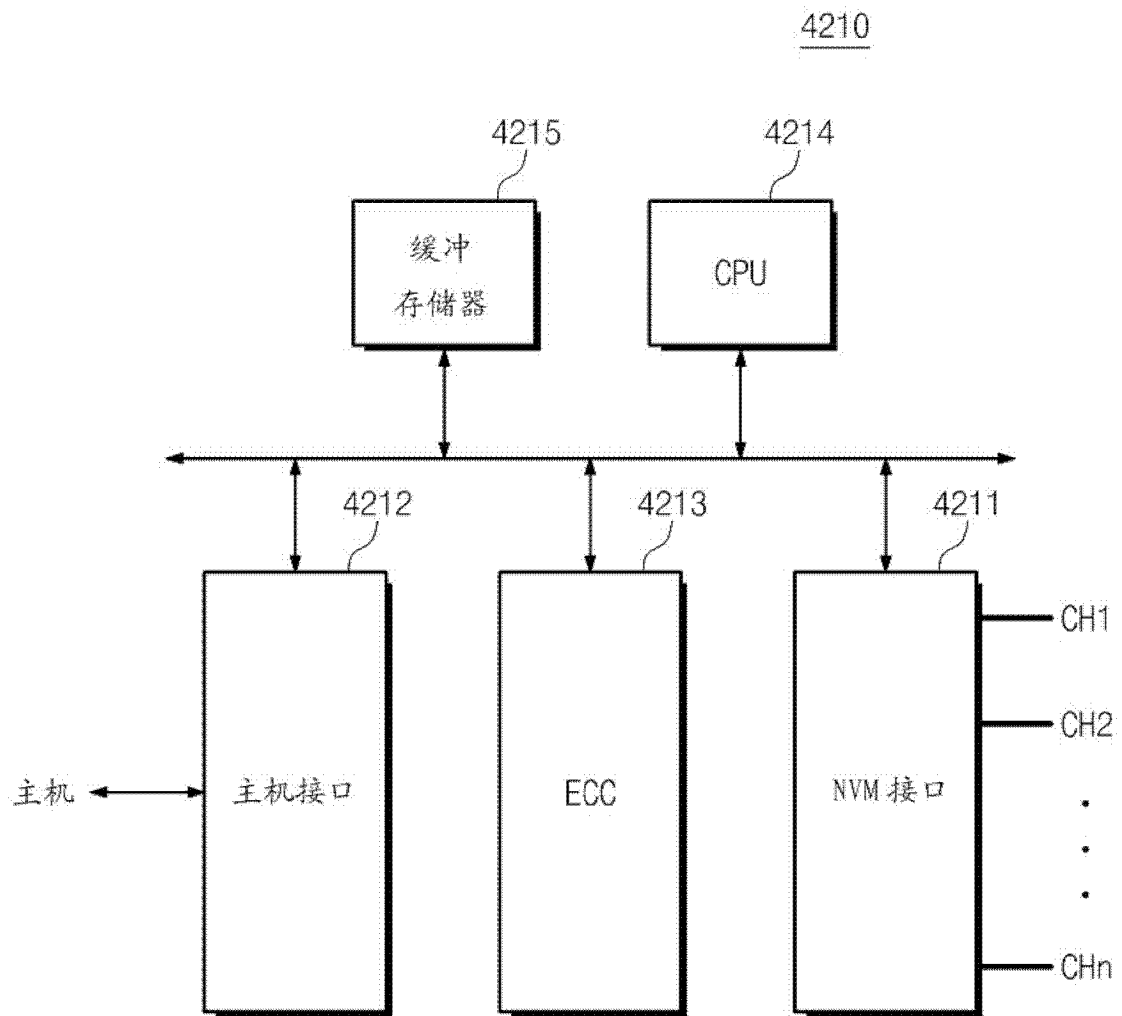


图 23

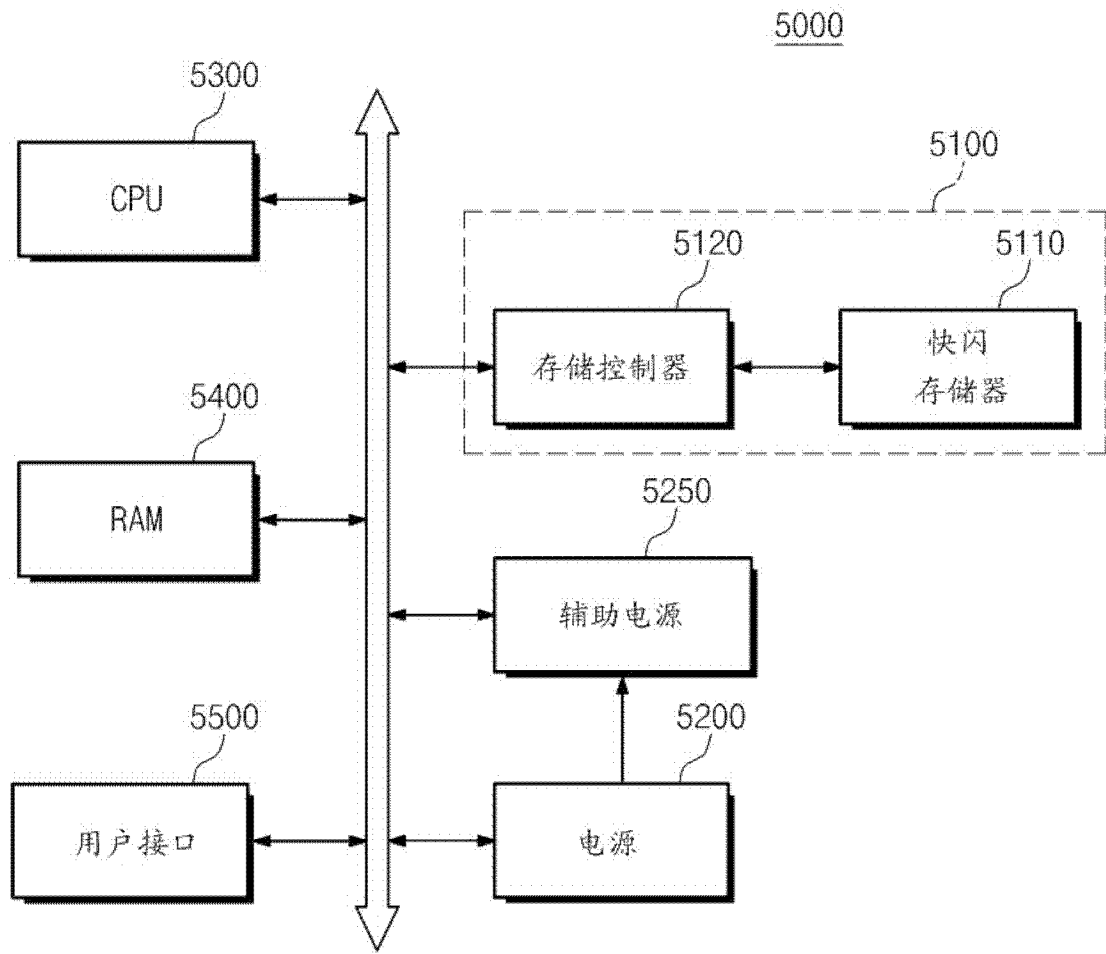


图 24