

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5222240号  
(P5222240)

(45) 発行日 平成25年6月26日 (2013. 6. 26)

(24) 登録日 平成25年3月15日 (2013. 3. 15)

(51) Int. Cl.		F I		
<b>HO 4 N</b>	<b>5/355</b>	<b>(2011. 01)</b>	HO 4 N	5/335 5 5 0
<b>HO 1 L</b>	<b>27/146</b>	<b>(2006. 01)</b>	HO 1 L	27/14 C
<b>HO 4 N</b>	<b>5/33</b>	<b>(2006. 01)</b>	HO 4 N	5/33
<b>HO 1 L</b>	<b>27/144</b>	<b>(2006. 01)</b>	HO 1 L	27/14 K

請求項の数 18 (全 17 頁)

(21) 出願番号	特願2009-162612 (P2009-162612)	(73) 特許権者	502356528
(22) 出願日	平成21年7月9日 (2009. 7. 9)		株式会社ジャパンディスプレイイースト
(65) 公開番号	特開2011-19102 (P2011-19102A)		千葉県茂原市早野3300番地
(43) 公開日	平成23年1月27日 (2011. 1. 27)	(74) 代理人	100083552
審査請求日	平成24年5月24日 (2012. 5. 24)		弁理士 秋田 収喜
		(74) 代理人	100103746
			弁理士 近野 恵一
		(73) 特許権者	506087819
			パナソニック液晶ディスプレイ株式会社
			兵庫県姫路市飾磨区妻鹿日田町1-6
		(74) 代理人	100083552
			弁理士 秋田 収喜
		(74) 代理人	100103746
			弁理士 近野 恵一

最終頁に続く

(54) 【発明の名称】 光センサ回路、および光センサレイ

(57) 【特許請求の範囲】

【請求項1】

第1基準電圧が入力される上部電極と、金属膜から成る下部電極と、前記上部電極と前記下部電極との間に挟持される光依存可変抵抗素子とを有する光センサ素子と、

前記下部電極と第2基準電圧を供給する第2基準電圧線との間に接続される容量素子と、

オン状態の時に前記下部電極に第1電源電圧を入力し、オフ状態の時に前記下部電極をフローティング状態とするスイッチ回路と、

前記下部電極がフローティングの状態において、前記光依存可変抵抗素子に所定期間光が照射された後の前記下部電極の電圧変化を検出する検出回路とを有し、

前記光依存可変抵抗素子は、アモルファスシリコン膜であり、

前記下部電極と前記光依存可変抵抗素子の前記アモルファスシリコン膜とで構成されるダイオードの電流 - 電圧特性において、前記第1基準電圧は、順方向の電圧であることを特徴とする光センサ回路。

【請求項2】

前記第1の基準電圧と前記第2基準電圧とは同一の電圧であることを特徴とする請求項1に記載の光センサ回路。

【請求項3】

前記スイッチ回路と前記検出回路は、半導体層としてポリシリコン層を使用する薄膜トランジスタで構成されることを特徴とする請求項1に記載の光センサ回路。

## 【請求項4】

第1基準電圧が入力される第1上部電極と、金属膜から成る第1下部電極と、前記第1上部電極と前記第1下部電極との間に挟持された第1光依存可変抵抗素子とを有する第1光センサ素子と、

前記第1基準電圧が入力される第2上部電極と、第2下部電極と、前記第2上部電極と前記第2下部電極との間に挟持された第2光依存可変抵抗素子とを有する暗電流補償用の第2光センサ素子と、

前記第1下部電極と前記第2下部電極との間に接続される容量素子と、

オン状態の時に前記第1下部電極に第1電源電圧を入力し、オフ状態の時に前記第1下部電極をフローティング状態とする第1スイッチ回路と、

オン状態の時に前記第2下部電極に第1電源電圧を入力し、オフ状態の時に前記第2下部電極をフローティング状態とする第2スイッチ回路と、

前記第2下部電極がフローティングの状態で所定期間経過後に、前記第2下部電極に第1電源電圧を入力する第3スイッチ回路と、

前記第1下部電極がフローティングの状態において、前記第1光依存可変抵抗素子に所定期間光が照射された後で前記第3スイッチ回路がオン状態の時に前記第1下部電極の電圧変化を検出する検出回路とを有し、

前記第1光依存可変抵抗素子は、アモルファスシリコン膜であり、

前記第2光依存可変抵抗素子は、遮光されたアモルファスシリコン膜であり、

前記第1下部電極と前記第1光依存可変抵抗素子の前記アモルファスシリコン膜とで構成されるダイオードの電流 - 電圧特性、および、前記第2下部電極と前記第2光依存可変抵抗素子の前記アモルファスシリコン膜とで構成されるダイオードの電流 - 電圧特性において、前記第1基準電圧は、順方向の電圧であることを特徴とする光センサ回路。

## 【請求項5】

前記各スイッチ回路と前記検出回路は、半導体層としてポリシリコン層を使用する薄膜トランジスタで構成されることを特徴とする請求項4に記載の光センサ回路。

## 【請求項6】

マトリクス状に配置された光センサ画素と、出力線とを備え、

前記各光センサ画素は、光センサ素子を有する光センサアレイであって、

前記各光センサ素子は、第1の基準電圧が入力される上部電極と、下部電極と、前記上部電極と前記下部電極との間に挟持される光依存可変抵抗素子とを有し、

前記各光センサ画素は、前記下部電極と第2基準電圧を供給する第2基準電圧線との間に接続される容量素子と、

第2電極に第1電源電圧が入力され、第1電極が前記下部電極に接続されるとともに、制御電極に第2クロックが入力される第1トランジスタと、

第2電極に第2電源電圧が入力され、制御電極が前記下部電極に接続される第2トランジスタと、

第2電極が前記第2トランジスタの第1電極に接続され、第1電極が前記出力線に接続されるとともに、制御電極に第1クロックが入力される第3トランジスタとを有し、

前記光依存可変抵抗素子は、アモルファスシリコン膜であることを特徴とする光センサアレイ。

## 【請求項7】

前記第1基準電圧を供給する第1基準電圧線と、

前記第2基準電圧を供給する第2基準電圧線と、

前記第1電源電圧を供給する第1電源電圧線と、

前記第2電源電圧を供給する第2電源電圧線と、

前記第1クロックを入力する第1クロック線と、

前記第2クロックを入力する第2クロック線とを有することを特徴とする請求項6に記載の光センサアレイ。

## 【請求項8】

10

20

30

40

50

前記第 1 クロックと、前記第 2 クロックとは位相が異なることを特徴とする請求項 6 に記載の光センサレイ。

【請求項 9】

前記第 1 トランジスタは、前記第 2 クロックによりオンとなった時に、前記下部電極に前記第 1 電源電圧を入力し、次に前記第 2 クロックが入力されるまでの期間、前記下部電極をフローティング状態とすることを特徴とする請求項 6 に記載の光センサレイ。

【請求項 10】

前記第 3 トランジスタは、前記第 2 クロックより前に入力される第 1 クロックによりオンとなり、

前記出力線は、前記第 3 トランジスタオンとなる前に、前記第 1 基準電圧とされ、

前記第 2 トランジスタと前記第 3 トランジスタとにより、前記下部電極がフローティングの状態の時に前記光依存可変抵抗素子に所定期間光が照射された後の前記下部電極の電圧変化を、前記出力線の電圧変化として検出することを特徴とする請求項 9 に記載の光センサレイ。

【請求項 11】

前記第 1 基準電圧と前記第 2 基準電圧とは同一の電圧であることを特徴とする請求項 6 に記載の光センサレイ。

【請求項 12】

マトリクス状に配置された光センサ画素と、出力線とを備え、

前記各光センサ画素は、第 1 光センサ素子と、暗電流補償用の第 2 光センサ素子を有する光センサレイであって、

前記第 1 光センサ素子は、第 1 基準電圧が入力される第 1 上部電極と、第 1 下部電極と、前記第 1 上部電極と前記第 1 下部電極との間に挟持された第 1 光依存可変抵抗素子とを有し、

前記第 2 光センサ素子は、第 1 基準電圧が入力される第 2 上部電極と、第 2 下部電極と、前記第 2 上部電極と前記第 2 下部電極との間に挟持された第 2 光依存可変抵抗素子とを有し、

前記各光センサ画素は、前記第 1 下部電極と第 2 下部電極との間に接続される容量素子と、

第 2 電極に第 1 電源電圧が入力され、第 1 電極が前記第 1 下部電極に接続されるとともに、制御電極に第 2 クロックが入力される第 1 トランジスタと、

第 2 電極に第 2 電源電圧が入力され、制御電極が前記下部電極に接続される第 2 トランジスタと、

第 2 電極が前記第 2 トランジスタの第 1 電極に接続され、第 1 電極が前記出力線に接続されるとともに、制御電極に第 1 クロックが入力される第 3 トランジスタと、

第 2 電極に第 1 電源電圧が入力され、第 1 電極が前記第 2 下部電極に接続されるとともに、制御電極に第 2 クロックが入力される第 4 トランジスタと、

第 2 電極に第 2 電源電圧が入力され、第 1 電極が前記第 2 下部電極に接続されるとともに、制御電極に第 1 クロックが入力される第 5 トランジスタと、

前記第 1 光依存可変抵抗素子は、アモルファスシリコン膜であり、

前記第 2 光依存可変抵抗素子は、遮光されたアモルファスシリコン膜であることを特徴とする光センサレイ。

【請求項 13】

前記第 1 基準電圧を供給する第 1 基準電圧線と、

前記第 1 電源電圧を供給する第 1 電源電圧線と、

前記第 2 電源電圧を供給する第 2 電源電圧線と、

前記第 1 クロックを入力する第 1 クロック線と、

前記第 2 クロックを入力する第 2 クロック線とを有することを特徴とする請求項 12 に記載の光センサレイ。

【請求項 14】

10

20

30

40

50

前記第 1 クロックと、前記第 2 クロックとは位相が異なることを特徴とする請求項 1 2 に記載の光センサアレイ。

【請求項 1 5】

前記第 1 トランジスタは、前記第 2 クロックによりオンとなった時に、前記第 1 下部電極に前記第 1 電源電圧を入力し、次に前記第 2 クロックが入力されるまでの期間、前記第 1 下部電極をフローティング状態となし、

前記第 4 トランジスタは、前記第 2 クロックによりオンとなった時に、前記第 2 下部電極に前記第 1 電源電圧を入力し、次に前記第 2 クロックが入力されるまでの期間、前記第 2 下部電極をフローティング状態とすることを特徴とする請求項 1 2 に記載の光センサアレイ。

10

【請求項 1 6】

前記第 5 トランジスタは、前記第 2 クロックより前に入力される第 1 クロックによりオンとなった時に、前記第 2 下部電極に前記第 1 電源電圧を入力することを特徴とする請求項 1 5 に記載の光センサアレイ。

【請求項 1 7】

前記第 3 トランジスタは、前記第 2 クロックより前に入力される第 1 クロックによりオンとなり、

前記出力線は、前記第 3 トランジスタオンとなる前に、前記第 1 基準電圧とされ、

前記第 2 トランジスタと前記第 3 トランジスタとにより、前記第 1 下部電極がフローティングの状態において前記光依存可変抵抗素子に所定期間光が照射された後の前記下部電極の電圧変化を、前記出力線の電圧変化として検出することを特徴とする請求項 1 6 に記載の光センサアレイ。

20

【請求項 1 8】

前記各トランジスタは、半導体層としてポリシリコン層を使用する薄膜トランジスタで構成されることを特徴とする請求項 6 または請求項 1 2 に記載の光センサアレイ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光センサアレイに係わり、特に、光センサ素子として、光依存可変抵抗素子である厚膜アモルファスシリコン膜を使用する光センサアレイに関する。

30

【背景技術】

【0002】

光センサとして広く利用しているものに、結晶シリコン (Si)、所謂、半導体の p n 接合を逆バイアスとし、空乏層を接合容量として用い、光電変換された電子、ホールのをこの空乏層を通して分離し保持、取り出しを行う方法がある。この概要を図 1 1 に示す。

図 1 1 ( a ) は、等価回路を簡便に示した図である。図 1 1 ( a ) において、P D はホトダイオード、S 1 , S 2 はスイッチ、D E T は検出機構、V a は電源である。

ここで、ホトダイオード P D は、p n 接合を逆バイアスした空乏層容量部であり、入射光により半導体層で発生した光電電荷対を分離し、有効電荷として蓄積する。蓄積された光電荷はあるタイミングで、スイッチ S 1 により読み出され、検出機構 D E T により、光量に依存した量として検知される。読み出しが終わると、S 1 , S 2 のスイッチにより、電源 V a から所定の逆バイアスが与えられ、初期設定され、再び光電荷を蓄積する。

40

図 1 1 ( b )、( c )、( d ) はホトダイオード P D となる p n 接合の構成例で、図 1 1 ( b ) は縦型に空乏層容量を作る場合、図 1 1 ( c ) は横型に作る場合の例で、図 1 1 ( c ) は P I N と呼ばれる構成例である。ここで、良く知られているように、図 1 1 ( b )、( c )、( d ) において、p は p 型領域を、n は n 型領域を、I は絶縁層を表している。

【先行技術文献】

【特許文献】

50

## 【 0 0 0 3 】

【特許文献 1】特開 2 0 0 8 - 2 5 1 6 0 9 号公報

## 【発明の概要】

【発明が解決しようとする課題】

## 【 0 0 0 4 】

薄膜トランジスタで、図 1 1 に示すようなホットダイオード P D を作る方法として多結晶シリコンの一つである低温ポリシリコン ( p - S i ) を用いて、たとえば、図 1 1 ( c ) に示す回路構成とすることは可能である。

しかし、赤外光の感度を得るには、光の進行方向に厚い半導体が必要であるが、現状の低温ポリシリコン ( p - S i ) は、アモルファスシリコンを基板上に積層した後、E L A (エキシマレーザ) 等のレーザーで溶融して結晶化するものであり、E L A のエネルギー等の関係から厚膜化が難しい。

半導体層としてアモルファスシリコン ( a - S i ) を使用した薄膜トランジスタを光センサとして利用する方法もあるが、アモルファスシリコンは、結晶シリコン ( S i )、または低温ポリシリコン ( p - S i ) とは異なり、p n 接合を作ることは難しいので、種々工夫が必要である。

## 【 0 0 0 5 】

図 1 2 にその一例を示す。図 1 2 ( a ) は等価回路を簡便に示した例である。図 1 2 ( a ) において、T F T は、半導体層としてアモルファスシリコンを使用する薄膜トランジスタ、S 2 はスイッチ、D E T は検出機構、C は容量素子、V a は電源、G 1 はゲートパルスである。この例は、薄膜トランジスタ T F T のチャネル及びソースをホットセンサならびに光電荷蓄積 ( 保持 ) 部として利用する方法である。

図 1 2 ( b ) に薄膜トランジスタの構造例を示す。図 1 2 ( b ) において、9 1 はメタル電極、9 2 は n <sup>+</sup> a - S i、9 3 は a - S i、9 4 はゲート、9 5 は容量形成用電極である。

図 1 2 に示す方法では、ソースに一定の電圧を保持させてゲートにより薄膜トランジスタ T F T を O F F にしておく、チャネルに光があたるとアモルファスシリコン ( a - S i ) の抵抗が下がり、同じゲート電圧に対してのリーク電流が増加する、これによりソースに蓄積された電荷がドレイン側に放出される。

一定期間後、ソース電圧を再充電する際に必要な電荷量が入射強度により異なることを利用し、検出機構 D E T により、ソース電圧を再充電する際に必要な電荷量を検出して光センサとして使用する。この方式は、ゲートの O F F 状態でのリーク電流を利用するため、暗電流のばらつきが大きいという問題がある。

## 【 0 0 0 6 】

半導体層としてアモルファスシリコン ( a - S i ) を使用した薄膜トランジスタ T F T を光センサとして用いた時の問題点、即ち、ゲートの O F F 状態でのリーク電流起因のばらつきを抑える方法として、図 1 3 に示すような、絶縁膜を容量素子として利用する方法がある。

図 1 3 ( a ) に等価回路の一例を示す。図 1 3 ( a ) において、P D P は受光部、S 1、S 2 はスイッチ、D E T は検出機構、C は容量素子、V a、V b は電源である。

図 1 3 ( b ) に受光部 P D P の構成例を示す。図 1 3 ( b ) において、9 6 は上部電極、9 7 は光依存可変抵抗素子 ( アモルファスシリコン ( a - S i ) )、9 8 は絶縁膜、9 9 は下部電極である。

図 1 3 に示す方法では、まずスイッチ S 1 とスイッチ S 2 を使用して下部電極 9 9 を充電し、上部電極 9 6 との間に電圧差を形成した後、スイッチ S 1 とスイッチ S 2 を切り離し下部電極 9 9 をフローティング状態にする。

上部電極 9 6 と容量素子 C を形成する絶縁膜 9 8 の間に配置された光依存可変抵抗素子 ( アモルファスシリコン ( a - S i ) ) は、入射光量に応じて抵抗値が変わり、容量素子 C の電荷を放電し、電位差を変化させる。

検出機構 D E T により、検出下部電極 9 9 の再充電に必要な電荷量の差を検出して光セ

10

20

30

40

50

ンサとして使用する。

【0007】

赤外光のような長波長の光の感度を上げるためには、光の進行方向に対して厚いアモルファスシリコン(a-Si)が必要である。

ポリシリコン(p-Si)を使う場合には、図11(d)に示すように、ポリシリコンの(p-Si)上に厚いアモルファスシリコン(a-Si)を積層する方法がある。

図12に示す方法の場合は、アモルファスシリコン(a-Si)の膜厚を厚くするか、図11(d)と同様にソース側に、更にアモルファスシリコン(a-Si)を積層する方法がある。図13に示す方法の場合はアモルファスシリコン(a-Si)を厚くすれば良い。

しかしながら、いずれの方法でも、検出電圧のダイナミックレンジが狭いという問題点があった。

本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、光センサ回路、および光センサアレイにおいて、従来よりも、検出電圧のダイナミックレンジを広くすることが可能となる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【課題を解決するための手段】

【0008】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

(1)第1基準電圧が入力される上部電極と、金属膜から成る下部電極と、前記上部電極と前記下部電極との間に挟持される光依存可変抵抗素子とを有する光センサ素子と、前記下部電極と第2基準電圧との間に接続される容量素子と、オン状態の時に前記下部電極に第1電源電圧を入力し、オフ状態の時に前記下部電極をフローティング状態とするスイッチ回路と、前記下部電極がフローティングの状態において、前記光依存可変抵抗素子に所定期間光が照射された後の前記下部電極の電圧変化を検出する検出回路とを有し、前記光依存可変抵抗素子は、アモルファスシリコン膜であり、前記下部電極と前記光依存可変抵抗素子の前記アモルファスシリコン膜とで構成されるダイオードの電流-電圧特性において、前記第1基準電圧は、順方向の電圧であることを特徴とする光センサ回路。

【0009】

(2)第1基準電圧が入力される第1上部電極と、金属膜から成る第1下部電極と、前記第1上部電極と前記第1下部電極との間に挟持された第1光依存可変抵抗素子とを有する第1光センサ素子と、前記第1基準電圧が入力される第2上部電極と、第2下部電極と、前記第2上部電極と前記第2下部電極との間に挟持された第2光依存可変抵抗素子とを有する暗電流補償用の第2光センサ素子と、前記第1下部電極と前記第2下部電極との間に接続される容量素子と、オン状態の時に前記第1下部電極に第1電源電圧を入力し、オフ状態の時に前記第1下部電極をフローティング状態とする第1スイッチ回路と、オン状態の時に前記第2下部電極に第1電源電圧を入力し、オフ状態の時に前記第2下部電極をフローティング状態とする第2スイッチ回路と、前記第2下部電極がフローティングの状態

で所定期間経過後に、前記第2下部電極に第1電源電圧を入力する第3スイッチ回路と、前記第1下部電極がフローティングの状態において、前記第1光依存可変抵抗素子に所定期間光が照射された後で前記第3スイッチ回路がオン状態の時に前記第1下部電極の電圧変化を検出する検出回路とを有し、前記第1光依存可変抵抗素子は、アモルファスシリコン膜であり、前記第2光依存可変抵抗素子は、遮光されたアモルファスシリコン膜であり、前記第1下部電極と前記第1光依存可変抵抗素子の前記アモルファスシリコン膜とで構成されるダイオードの電流-電圧特性、および、前記第2下部電極と前記第2光依存可変抵抗素子の前記アモルファスシリコン膜とで構成されるダイオードの電流-電圧特性において、前記第1基準電圧は、順方向の電圧である。

【0010】

(3) マトリクス状に配置された光センサ画素と、出力線とを備え、前記各光センサ画素は、光センサ素子を有する光センサアレイであって、前記各光センサ素子は、第1の基準電圧が入力される上部電極と、下部電極と、前記上部電極と前記下部電極との間に挟持される光依存可変抵抗素子とを有し、前記各光センサ画素は、前記下部電極と第2基準電圧との間に接続される容量素子と、第2電極に第1電源電圧が入力され、第1電極が前記下部電極に接続されるとともに、制御電極に第2クロックが入力される第1トランジスタと、第2電極に第2電源電圧が入力され、制御電極が前記下部電極に接続される第2トランジスタと、第2電極が前記第2トランジスタの第1電極に接続され、第1電極が前記出力線に接続されるとともに、制御電極に第1クロックが入力される第3トランジスタとを有し、前記光依存可変抵抗素子は、アモルファスシリコン膜である。

10

(4) (3)において、前記第3トランジスタは、前記第2クロックより前に入力される第1クロックによりオンとなり、前記出力線は、前記第3トランジスタオンとなる前に、前記第1基準電圧とされ、前記第2トランジスタと前記第3トランジスタとにより、前記下部電極がフローティングの状態の時に前記光依存可変抵抗素子に所定期間光が照射された後の前記下部電極の電圧変化を、前記出力線の電圧変化として検出する。

【0011】

(5) マトリクス状に配置された光センサ画素と、出力線とを備え、前記各光センサ画素は、第1光センサ素子と、暗電流補償用の第2光センサ素子を有する光センサアレイであって、前記第1光センサ素子は、第1基準電圧が入力される第1上部電極と、第1下部電極と、前記第1上部電極と前記第1下部電極との間に挟持された第1光依存可変抵抗素子とを有し、前記第2光センサ素子は、第1基準電圧が入力される第2上部電極と、第2下部電極と、前記第2上部電極と前記第2下部電極との間に挟持された第2光依存可変抵抗素子とを有し、前記各光センサ画素は、前記第1下部電極と第2下部電極との間に接続される容量素子と、第2電極に第1電源電圧が入力され、第1電極が前記第1下部電極に接続されるとともに、制御電極に第2クロックが入力される第1トランジスタと、第2電極に第2電源電圧が入力され、制御電極が前記下部電極に接続される第2トランジスタと、第2電極が前記第2トランジスタの第1電極に接続され、第1電極が前記出力線に接続されるとともに、制御電極に第1クロックが入力される第3トランジスタと、第2電極に第1電源電圧が入力され、第1電極が前記第2下部電極に接続されるとともに、制御電極に第2クロックが入力される第4トランジスタと、第2電極に第2電源電圧が入力され、第1電極が前記第2下部電極に接続されるとともに、制御電極に第1クロックが入力される第5トランジスタと、前記第1光依存可変抵抗素子は、アモルファスシリコン膜であり、前記第2光依存可変抵抗素子は、遮光されたアモルファスシリコン膜である。

20

30

(6) (5)において、前記第3トランジスタは、前記第2クロックより前に入力される第1クロックによりオンとなり、前記出力線は、前記第3トランジスタオンとなる前に、前記第1基準電圧とされ、前記第2トランジスタと前記第3トランジスタとにより、前記第1下部電極がフローティングの状態において前記光依存可変抵抗素子に所定期間光が照射された後の前記下部電極の電圧変化を、前記出力線の電圧変化として検出する。

【発明の効果】

【0012】

40

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

本発明によれば、従来よりも、検出電圧のダイナミックレンジを広くすることが可能となる。

【図面の簡単な説明】

【0013】

【図1】本発明の実施例の光センサ回路の概要を示す模式図である。

【図2】ショットキーダイオードの特性を説明するための模式図である。

【図3】本発明の実施例の光センサ回路の実際の光センサ素子の構成を示す図である。

【図4】本発明の実施例の光センサアレイの構成を示すブロック図である。

50

【図5】本発明の実施例の光センサアレイにおける、4画素分の光センサ画素の回路図である。

【図6】本発明の実施例の光センサアレイの回路構成を示す回路図である。

【図7】本発明の実施例の光センサアレイの動作を説明するためのタイミングチャートである。

【図8】本発明の実施例の変形例の光センサアレイの4画素分の光センサ画素の回路図である。

【図9】本発明の実施例の変形例の光センサアレイの回路構成を示す回路図である。

【図10】本発明の実施例の変形例の光センサアレイの動作を説明するためのタイミングチャートである。

【図11】従来の、半導体のpn接合を逆バイアスとし、空乏層を接合容量として用いる光センサ回路を説明するための模式図である。

【図12】従来の、半導体層としてアモルファスシリコンを用いる薄膜トランジスタを使用する光センサ回路を説明するための模式図である。

【図13】従来の光依存可変抵抗素子を使用する光センサ回路を説明するための模式図である。

【発明を実施するための形態】

【0014】

以下、図面を参照して本発明の実施例を詳細に説明する。

なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

[実施例1]

図1は、本発明の実施例の光センサ回路の概要を示す模式図であり、図1(a)は、等価回路、図1(b)は、光センサ素子の構成を示す図である。図1において、PDSは受光素子、S1、S2はスイッチ、DETは検出機構、Cは容量素子、Va、Vbは電源である。

図1(b)に示すように、本実施例の光センサ素子PDSは、上部電極96と、下部電極99と、上部電極96と下部電極99との間に配置される光依存可変抵抗素子(アモルファスシリコン(a-Si))97で構成される。ここで、光依存可変抵抗素子(アモルファスシリコン(a-Si))97の膜厚は、500 $\mu$ m以上が好ましい。

図1(a)に示すように、本実施例では、下部電極99と電源Vaとの接続を、S1、S2のスイッチにより、ON/OFFすることにより、入射光に対応して変化した光依存可変抵抗素子(アモルファスシリコン(a-Si))97の抵抗を通して電流が流れ、下部電極99の電圧(蓄積電荷量)が変わる。これを検出機構DETを介して読み出すことで、入射光量を測定する。

【0015】

図13に示す従来の方法、および、本実施例において、光依存可変抵抗素子97と、金属層からなる下部電極99との間には、ショットキー接合から成るショットキーダイオードが形成される。

図2は、ショットキーダイオードの特性を説明するための模式図である。

図13に示す従来の方法では、光依存可変抵抗素子97と、金属層からなる下部電極99との間に形成されるショットキーダイオードを、逆方向のバイアス電圧領域(図2のAに示す領域)で使用する。

これに対して、本実施例では、光依存可変抵抗素子97と、金属層からなる下部電極99との間に形成されるショットキーダイオードを、順方向のバイアス電圧領域(図2のBに示す領域)で使用する。

なお、図2の(イ)に示す曲線は、所定の強度の光(例えば、赤外線)を照射したときの電流-電圧特性を示し、図2の(ロ)に示す曲線は、光(例えば、赤外線)が照射されないときの電流-電圧特性を示す。

このように、本実施例では、順方向のバイアス電圧領域で使用するため、検光依存可変

10

20

30

40

50

抵抗素子 97 に光を照射したときに、大きな電流が流れ、検出電圧の電圧変化が大きくなるので、検出電圧のダイナミックレンジを広くすることが可能となる。

なお、以下の具体的説明では、センサ基板上にポリシリコン等で、回路要素も作りこむため、実際の光センサ素子の構成は、図 3 のようになる。

#### 【 0 0 1 6 】

以下、図 4 から図 7 を用いて、本発明の実施例の光センサアレイについて説明する。

図 4 は、本発明の実施例の光センサアレイの構成を示すブロック図である。

本実施例の光センサアレイは、中央部に光センサ画素アレイ部 10 が設けられ、光センサ画素アレイ部 10 の周辺の左辺側に、光センサ画素の読み出しのために光センサ画素の電圧リセット、及び読み出しを行う行に読み出しパルスを順次供給するためのシフトレジスタ 11 と、光センサ画素アレイ部 10 の周辺の下辺側に、外部と接続するためのボンディングパッド部 13 と、信号線電位をリセットするためのリセット回路 12 が設けられる。

10

ここで、光センサ画素アレイ部 10 は、例えば、マトリクス状に配置された  $100 \times 150$  の光センサ画素で構成される。

#### 【 0 0 1 7 】

図 5 に、本実施例の光センサアレイにおける、4 画素分の光センサ画素の回路図を示す。図中点線で囲った A 部が、1 画素の光センサ画素を表す。

1 画素の光センサ画素は、3 個のトランジスタ (MT1 ~ MT3) と、光依存可変抵抗素子 AS1 と、容量素子 C1 と、読み出しリセットを行うためのゲート線 (GCLK1, GCLK2)、VRS のリセット電圧を供給するリセット線 SVRS、VB1, VB2, VAB のバイアス電圧 (固定電圧) を供給するバイアス線 (SVB1, SVB2, SVAB) と、信号出力線 OUT1 から構成される。

20

なお、光依存可変抵抗素子 AS1 は、アモルファスシリコン (a-Si) で構成される。

図 6 は、本実施例の光センサアレイの回路構成を示す回路図である。

光センサ画素の画素数が、 $m \times K$  の場合で、 $n, n+1$  行、 $J, J+1$  列の 4 画素が具体的回路図で表示されている。光センサ画素の回路図は、図 5 と同じである。

光センサアレイの周辺の下辺側には、信号出力線 OUT の電圧をリセットするためのリセットトランジスタ MTR と、VRS のリセット電圧を供給するためのリセット線 SVRS、及び出力用のボンディングパッド PAD が配置されている。

30

#### 【 0 0 1 8 】

図 7 は、本実施例の光センサアレイの動作を説明するためのタイミングチャートである。以下、図 7 を用いて、図 5 に示す A 部の光センサ画素の動作を説明する。

なお、説明では簡単のため、各バイアス電圧は、 $VB1 = VB2 = 0V$  (GND)、 $VAB = 10V$ 、リセット電圧は、 $VRS = 5V$ 、 $VRS T = 0V$  とする。また、各トランジスタ (MT1 ~ MT3) の閾値電圧  $V_{th}$  は、簡単のため  $1V$  とする。また、各クロック (1, 2) の電圧は、High レベル (以下、H レベルという) が  $10V$ 、L レベル (以下、L レベルという) が  $0V$  とする。なお、各バイアス電圧の電圧値は、一例であり、前述した値以外の電圧であってもよい。また、バイアス電圧 VAB は、リセット電圧 VRS 以上の電圧であればよい。

40

図 6 において、シフトレジスタ 11 により、各光センサ画素行は、紙面上、上から下へ順次走査されるもの、即ち、図 6 において、ゲート線 GCLK には、番号の若い順に順次 ON 電圧パルスが加わるものとする。また、以下の説明では、 $GCLK_n = GCLK_1$ 、 $GCLK_{(n+1)} = GCLK_2$  として説明する。

始めに、シフトレジスタ 11 により、ゲート線 GCLK 2 に、H レベルの  $10V$  の電圧が供給された場合から考える。この場合に、A 部の光センサ画素において、トランジスタ MT1 が ON 状態となり、光センサ画素の内部ノード N1 は、リセット線 SVRS と電氣的に導通し、内部ノード N1 の電圧は、リセット電圧 VRS と同電位の  $5V$  となる。この  $5V$  の電圧は、図 2 に示す  $V_o$  の電圧に相当する。

50

## 【 0 0 1 9 】

次に、ゲート線 G C L K 2 に供給される電圧が、L レベルの 0 V の電圧になると、光センサ画素の内部ノード N 1 は電氣的に孤立ノードとなるが、内部ノード N 1 の電圧は、バイアス線 S V B 2 との間の容量素子 C 1 により保持される。

この状態で、内部ノード N 1 は、高抵抗半導体である光依存可変抵抗素子 A S 1 を介して、バイアス線 S V B 1 の 0 V のバイアス電位 V B 1 に接続されている。たとえば、光依存可変抵抗素子 A S 1 の抵抗値は、室温で暗電流が数十 f A 程度流れる値としておく。

この光依存可変抵抗素子 A S 1 に、光（赤外線）照射されると光電変換により半導体中にできたキャリア対により抵抗が下がり、光センサとして働く。たとえば、数 p A の電流が流れるような、環境用途用に設計されているものとする。

このようにして、内部ノード N 1 に蓄えられた電荷は、光依存可変抵抗素子 A S 1 を介して、バイアス線 S V B 2 に放電されるが、放電される電荷量は、暗状態、及び入射する光量により変動する。したがって、一定時間経過後のノード N 1 の電圧は入射光量により異なることになる。

シフトレジスタ 1 1 により、ゲート線 G C L K 2 に供給される電圧が、L レベルの 0 V の電圧になってから、シフトレジスタ 1 1 によるゲート線走査がほぼ一周（1 フレーム後）し、ゲート線 G C L K 1 に、H レベルの 1 0 V の電圧が供給されるまでが、入射された光による光信号の蓄積時間である。

## 【 0 0 2 0 】

時刻 t 2 で、制御電圧 R S T P L S が、例えば、H レベルの 1 0 V の電圧になると、図 6 に示すリセットトランジスタ M T R が O N 状態となり、信号出力線 O U T 1 が、0 V のリセット電圧 V R S T にリセットされる。

時刻 t 3 で、制御電圧 R S T P L S が、L レベルの 0 V になると、信号出力線 O U T 1 がフローティング状態になる。

時刻 t 4 で、ゲート線 G C L K 1 に、H レベルの 1 0 V の電圧が供給されると、トランジスタ M T 3 が O N 状態になり、出力線 O U T 1 とバイアス線 S V A B が、トランジスタ M T 2 及びトランジスタ M T 3 を介して接続される。

トランジスタ M T 3 のゲート電圧は 1 0 V であり非飽和動作であるが、トランジスタ M T 2 のゲートは内部ノード N 1 であり、前述したように入射光量に対応して、5 V 以下となっており、飽和動作となる。

したがって、トランジスタ M T 2 は、ゲート電圧に対応したソース電圧（V 3）でカットオフされる。そのため、出力線 O U T 1 の電圧は、内部ノード N 1 の電圧に依存した値となり、結果として入射光量に依存した出力電圧が得られる。

時刻 t 5 で、ゲート線 G C L K 1 に、L レベルの 0 V の電圧が供給されると、トランジスタ M T 3 が O F F 状態となる。

時刻 t 8 で、ゲート線 G C L K 2 に、H レベルの 1 0 V の電圧が供給されると、トランジスタ M T 1 が O N 状態となり、内部ノード N 1 が、5 V のリセット電圧 V R S にリセットされる。

以上の動作を各画素において繰り返す。

## 【 0 0 2 1 】

前述の図 2 から分かるように、本実施例の光センサアレイでは、出力信号電圧（または電流）に必ず比較的大きな暗電流成分を含む。高抵抗半導体である光依存可変抵抗素子（アモルファスシリコン）の暗電流は温度依存性が比較的大きいため、使用環境下で暗電流成分を補正する必要がある。

本実施例の光センサアレイの場合、使用環境下で暗状態を作り、その電圧を光照射時の出力から差し引くという処理を外部に持つということが前提になる。明記しないが、この処理回路はいろいろな実現策があり可能である。

以下、変形例として、光センサ画素ごとに、光センサ用の高抵抗半導体（光依存可変抵抗素子（アモルファスシリコン））と同じ材料で遮光された暗電流補正用の補償素子を配置し、センサ読み出し時に暗電流成分を補正する実施例について説明する。

10

20

30

40

50

## 【 0 0 2 2 】

## [ 変形例 ]

図 8 に、本発明の実施例の変形例の光センサアレイの 4 画素分の光センサ画素の回路図を示す。図 5 と同様、図中点線で囲った A 部が 1 画素の光センサ画素を表す。

1 画素の光センサ画素は、5 個のトランジスタ ( M T 1 ~ 5 ) と、光センサとなる光依存可変抵抗素子 A S 1 と、暗電流補償用の遮光された光依存可変抵抗素子 A S D と、保持容量素子 C 1 と、読み出しリセットを行うためのゲート線 ( G C L K 1 , G C L K 2 ) と、 V R S のリセット電圧を供給するリセット線 S V R S、 V B 1 , V A B のバイアス電圧 ( 固定電圧 ) を供給するバイアス線 ( S V B 1 , S V A B ) と、信号出力線 O U T 1 から構成される。なお、光依存可変抵抗素子 A S 1 と、暗電流補償用の遮光された光依存可変抵抗素子 A S D とは、アモルファスシリコン ( a - S i ) で構成される。

10

図 9 は、本変形例の光センサアレイの回路構成を示す回路図である。

光センサ画素の画素数が、  $m \times K$  の場合で、  $n$  ,  $n + 1$  行、  $J$  ,  $J + 1$  列の 4 画素が具体的回路図で表示されている。光センサ画素の回路図は、図 8 と同じである。

光センサアレイの周辺の下辺側には、信号出力線 O U T の電圧をリセットするためのリセットトランジスタ M T R と、 V R S T のリセット電圧を供給するためのリセット線 S V R S T、及び出力用のボンディングパッド P A D が配置されている。

## 【 0 0 2 3 】

図 1 0 は、本実施例の変形例の光センサアレイの動作を説明するためのタイミングチャートである。以下、図 1 0 を用いて、図 5 に示す A 部の光センサ画素の動作を説明する。

20

なお、説明では簡単のため、各バイアス電圧を  $V B 1 = 0 V$  ( G N D )、  $V A B = 1 0 V$ 、リセット電圧を  $V R S = 5 V$ 、  $V R S T = 0 V$  とする。また、各トランジスタ ( M T 1 ~ M T 3 ) の閾値電圧  $V t h$  は、簡単のため  $1 V$  とする。また、各クロック ( 1 , 2 ) の電圧は、 H i g h レベル ( 以下、 H レベルという ) が  $1 0 V$ 、 L レベル ( 以下、 L レベルという ) が  $0 V$  とする。

図 6 と同様、本変形例においても、シフトレジスタ 1 1 により、各光センサ画素行は、紙面上、上から下へ順次走査されるもの、即ち、本変形例においても、ゲート線 G C L K には、番号の若い順に順次 O N 電圧パルスが加わるものとする。また、以下の説明では、  $G C L K n = G C L K 1$ 、  $G C L K ( n + 1 ) = G C L K 2$  として説明する。

始めに、シフトレジスタ 1 1 により、ゲート線 G C L K 2 に、 H レベルの  $1 0 V$  の電圧が供給された時点から考える。

30

ゲート線 G C L K 2 に、 H レベルの  $1 0 V$  の電圧が供給されると、トランジスタ M T 1 とトランジスタ M T 4 とが O N 状態になり、容量素子 C 1 の両端の内部ノード N 1 と内部ノード N 2 とは、リセット線 S V R S と電氣的に接続されるので、内部ノード N 1 と内部ノード N 2 の電圧は、リセット電圧 V R S と同電位の  $5 V$  になる。

## 【 0 0 2 4 】

ゲート線 G C L K 2 に供給される電圧が、 L レベルの  $0 V$  の電圧になると、内部ノード N 1 と内部ノード N 2 とは、孤立ノードとなるが、内部ノード N 1 は、光依存可変抵抗素子 A S 1 を介してバイアス線 S V B 1 と、内部ノード N 2 は、暗電流補償用の遮光された光依存可変抵抗素子 A S D を介してバイアス線 S V B 1 に接続される。

40

内部ノード N 1 には、光が照射されている場合、入射光および温度により光依存可変抵抗素子 A S 1 内に発生した電荷に起因して暗状態とは異なる抵抗による電流が流れる。また、内部ノード N 2 には、暗電流補償用の遮光された光依存可変抵抗素子 A S D 内に温度起因で発生した電荷起因の電流、いわゆる暗電流が流れる。

シフトレジスタ 1 1 により、ゲート線 G C L K 2 に供給される電圧が、 L レベルの  $0 V$  の電圧になってから、シフトレジスタ 1 1 によるゲート線走査がほぼ一周 ( 1 フレーム後 ) し、ゲート線 G C L K 1 に、 H レベルの  $1 0 V$  の電圧が供給されるまでが、入射された光による光信号の蓄積時間である。

## 【 0 0 2 5 】

時刻  $t 2$  で、制御電圧 R S T P L S が、例えば、 H レベルの  $1 0 V$  の電圧になると、図

50

6 に示すリセットトランジスタ M T R が O N 状態となり、信号出力線 O U T 1 が、0 V のリセット電圧 V R S T にリセットされる。

時刻 t 3 で、制御電圧 R S T P L S が、L レベルの 0 V になると、信号出力線 O U T 1 がフローティング状態になる。

時刻 t 4 で、ゲート線 G C L K 1 に供給される電圧が、H レベルの 1 0 V になると、トランジスタ M T 3 とトランジスタ M T 5 が O N 状態になる。トランジスタ M T 5 が O N 状態になると、内部ノード N 2 とリセット線 S V R S とが電氣的に接続されるので、内部ノード N 2 の電圧が、リセット電圧 V R S と同電位の 5 V にリセットされる。

暗電流補償用の遮光された光依存可変抵抗素子 A S D の暗電流により、t 4 直前の内部ノード N 2 の電圧が、V d a r k であったとすると、このとき、内部ノード N 2 の電圧は  $V 2 = V R S - V d a r k$  だけ変化する。

10

【 0 0 2 6 】

この変化は、容量素子 C 1 を介して、内部ノード N 1 の電圧を変動させるが、内部ノード N 1 の電圧変化 V 1 は、おおむね下記 ( 1 ) で与えられる。

$$V 1 = V 2 \times C 1 / ( C 1 + C S 2 + C S 3 ) \dots\dots\dots ( 1 )$$

ここで、C S 2、C S 3 は、主にトランジスタ M T 1、トランジスタ M T 2 のゲート-ソース間容量を主体とする内部ノード N 1 が持つ C 1 以外の容量すべてをあらわす。この ( 1 ) 式により、C 1 ( C S 2 + C S 3 ) の場合、V 1 = V 2 となる。

また、トランジスタ M T 3 が O N 状態になると、出力線 O U T 1 とバイアス線 S V A B が、トランジスタ M T 2 及びトランジスタ M T 3 を介して接続される。

20

トランジスタ M T 3 のゲート電圧は 1 0 V であり非飽和動作であるが、トランジスタ M T 2 のゲートは内部ノード N 1 であり、前述したように入射光量に対応して、5 V 以下となっており、飽和動作となる。

t 4 直前の内部ノード N 1 の電圧を V 1 とすると、内部ノード N 1 の電圧は最終的に下記 ( 2 ) 式で示す電圧となっている。

$$V 3 \sim V 1 + V 1 \dots\dots\dots ( 2 )$$

この電圧をゲート電圧として、トランジスタ M T 2 がターンオフする電圧 V O U T まで信号出力線 O U T 1 の電圧を上昇させる。

【 0 0 2 7 】

電圧 V O U T は、おおむね下記 ( 3 ) 式で与えられる。

30

$$V O U T \sim V 3 - V t h \dots\dots\dots ( 3 )$$

ここで、V t h は、トランジスタ M T 2 の閾値電圧である。

前述の ( 3 ) 式で得られる電圧が、この光センサ画素の出力電圧であり、暗電流成分がおおむね差し引かれたものとなる。

時刻 t 5 で、ゲート線 G C L K 1 に、L レベルの 0 V の電圧が供給されると、トランジスタ M T 3 と、トランジスタ M T 5 は O F F 状態となる。

時刻 t 8 で、ゲート線 G C L K 2 に、H レベルの 1 0 V の電圧が供給されると、トランジスタ M T 1 と、トランジスタ M T 4 が O N 状態となり、内部ノード N 1 と、内部ノード N 2 が、5 V のリセット電圧 V R S にリセットされる。

以上の動作を各画素において繰り返す。

40

以上説明したように、本変形によれば、光センサ画素から、出力電圧が出力される段階で暗電流成分がおおむね差し引かれているため、外部で暗電流補償をする必要がなくなり、暗状態を実現できない環境においても、光センサとして使用することが可能となる。

【 0 0 2 8 】

なお、前述の説明では、各トランジスタ ( M T 1 ~ M T 5 ) は、半導体層としてポリシリコンを使用した薄膜トランジスタで構成される。また、各トランジスタ ( M T 1 ~ M T 5 ) は、n 型の薄膜トランジスタで構成されているが、n 型の薄膜トランジスタに代えて p 型の薄膜トランジスタを使用することも可能である。

各トランジスタ ( M T 1 ~ M T 5 ) を、p 型の薄膜トランジスタで構成する場合には、各バイアス電圧の電圧値を適宜変更する必要があることはいうまでもない。

50

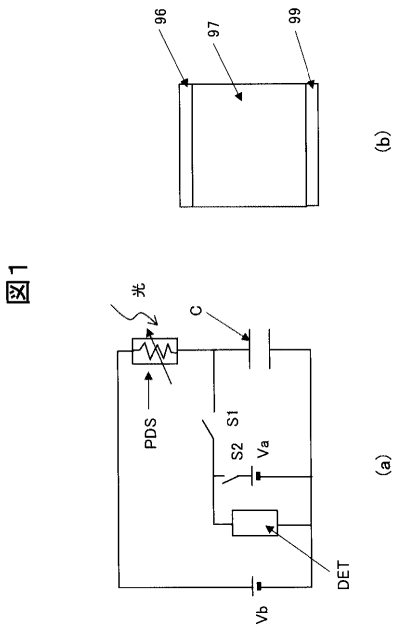
以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【符号の説明】

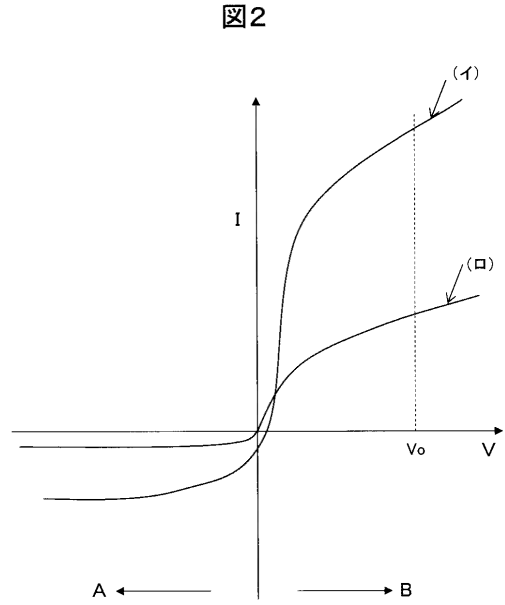
【0029】

10	光センサ画素アレイ部	
11	シフトレジスタ	
12	リセット回路	
13	ボンディングパッド部	
91	メタル電極	10
93	アモルファスシリコン ( a - S i )	
94	ゲート	
95	容量形成用電極	
96	上部電極	
97	光依存可変抵抗素子 (アモルファスシリコン ( a - S i ) )	
98	絶縁膜	
99	下部電極	
PD	フォトダイオード	
S1, S2	スイッチ	
DET	検出機構	20
Va、Vb	電源	
TFT	半導体層としてアモルファスシリコンを使用する薄膜トランジスタ	
C	容量素子	
G1	ゲートパルス	
PDP	受光部	
PDS	受光素子	
MT1 ~ MT5, MTR	トランジスタ	
AS1	光依存可変抵抗素子	
ASD	暗電流補償用の遮光された光依存可変抵抗素子	
C1	保持容量素子 C1	30
GCLK1, GCLK2	ゲート線	
SVRS, SVRST	リセット線	
SVB1, SVB2, SVAB	バイアス線	
OUT	信号出力線	
PAD	ボンディングパッド	
N1, N2	内部ノード	

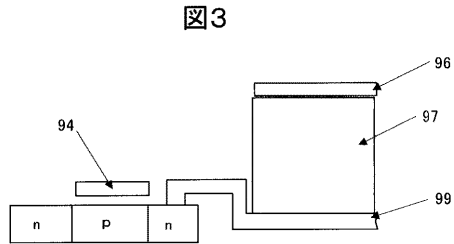
【 図 1 】



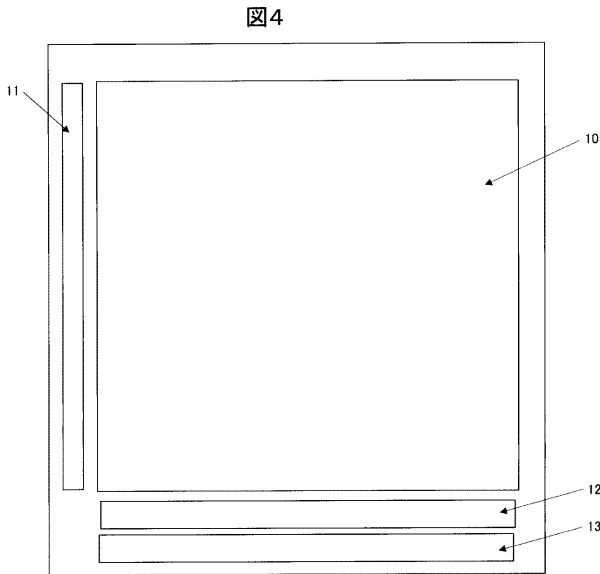
【 図 2 】



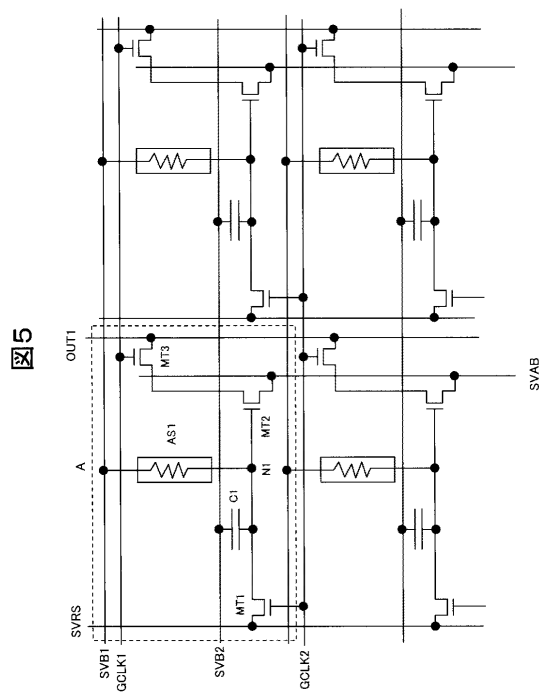
【 図 3 】



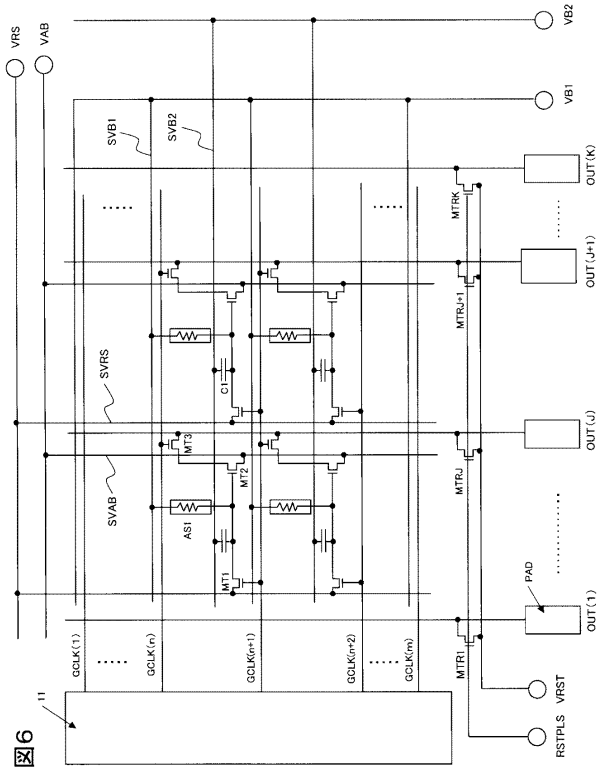
【 図 4 】



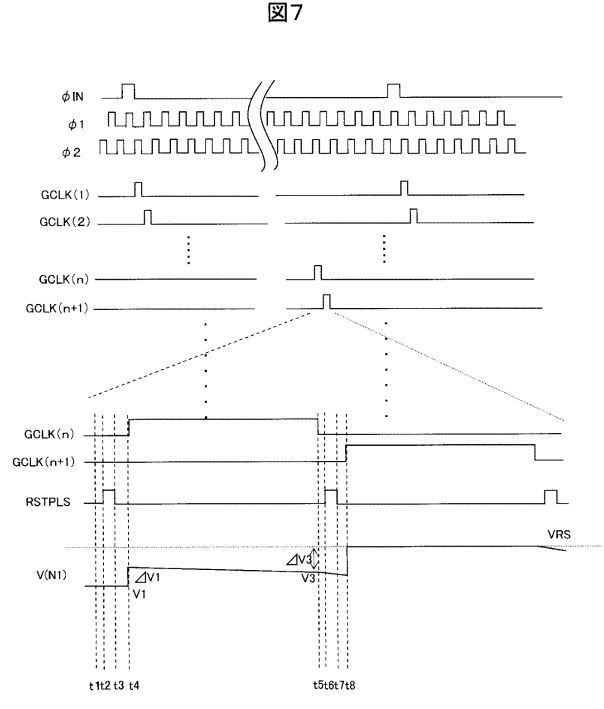
【 図 5 】



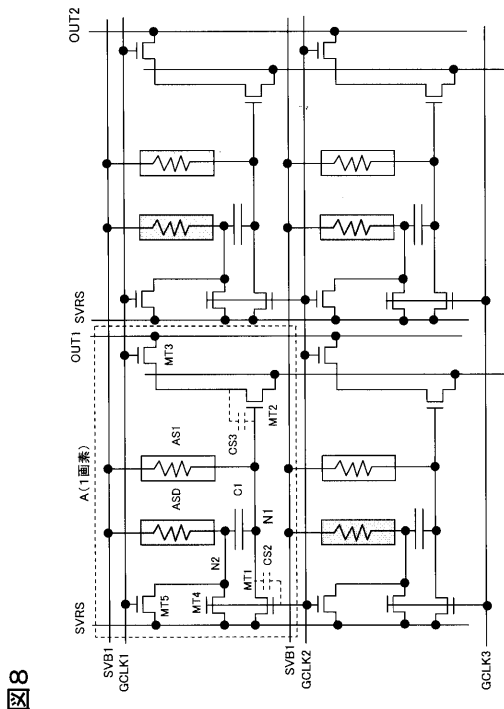
【 6 】



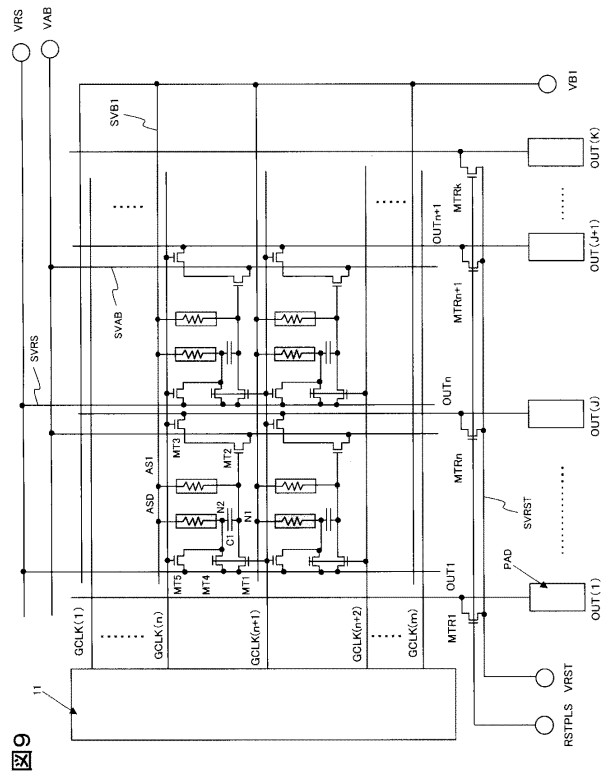
【 7 】



【 8 】



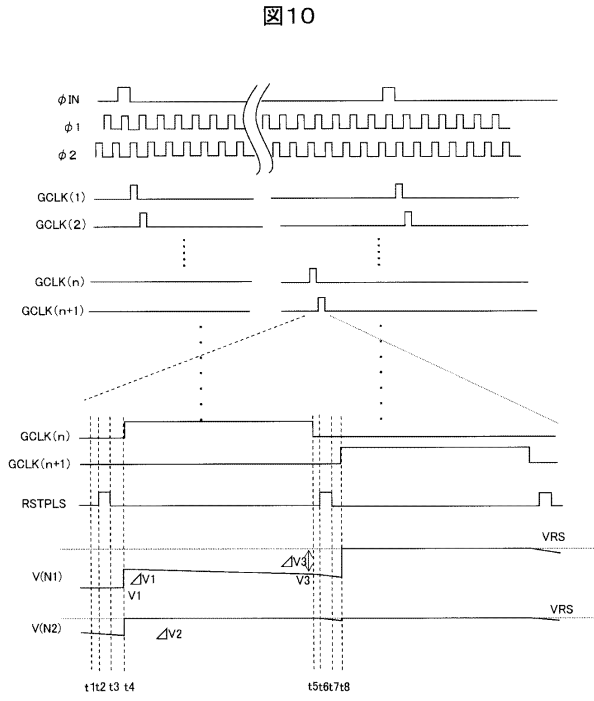
【 9 】



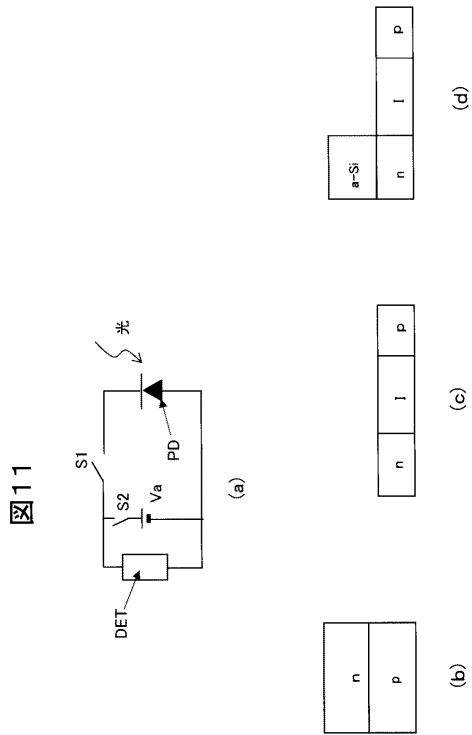
8

9

【 図 1 0 】

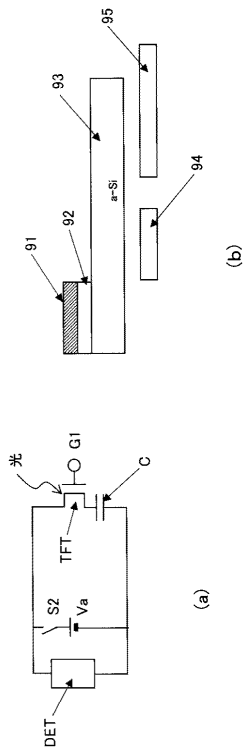


【 図 1 1 】



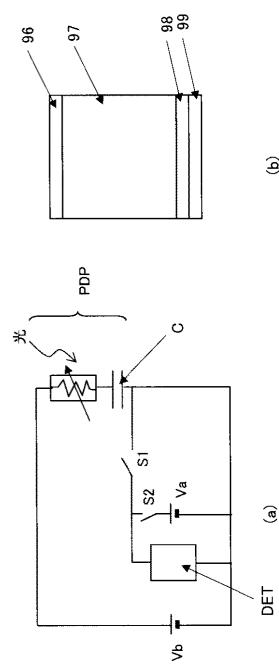
【 図 1 2 】

図 12



【 図 1 3 】

図 13



## フロントページの続き

- (74)代理人 110000154  
特許業務法人はるか国際特許事務所
- (72)発明者 宮沢 敏夫  
千葉県茂原市早野3300番地 株式会社日立ディスプレイズ内
- (72)発明者 中川 英樹  
千葉県茂原市早野3300番地 株式会社日立ディスプレイズ内
- (72)発明者 安田 好三  
千葉県茂原市早野3300番地 株式会社日立ディスプレイズ内

審査官 若林 治男

- (56)参考文献 特開平5 - 136390 (JP, A)  
特開2008 - 171871 (JP, A)  
特開平5 - 198787 (JP, A)  
特開平11 - 297977 (JP, A)

## (58)調査した分野(Int.Cl., DB名)

H04N 5/30 - 5/378  
H04N 5/222 - 5/257