

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3619773号
(P3619773)

(45) 発行日 平成17年2月16日(2005.2.16)

(24) 登録日 平成16年11月19日(2004.11.19)

(51) Int. Cl.⁷

F I

HO 1 L 21/56	HO 1 L 21/56	T
B 2 9 C 45/14	B 2 9 C 45/14	
HO 1 L 23/12	HO 1 L 23/12	5 O 1 W
// B 2 9 L 31:34	HO 1 L 23/12	F
	B 2 9 L 31:34	

請求項の数 44 (全 39 頁)

(21) 出願番号	特願2000-387825 (P2000-387825)	(73) 特許権者	503121103 株式会社ルネサステクノロジ 東京都千代田区丸の内二丁目4番1号
(22) 出願日	平成12年12月20日(2000.12.20)	(73) 特許権者	000233169 株式会社日立超エル・エス・アイ・システムズ 東京都小平市上水本町5丁目22番1号
(65) 公開番号	特開2002-190488 (P2002-190488A)	(73) 特許権者	000233594 株式会社ルネサス北日本セミコンダクタ 北海道千歳市泉沢1007番地39
(43) 公開日	平成14年7月5日(2002.7.5)	(74) 代理人	100080001 弁理士 筒井 大和
審査請求日	平成16年3月11日(2004.3.11)	(72) 発明者	高橋 典之 山形県米沢市大字花沢字八木橋東3の32 74 日立米沢電子株式会社内
早期審査対象出願			最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

- (a) 第1の基板の第1の面に複数の半導体チップを実装する工程、
- (b) 前記複数の半導体チップが実装された第1の基板を、前記第1の面に対向する第2の面が金型の下型に向くようにした状態で、かつ、前記第1の面の複数の半導体チップが金型の1つのキャビティ内に収容される状態で、前記金型内にセットする工程、
- (c) 前記金型における上型と、前記第1の基板における前記第1の面との間にフィルムを介在させた状態で、前記複数の半導体チップを一括して樹脂封止することにより封止部材を成型する工程、
- (d) 前記フィルムを用いて前記金型から前記封止部材を離形する工程、
- (e) 前記第1の基板および封止部材を切断して個々の半導体装置を切り出す工程を有し、

10

前記第1の基板の前記第1、第2の面には、複数の半導体装置形成領域の一群が配置された第1の領域と、その外側の第2の領域とが配置されており、前記第2の領域には、補強パターンが設けられており、前記補強パターンは前記半導体装置形成領域毎に分割して配置されていることを特徴とする半導体装置の製造方法。

【請求項2】

請求項1記載の半導体装置の製造方法において、前記補強パターンのうち、所定の補強パターンは、前記第1、第2の面に沿って伸縮可能なパターン構造とされていることを特徴とする半導体装置の製造方法。

20

【請求項 3】

請求項 2 記載の半導体装置の製造方法において、前記所定の補強パターンは、互いに分離された複数の第 1 のパターンで構成されており、前記補強パターンの幅方向に隣接する第 1 のパターンは、前記補強パターンの長手方向に沿って互いにずれて配置されていることを特徴とする半導体装置の製造方法。

【請求項 4】

請求項 1 記載の半導体装置の製造方法において、前記所定の補強パターンはタイル状のパターンからなることを特徴とする半導体装置の製造方法。

【請求項 5】

請求項 1 記載の半導体装置の製造方法において、前記第 1 の基板の第 1、第 2 の面には、配線用の導体パターンと、それが配置された領域以外の領域に配置されたダミー用の導体パターンとが設けられていることを特徴とする半導体装置の製造方法。

10

【請求項 6】

請求項 5 記載の半導体装置の製造方法において、前記ダミー用の導体パターンを分割して配置したことを特徴とする半導体装置の製造方法。

【請求項 7】

請求項 1 記載の半導体装置の製造方法において、前記第 1 の基板の第 1、第 2 の面を被覆する絶縁膜を、配線用の導体パターンの無い領域にも設けたことを特徴とする半導体装置の製造方法。

【請求項 8】

20

(a) 第 1 の基板の第 1 の面に複数の半導体チップを実装する工程、
 (b) 前記複数の半導体チップが実装された第 1 の基板を、前記第 1 の面に対向する第 2 の面が金型の下型に向くようにした状態で、かつ、前記第 1 の面の複数の半導体チップが金型の 1 つのキャビティ内に収容される状態で、前記金型内にセットする工程、
 (c) 前記金型における上型と、前記第 1 の基板における前記第 1 の面との間にフィルムを介在させた状態で、前記複数の半導体チップを一括して樹脂封止することにより封止部材を成型する工程、
 (d) 前記フィルムを用いて前記金型から前記封止部材を離形する工程、
 (e) 前記第 1 の基板および封止部材を切断して個々の半導体装置を切り出す工程を有し、

30

前記第 1 の基板の前記第 1、第 2 の面には、複数の半導体装置形成領域の一群が配置された第 1 の領域と、その外側の第 2 の領域とが配置されており、前記第 2 の領域には、補強パターンが設けられており、

前記第 1 の基板の第 1、第 2 の面には、配線用の導体パターンと、それが配置された領域以外の領域に配置されたダミー用の導体パターンとが設けられており、

前記第 1 の面、第 2 の面またはその両方の面における半導体装置形成領域の中央にダミー用の導体パターンを配置したことを特徴とする半導体装置の製造方法。

【請求項 9】

(a) 第 1 の基板の第 1 の面に複数の半導体チップを実装する工程、
 (b) 前記複数の半導体チップが実装された第 1 の基板を、前記第 1 の面に対向する第 2 の面が金型の下型に向くようにした状態で、かつ、前記第 1 の面の複数の半導体チップが金型の 1 つのキャビティ内に収容される状態で、前記金型内にセットする工程、
 (c) 前記金型における上型と、前記第 1 の基板における前記第 1 の面との間にフィルムを介在させた状態で、前記複数の半導体チップを一括して樹脂封止することにより封止部材を成型する工程、
 (d) 前記フィルムを用いて前記金型から前記封止部材を離形する工程、
 (e) 前記第 1 の基板および封止部材を切断して個々の半導体装置を切り出す工程を有し、

40

前記第 1 の基板の前記第 1、第 2 の面には、複数の半導体装置形成領域の一群が配置された第 1 の領域と、その外側の第 2 の領域とが配置されており、前記第 2 の領域には、補強

50

パターンが設けられており、

前記第1の基板の複数の半導体装置形成領域の各々に前記第1、第2の面間を貫通するホールを設け、前記第1の面における前記ホールの周囲に絶縁膜の一部を除去することで形成したダム領域を設けたことを特徴とする半導体装置の製造方法。

【請求項10】

(a) 第1の基板の第1の面に複数の半導体チップを実装する工程、
 (b) 前記複数の半導体チップが実装された第1の基板を、前記第1の面に対向する第2の面が金型の下型に向くようにした状態で、前記金型内にセットする工程、
 (c) 前記第1の基板の前記第2の面を、前記金型における下型に真空吸着させた状態で、前記複数の半導体チップを一括して樹脂封止することにより封止部材を成型する工程、
 (d) 前記第1の基板および前記封止部材を切断して個々の半導体装置を切り出す工程を有し、

10

前記第1の基板の前記第1、第2の面には、複数の半導体装置形成領域の一群が配置された第1領域と、その外側の第2領域とが配置されており、前記第2領域には、補強パターンが設けられており、前記補強パターンは前記半導体装置形成領域毎に分割して配置されていることを特徴とする半導体装置の製造方法。

【請求項11】

請求項10記載の半導体装置の製造方法において、前記補強パターンのうち、所定の補強パターンは、前記第1、第2の面に沿って伸縮可能なパターン構造とされていることを特徴とする半導体装置の製造方法。

20

【請求項12】

請求項11記載の半導体装置の製造方法において、前記所定の補強パターンは、互いに分離された複数の第1のパターンで構成されており、前記補強パターンの幅方向に隣接する第1のパターンは、前記補強パターンの長手方向に沿って互いにずれて配置されていることを特徴とする半導体装置の製造方法。

【請求項13】

請求項11記載の半導体装置の製造方法において、前記所定の補強パターンはタイル状のパターンからなることを特徴とする半導体装置の製造方法。

【請求項14】

(a) 第1の基板の第1の面に複数の半導体チップを実装する工程、
 (b) 前記複数の半導体チップが実装された第1の基板を、前記第1の面に対向する第2の面が金型の下型に向くようにした状態で、前記金型内にセットする工程、
 (c) 前記第1の基板の前記第2の面を、前記金型における下型に真空吸着させた状態で、前記複数の半導体チップを一括して樹脂封止することにより封止部材を成型する工程、
 (d) 前記第1の基板および前記封止部材を切断して個々の半導体装置を切り出す工程を有し、

30

前記第1の基板の前記第1、第2の面には、配線用の導体パターンと、それが配置された領域以外の領域に配置されたダミー用の導体パターンとが設けられており、前記第1の面、第2の面またはその両方の面における複数の半導体装置形成領域の各々の中央にダミー用の導体パターンが配置されていることを特徴とする半導体装置の製造方法。

40

【請求項15】

請求項14記載の半導体装置の製造方法において、前記ダミー用の導体パターンを分割して配置したことを特徴とする半導体装置の製造方法。

【請求項16】

(a) 第1の基板の第1の面に複数の半導体チップを実装する工程、
 (b) 前記複数の半導体チップが実装された第1の基板を、前記第1の面に対向する第2の面が金型の下型に向くようにした状態で、前記金型内にセットする工程、
 (c) 前記第1の基板の前記第2の面を、前記金型における下型に真空吸着させた状態で、前記複数の半導体チップを一括して樹脂封止することにより封止部材を成型する工程、
 (d) 前記第1の基板および前記封止部材を切断して個々の半導体装置を切り出す工程を

50

有し、

前記第1の基板の前記第1、第2の面には、配線用の導体パターンと、それが配置された領域以外の領域に配置されたダミー用の導体パターンとが設けられており、

前記第1の基板の複数の半導体装置形成領域の各々に前記第1、第2の面間を貫通するホールを設け、前記第1の面における前記ホールの周囲に絶縁膜の一部を除去することで形成したダム領域を設けたことを特徴とする半導体装置の製造方法。

【請求項17】

(a) 第1の基板の第1の面に複数の半導体チップを実装する工程、

(b) 前記複数のチップが実装された第1の基板を、前記第1の面に対向する第2の面が金型の下型に向くようにした状態で、前記金型内にセットする工程、

(c) 前記金型のキャビティ内に封止樹脂を注入することにより、前記複数の半導体チップを一括して封止する封止部材を成型する工程、

(d) 前記金型から前記封止部材を離形する工程、

(e) 前記第1の基板および前記封止部材を切断して個々の半導体装置を切り出す工程を有し、

前記第1の基板の前記第1、第2の面には、複数の半導体装置形成領域の一群が配置された第1領域と、その外側の第2領域とが配置されており、前記第2領域には、複数個に分割された補強パターンが配置されており、前記補強パターンは前記半導体装置形成領域毎に分割して配置されていることを特徴とする半導体装置の製造方法。

【請求項18】

請求項17記載の半導体装置の製造方法において、前記補強パターンのうち、所定の補強パターンは、前記第1、第2の面に沿って伸縮可能なパターン構造とされていることを特徴とする半導体装置の製造方法。

【請求項19】

請求項18記載の半導体装置の製造方法において、前記所定の補強パターンは、互いに分離された複数の第1のパターンで構成されており、前記補強パターンの幅方向に隣接する第1のパターンは、前記補強パターンの長手方向に沿って互いにずれて配置されていることを特徴とする半導体装置の製造方法。

【請求項20】

請求項18記載の半導体装置の製造方法において、前記所定の補強パターンはタイル状のパターンからなることを特徴とする半導体装置の製造方法。

【請求項21】

請求項17記載の半導体装置の製造方法において、前記第1の基板の前記第1、第2の面を被覆する絶縁膜を、配線用の導体パターンの無い領域にも設けたことを特徴とする半導体装置の製造方法。

【請求項22】

請求項17記載の半導体装置の製造方法において、前記(d)工程後、前記(e)工程の前に、前記第1の基板の前記第2の面における複数の半導体装置形成領域の複数の配線用の導体パターンの各々に複数のパンプを一括して接合する工程を有することを特徴とする半導体装置の製造方法。

【請求項23】

(a) 第1の基板の第1の面に複数の半導体チップを実装する工程、

(b) 前記複数のチップが実装された第1の基板を、前記第1の面に対向する第2の面が金型の下型に向くようにした状態で、前記金型内にセットする工程、

(c) 前記金型のキャビティ内に封止樹脂を注入することにより、前記複数の半導体チップを一括して封止する封止部材を成型する工程、

(d) 前記金型から前記封止部材を離形する工程、

(e) 前記第1の基板および前記封止部材を切断して個々の半導体装置を切り出す工程を有し、

前記第1の基板の前記第1、第2の面には、複数の半導体装置形成領域の一群が配置され

10

20

30

40

50

た第1領域と、その外側の第2領域とが配置されており、前記第2領域には、複数個に分割された補強パターンが配置されており、

前記第1の基板の複数の半導体装置形成領域の各々に前記第1、第2の面間を貫通するホールを設け、前記第1の面における前記ホールの周囲に絶縁膜の一部を除去することで形成したダム領域を設けたことを特徴とする半導体装置の製造方法。

【請求項24】

(a) 第1の基板の第1の面に複数の半導体チップを実装する工程、

(b) 前記複数の半導体チップが実装された第1の基板を、前記第1の面に対向する第2の面が金型の下型に向くようにした状態で、前記金型内にセットする工程、

(c) 前記金型における上型と、前記第1の基板における前記第1の面との間にフィルムを介在させ、前記フィルムを前記上型に真空吸着させ、かつ、前記第1の基板の第2の面を、前記金型における下型に真空吸着させた状態で、前記複数の半導体チップを一括して樹脂封止することにより封止部材を成形する工程、

(d) 前記フィルムを用いて前記金型から前記封止部材を離形する工程、

(e) 前記第1の基板および封止部材を切断して個々の半導体装置を切り出す工程を有し、

前記第1の基板の前記第1、第2の面には、配線用の導体パターンと、それが配置された領域以外の領域に配置されたダミー用の導体パターンとが設けられており、

前記第1の面、第2の面またはその両方の面における複数の半導体装置形成領域の各々の中央にダミー用の導体パターンを配置したことを特徴とする半導体装置の製造方法。

【請求項25】

請求項24記載の半導体装置の製造方法において、前記ダミー用の導体パターンを分割して配置したことを特徴とする半導体装置の製造方法。

【請求項26】

(a) 主面と、裏面と、前記主面上に形成された複数の配線と、前記主面および裏面の複数の半導体装置形成領域とを有する基板を準備する工程と、

(b) 主面と、裏面と、前記主面上に形成された複数の電極とをそれぞれ有する複数の半導体チップを準備する工程と、

(c) 前記複数の半導体チップを、前記基板主面の複数の半導体装置形成領域上に搭載する工程と、

(d) 前記(c)工程の後に、前記複数の半導体チップの複数の電極と、前記基板の複数の配線とを、ワイヤを介して電氣的に接続する工程と、

(e) 上型と、下型と、上型に形成されたキャビティとを有する金型を準備する工程と、

(f) 前記(d)工程の後に、前記基板裏面が前記下型に面し、前記複数の半導体チップが前記キャビティ内に配置されるように、前記複数の半導体チップが搭載された基板を前記金型内に配置する工程と、

(g) 前記(f)工程の後に、前記基板裏面を前記下型に真空吸着した状態で、前記キャビティに樹脂を注入して、前記複数の半導体チップを一括で封止する封止体を形成する工程と、

(h) 前記基板と前記封止体を、それぞれの半導体装置に切断する工程とを有し、

前記基板はダミー用導体パターンを有し、前記複数の半導体チップは、前記ダミー用導体パターン上に平面的に重なるように配置されていることを特徴とする半導体装置の製造方法。

【請求項27】

請求項26記載の半導体装置の製造方法であって、前記封止体を形成する工程において、前記基板主面と前記上型との間に、フィルムを介在させ、かつ前記フィルムを前記上型に真空吸着させた状態で、前記封止体を形成することを特徴とする半導体装置の製造方法。

【請求項28】

請求項27記載の半導体装置の製造方法であって、前記ダミー用導体パターンは、前記基板主面上に形成された第1のダミー用導体パターンと、前記基板裏面上に形成された第2

10

20

30

40

50

のダミー用導体パターンとを有することを特徴とする半導体装置の製造方法。

【請求項 29】

請求項 28 に記載の半導体装置の製造方法であって、前記第 1 のダミー用導体パターンは、前記第 2 のダミー用導体パターンと平面的に重なるように配置されていることを特徴とする半導体装置の製造方法。

【請求項 30】

請求項 29 に記載の半導体装置の製造方法であって、前記複数の半導体チップは、それぞれ対応する第 1 のダミー用導体パターンと、第 2 のダミー用導体パターンに平面的に重なるように配置されていることを特徴とする半導体装置の製造方法。

【請求項 31】

(a) 主面と、裏面と、前記主面上に形成された複数の配線と、前記主面および裏面の複数の半導体装置形成領域とを有する基板を準備する工程と、

(b) 主面と、裏面と、前記主面上に形成された複数の電極とをそれぞれ有する複数の半導体チップを準備する工程と、

(c) 前記複数の半導体チップを、前記基板主面の複数の半導体装置形成領域上に搭載する工程と、

(d) 前記 (c) 工程の後に、前記複数の半導体チップの複数の電極と、前記基板の複数の配線とを、ワイヤを介して電氣的に接続する工程と、

(e) 上型と、下型と、上型に形成されたキャビティとを有する金型を準備する工程と、

(f) 前記 (d) 工程の後に、前記基板裏面が前記下型に面し、前記複数の半導体チップが前記キャビティ内に配置されるように、前記複数の半導体チップが搭載された基板を前記金型内に配置する工程と、

(g) 前記 (f) 工程の後に、前記基板裏面を前記下型に真空吸着した状態で、前記キャビティに樹脂を注入して、前記複数の半導体チップを一括で封止する封止体を形成する工程と、

(h) 前記基板と前記封止体を、それぞれの半導体装置に切断する工程とを有し、前記基板は、前記複数の半導体チップとは電氣的に絶縁された複数の導体パターンを有し、

前記複数の半導体チップは、前記導体パターン上に平面的に重なるように配置されていることを特徴とする半導体装置の製造方法。

【請求項 32】

請求項 31 に記載の半導体装置の製造方法であって、前記封止体を形成する工程において、前記基板主面と前記上型との間に、フィルムを介在させ、かつ前記フィルムを前記上型に真空吸着させた状態で、前記封止体を形成することを特徴とする半導体装置の製造方法。

【請求項 33】

請求項 32 に記載の半導体装置の製造方法であって、前記導体パターンは、前記基板主面上に形成された第 1 の導体パターンと、前記基板裏面上に形成された第 2 の導体パターンとを有することを特徴とする半導体装置の製造方法。

【請求項 34】

請求項 33 に記載の半導体装置の製造方法であって、前記第 1 の導体パターンは、前記第 2 の導体パターンと平面的に重なるように配置されていることを特徴とする半導体装置の製造方法。

【請求項 35】

請求項 34 に記載の半導体装置の製造方法であって、前記複数の半導体チップは、それぞれ対応する第 1 の導体パターンと、第 2 の導体パターンに平面的に重なるように配置されていることを特徴とする半導体装置の製造方法。

【請求項 36】

(a) 主面と、裏面と、前記主面上に形成された複数の配線と、前記主面および裏面の複数の半導体装置形成領域とを有する基板を準備する工程と、

(b) 主面と、裏面と、前記主面上に形成された複数の電極とをそれぞれ有する複数の半

10

20

30

40

50

導体チップを準備する工程と、

(c) 前記複数の半導体チップを、前記基板主面の複数の半導体装置形成領域上に搭載する工程と、

(d) 前記(c)工程の後に、前記複数の半導体チップの複数の電極と、前記基板の複数の配線とを、ワイヤを介して電氣的に接続する工程と、

(e) 上型と、下型と、上型に形成されたキャビティとを有する金型を準備する工程と、

(f) 前記(d)工程の後に、前記基板裏面が前記下型に面し、前記複数の半導体チップが前記キャビティ内に配置されるように、前記複数の半導体チップが搭載された基板を前記金型内に配置する工程と、

(g) 前記(f)工程の後に、前記基板裏面を前記下型に真空吸着した状態で、前記キャビティに樹脂を注入して、前記複数の半導体チップを一括で封止する封止体を形成する工程と、

(h) 前記基板と前記封止体を、それぞれの半導体装置に切断する工程とを有し、前記基板は、前記複数の半導体装置形成領域の外に、複数の補強パターンを有し、

前記封止体を形成する工程において、前記基板主面と前記上型との間に、フィルムを介在させ、かつ前記フィルムを前記上型に真空吸着させた状態で、前記封止体を形成し、

前記補強パターンは、前記基板主面上に形成された第1の補強パターンと、前記基板裏面上に形成された第2の補強パターンとを有し、

前記第1の補強パターンは、前記第2の補強パターンと平面的に重なるように配置されており、

前記基板は、複数のダミー用導体パターンを有し、

前記複数の半導体チップは、前記ダミー用導体パターンに平面的に重なるように配置されていることを特徴とする半導体装置の製造方法。

【請求項37】

(a) 主面と、裏面と、前記主面上に形成された複数の配線と、前記主面および裏面の複数の半導体装置形成領域とを有する基板を準備する工程と、

(b) 主面と、裏面と、前記主面上に形成された複数の電極とをそれぞれ有する複数の半導体チップを準備する工程と、

(c) 前記複数の半導体チップを、前記基板主面の複数の半導体装置形成領域上に搭載する工程と、

(d) 前記(c)工程の後に、前記複数の半導体チップの複数の電極と、前記基板の複数の配線とを、ワイヤを介して電氣的に接続する工程と、

(e) 上型と、下型と、上型に形成されたキャビティとを有する金型を準備する工程と、

(f) 前記(d)工程の後に、前記基板裏面が前記下型に面し、前記複数の半導体チップが前記キャビティ内に配置されるように、前記複数の半導体チップが搭載された基板を前記金型内に配置する工程と、

(g) 前記(f)工程の後に、前記基板裏面を前記下型に真空吸着した状態で、前記キャビティに樹脂を注入して、前記複数の半導体チップを一括で封止する封止体を形成する工程と、

(h) 前記基板と前記封止体を、それぞれの半導体装置に切断する工程とを有し、前記基板は、前記複数の半導体装置形成領域の外に、前記複数の半導体チップとは電氣的に絶縁された複数の導体パターンを有し、

前記封止体を形成する工程において、前記基板主面と前記上型との間に、フィルムを介在させ、かつ前記フィルムを前記上型に真空吸着させた状態で、前記封止体を形成し、

前記導体パターンは、前記基板主面上に形成された第1の導体パターンと、前記基板裏面上に形成された第2の導体パターンとを有し、

前記第1の導体パターンは、前記第2の導体パターンと平面的に重なるように配置されており、

前記基板は、前記半導体装置形成領域上に形成され、前記複数の半導体チップとは電氣的に絶縁された第3の導体パターンを有し、

10

20

30

40

50

前記複数の半導体チップは、前記第3の導体パターンに平面的に重なるように配置されていることを特徴とする半導体装置の製造方法。

【請求項38】

(a) 第1の基板の第1の面に複数の半導体チップを実装する工程、

(b) 前記複数の半導体チップが実装された第1の基板を、前記第1の面に対向する第2の面が金型の下型に向くようにした状態で、かつ、前記第1の面の複数の半導体チップが金型の1つのキャビティ内に収容される状態で、前記金型内にセットする工程、

(c) 前記金型における上型と、前記第1の基板における前記第1の面との間にフィルムを介在させた状態で、前記複数の半導体チップを一括して樹脂封止することにより封止部材を成型する工程、

(d) 前記フィルムを用いて前記金型から前記封止部材を離形する工程、

(e) 前記第1の基板および封止部材を切断して個々の半導体装置を切り出す工程を有し、

前記第1の基板は、前記複数の半導体チップに電氣的に接続された複数の配線用導体パターンと、前記複数の配線用導体パターンとは分離された複数のダミー用導体パターンとを有し、

前記半導体チップを実装する工程において、前記複数の半導体チップのそれぞれを、対応するダミー用導体パターン上に配置し、

前記封止部材を成型する工程において、前記フィルムを前記上型に真空吸着することを特徴とする半導体装置の製造方法。

【請求項39】

請求項38に記載の半導体装置の製造方法であって、前記封止部材を成型する工程において、前記第1の基板の第2の面を、前記下型に真空吸着することを特徴とする半導体装置の製造方法。

【請求項40】

請求項38に記載の半導体装置の製造方法であって、前記第1の基板は、前記第1の面上に露出する第1の配線層を有し、前記第1の配線層は、前記配線用導体パターンと前記ダミー用導体パターンを有し、前記配線用導体パターンは、ワイヤを介して前記半導体チップと電氣的に接続していることを特徴とする半導体装置の製造方法。

【請求項41】

請求項40に記載の半導体装置の製造方法であって、前記第1の基板は、前記第1の面上に、前記配線用導体パターンの一部を覆う絶縁膜を有していることを特徴とする半導体装置の製造方法。

【請求項42】

請求項38に記載の半導体装置の製造方法であって、前記第1の基板は、前記第2の面上に露出する第2の配線層を有し、前記第2の配線層は、前記配線用導体パターンと前記ダミー用導体パターンを有し、前記配線用導体パターン上に、半田バンプ電極を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項43】

請求項42に記載の半導体装置の製造方法であって、前記第1の基板は、前記第2の面上に、前記配線用導体パターンの一部を覆う絶縁膜を有していることを特徴とする半導体装置の製造方法。

【請求項44】

請求項38に記載の半導体装置の製造方法であって、前記第1の基板は、それぞれ前記配線用導体パターンとは分離された、第1のダミー用導体パターンと、前記第1のダミー用導体パターンと対向する第2のダミー用導体パターンとを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

10

20

30

40

50

本発明は、半導体装置の製造方法および半導体雄値技術に関し、特に小型パッケージ構造を有する半導体装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】

パッケージの外形寸法が半導体チップのそれとほぼ同等あるいは僅かに大きいCSP (Chip Size Package) 等は、ベアチップ実装に相当する高密度実装が可能であると共に、製造コストも比較的安価であることから、携帯情報機器、デジタルカメラ、ノート型パソコン等のような小型軽量電子機器分野での需要が急増している。

【0003】

上記CSPには、種々のパッケージ形態があるが、一般的には、半導体チップを搭載したパッケージ基板の一面に半田バンプを取り付け、この半田バンプをプリント配線基板の表面にリフロー半田付けするボールグリッドアレイ (Ball Grid Array; BGA) 構造が採用されている。特に、多ピンで薄型のCSPの場合は、半導体チップを搭載するパッケージ基板をポリイミド等のような絶縁テープで構成したTCP (Tape Carrier Package) 型のBGA (テープBGA) が主流となっている。なお、絶縁テープをパッケージ基板とするTCPについては、例えば特開平7-321248号公報などに開示がある。

10

【0004】

【発明が解決しようとする課題】

ところが、上記絶縁テープをパッケージ基板とするCSP技術においては、以下の課題があることを本発明者は見出した。

20

【0005】

すなわち、第1は、高信頼性が要求される製品への適用が難しいという問題である。これは、上記絶縁テープをパッケージ基板とするCSP構造では、パッケージ基板の材料がポリイミド等と言うこともあり、実装後の温度サイクル性を顧客要求よりも低くせざるを得ず、さらなる信頼性の向上を図ることができないこと等からである。

【0006】

また、第2は、半導体装置の製造コストが高いという問題である。これは、パッケージ基板材料であるポリイミドテープの価格が高いこと、また、上記絶縁テープをパッケージ基板とするCSPの製造では、個々の半導体チップを封止する形態であるため、単位面積当たりの製品取得数が少ないために更に基準単価が高額となっていること等からである。

30

【0007】

また、本発明者らは、本発明に基づいて、モールドの観点で公知例を調査した。その結果、例えば特開平10-256286号公報には、金型からの離形をスムーズに行うために、金型の内面にコーティング層を形成し、モールド部を離形する技術が開示されている。また、例えば特開平10-244556号公報には、モールド金型からの樹脂パッケージを容易に取り出すために、金型内面に離形フィルムを密着させた状態で樹脂パッケージを成形する技術が開示されている。また、例えば特開平11-16930号公報には、シートを用いてモールドする際に、シートを真空引きしてシートしわを防止する技術が開示されている。また、例えば特開2000-12578号公報には、基板上にチップを多数搭載し、トランスファーモールドする技術が開示されている。さらに例えば特開2000-138246号公報には、汎用性のあるモールド金型で、複数のブロック毎にエジェクターピンが取り付けられている。

40

【0008】

本発明の目的は、半導体装置の信頼性を向上させることのできる技術を提供することにある。

【0009】

また、本発明の目的は、半導体装置のコストを低減することのできる技術を提供することにある。

【0010】

50

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0011】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0012】

すなわち、本発明は、複数の半導体チップを第1の面に実装した第1の基板を金型内にセットし、前記金型の上型と前記第1の基板の第1の面との間にフィルムを介在させ、前記フィルムを前記上型に真空吸着させた状態で、前記複数の半導体チップを一括して樹脂封止することにより封止部材を成型した後、前記フィルムを用いて前記金型から離形された前記第1の基板および封止部材を切断して複数の半導体装置を得るものである。

10

【0013】

また、本発明は、複数の半導体チップを第1の面に実装した第1の基板を金型内にセットし、前記第1の基板において前記第1の面の裏側の第2の面を、前記金型の下型に真空吸着させた状態で、前記複数の半導体チップを一括して樹脂封止することにより封止部材を成型した後、前記金型から離形された前記第1の基板および封止部材を切断して複数の半導体装置を得るものである。

【0014】

また、本発明は、熱応力に対して強い構造を有する第1の基板の第1の主面に実装された複数の半導体チップを一括封止することで成形された封止部材を金型から離形した後、前記金型から離形された前記第1の基板および封止部材を切断して複数の半導体装置を得るものである。

20

【0015】

また、本発明は、前記第1の基板は、これを実装する第2の基板と同一系の絶縁材料を主体として構成されているものである。

【0016】

また、本発明は、前記第1の基板は、これを実装する第2の基板と熱膨張係数が等しくなるような絶縁材料を主体として構成されているものである。

【0017】

また、本発明は、前記第1、第2の基板がガラス・エポキシ樹脂系の絶縁材料を主体として構成されているものである。

30

【0018】

【発明の実施の形態】

本願発明を詳細に説明する前に、本願における用語の意味を説明すると次の通りである。

【0019】

温度サイクル試験：被測定半導体装置を高温および低温に繰り返してさらし、寸法および他の物理的性質の変化を生じさせて動作特性および物理的損傷の耐久性を決定するために行われる試験を言う。

【0020】

短冊基板（第1の基板）の主面（チップ実装面：第1の面）および裏面（パッケージ実装面：第2の面）を、便宜上、以下の領域に分類する。半導体装置が形成される領域を「半導体装置形成領域」と言い、その半導体装置形成領域の一群が配置された全領域を「製品領域（第1の領域）」と言い、製品領域の外周の領域を「周辺領域（第2の領域）」と言う。

40

【0021】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【0022】

50

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

【0023】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

【0024】

同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0025】

また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0026】

また、本実施の形態で用いる図の中には、平面図であっても図面を見易くするためにハッチングを付すものもある。

【0027】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0028】

（実施の形態1）

図1は本発明の一実施の形態である半導体装置の斜視図、図2は図1のA1 - A1線の断面図を示している。

【0029】

本実施の形態の半導体装置1は、例えばFBGA（Fine Pitch Ball Grid Array）構造を有している。この半導体装置1のパッケージ基板2は、例えば平面四角形の薄板からなり、基板本体3と、その主面（チップ実装面）および裏面（パッケージ実装面）に形成された導体パターン4およびソルダレジスト（Solder resist）5と、パッケージ基板2の主面および裏面間を貫通するベントホール6と、パッケージ基板2の裏面側の導体パターン4に接合されたバンプ電極7とを有している。

【0030】

本実施の形態においては、上記基板本体3の材料として、例えば耐熱性の高いFR-5相当のガラス・エポキシ樹脂の単層板を採用している。このように基板本体3の材料を安価なガラス・エポキシ樹脂の単層板としたことにより、半導体装置1の製造原価を最小限に抑えることができる。すなわち、半導体装置1のコストを低減できる。

【0031】

また、基板本体3の材料を、半導体装置1を実装する基板として一般的に使用されているプリント配線基板と同一のガラス・エポキシ樹脂としたことにより、パッケージ基板2と上記プリント配線基板との熱膨張係数差に起因して半導体装置1のバンプ電極7に加わるストレスを緩和することができる。これにより、半導体装置1を実装した後の信頼性を向上させることができる。

【0032】

また、基板本体3をポリイミドテープ等で構成した場合に比べて、温度サイクル試験における温度サイクル性を2倍程度またはそれ以上に向上させることができるので、携帯機器や民生用途向けだけでなく、産業機器や自動車用途向け等のような高い信頼性が要求される製品に半導体装置1を適用することができる。

【0033】

ただし、基板本体3の材料は、これに限定されるものではなく種々変更可能であり、例えばBTレジンまたはアラミド不織布材等のような有機系の絶縁材料を用いても良い。これ

10

20

30

40

50

らいずれの材料を用いても上記ガラス・エポキシ樹脂を用いた場合と同様の効果が得られる他、基板本体3の材料としてBTレジンを選択した場合には、熱伝導性が高いので、放熱性を向上させることができる。

【0034】

上記パッケージ基板2の導体パターン4は、例えば単純な2層構造で構成されている。これにより、半導体装置1の製造原価を最小限に抑えることができ、半導体装置1のコストを低減できる。また、本実施の形態においては、上記導体パターン4が、配線用およびダミー用の2種類のパターンを有している。また、本実施の形態においては、配線用の導体パターン4には、一般的なラインパターンと、その他に、バンプ電極7、ボンディングワイヤまたはスルーホール等が接合される幅広のパターンを含むものとする。パッケージ基板2の主面および裏面の配線用の導体パターン4は、パッケージ基板2の主面および裏面間を貫通するスルーホールを通じて互いに電氣的に接続されている。このような配線用およびダミー用の導体パターン4は、上記基板本体3の主面(チップ実装面)および裏面(パッケージ実装面)に貼り付けられた電解銅箔(または圧延銅箔)等のような導体膜をエッチングすることで形成されており、その表面にはニッケル(Ni)、金(Au)メッキ等が施されている。ダミー用の導体パターン4を設けたのは、パッケージ基板2の主面および裏面の導体パターン4の密度を高めるためである。なお、これについては後述する。

10

【0035】

上記パッケージ基板2の主面および裏面はソルダレジスト(絶縁膜)5で被覆されている。ソルダレジスト5の一部は除去されており、上記導体パターン4の一部が露出されている。このソルダレジスト5は、ソルダマスク(solder mask)またはストップオフ(stop-off)とも呼ばれ、パッケージ基板2の主面および裏面の特定領域に施された耐熱性被覆材料であり、半田付け作業の際にこの部分に半田が付かないようにするレジストである。ソルダレジスト5の主要機能は、半田付けの時、半田付け不要な導体パターン4が溶融半田と接触することを防ぎ、半田付け部以外の導体パターン4を保護する保護膜としての機能であるが、その他に、導体間の半田ブリッジの防止、汚染や湿気からの保護、損傷防止、耐環境性、マイグレーション防止、回路間の絶縁の維持および回路と他の部品(半導体チップ(以下、単にチップという)やプリント配線基板等)との短絡防止の機能を有している。したがって、ソルダレジスト5は、これらの機能を有する絶縁材料で構成されている。本実施の形態では、ソルダレジスト5の材料として、熱膨張係数を考慮して、例えばエポキシ系樹脂およびアクリル系樹脂を用いた。また、本実施の形態では、このソルダレジスト5の被覆状態(被覆面積や厚さ等)がパッケージ基板2の主面と裏面とでほぼ均一になるようになっている。なお、これについては後述する。

20

30

【0036】

また、パッケージ基板2には、その主面と裏面とを貫通するベントホール6が設けられている。このベントホール6は、チップ8をパッケージ基板2に固着するための接着剤9中のボイドや水分等を、半導体装置1の組立工程(後工程)における熱処理前または熱処理中に外部に逃がすための孔である。なお、このベントホール6についても後述する。

【0037】

パッケージ基板2の裏面における配線用の導体パターン4には、バンプ電極7が接合されている。バンプ電極7は、半導体装置1を実装用の基板上に実装し、かつ、半導体装置1と実装基板の配線とを電氣的に接続するための突起電極である。このバンプ電極7は、例えば鉛(Pb)/錫(Sn)合金からなり、その直径は、例えば0.3~0.5mm程度である。なお、バンプ電極7の材料として、例えば錫(Sn)-銀(Ag)系の鉛フリー半田を用いることもできる。

40

【0038】

このようなパッケージ基板2の総厚(基板本体3、導体パターン4およびソルダレジスト5の厚さの総和)は、極めて薄く、例えば0.2mm以下となっている。これにより、半導体装置1の薄型設計が可能となっている。したがって、このような半導体装置1を搭載

50

する電子装置または情報処理装置等の小型、薄型および軽量設計が可能となる。

【0039】

パッケージ基板2の主面中央には、チップ8がその主面(素子形成面)を上に向けた状態で実装されている。このチップ8は、例えば銀(Ag)入りペーストまたは銀無しの絶縁ペースト等のような接着剤9によってパッケージ基板2の主面に固着されている。このチップ8の主面には、例えばマイクロプロセッサ、ASICまたはメモリ等のような集積回路が形成されている。チップ8の主面の集積回路は、チップ8の最上の配線層に設けられたボンディングパッド(外部端子)と電気的に接続されている。そして、そのボンディングパッドは、ボンディングワイヤ10を介してパッケージ基板2の主面の配線用の導体パターン4と電気的に接続されている。ボンディングワイヤ10は、例えば直径25 μ m程度 10の金(Au)細線からなり、パッケージ基板2の主面に形成された配線用の導体パターン4においてソルダレジスト5から露出された領域に接触されて接合されている。ただし、チップ8の実装形態はボンディングワイヤ10で接続されるものに限定されるものではなく、例えばチップ8をその主面に設けられたパンプ電極を介してパッケージ基板2の主面上に実装し、パッケージ基板2の配線と電気的に接続する、いわゆるフェイスダウンボンディング実装形態としても良い。

【0040】

このようなチップ8およびボンディングワイヤ10は、パッケージ基板2の主面に被覆された封止部材11によって封止されている。封止部材11は、例えばエポキシ樹脂および低分子系樹脂からなり、その側面は、パッケージ基板2の主面に対してほぼ垂直になるよう 20に形成されている。このような半導体装置1の全高(実装基板の実装面から半導体装置1の上面までの高さ)h1は、例えば1.2~1.4mm程度である。

【0041】

次に、本実施の形態の半導体装置の製造方法で用いる短冊基板について説明する。図3および図4は、その短冊基板12を示している。図3(a)は、短冊基板12の主面(チップ実装面)の平面図、(b)はその裏面(パッケージ搭載面)の平面図を示している。また、図4は、図3のA2-A2線の断面図を示している。なお、図3は平面図であるが、メッキ用の配線にハッチングを付す。

【0042】

短冊基板12は、例えば縦 \times 横=40~66mm \times 15.1mm程度、厚さが0.2mm以下 30の平面略長方形の薄板からなる。この短冊基板12は、上記パッケージ基板2の母体であり、上記基板本体3、導体パターン4およびソルダレジスト5を有している。この短冊基板12の主面および裏面には、例えばその幅方向に沿って2列、長手方向に沿って9列、合計2 \times 9=18個の半導体装置形成領域DAが配置されている。短冊基板12の主面の各半導体装置形成領域DAの破線は、上記チップ8が実装される領域を示している。また、各半導体装置形成領域DAの隣接境界線は後述の切断線でもある。

【0043】

短冊基板12の主面および裏面において四辺の近傍の周辺領域には、半導体装置形成領域DAの一群(製品領域)を取り囲むように、補強パターン13(13a、13b、13c) 40が設けられている。補強パターン13は、短冊基板12の搬送時等の機械的強度を確保し、かつ、半導体装置1の製造時の熱処理に起因する反りや歪み等を抑制するための部材である。このような補強パターン13を設けることにより、極めて薄い短冊基板12であってもその機械的強度を確保できるので、短冊基板12を安心して搬送することができる。また、半導体装置1の製造時の熱処理に起因する反りや歪み等を抑制できるので、その平坦性を確保することができる。このため、後述の封止工程の際に良好な封止が可能となり、半導体装置1の歩留まりを向上させることができる。

【0044】

補強パターン13は、機械的強度を確保する観点のみからは短冊基板12の外周に沿って連続的に延在させて形成した方が良いが、ここでは、補強パターン13(補強パターン13bを除く)が、短冊基板12の主面および裏面の両方において、半導体装置形成領域D 50

A毎に区分けされて配置されている。これは、半導体装置1の製造時における熱処理に際しては、短冊基板12の材料(基板本体3、導体パターン4およびソルダレジスト5)の熱膨張係数の違い等に起因して短冊基板12の反りや捻れ等が生じるが、その熱応力は、半導体装置領域DAの隣接間に相対的に強くかかるので、それを分散、開放することで短冊基板12の全体的な平坦性を確保するためである。また、補強パターン13を区分けしてないとすると、半導体装置形成領域DAの隣接間における補強パターン13部分に残像歪みが生じてしまう場合があるので、それを回避するためでもある。さらに、半導体装置形成領域DA毎に補強パターン13を設けることにより、上記短冊基板12の全体的な平坦性の確保に加えて、さらに実質的に半導体装置となる各半導体装置領域DA毎の平坦性を確保できるので、樹脂封止を良好に行うことができ、半導体装置1の歩留りの向上を図ることができるからである。また、短冊基板12の切断ライン上に補強パターン13aが存在しないことから、短冊基板12の切断時に補強パターン13aの導体異物(ばり)等の発生を防止でき、その異物に起因する短絡不良等を防止できる。

10

【0045】

この補強パターン13は、例えば銅箔からなり、上記導体パターン4と同様に同工程時に形成されている。補強パターン13のうち、補強パターン13aは、ベタパターンではなく、例えばタイル状に形成されている。図5は、補強パターン13aの要部拡大平面図、図6はそのA4-A4線の断面図を示している。補強パターン13aは、互いに分離された矩形の複数の微細パターン(第1のパターン)が、補強パターン13aの長手方向および幅方向に沿って規則的に並んで配置されることで構成されている。ただし、この補強

20

【0046】

このように補強パターン13aをタイル状としているのは、補強パターン13aを上記熱処理時に伸び縮み可能な構造とすることで、上記熱応力による熱収縮を緩和するためである。すなわち、これにより、半導体装置1の製造工程時の熱処理による熱応力を緩和でき、また、残像歪みの発生を抑制または防止できるので、短冊基板12の平坦性をさらに向上させることができる。

【0047】

ただし、補強パターン13aのパターン形状は、基本的に伸び縮みが可能であり熱応力を吸収する形状であれば良く、タイル状に限定されるものではなく種々変更可能であり、例えば図7に示す構造としても良い。図7(a)は、補強パターン13aの要部拡大平面図、(b)は(a)のA5-A5線の断面図を示している。なお、図7の(a)は平面図であるが、図面を見易くするための導体パターンにハッチングを付す。

30

【0048】

図7に示す補強パターン13aは、点状パターンを例示している。この補強パターン13aは、導体膜の一部が除去されることで形成された矩形の複数の導体膜除去領域14が配置されることで構成されている。ただし、この補強パターン13aでは、その矩形の複数の導体膜除去領域14が、補強パターン13aの幅方向においても同一直線上に並んで配置されている。

40

【0049】

図5および図7のいずれの補強パターン13aでも上記熱応力に関する効果を得ることができるが、短冊基板12の機械的な強度を得る観点からは図5に示したパターンの方が好ましい。これは、図5の補強パターン13aの構造では、その幅方向に隣接するパターン(導体膜除去領域14、矩形微細パターン)同士が、補強パターン13aの長手方向に沿ってずれて配置されているからである。また、上記図5の補助パターン13aを用いた場合には、他の構造に比べて残像歪みを回避する上で特に効果がある。これは、図5のタイル状のパターン構造を有する補助パターン13aの場合、それを構成する矩形の微細なパターンが互いに離れているので、補助パターン13a自体に歪みが残らないからである。

50

【 0 0 5 0 】

一方、上記図 3 および図 4 の短冊基板 1 2 の主面（チップ実装面）において、その長手方向の一辺近傍に配置された補強パターン 1 3 b は、区分けされておらず、また、タイル状ではなくベタパターンで形成されている。図 8（a）は補強パターン 1 3 b の要部拡大平面図、（b）はその A 6 - A 6 線の断面図を示している。なお、図 8（a）は平面図であるが、図面を見易くするため導体パターンにハッチングを付す。

【 0 0 5 1 】

補強パターン 1 3 b を区分けせず、また、ベタパターンとしたのは、後述のチップ 8 等の封止工程に際して、その補強パターン 1 3 b の配置された部分が、封止金型のいわゆるゲートが配置される場合を例示しているからである。すなわち、封止樹脂は、補強パターン 1 3 b に直接接触した状態で封止金型のキャビティ内に流しこまれるので、補強パターン 1 3 b を分割したり、メッシュ状等にしたりすると、封止工程後、短冊基板 1 2 を封止金型から剥離することができなくなるといふ不具合が生じるので、それを回避するためである。したがって、封止金型のゲートが分割されてるタイプであれば、この補強パターン 1 3 b を区分けしてもかまわない。

【 0 0 5 2 】

また、補強パターン 1 3 c も、ベタパターンで形成されている。これは、補強パターン 1 3 c は、短冊基板 1 2 を搬送する際の剛性を持たせる部分とされているからである。なお、図 3 において導体パターン 4 m は、半導体装置形成領域 D A に配置された導体パターン 4 にメッキ処理を施す際に電流を供給するためのパターンを示している。

【 0 0 5 3 】

次に、上記短冊基板 1 2 の主面および裏面における半導体装置形成領域 D A の導体パターン 4 の配置について説明する。図 9 は、短冊基板 1 2 の主面における半導体装置形成領域 D A（すなわち、前記パッケージ基板 2 の主面（チップ実装面））の全体平面図を示し、また、図 1 0 は、図 9 の要部拡大平面図を示している。また、図 1 1 は、短冊基板 1 2 の裏面における半導体装置形成領域 D A（すなわち、前記パッケージ基板 2 の裏面（パッケージ実装面））の全体平面図を示し、また、図 1 2 は、図 1 1 の要部拡大平面図を示している。図 9 ~ 図 1 2 においては、導体パターン 4 の配置を分かり易くするために導体パターン 4 にハッチングを付す。

【 0 0 5 4 】

前記したように短冊基板 1 2 の主面および裏面における半導体装置形成領域 D A（すなわち、パッケージ基板 2 の主面および裏面）には、導体パターン 4 の密度を高めるために、配線用の導体パターン 4 a（4）の他に、ダミー用の導体パターン 4 b（4）が配置されている。このように各半導体装置形成領域 D A において導体パターン 4 の密度を高めることにより、半導体装置 1 の製造工程中の熱処理による半導体装置形成領域 D A 内、すなわち、パッケージ基板 2 内における基板反りやうねり等を低減することができる。また、導体パターン 4 は、その配置状態（面積、配置位置および密度等）を、短冊基板 1 2（パッケージ基板 2）の主面と裏面とでほぼ同じにすることが好ましい。これにより、その主面および裏面間の熱収縮量を均一にすることができるので、熱による基板反りやうねり等を低減できる。これらにより、短冊基板 1 2 およびパッケージ基板 2 の平坦性を向上させることが可能となる。また、導体パターン 4 の密度を高くすることにより、ソルダレジスト 5 のクラックを生じ難くすることができるので、配線用の導体パターン 4 a の断線不良を防止することが可能となる。さらに、互いに隣接する配線用の導体パターン 4 間にダミー用の導体パターン 4 を介在させることにより、その隣接する配線用の導体パターン 4 間の浮遊容量を無くし、誘導ノイズの発生を防止できる。

【 0 0 5 5 】

ただし、導体パターン 4 の密度を高め過ぎると、基板本体 3 とソルダレジスト 5 との接触面積が少なくなる結果、双方の部材間の接着力が低下してしまうので、ダミー用の導体パターン 4 b については適当な箇所分割されている。これにより、基板本体 3 とソルダレジスト 5 とが接触される領域を確保することができるので、基板本体 3 とソルダレジスト

10

20

30

40

50

5との接着力を向上させることが可能となっている。また、リフロ時にチップ8の搭載領域の周辺には、チップ8と短冊基板12との熱膨張係数の差に起因する応力が集中し易いため、ソルダレジスト5の剥離が発生し易い。そのため、ダミー用の導体パターンの面積を極力少なくするか、形成しない構造とすることで導体パターン4の断線やソルダレジスト5の剥離を低減できる。図9～図12に示すように、半導体装置形成領域DA、すなわち、パッケージ基板2の主面および裏面の中央には、略平面四角形状の大きなダミー用の導体パターン4bが形成されている。このようにチップ8(図2参照)の裏面が対向する位置に大きなダミー用の導体パターン4bを設けることにより、上記導体パターン4の密度向上の他、チップ8が動作時に発生した熱の放散性を向上させることが可能となっている。また、その中央のダミー用の導体パターン4には、複数の円形状の導体膜除去領域14が規則的に配置されている。この導体膜除去領域14は、導体膜(銅箔等)の一部が除去されることで形成されたものである。このような導体膜除去領域14を設けることにより、短冊基板12(すなわち、パッケージ基板2)の主面および裏面の導体パターン4の配置密度を調整することができる。また、基板本体3とソルダレジスト5との接触領域を確保できるので、基板本体3とソルダレジスト5との接着強度をさらに向上させることができる。

10

【0056】

なお、図10の短冊基板12の主面(パッケージ基板2の主面)の配線用の導体パターン4aのうち、平面略矩形形状の幅広の導体パターン4a1(4)は、上記ボンディングワイヤ10が接合されるパターン部分である。また、配線用の導体パターン4aのうちの平面略楕円形状の幅広の導体パターン4a2(4)は、上記スルーホールが配置されるパターン部分である。また、図11の短冊基板12の裏面(パッケージ基板2の裏面)の配線用の導体パターン4aのうち、比較的幅広の導体パターン4a3(4)は、前記スルーホールが配置され、かつ、前記バンプ電極7が接合されるパターン部分である。

20

【0057】

次に、上記短冊基板12の主面および裏面における半導体装置形成領域DAのソルダレジスト5の配置について説明する。図13は、短冊基板12の主面における半導体装置形成領域DA(すなわち、前記パッケージ基板2の主面(チップ実装面))の全体平面図を示している。また、図14(a)は図13の中央部の拡大平面図、(b)は(a)のA7-A7線の断面図、(c)は(a)のような構造としたことによる作用の説明図を示している。さらに、図15は、短冊基板12の裏面における半導体装置形成領域DA(すなわち、前記パッケージ基板2の裏面(パッケージ実装面))の全体平面図を示している。図13、図14(a)および図15においては、ソルダレジスト5の配置を分かり易くするためにソルダレジスト5にハッチングを付した。

30

【0058】

前記したように短冊基板12の主面および裏面における半導体装置形成領域DA(すなわち、パッケージ基板2の主面および裏面)には、ソルダレジスト5がほぼ均一に被着されている。すなわち、その主面および裏面には、ソルダレジスト5がほぼ同じ厚さで、ほぼ同じ面積で被着されている。特に、導体パターン4の無い領域の主面および裏面の熱収縮差を最小限にすべく、導体パターン4の無い領域にもソルダレジスト5が形成されている。これにより、短冊基板12(パッケージ基板2)の主面および裏面の熱収縮量を一定にすることができるので、半導体装置1の製造工程中の熱処理による半導体装置形成領域DA内、すなわち、パッケージ基板2内における基板反りやうねり等を低減することができる。したがって、短冊基板12およびパッケージ基板2の平坦性を向上させることが可能となる。

40

【0059】

また、本実施の形態においては、図13および図14に示すように、ベントホール6の周囲に、それを取り囲むようにソルダレジスト5が残され、さらにその周囲を取り囲むように円形棒状のレジスト除去領域15aが形成されている。このレジスト除去領域15aは、接着剤9による目詰まり防止用のダムとして機能している。すなわち、レジスト除去領

50

域 15 a を設けていないとすると、パッケージ基板 2 の主面上に接着剤 9 を介してチップ 8 を固着する際に、その接着剤 9 がチップ 8 からの押圧力によってパッケージ基板 2 の主面に沿って流動し、ベントホール 6 を塞いでしまう。これに対して、レジスト除去領域 15 a を設けておくことにより、図 14 (c) に示すように、押し流されてきた接着剤 9 はレジスト除去領域 15 a 内に溜まり捕縛されるので、ベントホール 6 の目詰まりを防止することができる。

【0060】

なお、図 13 において、矩形形状の複数のレジスト除去領域 15 b からは上記ボンディングワイヤ接続用の導体パターン 4 a 1 が露出されている。また、図 15 において、円形状の複数のレジスト除去領域 15 c からは上記バンプ電極接続用の導体パターン 4 a 3 が露出

10

【0061】

次に、本実施の形態の半導体装置の製造方法を図 16 ~ 図 29 によって説明する。なお、図 16 ~ 図 20 , 図 23 ~ 図 29 は、半導体装置の製造工程中における要部断面図を示している。

【0062】

本実施の形態の半導体装置の製造方法は、上記短冊基板 12 に実装された複数のチップ 8 を一括して封止する MAP (Mold Array Package) 方式の製造方法である。

【0063】

まず、図 16 に示すように、前記短冊基板 12 を用意した後、その短冊基板 12 の主面のチップ実装領域に、図 17 に示すように、例えば絶縁ペースト等のような接着剤 9 を使ってチップ 8 を実装する。チップ 8 の寸法は、例えば縦 x 横 = 5 mm x 5 mm ~ 8 mm x 8 mm 程度、厚さ 0.28 mm 程度である。

20

【0064】

続いて、図 18 に示すように、チップ 8 のボンディングパッドと、短冊基板 12 の主面の配線用の導体パターン 4 a 1 とを、例えば金からなるボンディングワイヤ 10 によって電氣的に接続する。この際、例えば超音波振動と熱圧着とを併用した周知のワイヤボンダを使用した。

【0065】

その後、図 19 および図 20 に示すように、前記ワイヤボンディング工程を経た後の短冊基板 12 を成形金型 16 に搬送する。この際、前記のように短冊基板 12 は剛性を有する構造とされているので、変形やへこみ等をあまり心配せずに安心して搬送することができる。なお、図 20 は、図 19 に直交する面の断面図を示している。

30

【0066】

本実施の形態において成形金型 16 は、短冊基板 12 の主面上の複数のチップ 8 を一括して樹脂封止可能な一括モールド構造となっている。この封止金型 16 の下型 16 a には、複数の真空吸引孔 17 が設けられている。この真空吸引孔 17 は、封止工程 (短冊基板 12 を成形金型 16 にセットしてから短冊基板 12 上の複数のチップ 8 を封止樹脂で封止するまでの工程) に際して、短冊基板 12 の裏面 (パッケージ実装面) 側を吸引吸着することにより、極めて薄い短冊基板 12 をしっかり押さえ、かつ、特に、下型 16 a の熱に起因する短冊基板 12 の反りや歪み等を抑制するための孔である。

40

【0067】

また、上型 16 b には、キャビティ 16 c、カルブロック 16 d およびゲート 16 e が設けられている。キャビティ 16 c は、成形部に相当する樹脂注入領域である。本実施の形態では、短冊基板 12 の複数のチップ 8 を各々分けることなく一括して封止可能な大型のキャビティ 16 c が設けられている。すなわち、キャビティ 16 c は、1 個のキャビティ 16 c 内に複数のチップ 8 を収容可能なようになっている。また、カルブロック 16 d は、後述のプランジャで注入された成形材料をキャビティ 16 c に供給するために金型に設けられた凹みおよび凹みに残留し固化した樹脂部分である。ゲート 16 e は、成形金型 1

50

6において溶融樹脂がキャビティ16cに注入される注入口である。この上型16bには、エジェクタピン18がキャビティ16cに突出可能なように設けられている。このエジェクタピン18は、封止工程後、短冊基板12を成形金型16から離形するための部材である。エジェクタピン18は、上記半導体装置形成領域DAの一群（製品領域）の外周、すなわち、最終的に切断されて半導体装置1には残されない領域に配置されている。これは、短冊基板12に形成された封止部材にエジェクタピン18を押し付けて短冊基板12を取り出す際に、封止部材にエジェクタピン18の跡や傷が残るので、それが半導体装置1に残されないように考慮したものである。

【0068】

この成形金型16の一例を図21および図22に示す。図21は、成形金型16の全体斜視図、図22は成形金型16の下型16aの成形面を示している。なお、図21は、下型16aおよび上型16bの成形面が見易くなるように示しているものであって、下型16aと上型16bとの開閉状態を示すものではない。

10

【0069】

ここでは、1回の封止工程で2枚の短冊基板12に対して封止処理が可能な成形金型16が例示されている。下型16aの成形面においてその幅方向の中央には、ポット/プランジャ部16fが下型16aの長手方向に沿って複数個並んで配置されている。このポット/プランジャ部16fのポットは、成形材料の供給口であり、プランジャは、ポット内の成形材料をキャビティ16c内に注入、加圧保持させる構成部である。このポット/プランジャ部16fの列の両側に短冊基板12が載置されるようになっている。

20

【0070】

また、この下型16aの成形面において短冊基板12の載置領域には、上記した複数の真空吸引孔17が規則的に並んで配置されている（黒丸で表示）。この真空吸引孔17の配置は、短冊基板12の平面内において、前記半導体装置形成領域DAの一群の領域（製品領域）の外側であることが好ましい。これは、後述のように樹脂封止工程時に、短冊基板12の裏面を真空吸引することに起因して封止樹脂に小さな突起が形成されてしまう恐れがあるので、半導体装置1にその突起が残されるのを回避するためである。しかし、本実施の形態では、短冊基板12の平面寸法が大きいこともあり、短冊基板12をしっかりと真空吸引して短冊基板12の平坦性を確保する観点から短冊基板12の幅方向の中央の線（中心線）上に対応する位置にも真空吸引孔17を配置している。この中心線上は、後述の切断エリアに相当し切断されてしまう領域なので、封止工程直後の段階でその線上に上記突起が形成されていたとしても、最終的な半導体装置1には残らないか、また、残っても外観不良とならないような非常に小さなものとすることができるからである。このような目的を達成する観点から下型16aを多孔質材料で構成し、短冊基板12の裏面をその全面内においてほぼ均一に真空吸引する構造としても良い。この場合は、短冊基板12の裏面全面を真空吸引することができるので、上記突起の問題が生じない。すなわち、上記突起に起因する半導体装置1の歩留まり低下を回避できる。

30

【0071】

一方、上型16bの成形面において、その幅方向中央には、上記カルブロック16dが上型16bの長手方向に沿って複数個並んで配置されている。また、上型16bの成形面において、カルブロック16d列の両側にキャビティ16cが配置されている。各カルブロック16dと、その両側のキャビティ16cとはゲート16eを通じて連通している。

40

【0072】

次いで、図23に示すように、下型16aの成形面上に短冊基板12を載置した後、下型16aの温度を、例えば175程度に設定したまま短冊基板12に対して20秒程度のプリヒート処理を施す。この処理は、熱による短冊基板12の変形を落ち着かせる等の目的がある。

【0073】

本実施の形態では、前記のように短冊基板12自体の構造が熱応力等に起因する反り、うねりおよび歪み等（以下、反り等と略す）の生じ難い構造とされている。これにより、短

50

冊基板 12 を成形金型 16 に搭載した際に熱伝導性メカニズムに起因して発生する短冊基板 12 の上記反り等を低減することができる。そして、前記したように短冊基板 12 の全体的な平坦性のみならず、個々の半導体装置形成領域 DA 単位での平坦性をも確保することができる。

【0074】

続いて、図 24 に示すように、下型 16 a および上型 16 b の温度を、例えば 175 程度に設定した状態で、短冊基板 12 の裏面を真空吸引孔 17 によって吸着し、短冊基板 12 と下型 16 a の成形面とを密着させる。この時、本実施の形態では、前記したように短冊基板 12 が極めて薄いので、短冊基板 12 を良好に真空吸引できる。このように本実施の形態では、封止処理に当たり、短冊基板 12 の裏面を真空吸引することにより、上記熱 10
処理に起因する前記反り等をさらに低減することができる。このため、製品取得個数の増加要求により短冊基板 12 の平面積がさらに大型になっても、また、半導体装置の薄型要求から短冊基板 12 の厚さがさらに薄くなったとしても、上記熱処理に起因する前記反り等を生じさせることなく、短冊基板 12 の全体および半導体装置形成領域 DA 毎の平坦性を確保した状態で樹脂封止を行うことができる。なお、図 24 以降の真空吸引孔 17 に示した矢印は真空吸引の方向を示している。

【0075】

続いて、図 25 に示すように、上記温度および真空吸引処理を維持したまま、上型 16 b のキャビティ 16 c 内に、例えばエポキシ系樹脂および低分子系樹脂の封止樹脂を流し込み、短冊基板 12 の主面の複数のチップ 8 およびボンディングワイヤ 10 等を一括して封 20
止することにより、短冊基板 12 の主面側に複数のチップ 8 を内包する一体的な立方形状の封止部材 11 を成型する。この際、本実施の形態では、短冊基板 12 の平坦性が高いので、平準な樹脂封止が可能となる。したがって、半導体装置 1 の外観不良の発生率を低減でき、半導体装置 1 の歩留まりを向上させることができる。続いて、図 26 に示すように、上記下型 16 a および上型 16 b の温度を上記のままにした状態で、上型 16 b のエジェクタピン 18 をキャビティ 16 c 側に突き出し、封止工程後の封止部材 11 を有する短冊基板 12 を成形金型 16 から取り出す。この段階の封止部材 11 は、複数のチップ 8 を内包している。封止部材 11 において、各半導体装置形成領域の隣接間には空隙が介されず封止部材 11 が充填されている。

【0076】

次いで、図 27 に示すように、短冊基板 12 の裏面の各半導体装置形成領域 DA の配線用の導体パターン 4 (4 a 3) に、半田バンプ 7 A を合わせて接続する。半田バンプ 7 A を 30
導体パターン 4 に接続するには、あらかじめホール状に形成された複数個の半田バンプ 7 A をツール 19 を用いて保持し、この状態でフラックス槽に半田バンプ 7 A を浸漬してそれらの表面にフラックスを塗布した後、フラックスの粘着力を利用してそれぞれの半田バンプ 7 A を対応する導体パターン 4 (4 a 3) に同時仮付けする。

【0077】

上記半田バンプ 7 A は、鉛/錫合金からなり、その直径は、例えば 0.5 mm 程度である。半田バンプ 7 A は、1 個分の半導体装置形成領域 DA 内の半田バンプ 7 A を同時に一括して接続しても良いが、バンプ接続工程のスループットを向上させる観点からは、複数の 40
半導体装置形成領域 DA の半田バンプ 7 A を一括して接続することが望ましい。この場合、面積の大きなツール 19 を使用することになるので、短冊基板 12 に反りや変形等があると、一部の半田バンプ 7 A が導体パターン 4 に接合されないという問題が生じる場合がある。これに対して、本実施の形態では、ここまでの工程で短冊基板 12 に生じる反りや変形等が極めて少ないので、複数の半導体装置形成領域 DA の複数の半田バンプ 7 A を、それぞれに対応する複数の導体パターン 4 (4 a 3) に同時に一括して精度良く接続することが可能である。また、反りや変形の度合いのバラツキも考慮し、半田バンプを搭載する際、短冊基板 12 全体を強制クランプし平坦性を保持する機構を有する装置を使用することにより、さらに精度良く接続することができる。

【0078】

10

20

30

40

50

その後、半田バンプ7Aを 235 ± 5 程度の温度で加熱リフローすることで導体パターン4(4a3)に固着させて、図28に示すように、バンプ電極7を形成した後、短冊基板12の表面に残されたフラックス残渣等を中性洗剤等を使って除去することで、バンプ接続工程が完了する。

【0079】

次いで、上記短冊基板12を切断することにより、前記図1および図2に示した半導体装置1を複数個得る。短冊基板12から半導体装置1を得るには、図29に示すように、半導体ウエハをチップ8に分割する時と同様に、短冊基板12の裏面からダイシングブレード20を使って短冊基板12を切断する。

【0080】

このように本実施の形態においては、一括モールドを前提に短冊基板12の面積当たりの製品取得数を上げることにより、短冊基板12の単価を低減することが可能となる。また、成形金型16についても多種形状の金型を必要としないので、イニシャルコストを低減できる。さらに、一括多数加工処理が複数の工程に渡って可能となるので、半導体装置1の製造コストを低減することが可能となる。

【0081】

次に、このようにして製造された半導体装置1を有する電子装置の一例を図30および図31に示す。図30は、電子装置21の一部の平面図、図31は、その側面図を示している。

【0082】

電子装置21は、例えばメモリカードを示している。ただし、本実施の形態の半導体装置1の適用例はメモリカードに限定されるものではなく種々適用可能であり、例えばロジック回路を構成するものや一般的なプリント配線基板上に搭載して所定の回路を構成するものにも適用できる。

【0083】

電子装置21を構成する実装基板22は、その基板本体が前記半導体装置1のパッケージ基板2と同様に、例えばガラス・エポキシ樹脂からなり、その主面(パッケージ実装面)には、複数のFBGA型の半導体装置1が、その裏面(パッケージ実装面)を実装基板21の主面(パッケージ実装面)に向けた状態でバンプ電極7を介して実装されている。実装基板22の構成材料を半導体装置1のパッケージ基板2の基板本体3の材料と同一としたことにより、半導体装置1と実装基板22との熱膨張係数差を低減でき、その差に起因する熱応力の発生を低減できるので、複数の半導体装置1の実装上の信頼性を向上させることが可能となる。

【0084】

ここでは、各半導体装置1に、例えばDRAM(Dynamic Random Access Memory)、SRAM(Static Random Access Memory)またはフラッシュメモリ(EEPROM: Electric Erasable Programmable Read Only Memory)等のようなメモリ回路が形成されている。半導体装置1のメモリ回路は、その裏面(パッケージ実装面)のバンプ電極7を通じて実装基板22の配線と電氣的に接続されており、これにより実装基板22上に全体として所定容量のメモリ回路が形成されている。

【0085】

また、実装基板22の主面には、TQFP(Thin Quad Flat Package)型の半導体装置23が実装されている。この半導体装置23は、そのパッケージ本体の四側面から突出されたガルウィング状のリードを通じて実装基板22の配線と電氣的に接続されている。この半導体装置1は、上記実装基板22上に形成された所定容量のメモリ回路に組み込まれて、そのメモリ回路の動作を制御する機能を有している。実装基板22の一端には、その辺に沿って外部端子24が複数並んで配置されている。この外部端子24は、上記実装基板22上の配線と電氣的に接続されており、実装基板22上に形成された所定容量のメモリ回路と外部装置とを電氣的に接続する機能を有している。なお、

10

20

30

40

50

半導体装置 1, 2 3 の全高は、ほぼ同じ程度である。

【0086】

(実施の形態 2)

本実施の形態 2 においては、前記半導体装置の製造方法の他の一例を説明する。図 3 2 および図 3 3 は、成形金型 1 6 に前記短冊基板 1 2 を搬送した状態を示している。なお、図 3 3 は、図 3 2 に直交する面の断面図である。

【0087】

本実施の形態においては、成形金型 1 6 に、ラミネート機構部 2 5 が設けられている。ラミネート機構部 2 5 は、ラミネートフィルム 2 5 a と、その巻き取り用のリール 2 5 b とを有している。ラミネートフィルム 2 5 a は、上型 1 6 b 2 のキャビティ 1 6 c の内壁面をほぼ全体的に覆える大きさに形成された耐熱性の高い絶縁フィルムからなり、成型金型 1 6 の下型 1 6 a 2 と、上型 1 6 b 2 との間に介在されている。

10

【0088】

本実施の形態においては、成型金型 1 6 の下型 1 6 a 2 に真空吸引孔が設けられていない。それ以外の下型構造は、前記実施の形態 1 で説明した下型と同じである。また、本実施の形態では、上型 1 6 b 2 に、複数の真空吸引孔 2 6 が配置されている。この真空吸引孔 2 6 は、樹脂封止処理に際して、上記ラミネートフィルム 2 5 a を上型 1 6 b 2 のキャビティ 1 6 c 側に吸着させるための孔である。この真空吸引孔 2 6 の平面位置は、前記実施の形態 1 の下型 1 6 a 2 に形成された真空吸引孔 1 7 (図 1 9 ~ 図 2 2 参照) と、ほぼ同じ理由で同じ位置となっている。すなわち、真空吸引孔 2 6 は、短冊基板 1 2 の製品領域外周の周辺領域に配置することが好ましい。これは、樹脂封止工程時に真空吸引することで封止樹脂に真空吸引孔 2 6 に起因する小さな突起(穴跡)が形成されてしまう恐れが考えられるので、それを回避するためである。しかし、本実施の形態では、短冊基板 1 2 上の全てのチップ 8 を一括して封止することからキャビティ 1 6 c の面積が大きいこともあり、ラミネートフィルム 2 5 a にしわ等が生じないように真空吸引する必要がある。例えば短冊基板 1 2 の幅方向の中央の線(中心線)上に対応する位置にも真空吸引孔 2 6 を配置しても良い。この中心線上は、後述の切断エリアに相当し切断されてしまう領域なので、封止工程直後の段階でその線上に上記穴跡が形成されたとしても、最終的な半導体装置 1 には残らないか、また、残っても外観不良とならないような非常に小さなものとすることができるからである。このような目的を達成する観点から上型 1 6 b 2 を多数孔構造または多孔質材料で構成し、ラミネートフィルム 2 5 a の上面をその全面内においてほぼ均一に真空吸引する構造としても良い。この場合は、ラミネートフィルム 2 5 a の上面全面を真空吸引することができるので、上記穴跡に起因する半導体装置 1 の歩留まり低下を回避できる。また、上型 1 6 b 2 には、エジェクターピンが設けられていない。これについては後述する。それ以外の上型構造は、前記実施の形態 1 で説明した上型と同じである。

20

30

【0089】

まず、図 3 4 に示すように、上記のような成型金型 1 6 の下型 1 6 a 2 の成形面上に短冊基板 1 2 を載置した後、前記実施の形態 1 と同様に、下型 1 6 a 2 の温度を、例えば 1 7 5 程度に設定したまま短冊基板 1 2 に対して 2 0 秒程度のプリヒート処理を施す。この処理は、熱による短冊基板 1 2 の変形を落ち着かせる等の目的がある。

40

【0090】

本実施の形態では、前記のように短冊基板 1 2 自体の構造が熱応力等に起因する前記反り等の生じ難い構造とされているので、短冊基板 1 2 を成形金型 1 6 に搭載した際に熱伝導性メカニズムに起因して発生する短冊基板 1 2 の前記反り等を低減することができる。そして、前記したように短冊基板 1 2 の全体的な平坦性のみならず、個々の半導体装置形成領域 D A 単位での平坦性をも確保することができる。

【0091】

続いて、図 3 5 に示すように、下型 1 6 a 2 および上型 1 6 b 2 の温度を、例えば 1 7 5 程度に設定した後、ラミネートフィルム 2 5 a の上面(上型 1 6 b 2 に対向する面)を真空吸引孔 2 6 によって吸着し、ラミネートフィルム 2 5 a を上型 1 6 b 2 に密着させる

50

。なお、図35以降の真空吸引孔26に付した矢印は真空吸引の方向を示している。

【0092】

続いて、図36に示すように、上記温度および真空吸引処理を維持したまま、上型16b2のキャビティ16c内に、例えばエポキシ系樹脂および低分子系樹脂の封止樹脂を流し込み、短冊基板12の主面の複数のチップ8およびボンディングワイヤ10等を一括して封止することにより、短冊基板12の主面側に複数のチップ8を内包する一体的な封止部材11を成型する。ここでも、前記実施の形態1と同様に、短冊基板12の平坦性が高いので、平準な樹脂封止が可能となる。したがって、半導体装置1の外観不良の発生率を低減でき、半導体装置1の歩留まりを向上させることができる。なお、図36中の矢印は真空吸引の方向を示している。

10

【0093】

続いて、図37に示すように、上記下型16a2の温度を上記のままにした状態で、ラミネートフィルム25aに対する真空吸引を止めて、ラミネートフィルム25aの張力を利用して、封止工程後の封止部材11を有する短冊基板12を成形金型16から取り出す。この際、上型16b2のキャビティ16cの内壁面と封止部材11の表面との間にラミネートフィルム25aが介在されおり上型16b2と封止部材11とが直接接触してないこと、封止部材11をキャビティ16cから取り出す際に封止部材11の表面の点ではなく面に対して力を加えること等から比較的小さな力で上型16b2から封止部材11を剥離することができる。したがって、本実施の形態では、封止後の短冊基板12を取り出すためのエジェクターピンを上型16b2に設ける必要が無いので、エジェクターピンの配置領域として短冊基板12(封止部材11)側に設けていた領域を有効活用することができる。また、封止部材11と上型16b2との離形性を向上させることができるので、さらに大型の樹脂封止が可能となる。しかも、成形金型16内の清掃頻度を低減できるので、半導体装置1の製造コストを低減することが可能となる。これ以降の工程は、前記実施の形態1で説明したのと同じなので説明を省略する。

20

【0094】

(実施の形態3)

本実施の形態3においては、前記半導体装置の製造方法の他の一例を説明する。図38は、成形金型16に前記短冊基板12を搬送した状態を示している。

【0095】

本実施の形態3においては、成形金型16に、前記実施の形態2で説明したラミネート機構部25が設けられている。成形金型16の下型16aの構造は、前記実施の形態1で説明したのと同じである。すなわち、下型16aには複数の真空吸引孔17が前記実施の形態1と同様に配置されている。また、上型16b2は、前記実施の形態2で説明したのと同じである。すなわち、上型16b2にも複数の真空吸引孔26が前記実施の形態2と同様に配置されている。

30

【0096】

まず、図39に示すように、上記のような成形金型16の下型16aの成形面上に短冊基板12を載置した後、下型16a2の温度を、例えば175程度に設定したまま短冊基板12に対して20秒程度のプリヒート処理を施す。この処理は、熱による短冊基板12の変形を落ち着かせる等の目的がある。本実施の形態でも、前記実施の形態1,2と同様に、短冊基板12の前記反り等を低減することができ、短冊基板12の全体的な平坦性および個々の半導体装置形成領域DA単位での平坦性を確保することができる。

40

【0097】

続いて、図40に示すように、下型16aおよび上型16b2の温度を、例えば175程度に設定した状態で、短冊基板12の裏面を真空吸引孔17によって吸着する。この時、本実施の形態でも、短冊基板12が極めて薄いので、短冊基板12を良好に真空吸引できる。このように本実施の形態でも、封止処理に当たり、短冊基板12の裏面を真空吸引することにより、上記熱処理に起因する前記反り等をさらに低減することができる。このため、製品取得個数の増加要求により短冊基板12の平面積がさらに大型になっても、ま

50

た、半導体装置の薄型要求から短冊基板12の厚さがさらに薄くなったとしても、上記熱処理に起因する反り等が生じさせることなく、短冊基板12の全体および半導体装置形成領域DA毎の平坦性を確保した状態で樹脂封止を行うことができる。なお、図40以降の真空吸引孔17に付した矢印は真空吸引の方向を示している。

【0098】

続いて、図41に示すように、下型16aおよび上型16b2の温度を、例えば175程度に設定したまま、また、下型16aでの真空吸引状態を維持したまま、ラミネートフィルム25aの上面(上型16b2に対向する面)を真空吸引孔26によって吸引し、ラミネートフィルム25aを上型16b2に密着させる。なお、図41以降の真空吸引孔26に付した矢印は真空吸引の方向を示している。

10

【0099】

続いて、図42に示すように、上記温度および真空吸引状態を維持したまま、上型16b2のキャビティ16c内に、例えばエポキシ系樹脂および低分子系樹脂の封止樹脂を流し込み、短冊基板12の主面の複数のチップ8およびボンディングワイヤ10等を一括して封止することにより、短冊基板12の主面側に複数のチップ8を内包する一体的な封止部材11を成型する。ここでも、前記実施の形態1と同様に、短冊基板12の平坦性が高いので、平準な樹脂封止が可能となる。したがって、半導体装置1の外観不良の発生率を低減でき、半導体装置1の歩留まりを向上させることができる。

【0100】

続いて、図43に示すように、上記下型16a2の温度を上記のままにした状態で、前記実施の形態2と同様に、ラミネートフィルム25aに対する真空吸引を止めて、ラミネートフィルム25aを利用して、封止工程後の封止部材11を有する短冊基板12を成形金型16から取り出す。この際、前記実施の形態2と同様の理由から、上型16b2から封止部材11を比較的小さな力で剥離することができる。したがって、本実施の形態においても、前記実施の形態2と同様に、エジェクターピンを無くせるので、エジェクターピンの配置領域を有効活用することができる。また、成型金型16内の清掃頻度を低減できるので、半導体装置1の製造コストを低減することが可能となる。しかも、本実施の形態では、熱による短冊基板12の反り等を抑制または防止でき、また、封止部材11の離型性を向上させることから、短冊基板12や封止部材11の大型化を阻害する要因を少なくすることができるので、短冊基板12や封止部材11のさらなる大型化が可能となる。したがって、1つの短冊基板12から取得できる半導体装置1の量の増加や半導体装置形成領域内に搭載できるチップの個数の増加が期待できる。このため、半導体装置1のコスト低減や性能向上をさらに推進することが可能となる。これ以降の工程は、前記実施の形態1で説明したのと同じなので説明を省略する。

20

30

【0101】

(実施の形態4)

本実施の形態においては、前記半導体装置の構造の変形例を説明する。

【0102】

図44は、本発明の他の実施の形態である半導体装置1の断面図を示している。図44においては、ベントホールを無くし、チップ8の固定を固いペースト材料または樹脂封止材と同質のレジンペースト等からなる接着剤9とすることにより、高温温度サイクルに対応できるようにしたものである。

40

【0103】

また、図45は、本発明のさらに他の実施形態である半導体装置1の断面図を示している。図45においては、ソルダーレジスト5の熱収縮の影響を受け難くすべく、ソルダーレジスト5を部分的に削除することにより、温度サイクル性を向上させるようにしたものである。

【0104】

(実施の形態5)

本実施の形態においては、前記短冊基板の構造の変形例を説明する。

50

【0105】

図46は、短冊基板12の変形例の平面図を示している。図46(a)は、短冊基板12のチップ実装面、(b)はその裏面のパッケージ実装面を示している。なお、図46においては図面を見易くするため一部にハッチングを付す。

【0106】

本実施の形態においては、補強パターン13aが、前記実施の形態1と同様に短冊基板12の外周に沿って複数個分割されて配置されている。ただし、本実施の形態では、補強パターン13a~13c(13)が全てベタパターンで形成されている。この場合も、前記実施の形態1と同様に、短冊基板12の機械的強度を確保できる上、半導体装置1の製造時の熱処理に起因する反りや歪み等を抑制でき、その平坦性を確保することができるので、封止工程の際に良好な封止が可能となり、半導体装置1の歩留まりを向上させることができる。また、補強パターン13aを区分けして配置することにより、前記実施の形態1と同様に、短冊基板12における半導体装置領域DAの隣接間に相対的に強くかかる熱応力を分散、開放することができるので、短冊基板12の全体的な平坦性を確保することができる。また、補強パターン13aに残像歪みが生じるのを抑制または防止できる。さらに、短冊基板12の半導体装置形成領域DA毎の平坦性を確保できるので、樹脂封止を良好に行うことができ、半導体装置1の歩留まりを向上させることができる。また、短冊基板12の切断ライン上に補強パターン13aが存在しないことから、短冊基板12の切断時に補強パターン13aの導体異物(ばり)等の発生を防止でき、その異物に起因する短絡不良等を防止できる。

【0107】

(実施の形態6)

本実施の形態においては、前記短冊基板の構造の変形例を説明する。図47は、短冊基板12の変形例の平面図を示している。図47(a)は、短冊基板12のチップ実装面、(b)はその裏面のパッケージ実装面を示している。なお、図46においては図面を見易くするため一部にハッチングを付す。

【0108】

本実施の形態においては、短冊基板12の主面および裏面においてその長辺近傍の周辺領域に補強パターン13d(13)が配置されている。また、短冊基板12の主面および裏面においてその短辺近傍の周辺領域に補強パターン13e(13)が配置されている。

【0109】

補強パターン13dは、半導体装置形成領域DA間での区分けは行われておらず、短冊基板12の長手方向に沿って延在されている。この補強パターン13dは、前記実施の形態1と同様にタイル状にパターン形成されている。ただし、この場合も、伸縮可能な構造であればタイル状に限定されるものではなく種々変更可能であり、例えば前記実施の形態1で説明した点状としても良い。また、補強パターン13eは、短冊基板12の幅方向に沿って延在されており、これもタイル状に形成されている。これら補強パターン13d, 13eは、前記実施の形態1の補強パターン13a等と同様の導体材料(銅箔等)からなる。

【0110】

本実施の形態によれば、前記実施の形態1と同様に、短冊基板12の機械的強度を確保できる上、補強パターン13dを上記熱処理時に伸び縮み可能な構造とすることで、半導体装置1の製造工程時の熱処理による熱応力を緩和でき、また、残像歪みの発生を抑制または防止できるので、短冊基板12の平坦性をさらに向上させることができる。

【0111】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0112】

例えば前記実施の形態1~3, 5, 6においては、ベントホールをパッケージ基板(半導

10

20

30

40

50

体装置形成領域)の中央に1つ配置する構造としたが、これに限定されるものではなく、ベントホールを複数個設けても良い。

【0113】

また、前記実施の形態1では、複数の半導体チップを一括して樹脂封止する際に、短冊基板を下型に真空吸着するようにしているが、その真空吸着を行わないで通常の樹脂封止を行っても良い。この場合、短冊基板は、前記したように熱応力に対して強い構造となっていることから平坦性を確保した状態での樹脂封止が可能となる。

【0114】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるFBGA型の半導体装置に適用した場合について説明したが、これに限定されるものではなく、例えばCSP、BGA、LGA(Land Grid Array)型の半導体装置およびその製造方法にも適用できる。

【0115】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

(1) . 本発明によれば、複数の半導体チップを第1の面に実装した第1の基板を金型内にセットし、前記複数の半導体チップを一括して樹脂封止することにより封止部材を成型した後、前記金型から離形された前記第1の基板および封止部材を切断して複数の半導体装置を得ることにより、単位面積当たりの製品取得数を増加させることができるので、半導体装置の製造コストを低減することが可能となる。

(2) . 本発明によれば、前記第1の基板がこれを実装する第2の基板と熱膨張係数が等しくなるような絶縁材料を主体として構成されていることにより、半導体装置の信頼性を向上させることが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体装置の斜視図である。

【図2】図1のA1-A1線の断面図である。

【図3】(a)は図1の半導体装置の製造工程で用いる短冊基板の主面の平面図、(b)は(a)の裏面の平面図である。

【図4】図3(a)のA2-A2線の断面図である。

【図5】図3の短冊基板における補強パターンの要部拡大平面図である。

【図6】図5のA4-A4線の断面図である。

【図7】(a)は図3の短冊基板における補強パターンの他の変形例を示す要部拡大平面図、(b)は(a)のA5-A5線の断面図である。

【図8】(a)は図3の短冊基板における補強パターンの要部拡大平面図、(b)は(a)のA6-A6線の断面図である。

【図9】図3の短冊基板の主面における半導体装置形成領域の導体パターンの一例を示す平面図である。

【図10】図9の要部拡大平面図である。

【図11】図3の短冊基板の裏面における半導体装置形成領域の導体パターンの一例を示す平面図である。

【図12】図11の要部拡大平面図である。

【図13】図3の短冊基板の主面における半導体装置形成領域の絶縁膜パターンの一例を示す平面図である。

【図14】(a)は図13の中央部の拡大平面図、(b)は(a)のA7-A7線の断面図、(c)は(a)のような構造としたことによる作用の説明図である。

【図15】図3の短冊基板の裏面における半導体装置形成領域の絶縁膜パターンの一例を示す平面図である。

【図16】本発明の一実施の形態である半導体装置の製造工程中における短冊基板の断面図である。

10

20

30

40

50

【図 17】図 16 に続く半導体装置の製造工程中における短冊基板の断面図である。

【図 18】図 17 に続く半導体装置の製造工程中における短冊基板の断面図である。

【図 19】図 18 に続く半導体装置の製造工程中における短冊基板の断面図である。

【図 20】図 19 に垂直な面の断面図である。

【図 21】本発明の一実施の形態である半導体装置の製造工程で用いた成形金型の一例の説明図である。

【図 22】図 21 の成形金型の下型における成形面の要部拡大平面図である。

【図 23】図 19 に続く半導体装置の製造工程中における短冊基板の断面図である。

【図 24】図 23 に続く半導体装置の製造工程中における短冊基板の断面図である。

【図 25】図 24 に続く半導体装置の製造工程中における短冊基板の断面図である。

10

【図 26】図 25 に続く半導体装置の製造工程中における短冊基板の断面図である。

【図 27】図 26 に続く半導体装置の製造工程中における短冊基板の断面図である。

【図 28】図 27 に続く半導体装置の製造工程中における短冊基板の断面図である。

【図 29】図 28 に続く半導体装置の製造工程中における短冊基板の断面図である。

【図 30】本発明の一実施の形態である半導体装置を実装した実装基板の平面図である。

【図 31】図 30 の側面図である。

【図 32】本発明の他の実施の形態である半導体装置の製造工程中における短冊基板の断面図である。

【図 33】図 32 に垂直な面の断面図である。

【図 34】図 32 に続く半導体装置の製造工程中における短冊基板の断面図である。

20

【図 35】図 34 に続く半導体装置の製造工程中における短冊基板の断面図である。

【図 36】図 35 に続く半導体装置の製造工程中における短冊基板の断面図である。

【図 37】図 36 に続く半導体装置の製造工程中における短冊基板の断面図である。

【図 38】本発明のさらに他の実施の形態である半導体装置の製造工程中における断面図である。

【図 39】図 38 に続く半導体装置の製造工程中における短冊基板の断面図である。

【図 40】図 39 に続く半導体装置の製造工程中における短冊基板の断面図である。

【図 41】図 40 に続く半導体装置の製造工程中における短冊基板の断面図である。

【図 42】図 41 に続く半導体装置の製造工程中における短冊基板の断面図である。

【図 43】図 42 に続く半導体装置の製造工程中における短冊基板の断面図である。

30

【図 44】本発明の他の実施の形態である半導体装置の断面図である。

【図 45】本発明のさらに他の実施の形態である半導体装置の断面図である。

【図 46】(a) は図 1 の半導体装置の製造工程で用いる短冊基板の変形例における主面の平面図、(b) は (a) の裏面の平面図である。

【図 47】(a) は図 1 の半導体装置の製造工程で用いる短冊基板のさらに他の変形例における主面の平面図、(b) は (a) の裏面の平面図である。

【符号の説明】

1 半導体装置

2 パッケージ基板

3 基板本体

40

4 導体パターン

4 m 導体パターン

5 ソルダレジスト (保護膜)

6 ベントホール

7 バンプ電極

8 半導体チップ

9 接着剤

10 ボンディングワイヤ

11 封止部材

12 短冊基板 (第 1 の基板)

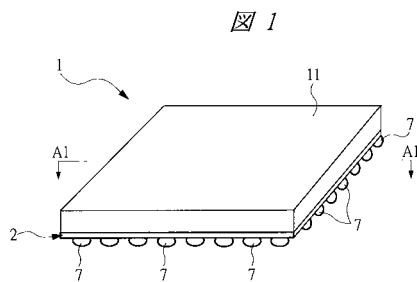
50

- 13, 13a ~ 13e 補強パターン
- 14 導体膜除去領域
- 15a ~ 15c レジスト除去領域
- 16 成形金型
- 16a, 16a2 下型
- 16b, 16b2 上型
- 16c キャビティ
- 16d カルブロック
- 16e ゲート
- 16f ポット/プランジャ部
- 17 真空吸引孔
- 18 エジェクターピン
- 19 ツール
- 20 ダイシングブレード
- 21 電子装置
- 22 実装基板
- 23 半導体装置
- 24 外部端子
- 25 ラミネート機構部
- 25a ラミネートフィルム
- 25b リール
- 26 真空吸引孔
- DA 半導体装置形成領域

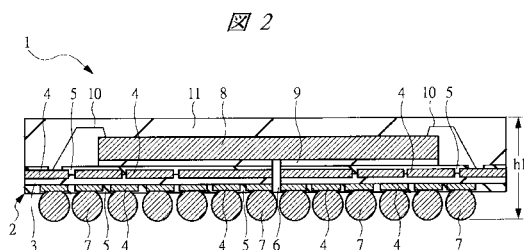
10

20

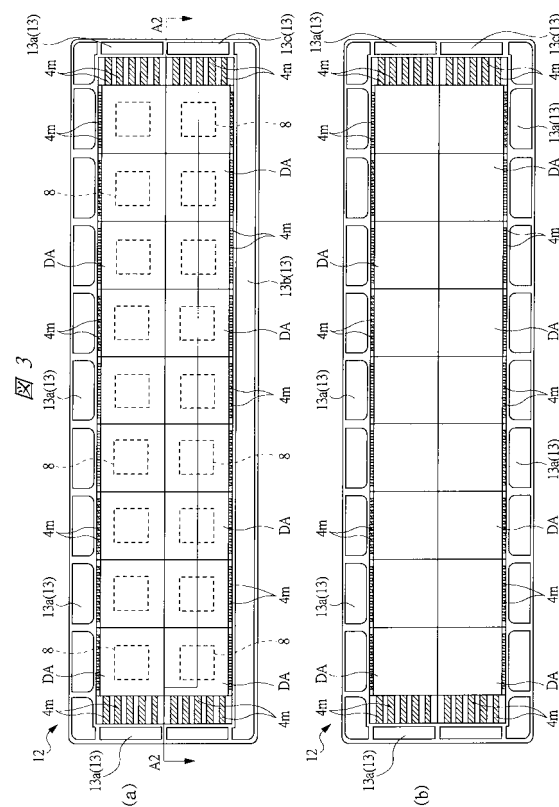
【図1】



【図2】

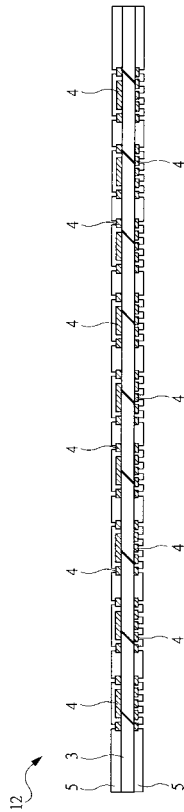


【図3】



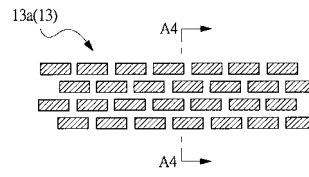
【 図 4 】

図 4



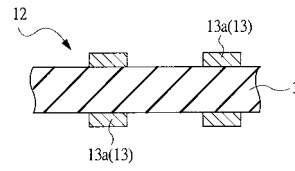
【 図 5 】

図 5



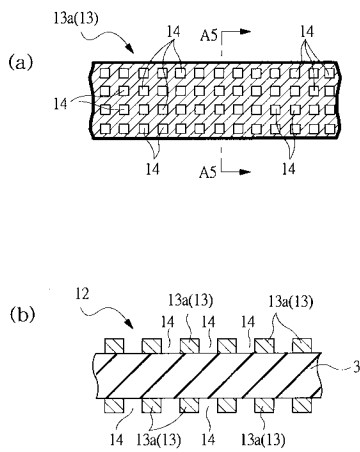
【 図 6 】

図 6



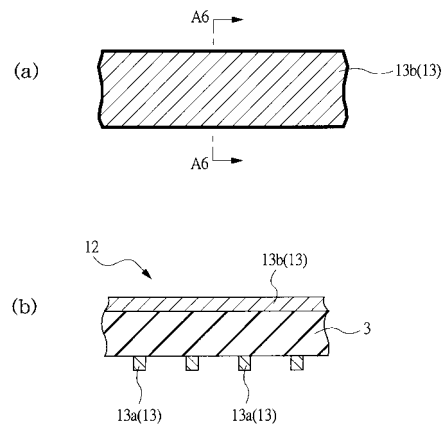
【 図 7 】

図 7

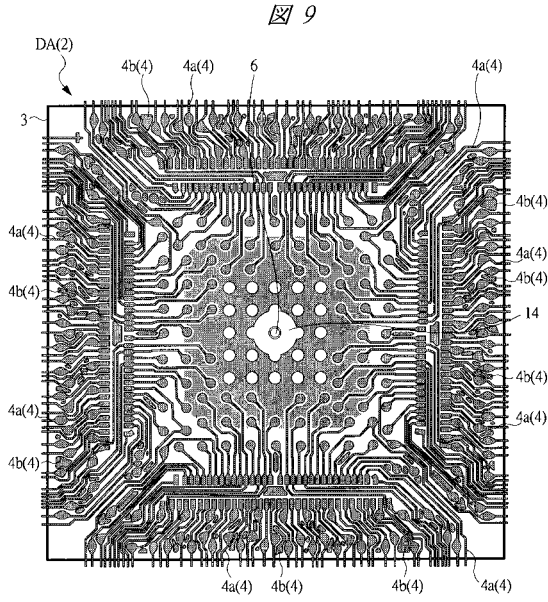


【 図 8 】

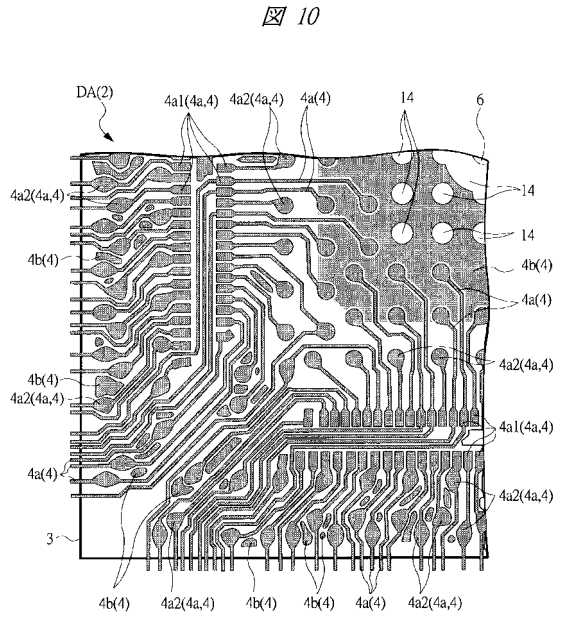
図 8



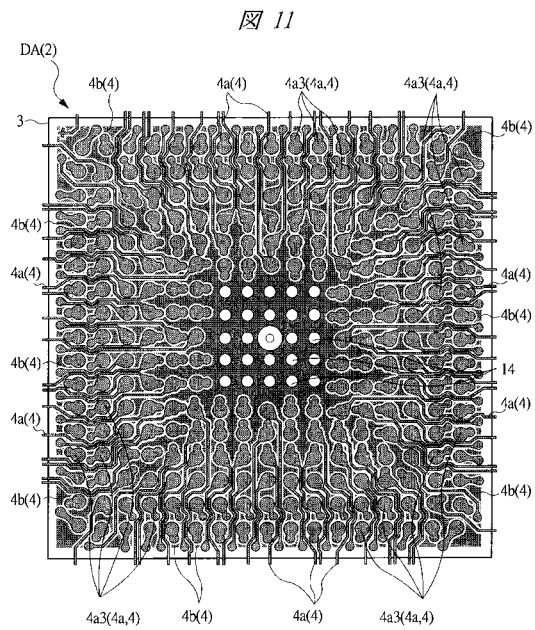
【 図 9 】



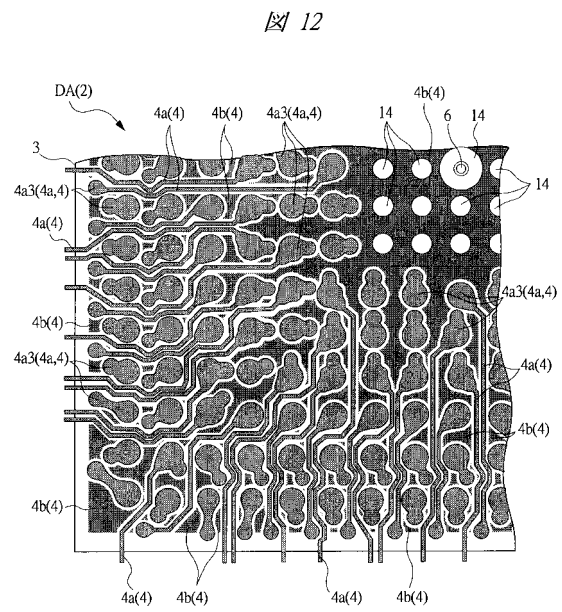
【 図 10 】



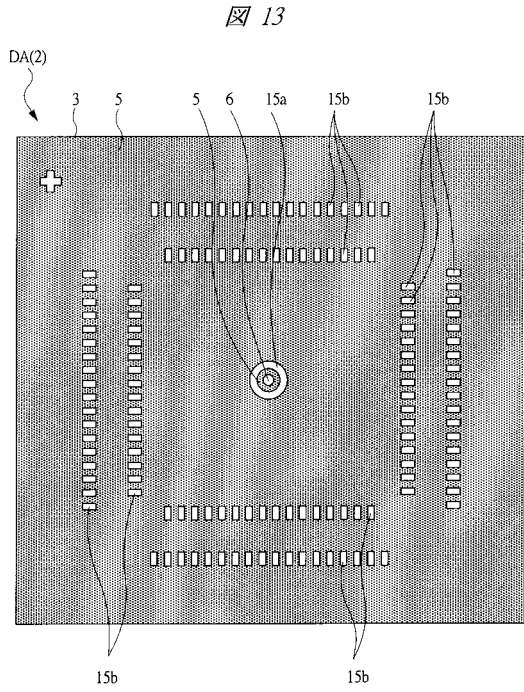
【 図 11 】



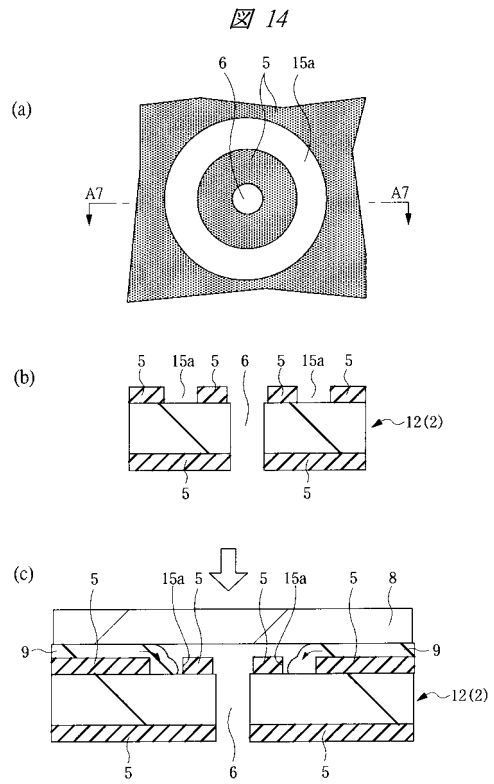
【 図 12 】



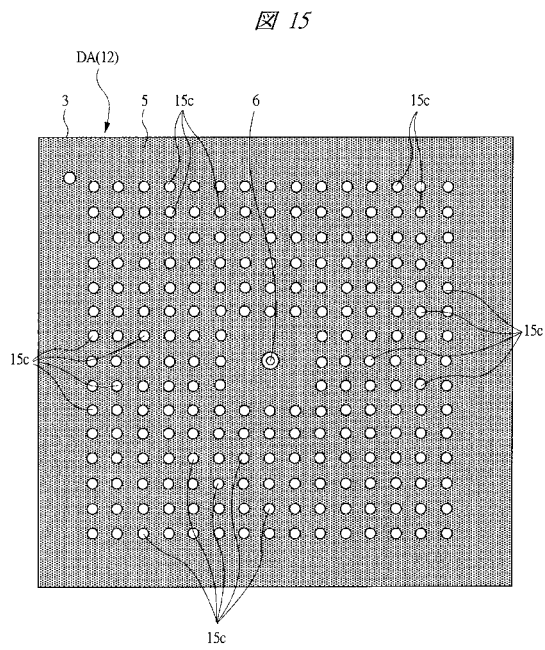
【 図 1 3 】



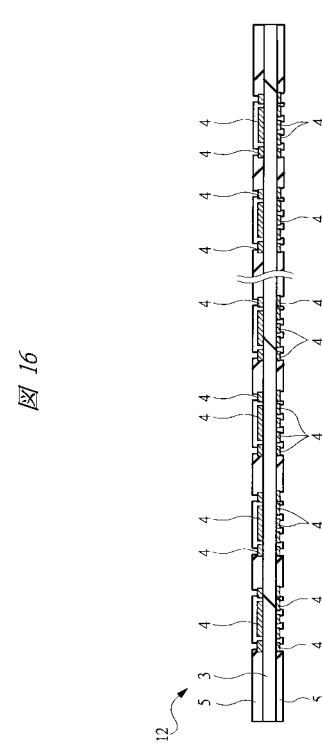
【 図 1 4 】



【 図 1 5 】



【 図 1 6 】



【 図 17 】

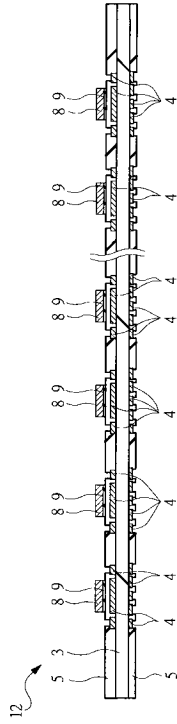


図 17

【 図 18 】

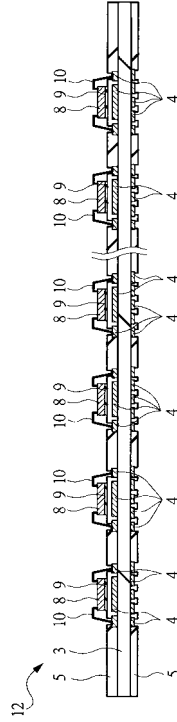


図 18

【 図 19 】

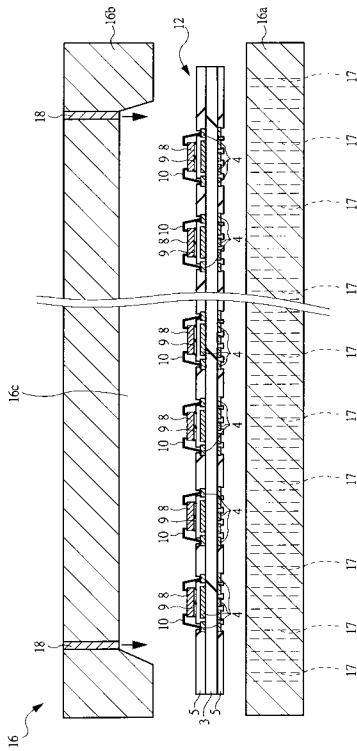


図 19

【 図 20 】

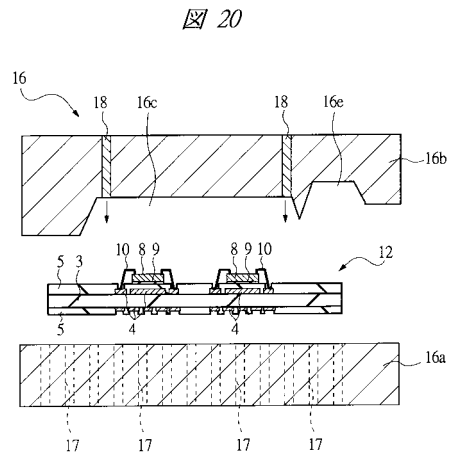
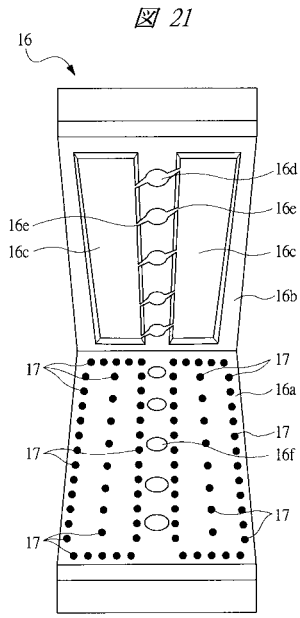
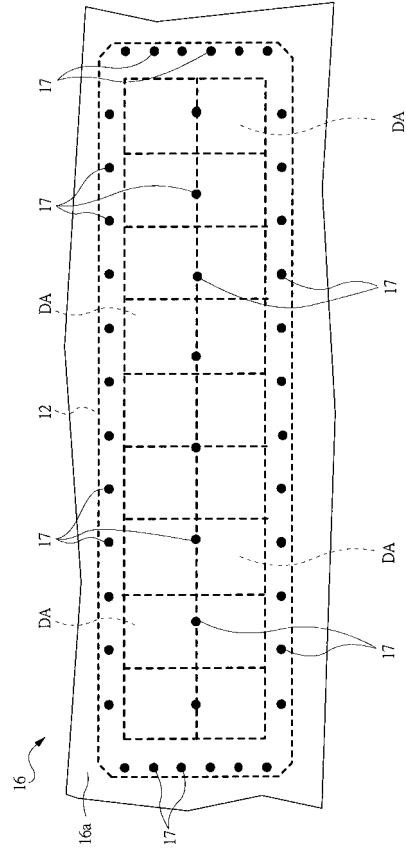


図 20

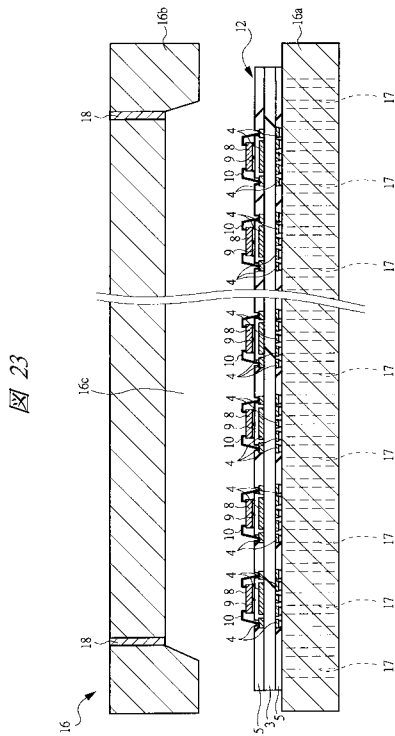
【 図 2 1 】



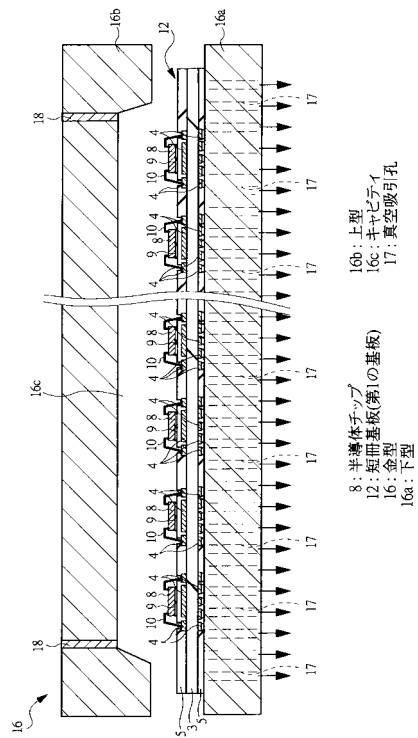
【 図 2 2 】



【 図 2 3 】



【 図 2 4 】



8: 半導体チップ
 12: 短冊基板(第1の基板)
 16: 金型
 16a: 下型
 16b: 上型
 16c: キヤビティ
 17: 真空吸引孔

【 図 25 】

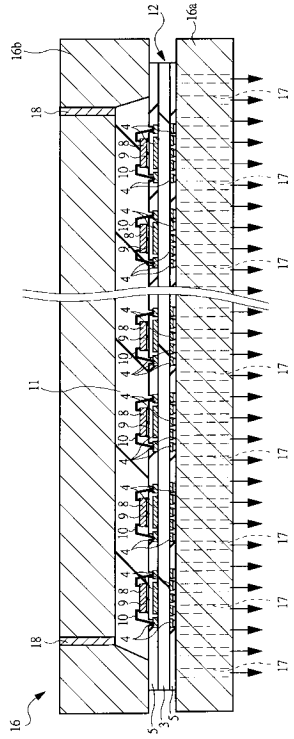


図 25

【 図 26 】

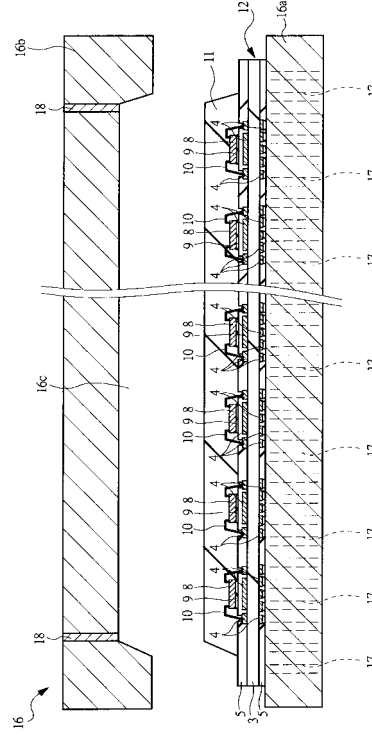


図 26

【 図 27 】

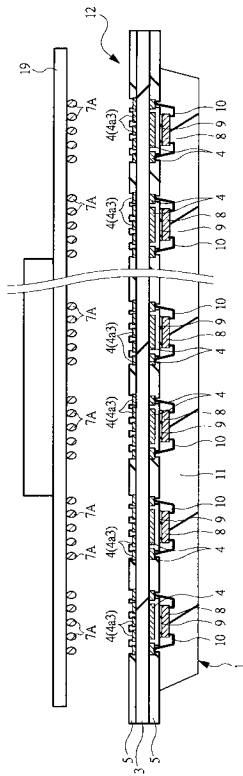


図 27

【 図 28 】

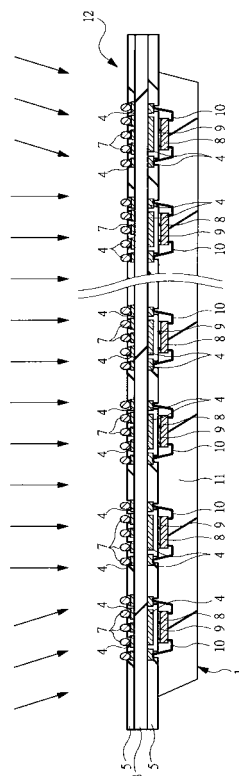
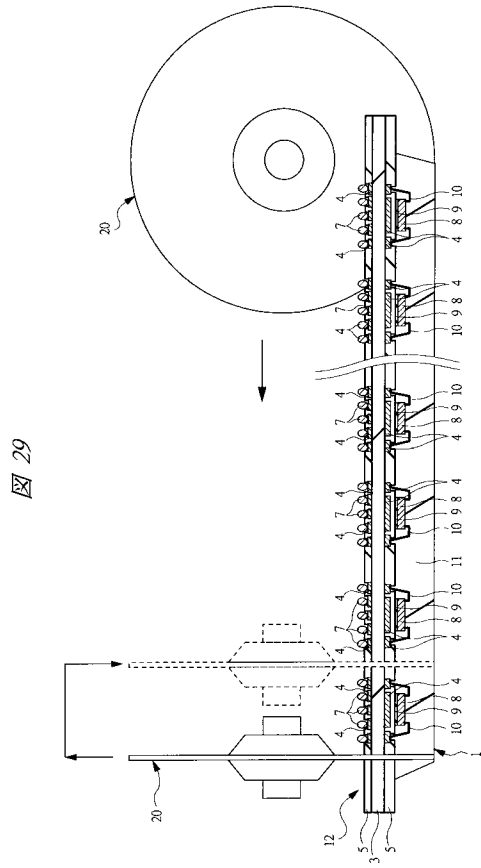
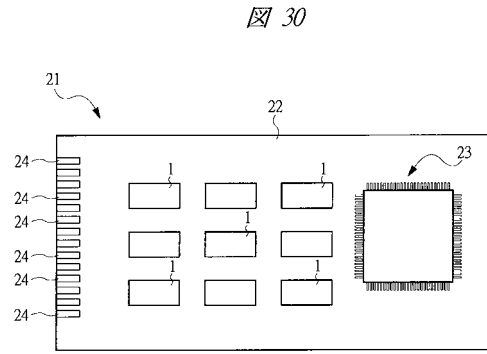


図 28

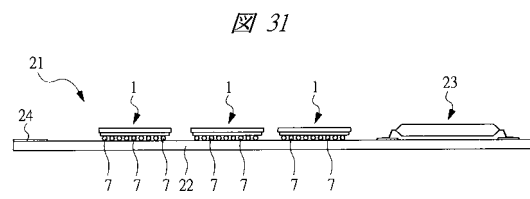
【 図 29 】



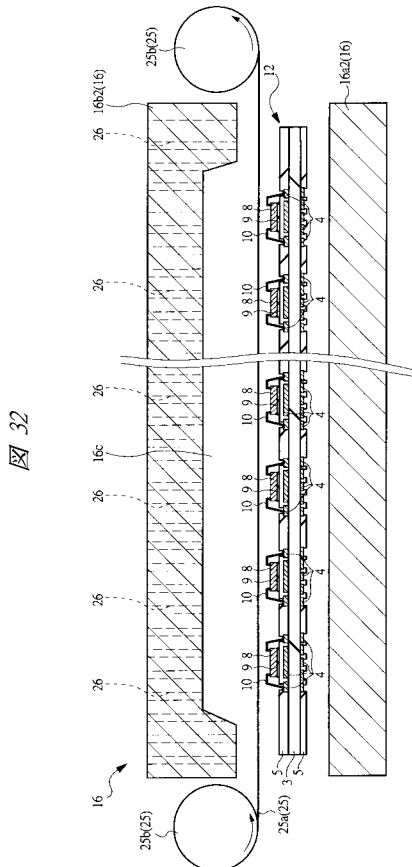
【 図 30 】



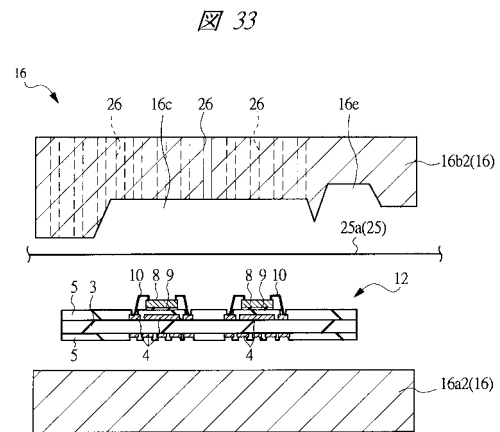
【 図 31 】



【 図 32 】

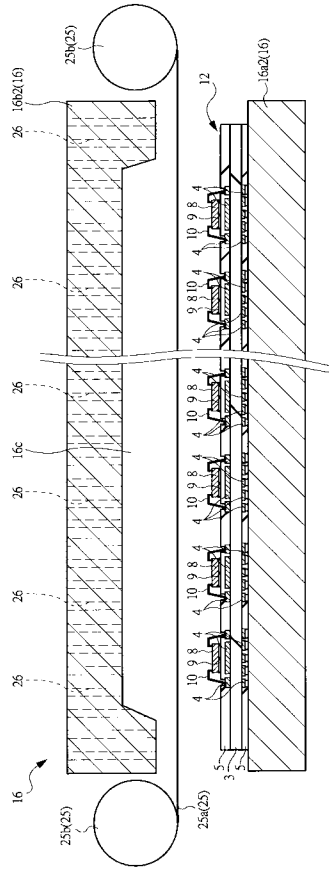


【 図 33 】



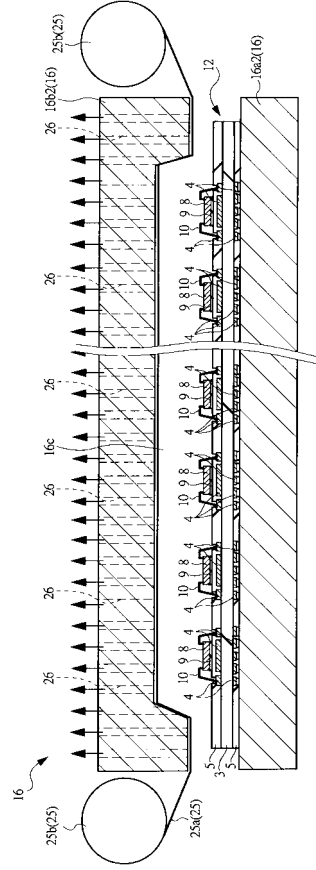
【 図 3 4 】

図 34



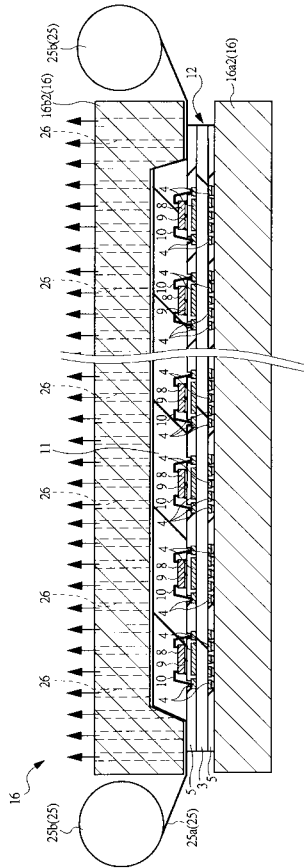
【 図 3 5 】

図 35



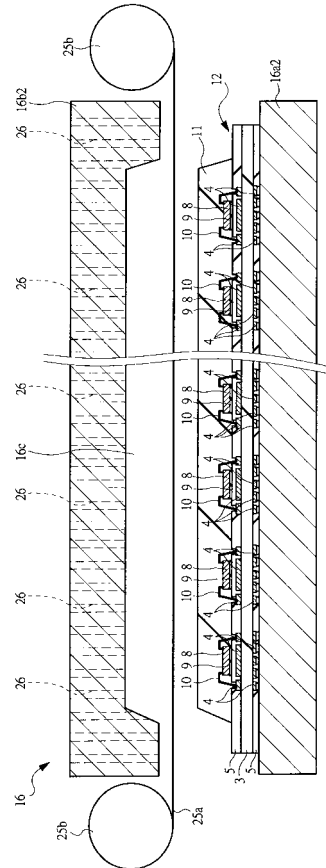
【 図 3 6 】

図 36



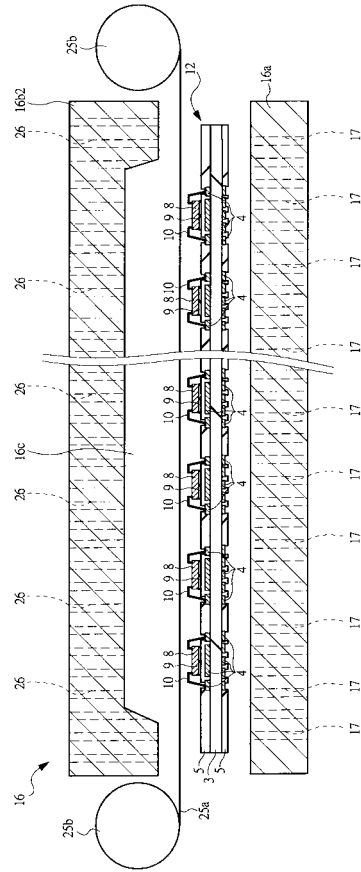
【 図 3 7 】

図 37



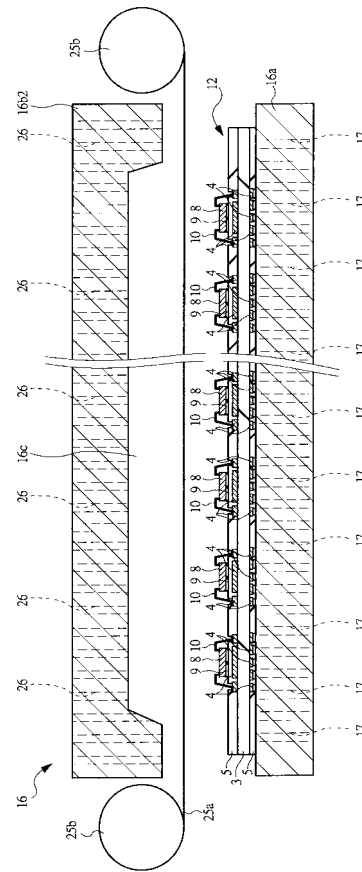
【 図 38 】

図 38



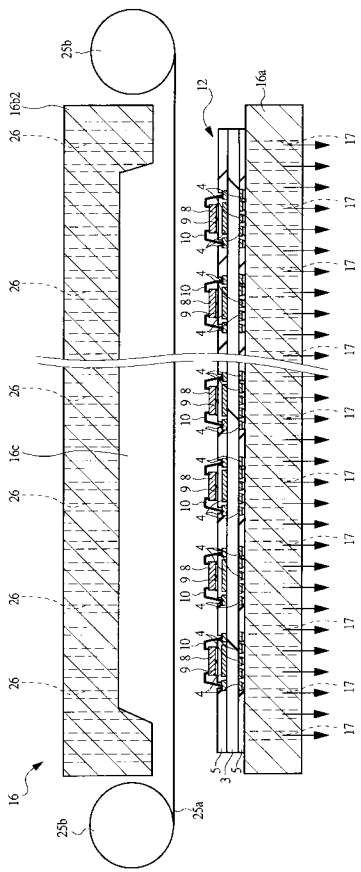
【 図 39 】

図 39



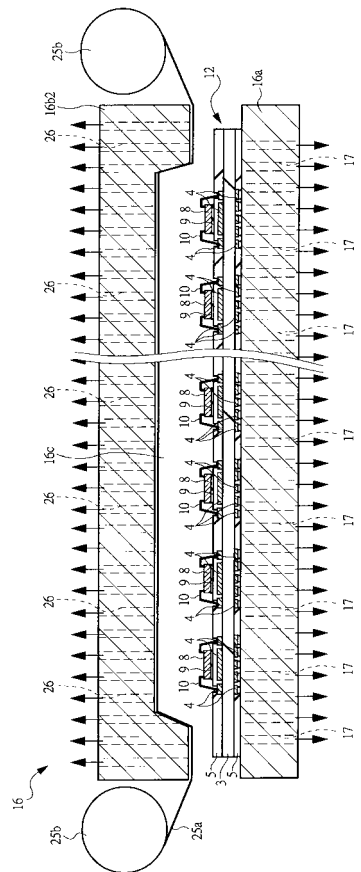
【 図 40 】

図 40

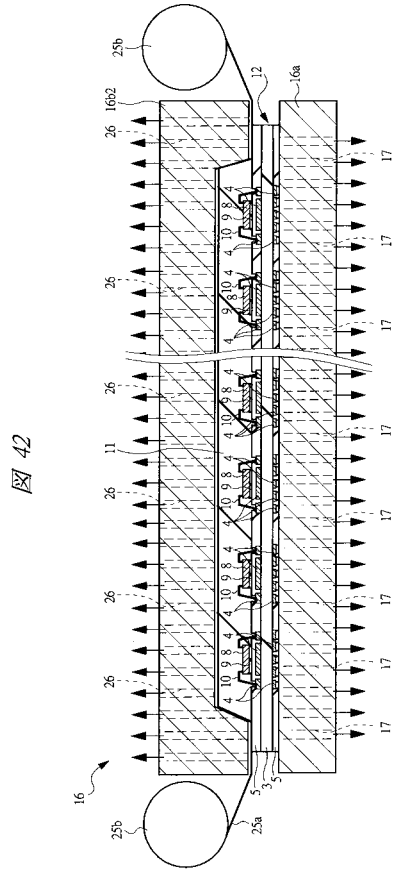


【 図 41 】

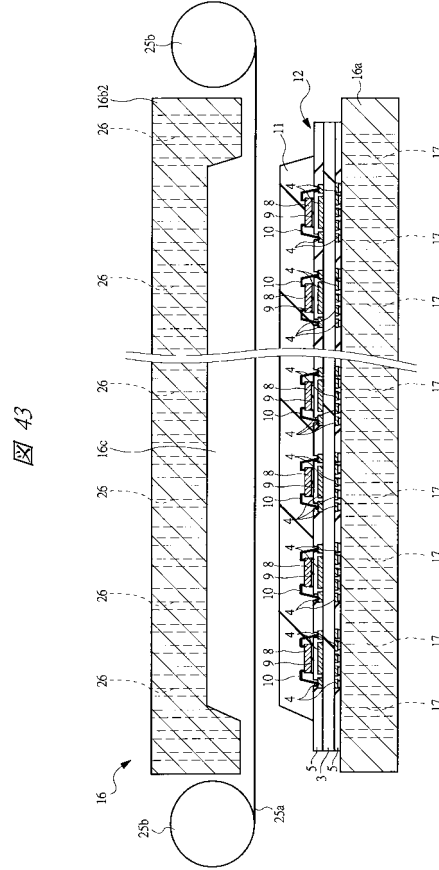
図 41



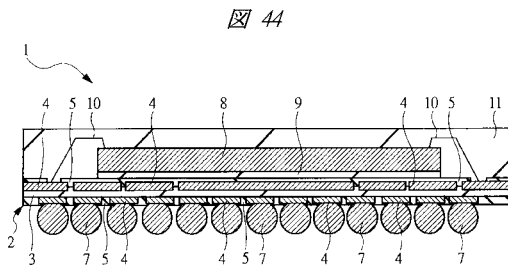
【 4 2 】



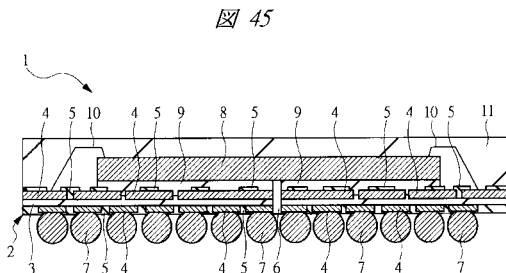
【 4 3 】



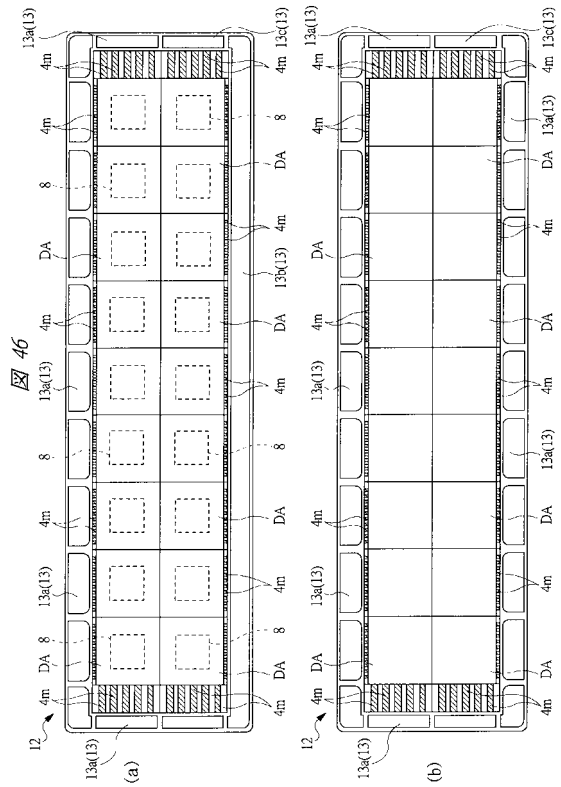
【 4 4 】



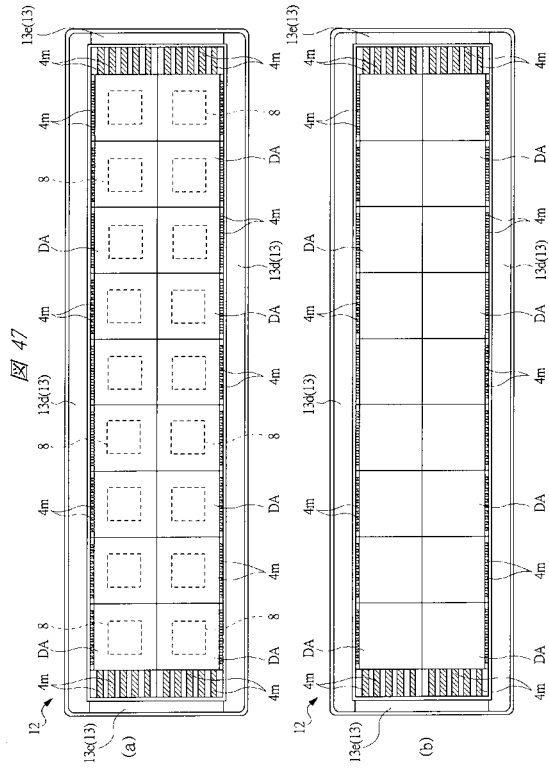
【 4 5 】



【 4 6 】



【 47 】



フロントページの続き

- (72)発明者 鈴木 雅之
山形県米沢市大字花沢字八木橋東3の3 2 7 4 日立米沢電子株式会社内
- (72)発明者 土屋 孝司
山形県米沢市大字花沢字八木橋東3の3 2 7 4 日立米沢電子株式会社内
- (72)発明者 松浦 隆男
山形県米沢市大字花沢字八木橋東3の3 2 7 4 日立米沢電子株式会社内
- (72)発明者 橋爪 孝則
東京都小平市上水本町五丁目2 0 番1号 株式会社日立製作所 半導体グループ内
- (72)発明者 一谷 昌弘
東京都小平市上水本町五丁目2 0 番1号 株式会社日立製作所 半導体グループ内
- (72)発明者 鈴木 一成
東京都小平市上水本町5丁目2 2 番1号 株式会社日立超エル・エス・アイ・システムズ内
- (72)発明者 西田 隆文
東京都小平市上水本町5丁目2 2 番1号 株式会社日立超エル・エス・アイ・システムズ内
- (72)発明者 井村 健一
東京都小平市上水本町五丁目2 0 番1号 株式会社日立製作所 半導体グループ内
- (72)発明者 三輪 孝志
東京都小平市上水本町五丁目2 0 番1号 株式会社日立製作所 半導体グループ内

審査官 橋本 憲一郎

- (56)参考文献 特開2 0 0 0 - 2 2 8 5 6 6 (J P , A)
特開2 0 0 0 - 2 7 7 5 5 1 (J P , A)
特開平0 8 - 0 5 1 2 5 8 (J P , A)
特開2 0 0 0 - 0 7 7 5 7 2 (J P , A)
特開平0 8 - 1 4 2 1 0 6 (J P , A)

(58)調査した分野(Int.Cl.⁷, D B名)

H01L 21/56
B29C 45/14
H01L 23/12
H01L 23/12 501
B29L 31:34