

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4659929号
(P4659929)

(45) 発行日 平成23年3月30日 (2011.3.30)

(24) 登録日 平成23年1月7日 (2011.1.7)

(51) Int. Cl.

F I

C 2 3 C 14/48 (2006.01)

C 2 3 C 14/48 A

C 2 3 C 14/58 (2006.01)

C 2 3 C 14/58 A

H O 1 L 21/265 (2006.01)

H O 1 L 21/265 W

H O 1 L 27/10 (2006.01)

H O 1 L 27/10 4 5 1

H O 1 L 21/8242 (2006.01)

H O 1 L 27/10 6 5 1

請求項の数 5 (全 8 頁) 最終頁に続く

(21) 出願番号 特願平9-540595

(86) (22) 出願日 平成9年5月13日 (1997.5.13)

(65) 公表番号 特表2000-510284 (P2000-510284A)

(43) 公表日 平成12年8月8日 (2000.8.8)

(86) 国際出願番号 PCT/FR1997/000842

(87) 国際公開番号 WO1997/043461

(87) 国際公開日 平成9年11月20日 (1997.11.20)

審査請求日 平成16年4月5日 (2004.4.5)

審判番号 不服2008-18622 (P2008-18622/J1)

審判請求日 平成20年7月22日 (2008.7.22)

(31) 優先権主張番号 96/06085

(32) 優先日 平成8年5月15日 (1996.5.15)

(33) 優先権主張国 フランス (FR)

(73) 特許権者 502124444

コミッサリア ア レネルジー アトミー
ク エ オ ゼネルジ ザルタナティヴ
フランス国 エフー 7 5 0 1 5 パリ、
パティマン 「 ル ボナン デー 」、
リュ ルブラン 2 5

(74) 代理人 100064908

弁理士 志賀 正武

(74) 代理人 100089037

弁理士 渡邊 隆

(74) 代理人 100108453

弁理士 村山 靖彦

(74) 代理人 100110364

弁理士 実広 信哉

最終頁に続く

(54) 【発明の名称】 固体材料の薄膜形成方法及び該方法の応用

(57) 【特許請求の範囲】

【請求項 1】

強誘電体材料の薄膜を形成する方法であって、

前記強誘電体材料から成る基板 (1 0 0) を下記の段階を含んだ工程により処理することを特徴とする薄膜形成方法：

- 前記基板 (1 0 0) の本体内の平均イオン侵入深さに近い深さの位置に該基板を二つの領域 (1 0 3 , 1 0 4) に分離する複数の微小キャビティから成る層 (1 0 2) が生じるように、前記基板 (1 0 0) の一方の面 (1 0 1) に、水素イオンによって衝撃を付与するイオン注入段階；

支持体上に前記基板の一方の面 (1 0 1) を固定する段階であって、前記支持体 (1) が半導体材料から成り、少なくとも一つの電子制御回路がこの支持体 (1) の一方の面 (1 5) に構成され、かつ該支持体 (1) 上には、強誘電体材料から成る薄膜 (1 0 3) が、前記電子制御回路により制御されるメモリキャパシタのための誘電体として機能してメモリポイントを構成するように固定されるところの段階；

- 前記微小キャビティの層 (1 0 2) を 5 0 0 度以上の温度まで加熱する熱処理段階。

【請求項 2】

請求項 1 記載の方法において、前記強誘電体材料は、P b Z r T i O ₃ (P Z T)であることを特徴とする方法。

【請求項 3】

請求項 1 記載の方法において、前記基板 (1 0 0) の前記面 (1 0 1) を、接着剤によ

10

20

て前記支持体(1)に固定することを特徴とする方法。

【請求項4】

請求項1記載の方法において、前記基板(100)の前記面(101)を、原子間結合に好適なる処理によって前記支持体(1)に固定することを特徴とする方法。

【請求項5】

請求項1記載の方法において、前記電子制御回路がMOSトランジスタタイプのものであることを特徴とする方法。

【発明の詳細な説明】

本発明は、例えば誘電体、導電体、半絶縁体(semi-insulator)から成る固体材料の薄膜形成方法に関する。薄膜は結晶質のものであっても非晶質のものであってもよい。また、非晶質半導体あるいは多結晶半導体から成るものであってもよい。多結晶半導体の結晶面が何れの方向に配向されているものであってもよい。また、この材料は、強誘電特性、圧電特性、磁気特性、及び光電特性、等を有したものであってもよい。

本発明による方法は特に強誘電キャパシタメモリを実現するのに応用される。

固体材料から成る薄膜を作成する方法は種々のものが知られている。それらの方法は材料の特性及び要求される膜厚に依存する。例えば、固体材料から成る薄膜を、投射法(projection)、噴霧法(spraying)、電気めっき法(electroplating)等によって部材表面に堆積させることが可能である。また、薄膜は、所要の材料を機械化学的又は化学的な研磨(abrasion)によって薄くなるように加工することによっても得られる。得られた薄膜はその後、支持体となる部材上に接着又は固定される。

一般に薄膜は、部材の外表面特性を改良するために部材表面に固定されるものである。

半導体の技術分野では、例えば、いわゆる「絶縁体上のシリコン(silicon-on-insulator)」を製造するために、半導体薄膜の生成が必要となることがある。これまでも、種々の半導体薄膜の生成技術が開発されてきた。最新技術の一つは、希ガス又は水素イオンを半導体材料に注入して、平均イオン浸透深さに近い深さに脆化領域を形成するものである。仏国特許公開公報FR-A-2 681 472には、この特性を利用して半導体材料の薄膜を得る方法が開示されている。この方法によれば、平坦面を備えた、所望の半導体材料のプレートが以下の段階により処理される。

- 第一の注入段階： この段階ではプレートの平坦面がイオンによって衝撃を与えられる。これにより、前記プレート体内部のイオン侵入深さに近接した深さに「ガス状の微小膨れだし(gaseous microblister)」層が生ずる。この層が、プレートを、基板のマスを構成する下部領域と、薄膜を構成する上部領域とに分離する。イオンは希ガスイオン又は水素ガスイオンから選択されたものである。

- 第二の段階： この段階では、プレートの平坦面が、少なくとも剛性材料の層から成る支持体と近接して載置される。この近接載置は、例えば接着剤により、あるいは表面に事前の処置を施すことより、さらに可能性として、熱処理及び/又は静電処理をして支持体とプレートとの間の原子間結合を促すことにより行われる。

- 第三の熱処理段階： この段階では、プレート-支持体アセンブリが加熱される。その際の加熱温度は、注入が実行されて薄膜と基板のマスとが分離するのに充分となる温度よりも高いものとされ。その温度は、シリコンの場合約400℃以上である。

この注入は、上記の熱処理の最終段階で破壊領域とされるガス状微小膨れだし層を形成するよう適合される。このようにプレート本体内に生成された微小膨れだし層は、前記平均イオン侵入深さに近似した深さにおいて、プレート内に、この層によって分離された二つの領域、すなわち薄膜を形成することとなる領域と基板の残りの部分を形成する領域、を定める。上記の第三の段階において、前記加熱処理は、破壊領域を生成して前記二つの領域が分離するのに充分な温度で、半導体材料内の結晶質再配置効果(crystalline rearrangement effect)、例えば微小キャビティ成長効果(microcavity growth effect)及び/又は微小膨れだし圧力効果(microblister pressure effect)、によって実施される。注入条件により、例えば水素等のガスの注入の後に、場合によっては、透過型電子顕微鏡によってキャビティ又は膨れだし部を見ることができる。シリコンの場合、数nmないし数

百nmのサイズの微小膨れだし部を見ることができる。その結果、これらのキャビティは前記熱処理段階のみで見ることができる。特にそれを見ることができるのは注入温度が低い場合であり、従って、この段階では、熱処理段階の最終において薄膜と基板の残り部分との間に破壊が生じるように核形成が行われる。

これまでは、仏国特許公開公報FR-A-2 681 472に開示されている方法は、半導体材料から成る基板を用いた薄膜形成のみに応用できるものと考えられていた。この公報では、経験的に知られた種々の現象に対して下記の説明をしている。まず、半導体材料のプレートの平坦面をイオンビームに暴露することにより第一のイオン注入が実行される。この平坦面は、半導体材料が完全に単結晶のものである場合に主結晶面に対して実質的に平行であるか、あるいは、材料が多結晶のものである場合に、主結晶面に対し、全ての結晶粒に対して同じ基準(index)で僅かに傾いている。これにより、脆化領域に対応して「ガス状の微小膨れだし」の層が、プレート体内の平均イオン侵入深さにほぼ等しい深さのところに形成され、かつこの層によりプレート体の内部が二つの領域、すなわち薄膜となるべき領域と基板の残り部分を形成する領域と、に分離される。ここで、「ガス状の膨れだし部」とは、材料内への水素ガスイオン又は希ガスイオンの注入に生じたキャビティあるいは微小キャビティのことである。これらのキャビティは、例えば数原子程度の空隙のオーダーの小さい高さを有した極めて平坦な形状か、又は実質的な球状、あるいはそれらの何れでもない形状を取り得る。これらのキャビティは、キャビティの壁部を形成する材料の原子に固定された注入イオンから生じた自由気相及び/又は気体原子を含んでいる場合も含んでいない場合もある。これらのキャビティは通常、「微小膨れだし部(microblisters)」、

「小板(platelets)」、あるいは「バブル(bubbles)」と呼ばれている。上記の第三の段階において、前記熱処理は、処理時間を考慮した上で、上記の二つの領域を分離するのに十分な温度にてなされる。この熱処理の時間-温度対は注入イオンの量によって定まるものである。

仏国特許公開公報FR-A-2 681 472には、結晶構造を有した半導体材料から成る基板を用いた薄膜を得る方法が開示されている。該方法の種々の工程の発展は、注入イオンと半導体材料の結晶質メッシュ(crystalline mesh)の接触に基づくものと説明されている。しかしながら、本発明の発明者は、この方法が全てのタイプの固体材料、結晶質、あるいは非結晶に適用できるという驚くべき事実を発見した。この方法は、誘電材料、導電材料、半導体材料、及び非晶質半導体材料、さらに、結晶粒がプレートの平坦面に実質的に平行となる主結晶面を持たない多結晶半導体にも適用することができるのである。非晶質半導体に加え、この多結晶半導体を、以降、非組織半導体(unorganized semiconductors)と称することにする。また、この方法は、この方法が適用される材料の特性を大きく変化させることがない。

また本発明の発明者は、驚くべきことに、水素ガスイオン又は希ガスイオンの注入が、結晶質半導体材料だけでなく固体材料内にも微小キャビティを形成すること、及び、それに続く熱処理によって材料のマスがそれら微小キャビティのところで二つの部分に分離すること、を発見した。事実、熱処理は、固体材料の種類に関係なく微小キャビティどうしを合体させ、その構造体を、微小キャビティの層の部分で脆化させる。この脆化によって、微小キャビティ内の内部応力及び/又は内部圧力の効果の下で材料の分離が可能となる。この分離は自己発生的なもの、又は外部応力が付加されることによるものである。

微小キャビティの層(layer of microcavities)との用語は、異なる深さで、互いに近接した又は離れた微小キャビティを含む領域を意味するものである。

従って本発明の目的は、誘電材料、導電材料、半絶縁材料、非組織半導体材料、すなわち非晶質半導体材料、又は結晶粒がプレートの平坦面に実質的に平行となる主結晶面を持たない多結晶半導体、から選ばれる結晶質又は非結晶質の固体材料の薄膜を形成する方法を提供することであって、該方法は、上記の固体材料から成る基板を処理するにあたり下記の段階を含むことを特徴とするものである：

- 該基板の本体内の平均イオン侵入深さに近い深さの位置に該基板を二つの領域に分離する複数の微小キャビティから成る層が生じるように、基板の一方の面に、希ガスイオン

10

20

30

40

50

及び水素イオンから選ばれるイオンによって衝撃を付与するイオン注入段階；

- 前記微小キャピティの層を、前記基板の前記二つの領域が自然にあるいは応力を与えることによって分離するのに十分な温度まで加熱する熱処理段階；

- 及び、前記イオン注入段階と前記加熱段階との間に随意設けられる、前記基板の前記面を支持体に固定する段階。

この随意設けられる固定段階は、薄膜が自立できる程の剛性を有していない場合には必要となるかも知れない。通常、薄膜は支持体上に載置されるものなので必要であろう。その場合、その支持体は、最終的な熱処理段階に耐え得るものでなければならない。

基板の前記面は、接着剤又は、原子間結合に好適となる処理によって、前記支持体に固定される。

特に、本発明による方法は、強誘電材料から成る基板を用いた強誘電材料の薄膜を得るのに、またそれを支持体に固定するのにも応用できる。

好適には、前記支持体が半導体材料から成り、少なくとも一つの電子制御回路がこの支持体の一方の面に構成されている。また、その支持体上には、強誘電体材料から成る薄膜が、前記電子制御回路により制御されるメモリキャパシタのための誘電体として機能してメモリポイントを構成するように固定される。

前記電子制御回路は好ましくはMOSトランジスタ型のものである。

本発明に係る方法はまた、支持体上に、サファイアの薄膜、耐蝕金属薄膜、あるいは磁気材料の薄膜、を形成することにも応用できる。

以下、添付した図面を参照した下記の詳細な説明によって本発明はより明確に理解され、かつ本発明のさらなる効果及び特徴が明らかなものとされる。ただし、本発明は下記の例に限定されるものではない。

- 図1は、半導体基板の一方の面に構成された集積回路の部分断面図；

- 図2は、本発明に従って、強誘電体材料から成る基板の一方の面に対して実施されるイオン注入段階を示した図；

- 図3は、集積回路が形成された半導体基板の面を、イオンによって衝撃を付与された強誘電材料の基板の面に貼り付けることから成る、本発明の固定段階を示した図；

- 図4は、本発明により、強誘電材料の基板の残りの部分から薄膜を分離する段階を示した図；

- 図5は、本発明により得られた強誘電キャパシタメモリポイントの部分断面図である。

本発明による方法は下記の結晶質又は非結晶質固体材料に適用できる；

- 絶縁材料又は誘電材料

- 導電材料、

- 非組織半導体材料

- 主として周囲温度における抵抗が略 10^7 .cm よりも大きい半絶縁材料

- 単結晶金属、及び、通常は超伝導体。

従って、本発明によれば、固体単結晶水晶を用いて単結晶水晶の薄膜を形成することが可能である。また、磁気材料、圧電材料、強誘電材料、焦電材料、及び、非線形光学特性又は光電効果、音響光学効果を有した材料、の薄膜を得ることも可能である。

以下に、集積回路上に強誘電キャパシタメモリを構成する場合の実施形態について説明する。

図1の断面図において示される電子回路は最新の超小型電子技術を用いて構成される。いわゆる「プラグ (plug)」技術、機械・化学的酸化物プレーナー技術 (mechanical-chemical oxide planarization technique)、及びいわゆる「ダマスク (damask)」技術が実行され、酸化物内と面一状態に酸化物内に埋め込まれた接続点 (connectons) が形成されることとなる。

前記回路はP型シリコンの基板1の面2に構成される。この面2には複数のベッセル (vessel) が形成される。図1では、N⁺タイプのベッセル31, 32, 33のみを示しており、絶縁領域41及び42を得るべく、図の左側のベッセル31から右側のベッセル33

10

20

30

40

50

にわたってフィールド酸化物が増加している。ベッセル 3 1, 3 2 は M O S 型の二つのトランジスタのドレンを構成するものであり、ベッセル 3 2 はそれらの共通のソースを構成するものである。前記面 2 には、酸化物の薄膜 6 1, 6 2 を挟んで、多結晶シリコンワード線 5 1, 5 2 の列が蒸着されている。ワード 5 1, 5 2 の列は絶縁材料 6 5, 6 6 の層によって被覆されている。この絶縁材料はまた、層 6 3, 6 4 として領域 4 1, 4 2 も被覆している。アルミニウムビット線 8 の列によって、前記ソース 3 2 との電氣的接触が保証されている。上述した全ての要素をカバーするように酸化物層 7 が蒸着されている。酸化物層 7 には、T i N バリアー副層 (TiN barrier sub-layer) の設けられた面—プラチナ電極 (flush platinum electrodes) 9 1, 9 2 が蒸着されている。電極 9 1, 9 2 は「プラグ」1 1, 1 2 によってトランジスタドレン 3 1, 3 2 に接続されている。上記各要素は埋め込まれており、従って回路は平坦な外面 1 5 を有したものとなっている。次に、本発明による強誘電体の薄膜の形成方法について説明する。この薄膜はキャパシタ誘電体を形成するものである。

図 2 は、強誘電体材料、例えば $PbZrTiO_3$ (PZT)、から成る基板 1 0 0 の側面図である。この基板 1 0 0 の平坦面 1 0 1 はイオン (例えば 2 0 0 KeV でかつ $1 0^{17} cm^{-2}$ の供与量の水素イオン) により衝撃を付与される。このイオン衝撃は図 2 において複数の矢印にて示してある。注入されたイオンによって前記平坦面 1 0 1 と平行な面に隣接した層 1 0 2 に微小キャビティが形成される。この注入材料による層 1 0 2 は極めて薄く、数十 nm、例えば 5 0 ないし 1 0 0 nm のものである。この層が基板 1 0 0 を二つの領域、すなわち、前記平坦面 1 0 1 側に位置して薄膜を形成する第一の領域 1 0 3 と、基板の残り部分を形成する第二の領域 1 0 4 とに分ける。第一の領域の厚さは約 8 0 0 nm である。前記層 1 0 2 は多数の微小キャビティの層から成るものである。

強誘電材料 1 0 0 から成る基板の前記平坦面 1 0 1、及び該半導体基板 1 に構成された電子回路の平坦面 1 5 は、互いを単に接触させただけで互いが着くように、例えば化学的に処理される。図 3 は互いに関連した二つの基板 1 0 0 及び 1 を示している。半導体基板 1 の平坦面 1 5 が、強誘電材料から成る基板 1 0 0 の平坦面 1 0 1 に付着している。このアッセンブリは次いで約 5 0 0 で熱処理される。これにより、図 4 に示す如く、強誘電体材料から成る基板 1 0 0 の前記二つの領域 1 0 3 と 1 0 4 とが、層 1 0 2 のところから分離する。これによって、強誘電体材料の薄膜が取り付けられて成る電子回路の設けられた半導体材料が得られる。

薄膜 1 0 3 の外表面 1 0 5 は精細に研磨される。

共通電極 1 6 を薄膜 1 0 3 の平坦面 1 0 5 に蒸着することにより二つのキャパシタを用いたメモリポイントが形成されて成る、図 5 に示す如きデバイスが得られる。

最終段階では、回路全体の保護すべきパッケージングを施すことも可能である。

かかる強誘電体薄膜は、M O S トランジスタを構成すべくシリコンに直接堆積された強誘電体材料の層を構成するのにも用いられる。その場合、分極状態によって該トランジスタの O F F 状態又は O N 状態を決定する制御ゲートがこの強誘電体層と置き換えられる。

特に、本発明による方法を誘電体に応用すれば、ガラス支持体又はシリカ支持体に耐磨耗サファイア層 (- アルミナ) を形成することができる。このようなアルミナ薄膜は、支持体として機能する前記ガラス又はシリカ (例えば光学部品) を磨耗及び傷から保護することができる。水素イオンを約 $8 \times 1 0^{16} atoms/cm^2$ 及び 1 1 0 keV で注入することにより薄膜又はサファイア層を約 1 μm の厚さにすることが可能である。この小さい厚さは、支持体として機能するガラス又はシリカを、その後、例えばレンズとなすために整形 (shaping) する場合にも適合するものである。

本発明に係る方法は金属材料にも適用可能である。その場合、耐蝕層及び拡散バリアーを形成することが可能である。多結晶層の代わりに単結晶金属層を形成することができることで、特に化学的侵食に対する拡散バリアーの効率の点で優れた優位性を発揮する。実際、多結晶金属材料における結晶粒接続における重要な拡散現象の存在がこれらの材料内の薄膜の効率を制限する。一例として、鋼製基板上に 5 0 0 nm 厚の単結晶ニオブを蒸着して、腐食性媒体中での耐熱性を有したものを得ることを考える。この薄膜を得るために、約

10

20

30

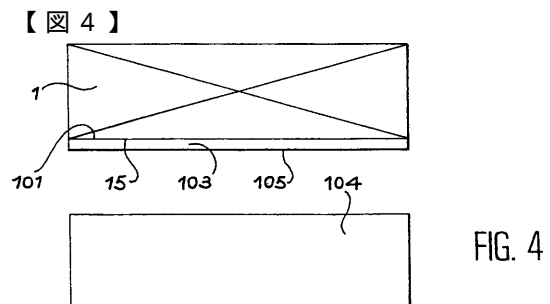
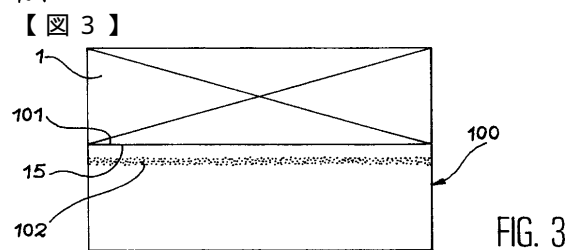
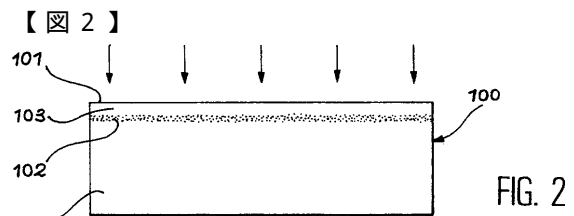
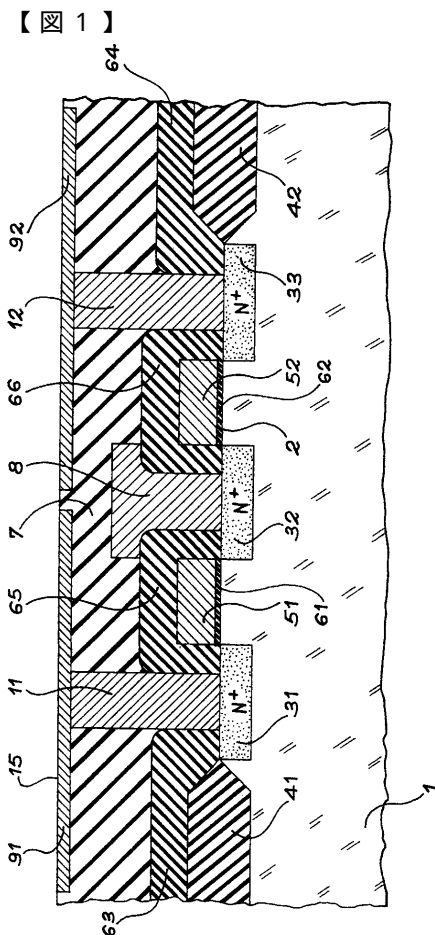
40

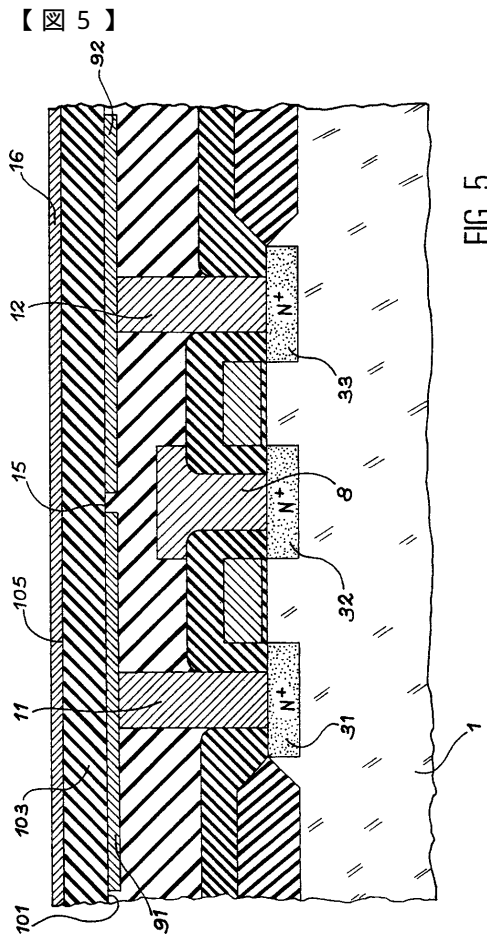
50

$2 \times 10^{17} \text{ atoms/cm}^2$ 、 200 keV での H^+ イオン注入を行う。

別の例は、情報を記憶するのに、磁区（パブル）及び磁壁（Bloch walls）を用いたメモリの形成に関するものである。この目的のため、非磁性ガーネットから成る固体基板が用いられ、該基板に、フェリ磁性ガーネットの層がエピタキシャル成長によって成長させられる。本発明に係る該方法によってフェリ磁性ガーネット材料の薄膜を、支持体として機能しかつ集積回路を有したシリコン基板に加えることが可能となる。これらの集積回路は、フェリ磁性ガーネットから成る薄膜内の磁区又は磁壁を駆動させ、変位させ、及び検出するために局部磁場を発生するのに適した電子デバイス、論理デバイス、アナログデバイス、及び、集積化されたマイクロワイディング（microwindings）と組み合わせられている。

10





 フロントページの続き

(51)Int.Cl.

F I

H 0 1 L 27/108 (2006.01)

H 0 1 L 27/12 B

H 0 1 L 21/02 (2006.01)

H 0 1 L 29/78 3 7 1

H 0 1 L 27/12 (2006.01)

H 0 1 L 29/792 (2006.01)

H 0 1 L 29/788 (2006.01)

H 0 1 L 21/8247 (2006.01)

(72)発明者 ブリュエール, ミシェル

フランス国 3 8 1 1 3 ヴュリー プレスヴェールヌメロ 9

(72)発明者 アスパー, ベルナール

フランス国 3 8 1 4 0 リヴ ロティスマンデュアモードザイエ 1 1 0

合議体

審判長 相田 義明

審判官 近藤 幸浩

審判官 市川 篤

(56)参考文献 特開平5 - 2 1 1 1 2 8 (J P , A)