

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 3 月 10 日 (10.03.2022)



(10) 国际公布号
WO 2022/047951 A1

(51) 国际专利分类号:
G09G 3/20 (2006.01)

(21) 国际申请号: PCT/CN2020/123901

(22) 国际申请日: 2020 年 10 月 27 日 (27.10.2020)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202010920028.2 2020 年 9 月 4 日 (04.09.2020) CN

(71) 申请人: 深圳市华星光电半导体显示技术有限公司(SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区公明街道塘明大道9-2号, Guangdong 518132 (CN)。

(72) 发明人: 胡晓斌 (HU, Xiaobin); 中国广东省深圳市光明新区公明街道塘明大道9-2号, Guangdong 518132 (CN)。

(74) 代理人: 深圳紫藤知识产权代理有限公司 (PURPLEVINE INTELLECTUAL PROPERTY (SHENZHEN) CO., LTD.); 中国广东省深圳市南山区粤海街道高新区社区高新南一道006号TCL工业研究院大厦A802, Guangdong 518057 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: GOA CIRCUIT

(54) 发明名称: GOA电路

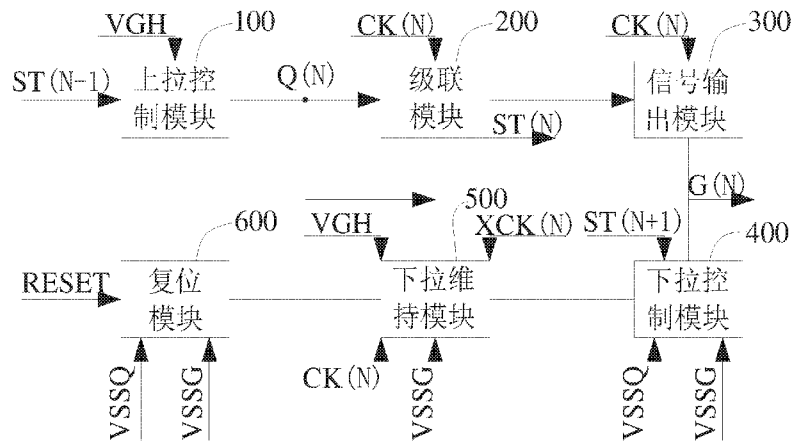


图 3

100 Pull-up control module
200 Cascading module
300 Signal output module

400 Pull-down control module
500 Pull-down maintenance module
600 Reset module

(57) Abstract: A GOA circuit. The GOA circuit comprises a plurality of cascaded GOA units, wherein each GOA unit comprises a pull-up control module (100), a cascading module (200), a pull-down maintenance module (500), a pull-down control module (400), and a signal output module (300). The structure of a phase-inverter module in the pull-down maintenance module (500) is improved, and the beneficial effects are as follows: the phase-inverter module in the pull-down maintenance module (500) is optimized, the difference in volt-ampere characteristics of transistors after long-term operation of the phase-inverter module is effectively reduced, and the operating duration of the phase-inverter module is increased.



ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种GOA电路, GOA电路包括多个级联的GOA单元: GOA单元包括上拉控制模块(100), 级联模块(200), 下拉维持模块(500), 下拉控制模块(400)以及信号输出模块(300), 对下拉维持模块(500)内的反相器模块的结构进行了改进, 有益效果: 优化了下拉维持模块(500)中的反相器模块, 有效减小反相器模块长期工作后对各个晶体管的伏安特性差异, 提高反相器模块的工作时长。

GOA电路

技术领域

[0001] 本发明涉及显示领域，特别是涉及一种GOA电路。

背景技术

[0002] GOA(Gate Driver on Array, 栅极行扫描驱动)技术有利于实现显示屏gate driver(栅极驱动)侧窄边框的设计，并降低成本。

[0003] 参阅图1和图2，现有的GOA电路中，反相器模块一般包括四个晶体管，晶体管 T_{51} 、晶体管 T_{52} 、晶体管 T_{53} 和晶体管 T_{54} ，这四个晶体管三端电压的偏压应力状态是不同的(晶体管 T_{51} 的栅极与漏极同时电性连接第N级时钟信号，晶体管 T_{51} 的漏极电位相对于栅极和源极稍低一个阈值电压，属于弱正向偏压应力状态；晶体管 T_{53} 的栅极电位与晶体管 T_{51} 的源极电位一致，晶体管 T_{53} 的漏极电位为第N级时钟信号的电位，晶体管 T_{53} 的源极电位又较晶体管 T_{53} 的栅极电位低一个阈值电压，属于弱负向偏压应力状态；晶体管 T_{52} 与晶体管 T_{54} 的栅极、源极长期处于低电位，它们的漏极跟随第N级时钟信号交替处于低电位与高电位，属于强负向偏压应力状态)；若长期工作后，因偏压应力状态不同会导致不同的晶体管间的伏安特性差异变大，从而导致反相器模块无法正常工作。

[0004] 因此，现有的显示面板技术中，还存在着GOA电路的反相器模块中晶体管的偏置状态不同导致不同的晶体管间的伏安特性差异变大，长期工作会影响反相器模块的工作性能的问题，急需改进。

发明概述

技术问题

[0005] 本发明涉及一种GOA电路，用于解决现有技术中存在着GOA电路的反相器模块中晶体管的偏置状态不同导致不同的晶体管间的伏安特性差异变大，长期工作会影响反相器模块的工作性能的问题。

问题的解决方案

技术解决方案

[0006] 为解决上述问题，本发明提供的技术方案如下：

[0007] 本发明提供一种GOA电路，所述GOA电路包括多个级联的GOA单元：

[0008] 上拉控制模块，用于根据第N-1级级传信号，以控制所述上拉控制模块输出的第一驱动信号接入恒压高电位信号；级联模块，与所述上拉控制模块、第N级第一时钟信号、下拉维持模块以及信号输出模块电性连接，所述级联模块用于根据所述上拉控制模块输出的所述第一驱动信号控制第N级第一时钟信号输出第N级栅极驱动信号；所述下拉维持模块，与所述上拉控制模块、所述级联模块、所述信号输出模块、下拉控制模块、所述第N级第一时钟信号、第N级第二时钟信号、所述恒压高电位信号、第一恒压低电位信号以及第二恒压低电位信号电性连接；所述下拉维持模块用于根据所述第N级第一时钟信号、所述第N级第二时钟信号以及所述上拉控制模块输出的所述第一驱动信号控制所述下拉维持模块输出第二驱动信号；所述下拉控制模块，与所述上拉控制模块、所述级联模块、所述第一恒压低电位信号、所述第N级第一时钟信号、第N+1级级传信号、所述第二恒压低电位信号以及信号输出模块电性连接，所述下拉控制模块用于根据所述第N+1级级传信号，将所述上拉控制模块输出的所述第一驱动信号拉低至第一恒压低电位信号，将所述第N级栅极驱动信号拉低至第二恒压低电位信号；以及所述信号输出模块，与所述第N级第一时钟信号、所述上拉控制模块、所述级联模块以及所述第二恒压低电位信号电性连接，所述信号输出模块用于根据所述上拉控制模块输出的所述第一驱动信号，控制所述第N级第一时钟信号输出所述第N级栅极驱动信号；所述第N级第一时钟信号与所述第N级第二时钟信号为信号完全相反的高频交流电。

[0009] 在本申请的一些实施例中，所述下拉维持模块包括：反相器模块和节点电压下拉维持模块；所述反相器模块包括：第一晶体管 T_{51} ，第二晶体管 T_{54} 和第三晶体管 T_{55} ，所述第一晶体管 T_{51} 的控制端电性连接所述第N级第一时钟信号，所述第一晶体管 T_{51} 的第一端电性连接恒压高电位信号，所述第一晶体管 T_{51} 的第二端电性连接KN点；所述第二晶体管 T_{54} 的控制端电性连接QN点，所述第二晶体管 T_{54} 的第一端电性连接所述KN点，所述

第二晶体管 T_{54} 的第二端电性连接所述第一恒压低电位信号；所述第三晶体管 T_{55} 的控制端电性连接所述第N级第二时钟信号，所述第三晶体管 T_{55} 的第一端电性连接所述KN点，所述第三晶体管 T_{55} 的第二端电性连接所述第一恒压低电位信号；所述节点电压下拉维持模块包括：第四晶体管 T_{32} 、第五晶体管 T_{72} 和第六晶体管 T_{42} ，所述第四晶体管 T_{32} 、所述第五晶体管 T_{72} 与第六晶体管 T_{42} 的控制端均电性连接所述KN点，所述第四晶体管 T_{32} 的第一端电性连接所述第N级栅极驱动信号，所述第四晶体管 T_{32} 的第二端电性连接所述第二恒压低电位信号，所述第五晶体管 T_{72} 的第一端电性连接所述第N级级传信号，所述第六晶体管 T_{42} 的第一端电性连接所述QN点，所述第五晶体管 T_{72} 的第二端与第六晶体管 T_{42} 的第二端均电性连接所述第一恒压低电位信号。

[0010] 在本申请的一些实施例中，所述上拉控制模块设置有第七晶体管 T_{11} 和自举电容 C_b ，所述第七晶体管 T_{11} 的控制端电性连接所述第N-1级级传信号，所述第七晶体管 T_{11} 的第一端电性连接所述恒压高电位信号，所述第七晶体管 T_{11} 的第二端电性连接所述QN点；所述自举电容 C_b 的第一端电性连接所述QN点，所述自举电容 C_b 的第二端电性连接所述第N级栅极驱动信号。

[0011] 在本申请的一些实施例中，所述级联模块包括第八晶体管 T_{22} ，所述第八晶体管 T_{22} 的控制端电性连接所述QN点，所述第八晶体管 T_{22} 的第一端电性连接所述第N级第一时钟信号，所述第八晶体管 T_{22} 的第二端电性连接所述第N级级传信号。

[0012] 在本申请的一些实施例中，所述下拉模块包括：第九晶体管 T_{31} 和第十晶体管 T_{41} ，所述第九晶体管 T_{31} 与第十晶体管 T_{41} 的控制端均电性连接所述第N+1级级传信号，所述第九晶体管 T_{31} 的第一端电性连接所述第N级栅极驱动信号，所述第九晶体管 T_{31} 的第二端电性连接所述第二恒压低电位信号，所述第十晶体管 T_{41} 的第一端电性连接所述QN点，所述第十晶体管 T_{41} 的第二端电性连接所述第一恒压低电位信号。

[0013] 在本申请的一些实施例中，所述信号输出模块设置有第十一晶体管 T_{21} ，所述第十一晶体管 T_{21} 的控制端电性连接所述QN点，所述第十一晶体管 T_{21} 的第一端

电性连接所述第N级第一时钟信号，所述第十一晶体管 T_{21} 的第二端电性连接所述第N级栅极驱动信号。

[0014] 在本申请的一些实施例中，所述GOA电路还包括复位模块；所述复位模块与所述上拉控制模块、所述级联模块、所述输出模块、所述下拉维持模块、所述第一恒压低电位信号以及所述第二恒压低电位信号均电性连接，分别控制所述QN点、所述第N级级传信号以及所述第N级栅极驱动信号的复位。

[0015] 在本申请的一些实施例中，所述复位模块包括：第十二晶体管 T_{rQ} 、第十三晶体管 T_{rS} 和第十四晶体管 T_{rG} ，所述第十二晶体管 T_{rQ} 、所述第十三晶体管 T_{rS} 和所述第十四晶体管 T_{rG} 的控制端均电性连接复位键，所述第十二晶体管 T_{rQ} 的第一端电性连接所述QN点，所述第十二晶体管 T_{rQ} 的第二端电性连接所述第一恒压低电位信号；所述第十三晶体管 T_{rS} 的第一端电性连接所述第N级级传信号，所述第十三晶体管 T_{rS} 的第二端电性连接所述第一恒压低电位信号，所述第十四晶体管 T_{rG} 的第一端电性连接所述第N级栅极驱动信号，所述第十四晶体管 T_{rG} 的第二端电性连接所述第二恒压低电位信号。

[0016] 在本申请的一些实施例中，所述下拉维持模块包括：第一下拉维持模块和第二下拉维持模块；所述第一下拉维持模块内设置有第一反相器模块和第一节点电压下拉维持模块，所述第二下拉维持模块内设置有第二反相器模块和第二节点电压下拉维持模块。

[0017] 在本申请的一些实施例中，所述第一反相器模块包括：第十五晶体管 $T_{51'}$ 、第十六晶体管 $T_{54'}$ 和第十七晶体管 $T_{55'}$ ，所述第十五晶体管 $T_{51'}$ 的控制端电性连接所述第N级第一时钟信号，所述第十五晶体管 $T_{51'}$ 的第一端电性连接所述恒压高电位信号，所述第十五晶体管 $T_{51'}$ 的第二端电性连接所述KN点，所述第十六晶体管 $T_{54'}$ 的控制端电性连接所述第N级第二时钟信号，所述第十六晶体管 $T_{54'}$ 的第一端电性连接所述KN点，所述第十六晶体管 $T_{54'}$ 的第二端电性连接所述第一恒压低电位信号，所述第十七晶体管 $T_{55'}$ 的控制端电性连接所述QN点，所述第十七晶体管 $T_{55'}$ 的第一端电性连接所述KN点，所述第十七晶体管 $T_{55'}$ 的第二端电性连接所述第一恒压低电位信号；所述第一节点电压下拉维持模块包括：第十八晶体管 $T_{32'}$ 、第十九晶体管 $T_{72'}$ 和第二十晶体管 $T_{42'}$ ，所述第十八晶体

管 $T_{32'}$ 、所述第十九晶体管 $T_{72'}$ 和所述第二十晶体管 $T_{42'}$ 的控制端均电性连接所述KN点，所述第十八晶体管 $T_{32'}$ 的第一端电性连接所述第N级栅极驱动信号，所述第十八晶体管 $T_{32'}$ 的第二端电性连接所述第二恒压低电位信号，所述第十九晶体管 $T_{72'}$ 的第一端电性连接所述第N级级传信号，所述第十九晶体管 $T_{72'}$ 的第二端电性连接所述第一恒压低电位信号，所述第二十晶体管 $T_{42'}$ 的第一端电性连接所述QN点，所述第二十晶体管 $T_{42'}$ 的第二端电性连接所述第一恒压低电位信号；所述第二反相器模块包括：第二十一晶体管 T_{61} 、第二十二晶体管 T_{64} 和第二十三晶体管 T_{65} ，所述第二十一晶体管 T_{61} 的控制端电性连接所述第N级第二时钟信号，所述第二十一晶体管 T_{61} 的第一端电性连接所述恒压高电位信号，所述第二十一晶体管 T_{61} 的第二端电性连接所述P点，所述第二十二晶体管 T_{64} 的控制端电性连接所述第N级第一时钟信号，所述第二十二晶体管 T_{64} 的第一端电性连接所述P点，所述第二十二晶体管 T_{64} 的第二端电性连接所述第一恒压低电位信号，所述第二十三晶体管 T_{65} 的控制端电性连接所述QN点，所述第二十三晶体管 T_{65} 的第一端电性连接所述P点，所述第二十三晶体管 T_{65} 的第二端电性连接所述第一恒压低电位信号；所述第二节点电压下拉维持模块包括：第二十四晶体管 T_{33} 、第二十五晶体管 T_{73} 和第二十六晶体管 T_{43} ，所述第二十四晶体管 T_{33} 、所述第二十五晶体管 T_{73} 和所述第二十六晶体管 T_{43} 的控制端均电性连接所述P点，所述第二十四晶体管 T_{33} 的第一端电性连接所述第N级栅极驱动信号，所述第二十四晶体管 T_{33} 的第二端电性连接所述第二恒压低电位信号，所述第二十五晶体管 T_{73} 的第一端电性连接所述第N级级传信号，所述第二十五晶体管 T_{73} 的第二端电性连接所述第一恒压低电位信号，所述第二十六晶体管 T_{43} 的第一端电性连接所述QN点，所述第二十六晶体管 T_{43} 的第二端电性连接所述第一恒压低电位信号；即所述第一节点电压下拉维持模块与所述第二节点电压下拉维持模块相同设置。

[0018] 在本申请的一些实施例中，所述晶体管采用N型晶体管或者N型晶体管与P型晶体管的混合方式。

[0019] 本申请还提供一种GOA电路，所述GOA电路包括多个级联的GOA单元：上拉控制模块，用于根据第N-1级级传信号，以控制所述上拉控制模块输出的第一驱动信

号接入恒压高电位信号；级联模块，与所述上拉控制模块、第N级第一时钟信号、下拉维持模块以及信号输出模块电性连接，所述级联模块用于根据所述上拉控制模块输出的所述第一驱动信号控制第N级第一时钟信号输出第N级栅极驱动信号；所述下拉维持模块，与所述上拉控制模块、所述级联模块、所述信号输出模块、下拉控制模块、所述第N级第一时钟信号、第N级第二时钟信号、所述恒压高电位信号、第一恒压低电位信号以及第二恒压低电位信号电性连接；所述下拉维持模块用于根据所述第N级第一时钟信号、所述第N级第二时钟信号以及所述上拉控制模块输出的所述第一驱动信号控制所述下拉维持模块输出第二驱动信号；所述下拉控制模块，与所述上拉控制模块、所述级联模块、所述第一恒压低电位信号、所述第N级第一时钟信号、第N+1级级传信号、所述第二恒压低电位信号以及信号输出模块电性连接，所述下拉控制模块用于根据所述第N+1级级传信号，将所述上拉控制模块输出的所述第一驱动信号拉低至第一恒压低电位信号，将所述第N级栅极驱动信号拉低至第二恒压低电位信号；以及所述信号输出模块，与所述第N级第一时钟信号、所述上拉控制模块、所述级联模块以及所述第二恒压低电位信号电性连接，所述信号输出模块用于根据所述上拉控制模块输出的所述第一驱动信号，控制所述第N级第一时钟信号输出所述第N级栅极驱动信号。

[0020] 在本申请的一些实施例中，所述下拉维持模块包括：反相器模块和节点电压下拉维持模块；所述反相器模块包括：第一晶体管T51，第二晶体管T54和第三晶体管T55，所述第一晶体管T51的控制端电性连接所述第N级第一时钟信号，所述第一晶体管T51的第一端电性连接恒压高电位信号，所述第一晶体管T51的第二端电性连接KN点；所述第二晶体管T54的控制端电性连接QN点，所述第二晶体管T54的第一端电性连接所述KN点，所述第二晶体管T54的第二端电性连接所述第一恒压低电位信号；所述第三晶体管T55的控制端电性连接所述第N级第二时钟信号，所述第三晶体管T55的第一端电性连接所述KN点，所述第三晶体管T55的第二端电性连接所述第一恒压低电位信号；所述节点电压下拉维持模块包括：第四晶体管T32、第五晶体管T72和第六晶体管T42，所述第四晶体管T32、所述第五晶体管T72与所述第六晶体管T42的控制端均电性连接所述KN点，所述第四

晶体管T32的第一端电性连接所述第N级栅极驱动信号，所述第四晶体管T32的第二端电性连接所述第二恒压低电位信号，所述第五晶体管T72的第一端电性连接所述第N级级传信号，所述第六晶体管T42的第一端电性连接所述QN点，所述第五晶体管T72的第二端与所述第六晶体管T42的第二端均电性连接所述第一恒压低电位信号。

[0021] 在本申请的一些实施例中，所述上拉控制模块设置有第七晶体管 T_{11} 和自举电容 C_b ，所述第七晶体管 T_{11} 的控制端电性连接所述第N-1级级传信号，所述第七晶体管 T_{11} 的第一端电性连接所述恒压高电位信号，所述第七晶体管 T_{11} 的第二端电性连接所述QN点；所述自举电容 C_b 的第一端电性连接所述QN点，所述自举电容 C_b 的第二端电性连接所述第N级栅极驱动信号。

[0022] 在本申请的一些实施例中，所述级联模块包括第八晶体管T22，所述第八晶体管T22的控制端电性连接所述QN点，所述第八晶体管T22的第一端电性连接所述第N级第一时钟信号，所述第八晶体管T22的第二端电性连接所述第N级级传信号。

[0023] 在本申请的一些实施例中，所述下拉模块包括：第九晶体管T31和第十晶体管T41，所述第九晶体管T31与所述第十晶体管T41的控制端均电性连接所述第N+1级级传信号，所述第九晶体管T31的第一端电性连接所述第N级栅极驱动信号，所述第九晶体管T31的第二端电性连接所述第二恒压低电位信号，所述第十晶体管T41的第一端电性连接所述QN点，所述第十晶体管T41的第二端电性连接所述第一恒压低电位信号。

[0024] 在本申请的一些实施例中，所述信号输出模块设置有第十一晶体管T21，所述第十一晶体管T21的控制端电性连接所述QN点，所述第十一晶体管T21的第一端电性连接所述第N级第一时钟信号，所述第十一晶体管T21的第二端电性连接所述第N级栅极驱动信号。

[0025] 在本申请的一些实施例中，所述GOA电路还包括复位模块；所述复位模块与所述上拉控制模块、所述级联模块、所述输出模块、所述下拉维持模块、所述第一恒压低电位信号以及所述第二恒压低电位信号均电性连接，分别控制所述QN点、所述第N级级传信号以及所述第N级栅极驱动信号的复位。

[0026] 在本申请的一些实施例中，所述复位模块包括：第十二晶体管TrQ、第十三晶体管TrS和第十四晶体管TrG，所述第十二晶体管TrQ、所述第十三晶体管TrS和所述第十四晶体管TrG的控制端均电性连接复位键，所述第十二晶体管TrQ的第一端电性连接所述QN点，所述第十二晶体管TrQ的第二端电性连接所述第一恒压低电位信号；所述第十三晶体管TrS的第一端电性连接所述第N级级传信号，所述第十三晶体管TrS的第二端电性连接所述第一恒压低电位信号，所述第十四晶体管TrG的第一端电性连接所述第N级栅极驱动信号，所述第十四晶体管TrG的第二端电性连接所述第二恒压低电位信号。

[0027] 在本申请的一些实施例中，所述下拉维持模块包括：第一下拉维持模块和第二下拉维持模块；所述第一下拉维持模块内设置有第一反相器模块和第一节点电压下拉维持模块，所述第二下拉维持模块内设置有第二反相器模块和第二节点电压下拉维持模块。

发明的有益效果

有益效果

[0028] 与现有技术相比，本发明提供了一种GOA电路的有益效果为：本发明提供的GOA电路，在保持传统技术方案的功能基础上，优化了所述下拉维持模块中的反相器模块，可以有效减小所述反相器模块长期工作后对各个晶体管的伏安特性差异，进而提高所述反相器模块的工作时长。

对附图的简要说明

附图说明

[0029] 图1为现有技术的GOA电路结构示意图。

[0030] 图2为现有技术的GOA电路的时序图。

[0031] 图3为本发明实施例提供的GOA电路的第一结构示意图。

[0032] 图4为本发明实施例提供的GOA电路的第二结构示意图。

[0033] 图5为本发明实施例提供的GOA电路的时序图。

[0034] 图6为本发明实施例提供的GOA电路的第三结构示意图。

发明实施例

本发明的实施方式

[0035] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述。显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0036] 在本发明的描述中，需要理解的是，术语“中心”、“纵向”、“横向”、“长度”、“宽度”、“厚度”、“上”、“下”、“前”、“后”、“左”、“右”、“竖直”、“水平”、“顶”、“底”、“内”、“外”、“顺时针”、“逆时针”等指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本发明和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本发明的限制。此外，术语“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个所述特征。在本发明的描述中，“多个”的含义是两个或两个以上，除非另有明确具体的限定。

[0037] 本发明提供一种GOA电路，具体参阅图3-图6。

[0038] 现有GOA电路的反相器模块中，晶体管的偏置状态不同导致不同的晶体管间的伏安特性差异变大，长期工作会影响反相器模块的工作性能。因此，本发明提供一种GOA电路用以解决上述问题。

[0039] 参阅图3，为本发明实施例提供的一种GOA电路的结构示意图。所述GOA电路包括多个级联的GOA单元：上拉控制模块100，用于根据第N-1级级传信号，以控制所述上拉控制模块100输出的第一驱动信号接入恒压高电位信号VGH；级联模块200，与所述上拉控制模块100、第N级第一时钟CK(N)、下拉维持模块500以及信号输出模块300电性连接，所述级联模块200用于根据所述上拉控制模块100输出的所述第一驱动信号控制第N级第一时钟信号CK(N)输出第N级栅极驱动信号G(N)；所述下拉维持模块500，与所述上拉控制模块100、所述级联模块200、所述信号输出模块300、下拉控制模块400、所述第N级第一时钟信号CK(N)、第N级第二时钟信号XCK(N)、所述恒压高电位信号VGH、第一恒压低电位信号VSSQ以及第二

恒压低电位信号VSSG电性连接；所述下拉维持模块500用于根据所述第N级第一时钟信号CK(N)、所述第N级第二时钟信号XCK(N)以及所述上拉控制模块100输出的所述第一驱动信号控制所述下拉维持模块500输出第二驱动信号；所述下拉控制模块400，与所述上拉控制模块100、所述级联模块200、所述第一恒压低电位信号VSSQ、所述第N级第一时钟信号CK(N)、第N+1级级传信号ST(N+1)、所述第二恒压低电位信号VSSG以及信号输出模块300电性连接，所述下拉控制模块400用于根据所述第N+1级级传信号ST(N+1)，将所述上拉控制模块100输出的所述第一驱动信号拉低至第一恒压低电位信号VSSQ，将所述第N级栅极驱动信号G(N)拉低至第二恒压低电位信号VSSG；以及所述信号输出模块300，与所述第N级第一时钟信号CK(N)、所述上拉控制模块100、所述级联模块200以及所述第二恒压低电位信号VSSG电性连接，所述信号输出模块300用于根据所述上拉控制模块100输出的所述第一驱动信号，控制所述第N级第一时钟信号CK(N)输出所述第N级栅极驱动信号。

[0040] 在本发明的一种实施例中，所述下拉维持模块500包括：反相器模块和节点电压下拉维持模块；所述反相器模块包括：第一晶体管 T_{51} ，第二晶体管 T_{54} 和第三晶体管 T_{55} ，所述第一晶体管 T_{51} 的控制端电性连接所述第N级第一时钟信号CK(N)，所述第一晶体管 T_{51} 的第一端电性连接恒压高电位信号VGH，所述第一晶体管 T_{51} 的第二端电性连接KN点；所述第二晶体管 T_{54} 的控制端电性连接QN点，所述第二晶体管 T_{54} 的第一端电性连接所述KN点，所述第二晶体管 T_{54} 的第二端电性连接所述第一恒压低电位信号VSSQ；所述第三晶体管 T_{55} 的控制端电性连接所述第N级第二时钟信号，所述第三晶体管 T_{55} 的第一端电性连接所述KN点，所述第三晶体管 T_{55} 的第二端电性连接所述第一恒压低电位信号VSSQ；所述节点电压下拉维持模块包括：第四晶体管 T_{32} 、第五晶体管 T_{72} 和第六晶体管 T_{42} ，所述第四晶体管 T_{32} 、所述第五晶体管 T_{72} 与所述第六晶体管 T_{42} 的控制端均电性连接所述KN点，所述第四晶体管 T_{32} 的第一端电性连接所述第N级栅极驱动信号，所述第四晶体管 T_{32} 的第二端电性连接所述第二恒压低电位信号VSSG，所述第五晶体管 T_{72} 的第一端电性连接所述第N级级传信

号, 所述第六晶体管 T_{42} 的第一端电性连接所述QN点, 所述第五晶体管 T_{72} 的第二端与所述第六晶体管 T_{42} 的第二端均电性连接所述第一恒压低电位信号VSSQ。

[0041] 在本发明的一种实施例中, 所述上拉控制模块100设置有第七晶体管 T_{11} 和自举电容 C_b , 所述第七晶体管 T_{11} 的控制端电性连接所述第N-1级级传信号, 所述第七晶体管 T_{11} 的第一端电性连接所述恒压高电位信号, 所述第七晶体管 T_{11} 的第二端电性连接所述QN点; 所述自举电容 C_b 的第一端电性连接所述QN点, 所述自举电容 C_b 的第二端电性连接所述第N级栅极驱动信号。

[0042] 在本发明的一种实施例中, 所述级联模块包括第八晶体管 T_{22} , 所述第八晶体管 T_{22} 的控制端电性连接所述QN点, 所述第八晶体管 T_{22} 的第一端电性连接所述第N级第一时钟信号, 所述第八晶体管 T_{22} 的第二端电性连接所述第N级级传信号。

[0043] 在本发明的一种实施例中, 所述下拉模块包括: 第九晶体管 T_{31} 和第十晶体管 T_{41} , 所述第九晶体管 T_{31} 与所述第十晶体管 T_{41} 的控制端均电性连接所述第N+1级级传信号, 所述第九晶体管 T_{31} 的第一端电性连接所述第N级栅极驱动信号, 所述第九晶体管 T_{31} 的第二端电性连接所述第二恒压低电位信号VSSG, 所述第十晶体管 T_{41} 的第一端电性连接所述QN点, 所述第十晶体管 T_{41} 的第二端电性连接所述第一恒压低电位信号VSSQ。

[0044] 在本发明的一种实施例中, 所述信号输出模块设置有第十一晶体管 T_{21} , 所述第十一晶体管 T_{21} 的控制端电性连接所述QN点, 所述第十一晶体管 T_{21} 的第一端电性连接所述第N级第一时钟信号CK(N), 所述第十一晶体管 T_{21} 的第二端电性连接所述第N级栅极驱动信号。

[0045] 在本发明的一种实施例中, 所述GOA电路还包括复位模块600; 所述复位模块600与所述上拉控制模块100、所述级联模块200、所述输出模块300、所述下拉维持模块500、所述第一恒压低电位信号VSSQ以及所述第二恒压低电位信号VSSG均电性连接, 分别控制所述QN点、所述第N级级传信号STN以及所述第N级栅极驱动信号G(N)的复位。

[0046] 在本发明的一种实施例中, 所述复位模块600包括: 第十二晶体管 T_{rQ} 、第十三晶体管 T_{rS} 和第十四晶体管 T_{rG} , 所述第十二晶体管 T_{rQ} 、所述第十三晶体管 T_{rS}

和所述第十四晶体管 T_{rG} 的控制端均电性连接复位键，所述第十二晶体管 T_{rQ} 的第一端电性连接所述QN点，所述第十二晶体管 T_{rQ} 的第二端电性连接所述第一恒压低电位信号VSSQ；所述第十三晶体管 T_{rS} 的第一端电性连接所述第N级级传信号STN，所述第十三晶体管 T_{rS} 的第二端电性连接所述第一恒压低电位信号VSSQ，所述第十四晶体管 T_{rG} 的第一端电性连接所述第N级栅极驱动信号G(N)，所述第十四晶体管 T_{rG} 的第二端电性连接所述第二恒压低电位信号VSSG。

[0047] 在本发明的一种实施例中，所述下拉维持模块500包括：第一下拉维持模块和第二下拉维持模块；所述第一下拉维持模块内设置有第一反相器模块和第一节点电压下拉维持模块，所述第二下拉维持模块内设置有第二反相器模块和第二节点电压下拉维持模块。

[0048] 进一步地，所述第一反相器模块包括：第十五晶体管 $T_{51'}$ 、第十六晶体管 $T_{54'}$ 和第十七晶体管 $T_{55'}$ ，所述第十五晶体管 $T_{51'}$ 的控制端电性连接所述第N级第一时钟信号，所述第十五晶体管 $T_{51'}$ 的第一端电性连接所述恒压高电位信号VGH，所述第十五晶体管 $T_{51'}$ 的第二端电性连接所述KN点，所述第十六晶体管 $T_{54'}$ 的控制端电性连接所述第N级第二时钟信号XCK(N)，所述第十六晶体管 $T_{54'}$ 的第一端电性连接所述KN点，所述第十六晶体管 $T_{54'}$ 的第二端电性连接所述第一恒压低电位信号VSSQ，所述第十七晶体管 $T_{55'}$ 的控制端电性连接所述QN点，所述第十七晶体管 $T_{55'}$ 的第一端电性连接所述KN点，所述第十七晶体管 $T_{55'}$ 的第二端电性连接所述第一恒压低电位信号VSSQ；所述第一节点电压下拉维持模块包括：第十八晶体管 $T_{32'}$ 、第十九晶体管 $T_{72'}$ 和第二十晶体管 $T_{42'}$ ，所述第十八晶体管 $T_{32'}$ 、所述第十九晶体管 $T_{72'}$ 和所述第二十晶体管 $T_{42'}$ 的控制端均电性连接所述KN点，所述第十八晶体管 $T_{32'}$ 的第一端电性连接所述第N级栅极驱动信号，所述第十八晶体管 $T_{32'}$ 的第二端电性连接所述第二恒压低电位信号VSSG，所述第十九晶体管 $T_{72'}$ 的第一端电性连接所述第N级级传信号STN，所述第十九晶体管 $T_{72'}$ 的第二端电性连接所述第一恒压低电位信号VSSQ，所述第二十晶体管 $T_{42'}$ 的第一端电性连接所述QN点，所述第二十晶体管 $T_{42'}$ 的第二端电性连接所述第一恒压低电位信号VSSQ；所述第二反相器模块包括：第二十一晶体管 T_{61} 、第二十二晶体管 T_{64} 和第二十三晶体管 T_{65} ，所述第二十一晶体管 T_{61} 的控制端

电性连接所述第N级第二时钟信号XCK(N)，所述第二十一晶体管 T_{61} 的第一端电性连接所述恒压高电位信号VGH，所述第二十一晶体管 T_{61} 的第二端电性连接所述P点，所述第二十二晶体管 T_{64} 的控制端电性连接所述第N级第一时钟信号CK(N)，所述第二十二晶体管 T_{64} 的第一端电性连接所述P点，所述第二十二晶体管 T_{64} 的第二端电性连接所述第一恒压低电位信号VSSQ，所述第二十三晶体管 T_{65} 的控制端电性连接所述QN点，所述第二十三晶体管 T_{65} 的第一端电性连接所述P点，所述第二十三晶体管 T_{65} 的第二端电性连接所述第一恒压低电位信号VSSQ；所述第二节点电压下拉维持模块包括：第二十四晶体管 T_{33} 、第二十五晶体管 T_{73} 和第二十六晶体管 T_{43} ，所述第二十四晶体管 T_{33} 、所述第二十五晶体管 T_{73} 和所述第二十六晶体管 T_{43} 的控制端均电性连接所述P点，所述第二十四晶体管 T_{33} 的第一端电性连接所述第N级栅极驱动信号，所述第二十四晶体管 T_{33} 的第二端电性连接所述第二恒压低电位信号VSSG，所述第二十五晶体管 T_{73} 的第一端电性连接所述第N级级传信号STN，所述第二十五晶体管 T_{73} 的第二端电性连接所述第一恒压低电位信号VSSQ，所述第二十六晶体管 T_{43} 的第一端电性连接所述QN点，所述第二十六晶体管 T_{43} 的第二端电性连接所述第一恒压低电位信号VSSQ；即所述第一节点电压下拉维持模块与所述第二节点电压下拉维持模块相同设置。

[0049] 参阅图4，为本发明提供的一种GOA电路图。STV是起始讯号，每一帧开启一次，所述第N级第一时钟信号CK(N)、所述第N级第二时钟信号XCK(N)是信号完全相反的高频交流电，这些信号的高低电位记为VGH，低电位记为VGL；VSSG是低压直流源，电位为-10V；VSSQ为低压直流源，电位为VGL。G(N)是第N级的栅极驱动信号的输出波形，ST(N)是第N级级传信号的输出波形，Q(N)和K(N)是第N级重要节点的波形；ST(N-1)上一级级传信号对应的输出波形，ST(N+1)是下一级级传信号对应的输出波形。

[0050] 根据第N级级传信号STN或上一级产生的级传信号ST(N-1)的高电位脉冲，将第N级Q(N)节点充电至高电位，使第N级晶体管 T_{21} 由关闭状态变成导通状态，随后第N级第一时钟信号CK(N)给出高电位脉冲，将所述第N级栅极扫描驱动信号G(N)

节点、所述第N级级传信号的ST(N)节点充电至高电位。所述第N级栅极扫描驱动信号G(N)高电位驱动第N级显示面板内的显示区，所述第N级级传信号ST(N)为高电位时，一方面将上一级的所述下拉控制模块400中的第九晶体管 T_{31} 、第十晶体管 T_{41} 打开，将上一级的Q(N-1)点及栅极扫描驱动信号G(N-1)节点分别下拉至所述第一恒压低电位信号VSSQ和所述第二恒压低电位信号VSSG，另一方面将下一级的所述上拉控制模块100内的晶体管 T_{11} 打开，将Q(N+1)充电至高电位，从而实现级联下传的功能。为了提高电路的可靠性，会在所述下拉维持模块500内增加反相器模块和节点电压维持模块，与传统GOA电路不同的是本发明提供的GOA电路的所述反相器模块由三颗晶体管，所述第一晶体管 T_{51} 、所述第二晶体管 T_{54} 、所述第三晶体管 T_{55} 组成；所述反相器模块的连接方式显著不同于传统的GOA电路反相器模块的连接方式。所述第一晶体管 T_{51} 的栅极电性连接所述第N级时钟信号CK(N)，所述第一晶体管 T_{51} 的漏极电性连接恒压高电位信号VGH，所述第一晶体管 T_{51} 的源极输出控制所述下拉维持模块500的所述第四晶体管 T_{32} 、所述第五晶体管 T_{42} 、所述第五晶体管 T_{72} ；所述第二晶体管 T_{54} 与传统反相器模块的接法一致；所述第三晶体管 T_{55} 的栅极电性连接第N级第二时钟信号XCK(N)，所述第三晶体管 T_{55} 的漏极电性连接所述第一晶体管 T_{51} 的源极，所述第三晶体管 T_{55} 的源极电性连接所述第一恒压低电位信号VSSQ，所述第三晶体管 T_{55} 配合所述第一晶体管 T_{51} 交替给所述KN节点放电。这种反相器模块的连接方式可以使得反相器模块内的所述第一晶体管 T_{51} 、所述第二晶体管 T_{54} 的偏压应力状态一致，应力导致的电性差异缩小，从而保证电路能够长期稳定工作。

[0051] 参阅图5，根据本发明提供的一种GOA电路的时序图，所述第一晶体管 T_{51} 的漏极电性连接所述恒压高电位信号VGH，栅极电性连接所述第N级第一时钟信号CK(N)，根据所述第N级第一时钟信号CK(N)的高低电位交替变化，所述第一晶体管 T_{51} 的源极（即KN点）跟随所述第N级第一时钟信号CK(N)进行变化，属于强负向偏压应力状态；所述第二晶体管 T_{54} 的栅极和源极长期处于低电位，所述第二晶体管 T_{54} 的漏极（即KN点）跟随第N级第一时钟信号CK(N)的高低电位交替变化，属于强负向偏压应力状态；所述第三晶体管 T_{55} 的一半时间处于正向偏压应力状态，一半时间处于负向偏压应力状态，但由于所述第三晶体管 T_{55} 的阈

值电压比所述第二晶体管 T_{54} 的阈值电压小很多，因此其电性对反相器稳定性影响较小。所述第一晶体管 T_{51} 、所述第二晶体管 T_{54} 的偏压应力状态一致，经过长期工作，所述第一晶体管 T_{51} 与所述第二晶体管 T_{54} 的电性特征差异较小，所述反相器模块仍然可以稳定工作。与传统的GOA电路相比，所述反相器模块的可靠性显著提升。

[0052] 参阅图6，为本发明提供的另一种GOA电路的结构示意图。在本实施例中，所述下拉维持模块包括：第一下拉维持模块和第二下拉维持模块；所述第一下拉维持模块内设置有第一反相器模块和第一节点电压下拉维持模块，所述第二下拉维持模块内设置有第二反相器模块和第二节点电压下拉维持模块。所述第一下拉维持模块与图4中所述的下拉维持模块完全相同，所述第二下拉维持模块为新增的一套下拉维持模块，所述第二下拉维持模块由第二十一晶体管 T_{61} 、第二十二晶体管 T_{64} 及第二十三晶体管 T_{65} 构成的所述第二反相器模块以及所述第二节点电压下拉维持模块：第二十四晶体管 T_{33} 、第二十五晶体管 T_{73} 和第二十六晶体管 T_{43} 组成。与原下拉维持单元所不同的是，新增的所述第二反相器内的所述第二十一晶体管 T_{61} 的栅极电性连接第N级第二时钟信号XCK(N)，所述第二十三晶体管 T_{65} 的栅极电性连接第N级第一时钟信号CK(N)，这样在所述第N级第一时钟信号CK(N)与所述第N级第二时钟信号XCK(N)交替处于高低电位时，所述第一反相器模块与所述第二反相器模块能够交替工作。

[0053] 在第N级QN点高电位时，所述第一反相器模块与所述第二反相器模块的输出节点KN及PN均处于低电位，所述第四晶体管 T_{32} 、所述第五晶体管 T_{72} 、所述第六晶体管 T_{42} 以及所述第二十四晶体管 T_{33} 、所述第二十五晶体管 T_{73} 、所述第二十六晶体管 T_{43} 均处于关断状态，不影响QN、STN及GN的高电位；

[0054] 在第N级QN、STN、GN节点需要维持低电位期间，所述第N级第一时钟信号CK(N)与所述第N级第二时钟信号XCK(N)交替处于高低电位，所述第N级第一时钟信号CK(N)为高电位，所述第N级第二时钟信号XCK(N)为低电位时，KN节点高电位、PN节点低电位，此时，所述第四晶体管 T_{32} 、所述第五晶体管 T_{72} 和所述第六晶体管 T_{42} 导通，将GN、QN、STN节点维持在低电位，当所述第N级第一时钟信号CK(N)切换到低电位，所述第N级第二时钟信号XCK(N)切换到高电位

时，所述第二十四晶体管 T_{33} 、所述第二十五晶体管 T_{73} 及所述第二十六晶体管 T_{43} 导通，也能够将GN、QN、STN维持在低电位，这样在整个下拉维持时间内，GN、QN、STN都会被维持在低电位，与原来只有一套下拉维持模块的电路相比，这里两套下拉维持模块交替工作，维持时间更长，电路稳定性更好。

[0055] 这里的反相器模块中所使用的所述第N级第一时钟信号CK(N)、所述第N级第二时钟信号XCK(N)两个讯号是两个相位相反的高频交流讯号，与所述级联模块和所述信号输出模块电性连接的所述第N级第一时钟信号CK(N)共用。在另一种情况中，所述反相器模块也可以不共用所述级联模块与所述信号输出模块内的所述第N级第一时钟信号CK(N)、所述第N级第二时钟信号XCK(N)，用额外的相位相反的一组交流讯号所取代，且用于取代的讯号的频率也是可变的，比如在一帧的显示时间内切换一次，或者在多帧显示时间内切换一次。

[0056] 上述所述的晶体管可以采用N型晶体管或者N型晶体管与P型晶体管的混合方式，并且所用晶体管在作为开关晶体管时，源极和漏极的功能可以互换，在此不做具体的区分。

[0057] 因此，本发明提供一种GOA电路的有益效果为：本发明提供的GOA电路，在保持传统技术方案的功能基础上，优化了所述下拉维持模块中的反相器模块，可以有效减小所述反相器模块长期工作后对各个晶体管的伏安特性差异，进而提高所述反相器模块的工作时长。

[0058] 以上对本发明实施例所提供的一种GOA电路进行了详细介绍，本文中应用了具体个例对本发明的原理及实施方式进行了阐述，以上实施例的说明只是用于帮助理解本发明的技术方案及其核心思想；本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本发明各实施例的技术方案的范围。

权利要求书

[权利要求 1]

一种GOA电路，所述GOA电路包括多个级联的GOA单元：

上拉控制模块，用于根据第N-1级级传信号，以控制所述上拉控制模块输出的第一驱动信号接入恒压高电位信号；

级联模块，与所述上拉控制模块、第N级第一时钟信号、下拉维持模块以及信号输出模块电性连接，所述级联模块用于根据所述上拉控制模块输出的所述第一驱动信号控制第N级第一时钟信号输出第N级栅极驱动信号；

所述下拉维持模块，与所述上拉控制模块、所述级联模块、所述信号输出模块、下拉控制模块、所述第N级第一时钟信号、第N级第二时钟信号、所述恒压高电位信号、第一恒压低电位信号以及第二恒压低电位信号电性连接；所述下拉维持模块用于根据所述第N级第一时钟信号、所述第N级第二时钟信号以及所述上拉控制模块输出的所述第一驱动信号控制所述下拉维持模块输出第二驱动信号；

所述下拉控制模块，与所述上拉控制模块、所述级联模块、所述第一恒压低电位信号、所述第N级第一时钟信号、第N+1级级传信号、所述第二恒压低电位信号以及信号输出模块电性连接，所述下拉控制模块用于根据所述第N+1级级传信号，将所述上拉控制模块输出的所述第一驱动信号拉低至第一恒压低电位信号，将所述第N级栅极驱动信号拉低至第二恒压低电位信号；以及

所述信号输出模块，与所述第N级第一时钟信号、所述上拉控制模块、所述级联模块以及所述第二恒压低电位信号电性连接，所述信号输出模块用于根据所述上拉控制模块输出的所述第一驱动信号，控制所述第N级第一时钟信号输出所述第N级栅极驱动信号；

所述第N级第一时钟信号与所述第N级第二时钟信号为信号完全相反的高频交流电。

[权利要求 2]

根据权利要求1所述的GOA电路，其中，所述下拉维持模块包括：反相器模块和节点电压下拉维持模块；所述反相器模块包括：第一晶体管

T₅₁，第二晶体管T₅₄和第三晶体管T₅₅，所述第一晶体管T₅₁的控制端电性连接所述第N级第一时钟信号，所述第一晶体管T₅₁的第一端电性连接恒压高电位信号，所述第一晶体管T₅₁的第二端电性连接KN点；所述第二晶体管T₅₄的控制端电性连接QN点，所述第二晶体管T₅₄的第一端电性连接所述KN点，所述第二晶体管T₅₄的第二端电性连接所述第一恒压低电位信号；所述第三晶体管T₅₅的控制端电性连接所述第N级第二时钟信号，所述第三晶体管T₅₅的第一端电性连接所述KN点，所述第三晶体管T₅₅的第二端电性连接所述第一恒压低电位信号；所述节点电压下拉维持模块包括：第四晶体管T₃₂、第五晶体管T₇₂和第六晶体管T₄₂，所述第四晶体管T₃₂、所述第五晶体管T₇₂与所述第六晶体管T₄₂的控制端均电性连接所述KN点，所述第四晶体管T₃₂的第一端电性连接所述第N级栅极驱动信号，所述第四晶体管T₃₂的第二端电性连接所述第二恒压低电位信号，所述第五晶体管T₇₂的第一端电性连接所述第N级级传信号，所述第六晶体管T₄₂的第一端电性连接所述QN点，所述第五晶体管T₇₂的第二端与所述第六晶体管T₄₂的第二端均电性连接所述第一恒压低电位信号。

[权利要求 3] 根据权利要求1所述的GOA电路，其中，所述上拉控制模块设置有第七晶体管T₁₁和自举电容C_b，所述第七晶体管T₁₁的控制端电性连接所述第N-1级级传信号，所述第七晶体管T₁₁的第一端电性连接所述恒压高电位信号，所述第七晶体管T₁₁的第二端电性连接所述QN点；所述自举电容C_b的第一端电性连接所述QN点，所述自举电容C_b的第二端电性连接所述第N级栅极驱动信号。

[权利要求 4] 根据权利要求1所述的GOA电路，其中，所述级联模块包括第八晶体管T₂₂，所述第八晶体管T₂₂的控制端电性连接所述QN点，所述第八晶体管T₂₂的第一端电性连接所述第N级第一时钟信号，所述第八晶体管T₂₂的第二端电性连接所述第N级级传信号。

[权利要求 5] 根据权利要求1所述的GOA电路，其中，所述下拉模块包括：第九晶体

管 T_{31} 和第十晶体管 T_{41} ，所述第九晶体管 T_{31} 与所述第十晶体管 T_{41} 的控制端均电性连接所述第 $N+1$ 级级传信号，所述第九晶体管 T_{31} 的第一端电性连接所述第 N 级栅极驱动信号，所述第九晶体管 T_{31} 的第二端电性连接所述第二恒压低电位信号，所述第十晶体管 T_{41} 的第一端电性连接所述QN点，所述第十晶体管 T_{41} 的第二端电性连接所述第一恒压低电位信号。

[权利要求 6] 根据权利要求1所述的GOA电路，其中，所述信号输出模块设置有第十一晶体管 T_{21} ，所述第十一晶体管 T_{21} 的控制端电性连接所述QN点，所述第十一晶体管 T_{21} 的第一端电性连接所述第 N 级第一时钟信号，所述第十一晶体管 T_{21} 的第二端电性连接所述第 N 级栅极驱动信号。

[权利要求 7] 根据权利要求1所述的GOA电路，其中，所述GOA电路还包括复位模块；所述复位模块与所述上拉控制模块、所述级联模块、所述输出模块、所述下拉维持模块、所述第一恒压低电位信号以及所述第二恒压低电位信号均电性连接，分别控制所述QN点、所述第 N 级级传信号以及所述第 N 级栅极驱动信号的复位。

[权利要求 8] 根据权利要求7所述的GOA电路，其中，所述复位模块包括：第十二晶体管 T_{rQ} 、第十三晶体管 T_{rS} 和第十四晶体管 T_{rG} ，所述第十二晶体管 T_{rQ} 、所述第十三晶体管 T_{rS} 和所述第十四晶体管 T_{rG} 的控制端均电性连接复位键，所述第十二晶体管 T_{rQ} 的第一端电性连接所述QN点，所述第十二晶体管 T_{rQ} 的第二端电性连接所述第一恒压低电位信号；所述第十三晶体管 T_{rS} 的第一端电性连接所述第 N 级级传信号，所述第十三晶体管 T_{rS} 的第二端电性连接所述第一恒压低电位信号，所述第十四晶体管 T_{rG} 的第一端电性连接所述第 N 级栅极驱动信号，所述第十四晶体管 T_{rG} 的第二端电性连接所述第二恒压低电位信号。

[权利要求 9] 根据权利要求1所述的GOA电路，其中，所述下拉维持模块包括：第一下拉维持模块和第二下拉维持模块；所述第一下拉维持模块内设置有第一反相器模块和第一节点电压下拉维持模块，所述第二下拉维持模

块内设置有第二反相器模块和第二节点电压下拉维持模块。

[权利要求 10] 根据权利要求9所述的GOA电路，其中，所述第一反相器模块包括：第十五晶体管 $T_{51'}$ 、第十六晶体管 $T_{54'}$ 和第十七晶体管 $T_{55'}$ ，所述第十五晶体管 $T_{51'}$ 的控制端电性连接所述第N级第一时钟信号，所述第十五晶体管 $T_{51'}$ 的第一端电性连接所述恒压高电位信号，所述第十五晶体管 $T_{51'}$ 的第二端电性连接所述KN点，所述第十六晶体管 $T_{54'}$ 的控制端电性连接所述第N级第二时钟信号，所述第十六晶体管 $T_{54'}$ 的第一端电性连接所述KN点，所述第十六晶体管 $T_{54'}$ 的第二端电性连接所述第一恒压低电位信号，所述第十七晶体管 $T_{55'}$ 的控制端电性连接所述QN点，所述第十七晶体管 $T_{55'}$ 的第一端电性连接所述KN点，所述第十七晶体管 $T_{55'}$ 的第二端电性连接所述第一恒压低电位信号；所述第一节点电压下拉维持模块包括：第十八晶体管 $T_{32'}$ 、第十九晶体管 $T_{72'}$ 和第二十晶体管 $T_{42'}$ ，所述第十八晶体管 $T_{32'}$ 、所述第十九晶体管 $T_{72'}$ 和所述第二十晶体管 $T_{42'}$ 的控制端均电性连接所述KN点，所述第十八晶体管 $T_{32'}$ 的第一端电性连接所述第N级栅极驱动信号，所述第十八晶体管 $T_{32'}$ 的第二端电性连接所述第二恒压低电位信号，所述第十九晶体管 $T_{72'}$ 的第一端电性连接所述第N级级传信号，所述第十九晶体管 $T_{72'}$ 的第二端电性连接所述第一恒压低电位信号，所述第二十晶体管 $T_{42'}$ 的第一端电性连接所述QN点，所述第二十晶体管 $T_{42'}$ 的第二端电性连接所述第一恒压低电位信号；所述第二反相器模块包括：第二十一晶体管 T_{61} 、第二十二晶体管 T_{64} 和第二十三晶体管 T_{65} ，所述第二十一晶体管 T_{61} 的控制端电性连接所述第N级第二时钟信号，所述第二十一晶体管 T_{61} 的第一端电性连接所述恒压高电位信号，所述第二十一晶体管 T_{61} 的第二端电性连接所述P点，所述第二十二晶体管 T_{64} 的控制端电性连接所述第N级第一时钟信号，所述第二十二晶体管 T_{64} 的第一端电性连接所述P点，所述第二十二晶体管 T_{64} 的第二端电性连接所述第一恒压低电位信号，所述第二十三晶体管 T_{65} 的控制端电性连接所述QN点，所述第二十三晶体

管T₆₅的第一端电性连接所述P点，所述第二十三晶体管T₆₅的第二端电性连接所述第一恒压低电位信号；所述第二节点电压下拉维持模块包括：第二十四晶体管T₃₃、第二十五晶体管T₇₃和第二十六晶体管T₄₃，所述第二十四晶体管T₃₃、所述第二十五晶体管T₇₃和所述第二十六晶体管T₄₃的控制端均电性连接所述P点，所述第二十四晶体管T₃₃的第一端电性连接所述第N级栅极驱动信号，所述第二十四晶体管T₃₃的第二端电性连接所述第二恒压低电位信号，所述第二十五晶体管T₇₃的第一端电性连接所述第N级级传信号，所述第二十五晶体管T₇₃的第二端电性连接所述第一恒压低电位信号，所述第二十六晶体管T₄₃的第一端电性连接所述QN点，所述第二十六晶体管T₄₃的第二端电性连接所述第一恒压低电位信号；即所述第一节点电压下拉维持模块与所述第二节点电压下拉维持模块相同设置。

[权利要求 11] 根据权利要求9所述的GOA电路，其中，所述晶体管采用N型晶体管或者N型晶体管与P型晶体管的混合方式。

[权利要求 12] 一种GOA电路，所述GOA电路包括多个级联的GOA单元：

上拉控制模块，用于根据第N-1级级传信号，以控制所述上拉控制模块输出的第一驱动信号接入恒压高电位信号；

级联模块，与所述上拉控制模块、第N级第一时钟信号、下拉维持模块以及信号输出模块电性连接，所述级联模块用于根据所述上拉控制模块输出的所述第一驱动信号控制第N级第一时钟信号输出第N级栅极驱动信号；

所述下拉维持模块，与所述上拉控制模块、所述级联模块、所述信号输出模块、下拉控制模块、所述第N级第一时钟信号、第N级第二时钟信号、所述恒压高电位信号、第一恒压低电位信号以及第二恒压低电位信号电性连接；所述下拉维持模块用于根据所述第N级第一时钟信号、所述第N级第二时钟信号以及所述上拉控制模块输出的所述第一驱动信号控制所述下拉维持模块输出第二驱动信号；

所述下拉控制模块，与所述上拉控制模块、所述级联模块、所述第一

恒压低电位信号、所述第N级第一时钟信号、第N+1级级传信号、所述第二恒压低电位信号以及信号输出模块电性连接，所述下拉控制模块用于根据所述第N+1级级传信号，将所述上拉控制模块输出的所述第一驱动信号拉低至第一恒压低电位信号，将所述第N级栅极驱动信号拉低至第二恒压低电位信号；以及

所述信号输出模块，与所述第N级第一时钟信号、所述上拉控制模块、所述级联模块以及所述第二恒压低电位信号电性连接，所述信号输出模块用于根据所述上拉控制模块输出的所述第一驱动信号，控制所述第N级第一时钟信号输出所述第N级栅极驱动信号。

[权利要求 13] 根据权利要求12所述的GOA电路，其中，所述下拉维持模块包括：反相器模块和节点电压下拉维持模块；所述反相器模块包括：第一晶体管 T_{51} ，第二晶体管 T_{54} 和第三晶体管 T_{55} ，所述第一晶体管 T_{51} 的控制端电性连接所述第N级第一时钟信号，所述第一晶体管 T_{51} 的第一端电性连接恒压高电位信号，所述第一晶体管 T_{51} 的第二端电性连接KN点；所述第二晶体管 T_{54} 的控制端电性连接QN点，所述第二晶体管 T_{54} 的第一端电性连接所述KN点，所述第二晶体管 T_{54} 的第二端电性连接所述第一恒压低电位信号；所述第三晶体管 T_{55} 的控制端电性连接所述第N级第二时钟信号，所述第三晶体管 T_{55} 的第一端电性连接所述KN点，所述第三晶体管 T_{55} 的第二端电性连接所述第一恒压低电位信号；所述节点电压下拉维持模块包括：第四晶体管 T_{32} 、第五晶体管 T_{72} 和第六晶体管 T_{42} ，所述第四晶体管 T_{32} 、所述第五晶体管 T_{72} 与所述第六晶体管 T_{42} 的控制端均电性连接所述KN点，所述第四晶体管 T_{32} 的第一端电性连接所述第N级栅极驱动信号，所述第四晶体管 T_{32} 的第二端电性连接所述第二恒压低电位信号，所述第五晶体管 T_{72} 的第一端电性连接所述第N级级传信号，所述第六晶体管 T_{42} 的第一端电性连接所述QN点，所述第五晶体管 T_{72} 的第二端与所述第六晶体管 T_{42} 的第二端均电性连接所述第一恒压低电位信号。

- [权利要求 14] 根据权利要求12所述的GOA电路，其中，所述上拉控制模块设置有第七晶体管 T_{11} 和自举电容 C_b ，所述第七晶体管 T_{11} 的控制端电性连接所述第N-1级级传信号，所述第七晶体管 T_{11} 的第一端电性连接所述恒压高电位信号，所述第七晶体管 T_{11} 的第二端电性连接所述QN点；所述自举电容 C_b 的第一端电性连接所述QN点，所述自举电容 C_b 的第二端电性连接所述第N级栅极驱动信号。
- [权利要求 15] 根据权利要求12所述的GOA电路，其中，所述级联模块包括第八晶体管 T_{22} ，所述第八晶体管 T_{22} 的控制端电性连接所述QN点，所述第八晶体管 T_{22} 的第一端电性连接所述第N级第一时钟信号，所述第八晶体管 T_{22} 的第二端电性连接所述第N级级传信号。
- [权利要求 16] 根据权利要求12所述的GOA电路，其中，所述下拉模块包括：第九晶体管 T_{31} 和第十晶体管 T_{41} ，所述第九晶体管 T_{31} 与所述第十晶体管 T_{41} 的控制端均电性连接所述第N+1级级传信号，所述第九晶体管 T_{31} 的第一端电性连接所述第N级栅极驱动信号，所述第九晶体管 T_{31} 的第二端电性连接所述第二恒压低电位信号，所述第十晶体管 T_{41} 的第一端电性连接所述QN点，所述第十晶体管 T_{41} 的第二端电性连接所述第一恒压低电位信号。
- [权利要求 17] 根据权利要求12所述的GOA电路，其中，所述信号输出模块设置有第十一晶体管 T_{21} ，所述第十一晶体管 T_{21} 的控制端电性连接所述QN点，所述第十一晶体管 T_{21} 的第一端电性连接所述第N级第一时钟信号，所述第十一晶体管 T_{21} 的第二端电性连接所述第N级栅极驱动信号。
- [权利要求 18] 根据权利要求12所述的GOA电路，其中，所述GOA电路还包括复位模块；所述复位模块与所述上拉控制模块、所述级联模块、所述输出模块、所述下拉维持模块、所述第一恒压低电位信号以及所述第二恒压低电位信号均电性连接，分别控制所述QN点、所述第N级级传信号以及所述第N级栅极驱动信号的复位。
- [权利要求 19] 根据权利要求18所述的GOA电路，其中，所述复位模块包括：第十二晶体管 T_{rQ} 、第十三晶体管 T_{rS} 和第十四晶体管 T_{rG} ，所述第十二晶体

管 T_{rq} 、所述第十三晶体管 T_{rs} 和所述第十四晶体管 T_{rg} 的控制端均电性连接复位键，所述第十二晶体管 T_{rq} 的第一端电性连接所述QN点，所述第十二晶体管 T_{rq} 的第二端电性连接所述第一恒压低电位信号；所述第十三晶体管 T_{rs} 的第一端电性连接所述第N级级传信号，所述第十三晶体管 T_{rs} 的第二端电性连接所述第一恒压低电位信号，所述第十四晶体管 T_{rg} 的第一端电性连接所述第N级栅极驱动信号，所述第十四晶体管 T_{rg} 的第二端电性连接所述第二恒压低电位信号。

[权利要求 20] 根据权利要求12所述的GOA电路，其中，所述下拉维持模块包括：第一下拉维持模块和第二下拉维持模块；所述第一下拉维持模块内设置有第一反相器模块和第一节点电压下拉维持模块，所述第二下拉维持模块内设置有第二反相器模块和第二节点电压下拉维持模块。

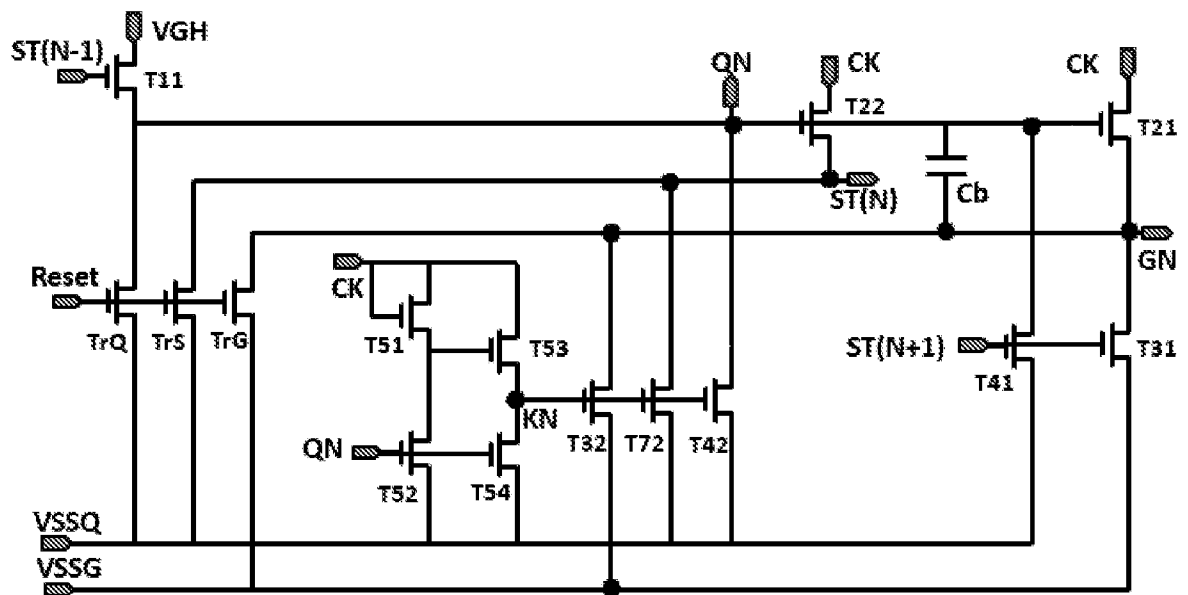


图 1

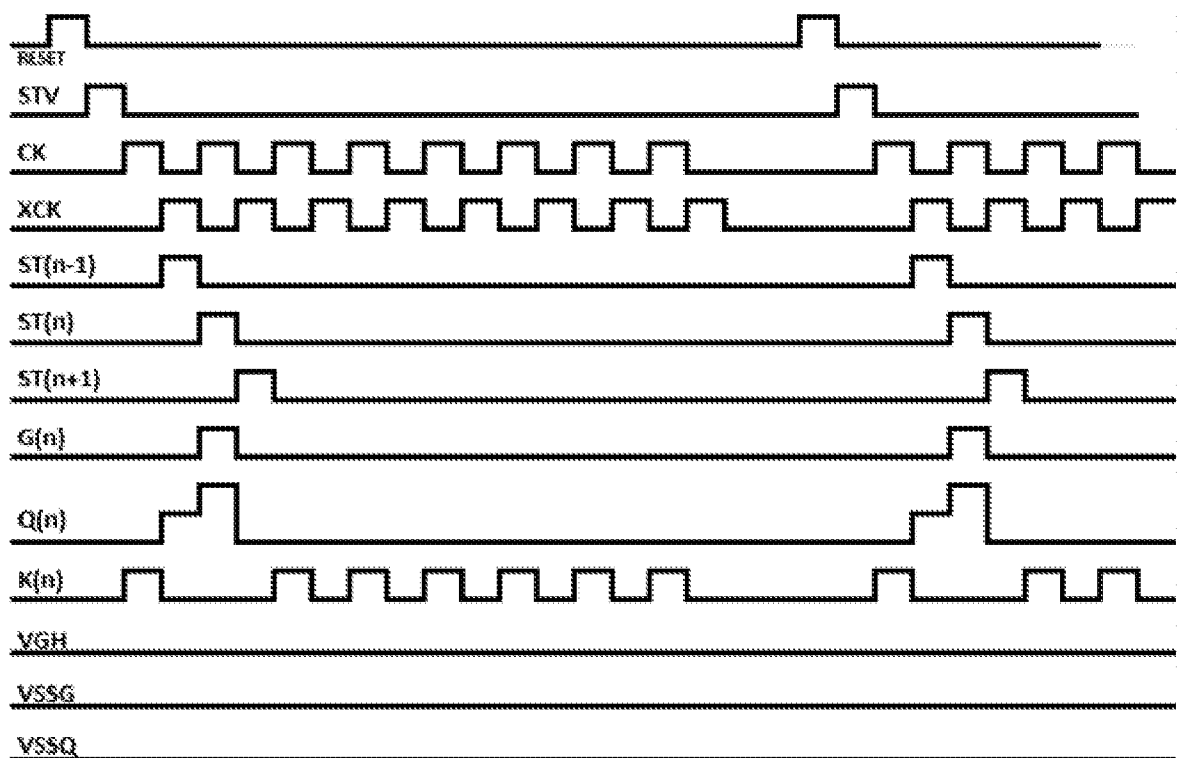


图 2

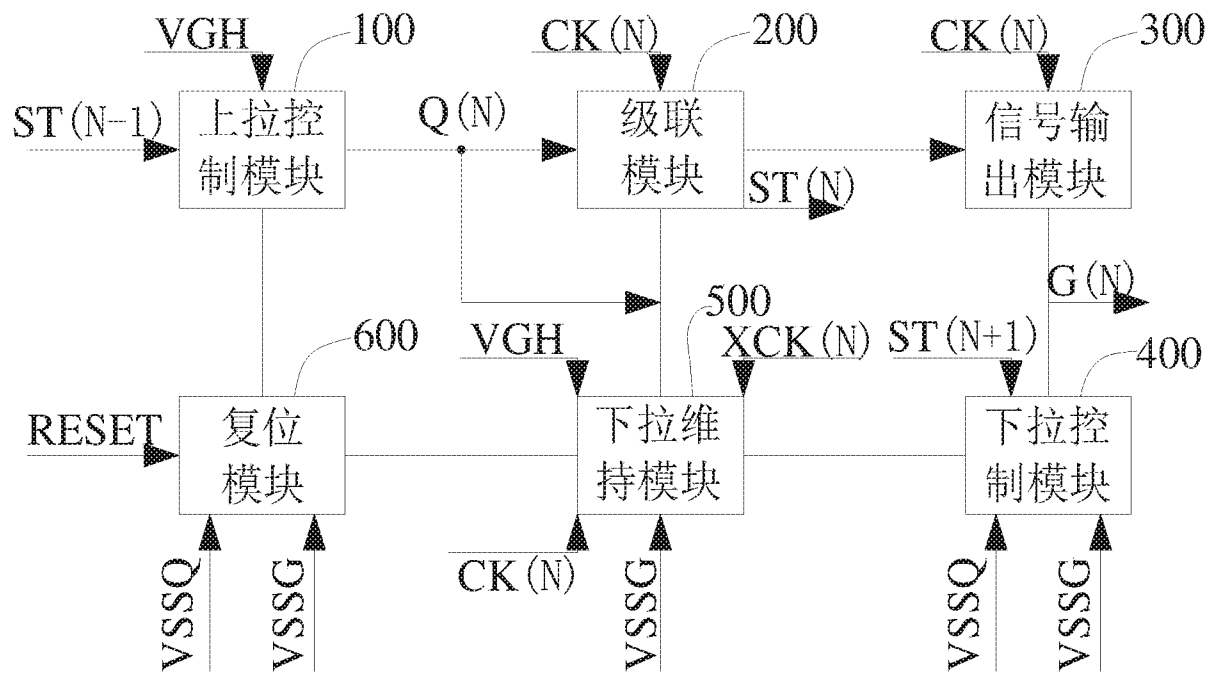


图 3

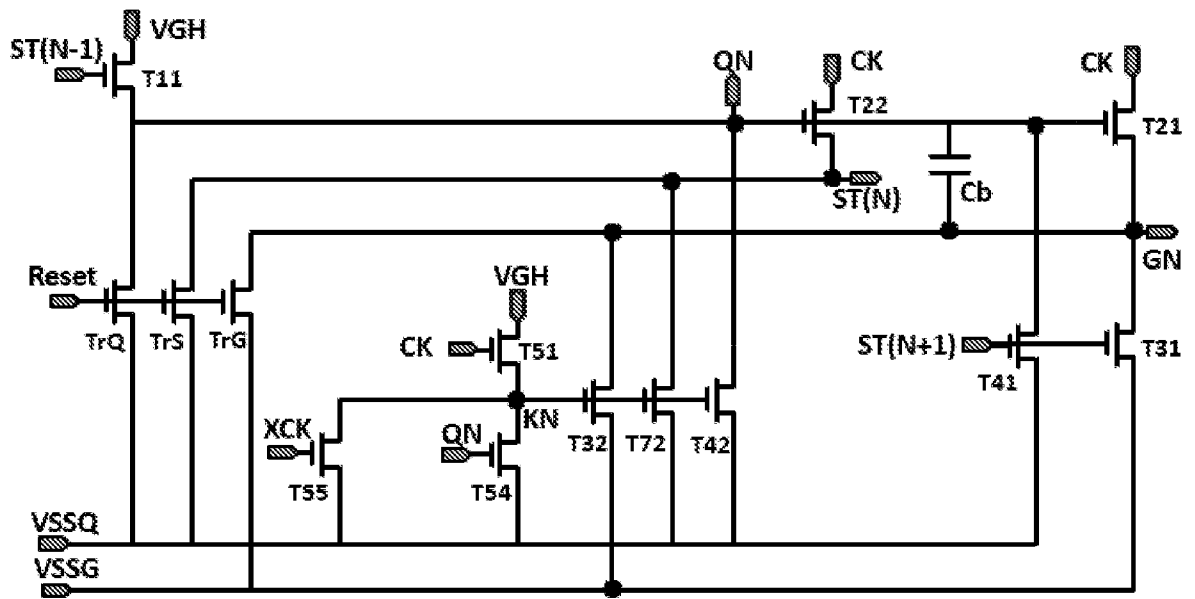


图 4

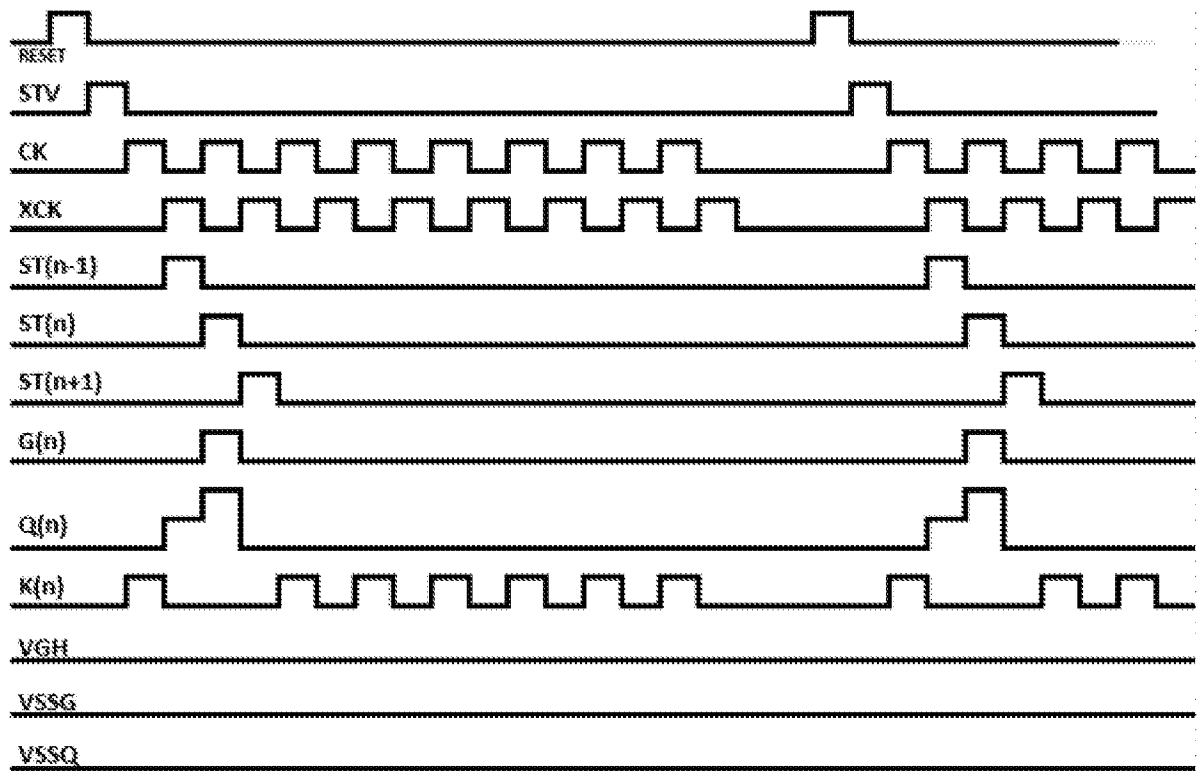


图 5

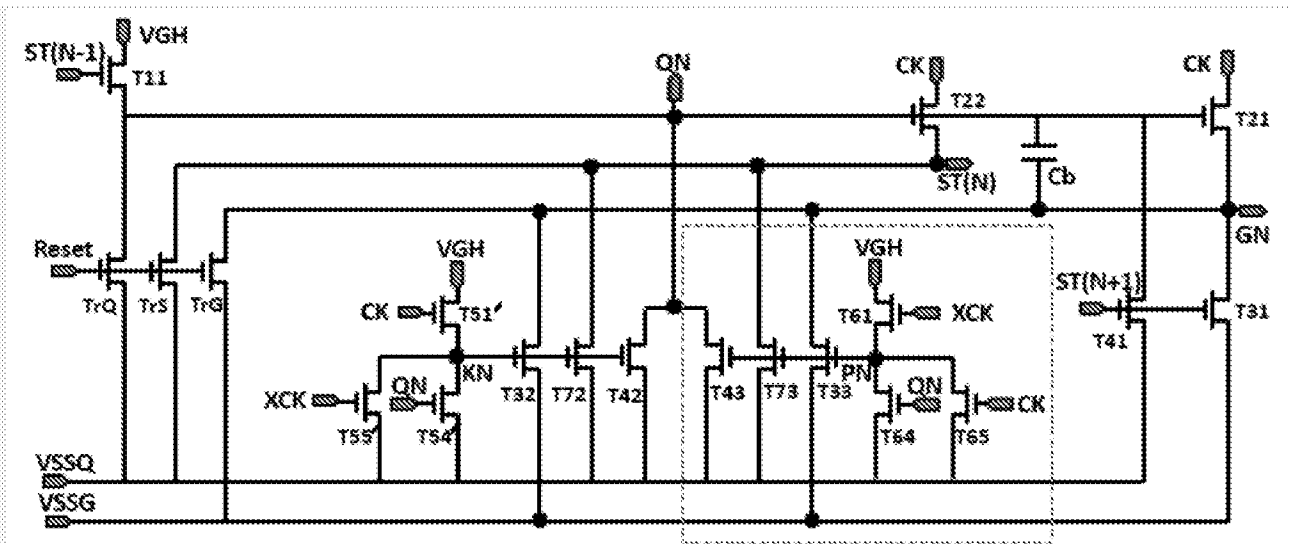


图 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2020/123901

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: GOA, 栅极驱动, 移位寄存器, 缓存器, 暂存器, 下拉, 维持, 级传, 下传, 反相器, 时钟信号, gate, grid, driv+, register, pull, down, maintain, maintenance, cascade, inverter, clock, signal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 105047155 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.) 11 November 2015 (2015-11-11) figure 1	1, 3-9, 11-12, 14-20
Y	CN 109493783 A (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 19 March 2019 (2019-03-19) figure 2	1, 3-9, 11-12, 14-20
A	CN 110097861 A (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 06 August 2019 (2019-08-06) entire document	1-20
A	CN 106448592 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 22 February 2017 (2017-02-22) entire document	1-20
A	CN 108962171 A (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 07 December 2018 (2018-12-07) entire document	1-20
A	US 2010156474 A1 (PARK, K. H. et al.) 24 June 2010 (2010-06-24) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

22 April 2021

Date of mailing of the international search report

26 May 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2020/123901

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2012139883 A1 (LEE, J.H. et al.) 07 June 2012 (2012-06-07) entire document	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2020/123901

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	105047155	A	11 November 2015	WO	2017028350	A1	23 February 2017
				US	2017162154	A1	08 June 2017
				US	9799294	B2	24 October 2017
				CN	105047155	B	07 July 2017
CN	109493783	A	19 March 2019	CN	109493783	B	13 October 2020
				WO	2020124822	A1	25 June 2020
CN	110097861	A	06 August 2019	WO	2020232781	A1	26 November 2020
CN	106448592	A	22 February 2017	JP	2019532358	A	07 November 2019
				CN	106448592	B	02 November 2018
				KR	20190061081	A	04 June 2019
				JP	6783947	B2	11 November 2020
				KR	102215791	B1	15 February 2021
				WO	2018072303	A1	26 April 2018
				US	10127878	B1	13 November 2018
				US	2018330686	A1	15 November 2018
				EP	3531413	A1	28 August 2019
CN	108962171	A	07 December 2018	US	10930238	B1	23 February 2021
				WO	2020019442	A1	30 January 2020
				CN	108962171	B	18 February 2020
US	2010156474	A1	24 June 2010	KR	20100075141	A	02 July 2010
US	2012139883	A1	07 June 2012	US	8957882	B2	17 February 2015
				KR	20120060298	A	12 June 2012
				KR	20130012392	A	04 February 2013
				KR	20170092146	A	10 August 2017
				KR	101860732	B	25 May 2018

国际检索报告

国际申请号

PCT/CN2020/123901

A. 主题的分类 G09G 3/20 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																							
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G09G3/- 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNPAT, CNKI, WPI, EPDOC:G0A, 栅极驱动, 移位寄存器, 缓存器, 暂存器, 下拉, 维持, 级传, 下传, 反相器, 时钟信号, gate, grid, driv+, register, pull, down, maintain, maintenance, cascade, inverter, clock, signal																							
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>CN 105047155 A (深圳市华星光电技术有限公司 等) 2015年 11月 11日 (2015 - 11 - 11) 附图1</td> <td>1, 3-9, 11-12, 14-20</td> </tr> <tr> <td>Y</td> <td>CN 109493783 A (深圳市华星光电半导体显示技术有限公司) 2019年 3月 19日 (2019 - 03 - 19) 附图2</td> <td>1, 3-9, 11-12, 14-20</td> </tr> <tr> <td>A</td> <td>CN 110097861 A (深圳市华星光电半导体显示技术有限公司) 2019年 8月 6日 (2019 - 08 - 06) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 106448592 A (深圳市华星光电技术有限公司) 2017年 2月 22日 (2017 - 02 - 22) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 108962171 A (深圳市华星光电半导体显示技术有限公司) 2018年 12月 7日 (2018 - 12 - 07) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>US 2010156474 A1 (PARK, Kyung-Ho 等) 2010年 6月 24日 (2010 - 06 - 24) 全文</td> <td>1-20</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	Y	CN 105047155 A (深圳市华星光电技术有限公司 等) 2015年 11月 11日 (2015 - 11 - 11) 附图1	1, 3-9, 11-12, 14-20	Y	CN 109493783 A (深圳市华星光电半导体显示技术有限公司) 2019年 3月 19日 (2019 - 03 - 19) 附图2	1, 3-9, 11-12, 14-20	A	CN 110097861 A (深圳市华星光电半导体显示技术有限公司) 2019年 8月 6日 (2019 - 08 - 06) 全文	1-20	A	CN 106448592 A (深圳市华星光电技术有限公司) 2017年 2月 22日 (2017 - 02 - 22) 全文	1-20	A	CN 108962171 A (深圳市华星光电半导体显示技术有限公司) 2018年 12月 7日 (2018 - 12 - 07) 全文	1-20	A	US 2010156474 A1 (PARK, Kyung-Ho 等) 2010年 6月 24日 (2010 - 06 - 24) 全文	1-20
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
Y	CN 105047155 A (深圳市华星光电技术有限公司 等) 2015年 11月 11日 (2015 - 11 - 11) 附图1	1, 3-9, 11-12, 14-20																					
Y	CN 109493783 A (深圳市华星光电半导体显示技术有限公司) 2019年 3月 19日 (2019 - 03 - 19) 附图2	1, 3-9, 11-12, 14-20																					
A	CN 110097861 A (深圳市华星光电半导体显示技术有限公司) 2019年 8月 6日 (2019 - 08 - 06) 全文	1-20																					
A	CN 106448592 A (深圳市华星光电技术有限公司) 2017年 2月 22日 (2017 - 02 - 22) 全文	1-20																					
A	CN 108962171 A (深圳市华星光电半导体显示技术有限公司) 2018年 12月 7日 (2018 - 12 - 07) 全文	1-20																					
A	US 2010156474 A1 (PARK, Kyung-Ho 等) 2010年 6月 24日 (2010 - 06 - 24) 全文	1-20																					
☒ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																							
<table border="0"> <tr> <td style="vertical-align: top;"> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td style="vertical-align: top;"> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																			
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																						
国际检索实际完成的日期 2021年 4月 22日		国际检索报告邮寄日期 2021年 5月 26日																					
ISA/CN的名称和邮寄地址 中国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 谢建军 电话号码 86-(10)-53962524																					

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	US 2012139883 A1 (LEE, Jae-Hoon 等) 2012年 6月 7日 (2012 - 06 - 07) 全文	1-20

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2020/123901

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105047155	A	2015年 11月 11日	WO	2017028350	A1	2017年 2月 23日
				US	2017162154	A1	2017年 6月 8日
				US	9799294	B2	2017年 10月 24日
				CN	105047155	B	2017年 7月 7日
CN	109493783	A	2019年 3月 19日	CN	109493783	B	2020年 10月 13日
				WO	2020124822	A1	2020年 6月 25日
CN	110097861	A	2019年 8月 6日	WO	2020232781	A1	2020年 11月 26日
CN	106448592	A	2017年 2月 22日	JP	2019532358	A	2019年 11月 7日
				CN	106448592	B	2018年 11月 2日
				KR	20190061081	A	2019年 6月 4日
				JP	6783947	B2	2020年 11月 11日
				KR	102215791	B1	2021年 2月 15日
				WO	2018072303	A1	2018年 4月 26日
				US	10127878	B1	2018年 11月 13日
				US	2018330686	A1	2018年 11月 15日
				EP	3531413	A1	2019年 8月 28日
				US	10930238	B1	2021年 2月 23日
CN	108962171	A	2018年 12月 7日	WO	2020019442	A1	2020年 1月 30日
				CN	108962171	B	2020年 2月 18日
US	2010156474	A1	2010年 6月 24日	KR	20100075141	A	2010年 7月 2日
US	2012139883	A1	2012年 6月 7日	US	8957882	B2	2015年 2月 17日
				KR	20120060298	A	2012年 6月 12日
				KR	20130012392	A	2013年 2月 4日
				KR	20170092146	A	2017年 8月 10日
				KR	101860732	B	2018年 5月 25日