



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년01월23일
(11) 등록번호 10-2759932
(24) 등록일자 2025년01월21일

(51) 국제특허분류(Int. Cl.)
H01L 21/768 (2006.01)
(52) CPC특허분류
H01L 21/76834 (2013.01)
H01L 21/76816 (2013.01)
(21) 출원번호 10-2021-7012312
(22) 출원일자(국제) 2019년10월10일
심사청구일자 2021년10월19일
(85) 번역문제출일자 2021년04월23일
(65) 공개번호 10-2021-0057185
(43) 공개일자 2021년05월20일
(86) 국제출원번호 PCT/US2019/055676
(87) 국제공개번호 WO 2020/077112
국제공개일자 2020년04월16일
(30) 우선권주장
62/744,038 2018년10월10일 미국(US)
(56) 선행기술조사문헌
KR1020180063317 A*
(뒷면에 계속)

(73) 특허권자
도쿄엘렉트론가부시키키가이사
일본 도쿄도 미나토구 아카사카 5초메 3반 1고
(72) 발명자
유 카이-홍
미국 뉴욕주 12203 올버니 스위트 214 풀러 로드
255 사우스 나노랩 300
오메라 데이비드
미국 뉴욕주 12203 올버니 스위트 214 풀러 로드
255 사우스 나노랩 300
(뒷면에 계속)
(74) 대리인
김태홍, 김진희

전체 청구항 수 : 총 8 항

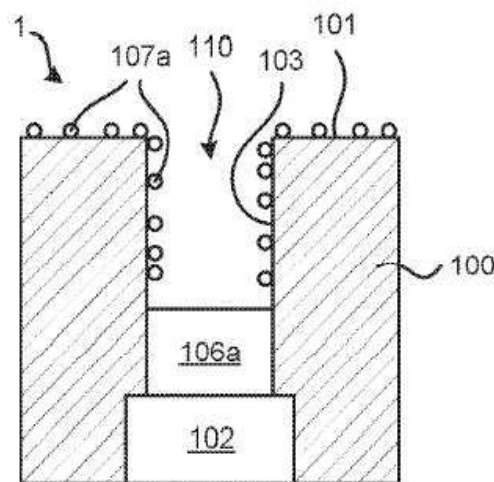
심사관 : 장철영

(54) 발명의 명칭 반도체 소자의 함입형 형상부를 저-저항률 금속으로 충전하기 위한 방법

(57) 요약

함입형 형상부를 저-저항률 금속으로 충전하기 위한 방법. 방법은, 제1 층에 형성된 함입형 형상부, 및 함입형 형상부 내에서 노출된 제2 층을 포함하는 패터닝된 기판을 제공하는 단계; 및 제1 층 상에 비하여, 제2 층 상에서 금속 증착 선택성을 증가시키는 표면 조절제로 기판을 전처리하는 단계; 기상 증착에 의해 기판 상에 금속층을 증착하는 단계로서, 금속층은, 함입형 형상부 내의 제2 층 상에 우선적으로 증착되는, 단계; 및 함입형 형상부 내의 제2 층 상에 금속층을 선택적으로 형성하기 위해, 함입형 형상부 내의 제1 층의 측벽 상 그리고 필드 영역 상을 포함하는 제1 층 상에 증착된 금속 원자핵을 제거하는 단계를 포함한다. 함입형 형상부 내의 금속층의 두께를 증가시키기 위해, 전처리하는 단계, 증착하는 단계, 및 제거하는 단계가 적어도 한 번 반복될 수 있다.

대표도 - 도1b



(52) CPC특허분류

H01L 21/76831 (2013.01)
H01L 21/76832 (2013.01)
H01L 21/76846 (2013.01)
H01L 21/76847 (2013.01)
H01L 21/76849 (2013.01)

(72) 발명자

조이 니콜라스

미국 뉴욕주 12203 올버니 스위트 214 풀러 로드
255 사우스 나노랩 300

파타나이크 가나란잔

미국 뉴욕주 12203 올버니 스위트 214 풀러 로드
255 사우스 나노랩 300

클라크 로버트

미국 캘리포니아주 94538 프리몬트 베이뷰 드라이브
2859

타필리 칸다바라

미국 뉴욕주 12203 올버니 스위트 214 풀러 로드
255 사우스 나노랩 300

하카마타 다카히로

미국 뉴욕주 12203 올버니 스위트 214 풀러 로드
255 사우스 나노랩 300

바이다 코리

미국 뉴욕주 12203 올버니 스위트 214 풀러 로드
255 사우스 나노랩 300

뢰싱크 게럿

미국 뉴욕주 12203 올버니 스위트 214 풀러 로드
255 사우스 나노랩 300

(56) 선행기술조사문헌

KR1019900003612 B1*
JP3038875 B2*
WO2018180869 A1*
US20120052681 A1*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

반도체 소자를 형성하는 방법으로서,

제1 층에 형성된 함입형 형상부, 및 상기 함입형 형상부 내에서 노출된 제2 층을 포함하는 패터닝된 기판을 제공하는 단계 - 상기 제2 층은 금속을 포함함 -;

상기 제1 층 상에 비하여, 상기 제2 층 상에서 금속 증착 선택성을 증가시키는 표면 조절제로 상기 기판을 전처리하는 단계;

기상 증착에 의해 상기 기판 상에 금속층을 증착하는 단계로서, 상기 금속층은, 상기 함입형 형상부 내의 상기 제2 층 상에 우선적으로 증착되는, 상기 증착하는 단계;

상기 함입형 형상부 내의 상기 제2 층 상에 상기 금속층을 선택적으로 형성하기 위해, 상기 함입형 형상부 내의 상기 제1 층의 측벽 상 그리고 상기 함입형 형상부 둘레의 필드 영역 상을 포함하는 상기 제1 층 상에 증착된 금속 원자력을 제거하는 단계; 및

상기 함입형 형상부 내의 상기 금속층의 두께를 증가시키기 위해, 상기 전처리하는 단계, 증착하는 단계, 및 제거하는 단계를 적어도 한 번 반복하는 단계를 포함하는,

반도체 소자를 형성하는 방법.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 전처리하는 단계는, 상기 제1 층 상에 자기 조립 단분자층(self-assembled monolayer, SAM)을 형성하는 단계를 포함하는, 방법.

청구항 4

제1항에 있어서,

상기 금속층은, Ru 금속, Co 금속, 및 W 금속으로 이루어진 그룹으로부터 선택되며,

상기 제2 층은, Cu 금속, Ru 금속, Co 금속, W 금속, 및 이들의 조합물로 이루어진 그룹으로부터 선택되는, 방법.

청구항 5

반도체 소자를 형성하는 방법으로서,

제1 층에 형성된 함입형 형상부, 및 상기 함입형 형상부 내에서 노출된 제2 층을 포함하는 패터닝된 기판을 제공하는 단계;

상기 함입형 형상부 내를 포함하는 상기 기판 상에 금속 함유층을 증착하는 단계;

상기 함입형 형상부의 측벽 상에 상기 금속 함유층을 형성하기 위해, 상기 함입형 형상부의 바닥으로부터 그리고 상기 함입형 형상부 둘레의 필드 영역으로부터 상기 금속 함유층을 이방성으로 제거하는 단계;

상기 제1 층 상에 비하여, 상기 제2 층 상에서 그리고 상기 함입형 형상부의 상기 측벽 상의 상기 금속 함유층 상에서 금속 증착 선택성을 증가시키는 표면 조절제로 상기 기판을 전처리하는 단계;

기상 증착에 의해 상기 기판 상에 금속층을 증착하는 단계로서, 상기 금속층은, 상기 함입형 형상부 둘레의 상

기 필드 영역 상에 비하여, 상기 함입형 형상부 내의 상기 제2 층 상에 그리고 상기 측벽 상의 상기 금속 함유 층 상에 우선적으로 증착되는, 상기 증착하는 단계;

상기 함입형 형상부 내에 상기 금속층을 선택적으로 형성하기 위해, 상기 필드 영역 상에 증착된 금속 원자핵을 제거하는 단계; 및

상기 함입형 형상부 내의 상기 금속층의 두께를 증가시키기 위해, 상기 전처리하는 단계, 증착하는 단계, 및 제거하는 단계를 적어도 한 번 반복하는 단계를 포함하는,

반도체 소자를 형성하는 방법.

청구항 6

삭제

청구항 7

제5항에 있어서,

상기 전처리하는 단계는, 상기 제2 층 상에 자기 조립 단분자층(SAM)을 형성하는 단계를 포함하는, 방법.

청구항 8

제5항에 있어서,

상기 금속층은, Ru 금속, Co 금속, 및 W 금속으로 이루어진 그룹으로부터 선택되며,

상기 제2 층은, Cu 금속, Ru 금속, Co 금속, W 금속, 및 이들의 조합물로 이루어진 그룹으로부터 선택되는, 방법.

청구항 9

제5항에 있어서,

상기 금속 함유층은, 금속 산화물, 금속 질화물, 또는 이들의 조합물을 포함하는, 방법.

청구항 10

제9항에 있어서,

상기 금속 산화물은 Al_2O_3 , TiO_2 , HfO_2 , 또는 MnO_2 를 포함하며,

상기 금속 질화물은 AlN, TiN, HfN, 또는 MnN을 포함하는, 방법.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

발명의 설명

기술 분야

[0001] 관련 출원에 대한 상호 참조

[0002] 본 출원은 2018년 10월 10일자로 출원된 미국 가특허출원 일련번호 제62/744,038호에 관한 것으로서 이에 대한 우선권을 주장하며, 그 전체 내용은 본원에 참조로 포함된다.

[0003] 본 발명은 반도체 공정(processing) 및 반도체 소자에 관한 것으로서, 보다 구체적으로는, 반도체 소자의 함입형 형상부(recessed feature)를 저-저항률(low-resistivity) 금속으로 충전하기 위한 방법에 관한 것이다.

배경 기술

[0004] 반도체 소자는, 층간 유전체(ILD)와 같은 유전체 재료로 형성된 트렌치 또는 비아와 같은, 충전된 함입형 형상부를 포함한다. 함입형 형상부의 선택적 금속 충전은, 유전체 재료 상에 비하여, 함입형 형상부의 바닥의 금속층 상의 한정된 금속 증착 선택성(selectivity)으로 인해 문제가 있다. 이는 함입형 형상부 둘레의 필드 영역(수평 영역) 상에서 그리고 함입형 형상부의 측벽 상에서 원치 않는 금속 원자핵(nuclei) 증착이 시작되기 전에, 상향식 증착 공정으로 함입형 형상부를 금속으로 완전히 충전하는 것을 어렵게 한다.

발명의 내용

[0005] 본 발명의 실시형태는 반도체 소자의 함입형 형상부를 저-저항률 금속으로 충전하는 방법을 설명한다. 일 실시 형태에 따라, 방법은, 제1 층에 형성된 함입형 형상부, 및 함입형 형상부 내에서 노출된 제2 층을 포함하는 패터닝된 기판을 제공하는 단계; 및 제1 층 상에 비하여, 제2 층 상에서 금속 증착 선택성을 증가시키는 표면 조절제(modifier)로 기판을 전처리하는 단계를 포함한다. 방법은, 기상 증착에 의해 기판 상에 금속층을 증착하는 단계로서, 금속층은, 함입형 형상부 내의 제2 층 상에 우선적으로 증착되는, 단계; 및 함입형 형상부 내의 제2 층 상에 금속층을 선택적으로 형성하기 위해, 함입형 형상부의 제1 층의 측벽 상 및 필드 영역 상을 포함하는 제1 층 상에 증착된 금속 원자핵을 제거하는 단계를 더 포함한다. 전처리하는 단계, 증착하는 단계, 및 제거하는 단계는, 함입형 형상부 내의 금속층의 두께를 증가시키기 위해 적어도 한 번 반복될 수 있다.

[0006] 다른 실시형태에 따라, 방법은, 제1 층에 형성된 함입형 형상부, 및 함입형 형상부 내에서 노출된 제2 층을 포함하는 패터닝된 기판을 제공하는 단계; 함입형 형상부 내를 포함하는 기판 상에 금속 함유층을 증착하는 단계;

및 함입형 형상부의 측벽 상에 금속 함유층을 형성하기 위해, 함입형 형상부의 바닥으로부터 그리고 함입형 형상부 둘레의 필드 영역으로부터 금속 함유층을 이방성으로 제거하는 단계를 포함한다. 방법은, 제1 층 상에 비하여, 제2 층 상에서 그리고 함입형 형상부의 측벽 상의 금속 함유층 상에서 금속 증착 선택성을 증가시키는 표면 조절제로 기관을 전처리하는 단계; 기상 증착에 의해 기관 상에 금속층을 증착하는 단계로서, 금속층은, 함입형 형상부 둘레의 필드 영역 상에 비하여, 함입형 형상부의 제2 층 상에 그리고 측벽 상의 금속 함유층 상에 우선적으로 증착되는, 단계; 및 함입형 형상부 내에 금속층을 선택적으로 형성하기 위해, 필드 영역 상에 증착된 금속 원자핵을 제거하는 단계를 더 포함한다. 전처리하는 단계, 증착하는 단계, 및 제거하는 단계는, 함입형 형상부 내의 금속층의 두께를 증가시키기 위해 적어도 한 번 반복될 수 있다.

[0007] 다른 실시형태에 따라, 방법은, 재료에 형성된 함입형 형상부를 포함하는 패터닝된 기관을 제공하는 단계; 함입형 형상부 둘레의 필드 영역 상 그리고 함입형 형상부 내를 포함하는 기관 상에 금속 질화물 층을 증착하는 단계; 및 필드 영역 상의 금속 질화물 층을 산화시키는 단계를 포함한다. 방법은, 기상 증착에 의해 기관 상에 금속층을 증착하는 단계로서, 금속층은, 함입형 형상부 내의 산화되지 않는 금속 질화물 층 상에 우선적으로 증착되는, 단계; 및 함입형 형상부 내에 금속층을 선택적으로 형성하기 위해, 필드 영역 상에 증착된 금속 원자핵을 제거하는 단계를 더 포함한다. 증착하는 단계 및 제거하는 단계는, 함입형 형상부 내의 금속층의 두께를 증가시키기 위해 적어도 한 번 반복될 수 있다.

[0008] 다른 실시형태에 따라, 방법은, 재료에 형성된 함입형 형상부를 포함하는 패터닝된 기관을 제공하는 단계; 함입형 형상부 둘레의 필드 영역 상 그리고 함입형 형상부 내를 포함하는 기관 상에 금속 산화물 층을 증착하는 단계; 필드 영역 상의 그리고 함입형 형상부 내의 금속 산화물 층을 질화시키는 단계; 및 필드 영역 상의 질화 금속 산화물 층을 산화시키는 단계를 포함한다. 방법은, 기상 증착에 의해 기관 상에 금속층을 증착하는 단계로서, 금속층은, 함입형 형상부 내의 산화되지 않는 질화 금속 산화물 층 상에 우선적으로 증착되는, 단계; 및 함입형 형상부 내에 금속층을 선택적으로 형성하기 위해, 필드 영역 상에 증착된 금속 원자핵을 제거하는 단계를 더 포함한다. 증착하는 단계 및 제거하는 단계는, 함입형 형상부 내의 금속층의 두께를 증가시키기 위해 적어도 한 번 반복될 수 있다.

[0009] 다른 실시형태에 따라, 방법은, 재료에 형성된 함입형 형상부를 포함하는 패터닝된 기관을 제공하는 단계; 함입형 형상부 둘레의 필드 영역 상 그리고 함입형 형상부 내를 포함하는 기관 상에 금속 산화물 층을 증착하는 단계; 및 필드 영역 상의 금속 산화물 층을 질화시키는 단계를 포함한다. 방법은, 기상 증착에 의해 기관 상에 금속층을 증착하는 단계로서, 금속층은, 필드 영역 상의 질화 금속 산화물 층 상에 우선적으로 증착되는, 단계; 및 필드 영역 상에 금속층을 선택적으로 형성하기 위해, 함입형 형상부 내에 증착된 금속 원자핵을 제거하는 단계를 더 포함한다. 증착하는 단계 및 제거하는 단계는, 필드 영역 상의 금속층의 두께를 증가시키기 위해 적어도 한 번 반복될 수 있다.

도면의 간단한 설명

[0010] 본 발명의 보다 완전한 이해 및 이의 수반되는 많은 이점은, 이하의 상세한 설명을 참조하여 첨부된 도면과 관련하여 고려될 때 더 잘 이해되기 때문에 용이하게 달성될 것이며, 첨부된 도면으로서:

도 1a 내지 도 1f는 본 발명의 일 실시형태에 따라, 함입형 형상부 내의 선택적 금속 형성을 위한 방법을 개략적으로 도시한다;

도 2a 내지 도 2e는 본 발명의 다른 실시형태에 따라, 함입형 형상부 내의 선택적 금속 형성을 위한 방법을 개략적으로 도시한다;

도 3a 내지 도 3e는 본 발명의 다른 실시형태에 따라, 함입형 형상부 내의 선택적 금속 형성을 위한 방법을 개략적으로 도시한다;

도 4a 내지 도 4f는 본 발명의 다른 실시형태에 따라, 함입형 형상부 내의 선택적 금속 형성을 위한 방법을 개략적으로 도시한다;

도 5a 내지 도 5e는 본 발명의 다른 실시형태에 따라, 함입형 형상부 내의 선택적 금속 형성을 위한 방법을 개략적으로 도시한다;

도 6a 내지 도 6d는 본 발명의 다른 실시형태에 따라, 함입형 형상부 내의 선택적 금속 형성을 위한 방법을 개략적으로 도시한다; 그리고

도 7은 패터닝된 기판 상의 함입형 형상부 내의 선택적 Ru 금속 형성의 SEM 영상을 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0011] 본 발명의 실시형태는 반도체 소자의 함입형 형상부 내에 저-저항률 금속을 선택적으로 형성하기 위한 방법을 제공한다. 방법은 함입형 형상부를 저-저항률 금속으로 완전히 충전하기 위해 사용될 수 있다. 일 실시형태에 따라, 기상 증착에 의한 금속 증착 선택성은, Si 함유 재료 < 금속 함유층 < 금속 순으로 증가한다. 증착된 금속은 예를 들어, Ru 금속, Co 금속, 또는 W 금속을 포함할 수 있다. 금속 증착을 위한 잠복 시간(incubation time)은 금속 상에서 가장 짧고, Si 함유 재료 상에서 가장 길다. 잠복 시간은, 증착 공정 동안 금속 증착이 표면 상에서 시작될 때까지의 지연을 의미한다. 일 실시형태에서, 이는 함입형 형상부 위의 표면 상에 비하여, 함입형 형상부 내에 금속을 우선적으로 형성하기 위해 사용될 수 있다. Si 함유 재료는 SiO₂, SiON, 또는 SiN을 포함할 수 있다. SiO₂는, 예를 들어 공기, 산소(O₂ 또는 O), 오존, 또는 H₂O에 노출됨으로써, Si의 산화에 의해 형성될 수 있거나 층으로 증착될 수 있다. SiN은, 예를 들어 N 또는 NH₃에 노출됨으로써, Si의 질화에 의해 형성될 수 있거나 층으로 증착될 수 있다. SiON은, SiO₂의 질화에 의해, SiN의 산화에 의해, 또는 Si의 산화 및 질화에 의해 형성될 수 있거나 층으로 증착될 수 있다. 금속 함유층은, 금속 산화물, 금속 질화물, 금속 탄화물, 금속 규화물, 금속 황화물, 또는 금속 인화물을 포함할 수 있다. 금속 규화물은, Si 상의 금속 증착, 또는 금속 상의 Si 증착 후에 열처리함으로써 형성될 수 있거나, 증착 공정 동안 금속 규화물을 형성함으로써 형성될 수 있다. 금속은 예를 들어, Ru 금속, Co 금속, 또는 W 금속을 포함할 수 있다.
- [0012] 도 1a 내지 도 1f는 본 발명의 일 실시형태에 따라, 함입형 형상부 내의 선택적 금속 형성을 위한 방법을 개략적으로 도시한다. 예를 들어, 금속은 Ru 금속, Co 금속, 및 W 금속으로 이루어진 그룹으로부터 선택될 수 있다. 패터닝된 기판(1)은, 제1 층(100)에 형성된 함입형 형상부(110) 둘레의 필드 영역(101)을 포함한다. 함입형 형상부(110)는, 노출된 표면(104)을 갖는 제2 층(102), 및 측벽(103)을 포함한다.
- [0013] 일 실시형태에 따라, 제1 층(100)은 유전체 재료를 포함할 수 있으며, 제2 층(102)은 금속층을 포함할 수 있다. 유전체 재료는 예를 들어, SiO₂, 낮은 유전상수(로우-k(low-k)) 재료, 예를 들어 불화계 실리콘 유리(FSG), 탄소 도핑된 산화물, 폴리머, SiCOH 함유 로우-k 재료, 비-다공성 로우-k 재료, 다공성 로우-k 재료, CVD 로우-k 재료, 스핀 온 유전체(SOD) 로우-k 재료, 또는 높은 유전상수(하이-k(high-k)) 재료를 포함하는 임의의 다른 적합한 유전체 재료를 포함할 수 있다. 일부 실시예에서, 함입형 형상부(110)의 폭(입계 치수(CD))은 약 10 nm 내지 약 100 nm, 약 10 nm 내지 약 15 nm, 약 20 nm 내지 약 90 nm, 또는 약 40 nm 내지 약 80 nm일 수 있다. 일부 실시예에서, 함입형 형상부(110)의 깊이는 약 40 nm 내지 약 200 nm, 또는 약 50 nm 내지 약 150 nm일 수 있다. 일부 실시예에서, 함입형 형상부(110)는, 약 2 내지 약 20, 또는 약 4 내지 약 6의 종횡비(깊이/폭)를 가질 수 있다. 제2 층(102)은, Cu 금속, Ru 금속, Co 금속, W 금속, 또는 이들의 조합물과 같은, 저-저항률 금속을 포함할 수 있다. 일 실시예에서, 제2 층(102)은 2개 이상의 적층된 금속층을 포함할 수 있다. 적층된 금속층의 실시예는, Cu 금속 상의 Co 금속(Co/Cu), 및 Cu 금속 상의 Ru 금속(Ru/Cu)을 포함한다.
- [0014] 방법은, 패터닝된 기판(1)을 표면 조절제로 전처리하는 단계를 포함하며, 표면 조절제는 제1 층(100) 상에 흡착됨으로써, 측벽(103) 상 그리고 필드 영역(101) 상을 포함하는 제1 층(100) 상에 비하여, 제2 층(102) 상에서 금속 증착 선택성을 증가시킨다. 표면 조절제의 존재는 제1 층(100) 상의 금속층의 증착을 방해하지만, 제2 층(102)은 조절되지 않는다. 일 실시형태에 따라, 패터닝된 기판(1)은, 기판 상에 자기 조립 단분자층(SAM)을 형성할 수 있는 분자를 함유하는 반응물 가스에 노출됨으로써, 표면 조절제로 전처리된다. SAM은, 흡착에 의해 기판 표면 상에 자발적으로 형성되고 다소 넓은 정렬 영역으로 구성되는 분자 조립체이다. SAM은 헤드기(head group), 테일기(tail group), 및 기능성 말단기를 갖는 분자를 포함할 수 있으며, 실온 또는 실온 초과에서 기상으로부터 기판 상으로의 헤드기의 화학 흡착 후에, 테일기의 느린 유기적 구성이 후속됨으로써, SAM이 생성된다. 초기에는, 표면 상의 작은 분자 밀도에서, 흡착물질 분자가 무질서 분자 질량을 형성하거나, 정렬된 2차원 "가로 놓인 상(lying down phase)"을 형성하며, 더 높은 분자 커버리지에서, 수 분 내지 수 시간의 기간에 걸쳐서, 기판 표면 상에 3차원 결정질 또는 반결정질 구조물을 형성하기 시작한다. 헤드기는 기판 상에서 함께 회합하는 반면에, 테일기는 기판으로부터 이격되어 회합한다. 일 실시형태에 따라, SAM을 형성하는 분자의 헤드기는 티올, 실란, 또는 포스포네이트를 포함할 수 있다. 실란의 실시예는, C, H, Cl, F, 및 Si 원자, 또는 C, H, Cl, 및 Si 원자를 포함하는 분자를 포함한다. 분자의 제한적이지 않은 실시예는, 퍼플루오로데실트리클로로실란(CF₃(CF₂)₇CH₂CH₂SiCl₃), 퍼플루오로데칸티올(CF₃(CF₂)₇CH₂CH₂SH), 클로로데실디메틸실란(CH₃(CH₂)₈CH₂Si(CH₃)₂Cl),

및 tert부틸(클로로)디메틸실란($(\text{CH}_3)_3\text{CSi}(\text{CH}_3)_2\text{Cl}$)을 포함한다.

- [0015] 본 발명의 일부 실시형태에 따라, 반응물 가스는, 알킬 실란, 알콕시실란, 알킬 알콕시실란, 알킬 실록산, 알콕시실록산, 알킬 알콕시실록산, 아릴 실란, 아실 실란, 아릴 실록산, 아실 실록산, 실라잔, 또는 이들의 임의의 조합물을 포함하는, 실리콘 함유 가스를 포함할 수 있다. 본 발명의 일부 실시형태에 따라, 반응물 가스는, 디메틸실란 디메틸아민(DMSDMA), 트리메틸실란 디메틸아민(TMSDMA), 비스(디메틸아미노) 디메틸실란(BDMADMS), 및 다른 알킬 아민 실란으로부터 선택될 수 있다. 다른 실시형태에 따라, 반응물 가스는, N,O 비스트리메틸실릴트리플루오르아세트아미드(BSTFA) 및 트리메틸실릴-피롤(TMS-피롤)로부터 선택될 수 있다.
- [0016] 본 발명의 일부 실시형태에 따라, 반응물 가스는 실라잔 화합물로부터 선택될 수 있다. 실라잔은 포화 실리콘-질소 수소화물이다. 이들은 --O--를 치환하는 --NH--를 갖는 실록산과 구조가 유사하다. 유기 실라잔 전구체는, Si 원자(들)에 결합된 적어도 하나의 알킬기를 더 포함할 수 있다. 알킬기는 예를 들어, 메틸기, 에틸기, 프로필기, 또는 부틸기, 또는 이들의 조합물일 수 있다. 또한, 알킬기는 페닐기와 같은 고리모양 탄화수소기일 수 있다. 또한, 알킬기는 비닐기일 수 있다. 디실라잔은, 실리콘 원자에 부착된 1개 내지 6개 메틸기를 갖거나, 실리콘 원자에 부착된 1개 내지 6개 에틸기를 갖는 화합물, 또는 실리콘 원자에 부착된 메틸기 및 에틸기의 조합물을 갖는 디실라잔 분자이다.
- [0017] 방법은, 기상 증착에 의해 패터닝된 기판(1) 상에 금속층(106a)을 증착하는 단계를 더 포함하며, 금속층(106a)은, 함입형 형상부(110) 내의 제2 층(102) 상에 우선적으로 증착된다. 예를 들어, 금속층(106a)은 Ru 금속, Co 금속, 및 W 금속으로 이루어진 그룹으로부터 선택될 수 있다. 본 발명의 일 실시형태에 따라, Ru 금속은 화학 기상 증착(CVD) 또는 원자층 증착(ALD)에 의해 증착될 수 있다. Ru 함유 전구체의 실시예는, $\text{Ru}_3(\text{CO})_{12}$, (2,4-디메틸펜타디에닐) (에틸시클로펜타디에닐) 루테늄 (Ru(DMPD)(EtCp)), 비스(2,4-디메틸펜타디에닐) 루테늄 (Ru(DMPD)₂), 4-디메틸펜타디에닐 (메틸시클로펜타디에닐) 루테늄 (Ru(DMPD)(MeCp)), 및 비스(에틸시클로펜타디에닐) 루테늄 (Ru(EtCp)₂), 및 이들 및 다른 전구체의 조합물을 포함한다.
- [0018] 도 1b에 개략적으로 도시된 바와 같이, 금속 증착이 완전히 선택적이지 않을 수 있으며, 금속 원자핵(107a)이 측벽(103) 및 필드 영역(101) 상에 증착될 수 있다. 금속층(106a)과는 달리, 금속 원자핵(107a)은 비연속적 층을 형성할 수 있으며, 금속 원자핵(107a)의 금속의 총량은 금속층(106a)의 금속의 양 미만이다.
- [0019] 일 실시예에서, Ru 금속은, CO 캐리어 가스 중의 $\text{Ru}_3(\text{CO})_{12}$ 전구체를 사용하여 CVD에 의해 증착된다. 표면 조절제로 기판을 전처리한 후에, 유전체 재료의 함입형 형상부의 바닥의 Cu 금속층 상에 약 15 내지 20 nm 두께의 Ru 금속이 증착된 다음, 유전체 재료 상에서 Ru 금속 원자핵이 관찰된다. 이는 상이한 재료 상에서의 Ru 금속 증착의 제한된 선택성, 그리고 유전체 표면 상의 Ru 금속 증착이 시작되기 전에, 약 15 내지 20 nm보다 더 깊은 함입형 형상부를 Ru 금속으로 충전하고 선택적으로 증착하는 어려움을 예시한다. CVD에 의한 Ru 금속 증착물은, 금속 > 금속 질화물 또는 질화 금속 산화물 > 금속 산화물 또는 산화 금속 질화물 > ILD 순으로 감소하는 것으로 관찰되었으며, Ru 금속 증착물은 금속 표면 상에서 가장 높고, ILD 표면 상에서 가장 낮다. 이는 상이한 재료 상에서의 우선적인 Ru 금속 증착을 위해 사용될 수 있다. ILD는, 실리콘, 탄소, 또는 실리콘 및 탄소 모두를 함유하는 유전체 화합물을 포함한다. 실시예는 SiO_2 , SiON, SiN, SiCOH, Si, SiC, 및 C를 포함한다.
- [0020] 방법은, 함입형 형상부(110) 내의 제2 층(102) 상에 금속층(106a)을 선택적으로 형성하기 위해, 패터닝된 기판(1)으로부터 금속 원자핵(107a)을 제거하는 단계를 더 포함한다. 이는 도 1c에 개략적으로 도시된다. 금속 원자핵(107a)의 제거는, 이들이 너무 커져서 효율적으로 제거하기가 더 어렵기 전에 수행되는 것이 바람직할 수 있다. 일 실시예에서, Ru 금속 원자핵(107a)은, 예를 들어 플라즈마 여기 O_2 가스를 사용하고 선택적으로 할로젠 함유 가스(예를 들어, Cl_2)를 첨가하는, 반응성 이온 에칭(RIE)을 사용하여 에칭함으로써 제거될 수 있다.
- [0021] 전처리하는 단계, 증착하는 단계, 및 제거하는 단계는, 함입형 형상부(110) 내에 증착되는 금속의 두께를 증가시키기 위해 적어도 한 번 반복될 수 있다. 이는 도 1d에 개략적으로 도시되며, 추가적인 금속층(106b)이 금속층(106a) 상에 우선적으로 증착되고, 추가적인 금속 원자핵(107b)이 측벽(103) 및 필드 영역(101) 상에 증착된다. 그 후에, 도 1e에 도시된 바와 같이, 추가적인 금속 원자핵(107b)이 제거된다. 일 실시예에서, 함입형 형상부(110)가 금속으로 완전히 충전될 때까지, 전처리하는 단계, 증착하는 단계, 및 제거하는 단계가 반복될 수 있다. 이는 도 1f에 개략적으로 도시되며, 함입형 형상부(110)가 금속층(106a 내지 106c)으로 충전된다.
- [0022] 함입형 형상부 내의 선택적 Ru 금속 형성을 위한 공정 실시예는, TMSDMA 액체가 기화되어 N_2 가스로 희석되는

TMSDMA 가스 노출을 사용하는 전처리; 약 180°C 내지 약 250°C의 기판 온도; 약 5 Torr의 공정 챔버 압력; 및 플라즈마 여기 없이 10초의 노출 시간을 포함한다. Ru 금속 CVD 공정은, Ru₃(CO)₁₂ + CO(예를 들어, 약 1:100의 가스 유량비)를 함유하는 공정 가스; 약 135°C 내지 약 180°C(예를 들어, 약 160°C)의 기판 온도; 약 1 mTorr 내지 약 20 mTorr(예를 들어, 약 5 mTorr)의 공정 챔버 압력; 및 금속 표면 상에 약 20 nm의 Ru 금속을 증착시키는, 플라즈마 여기 없이 400초의 노출을 포함한다. Ru 금속 제거 공정은, O₂ 및 Cl₂를 함유하는 에칭 가스(예를 들어, 약 100:1의 가스 유량비)의 사용; 약 실온 내지 약 370°C(예를 들어, 약 370°C)의 기판 온도; 상부 전극에 인가되는 약 1200 W의 RF 전력, 및 하부 전극(기판 홀더)에 인가되는 약 0 W 내지 약 300 W(예를 들어, 0 W)의 RF 전력으로 용량성 결합 플라즈마 소스를 사용하는 플라즈마 여기; 약 5 mTorr의 공정 챔버 압력; 및 약 5 nm의 Ru 금속 원자핵의 등가물을 제거하기 위한 40초의 노출 시간을 포함한다.

[0023] 도 7은 패터닝된 기판 상의 함입형 형상부 내의 선택적 Ru 금속 형성의 SEM 영상을 도시한다. 수용된 바와 같은 패터닝된 기판은, W 금속 막 상에 용기된 SiO₂ 형상부를 포함한다. 용기된 SiO₂ 형상부들은 약 113 nm 높이, 약 31 nm 폭이며, 약 87 nm로 이격된다. 용기된 SiO₂ 형상부는, 약 113 nm 깊이이고 약 87 nm의 폭을 갖는 함입형 형상부를 형성한다. 도면은, TMSDMA를 함유하는 표면 조절제로 패터닝된 기판을 전처리하는 단계; Ru₃(CO)₁₂ + CO를 사용하는 Ru 금속 CVD 증착 단계; 및 플라즈마 여기 O₂ 가스 + Cl₂ 가스를 사용하여, 함입형 형상부의 측벽으로부터 Ru 금속 원자핵을 제거하는 Ru 금속 에칭 단계를 포함하는, 증착 공정 후의 결과를 나타낸다. 일련의 전처리, Ru 금속 증착, 및 Ru 금속 원자핵 제거는 4번 수행된다. 도면은, Ru 금속이 함입형 형상부 내에 선택적으로 형성되고, 함입형 형상부의 측벽 상에, 또는 에칭된 SiO₂ 형상부의 상부 표면 상에 Ru 금속 원자핵이 존재하지 않음을 나타낸다. 함입형 형상부 내에 형성된 Ru 금속의 두께는 약 69 nm이고, 함입형 형상부의 체적의 약 61%를 충전한다.

[0024] 도 2a 내지 도 2f는 본 발명의 다른 실시형태에 따라, 함입형 형상부 내의 선택적 금속 형성을 위한 방법을 개략적으로 도시한다. 도 1a는 도 2a의 패터닝된 기판(2)으로 재현되었다. 방법은, 제1 층(100)에 형성된 함입형 형상부(110), 및 함입형 형상부(110) 내에서 노출된 제2 층(102)을 포함하는 패터닝된 기판(2)을 제공하는 단계를 포함한다. 도 2b에 도시된 바와 같이, 방법은, 함입형 형상부(110) 둘레의 필드 영역(101) 상 그리고 함입형 형상부(110) 내를 포함하는 패터닝된 기판(2) 상에 금속 함유층(111)을 증착하는 단계를 포함한다. 금속 함유층(111)은 정합성(conformal)일 수 있으며, 일부 실시예에서, 금속 함유층(111)은 금속 산화물, 금속 질화물, 또는 이들의 조합물을 포함할 수 있다. 금속 산화물은 예를 들어, Al₂O₃, TiO₂, HfO₂, 또는 MnO₂를 포함할 수 있고, 금속 질화물은 예를 들어, AlN, TiN, HfN, 또는 MnN을 포함할 수 있다.

[0025] 그 후에, 도 2c에 도시된 바와 같이, 방법은, 함입형 형상부(110)의 측벽(103) 상에 금속 함유층(111)을 형성하기 위해, 함입형 형상부(110)의 바닥으로부터 그리고 함입형 형상부(110) 둘레의 필드 영역(101)으로부터 금속 함유층(111)을 이방성으로 제거하는 단계를 더 포함한다. 방법은 패터닝된 기판(2)을 표면 조절제로 전처리하는 단계를 더 포함하며, 표면 조절제는 필드 영역(101) 상을 포함하는 제1 층(100) 상에 흡착됨으로써, 제1 층(100) 상에 비하여, 제2 층(102) 상에서 그리고 함입형 형상부(110)의 측벽(103) 상의 금속 함유층(111) 상에서 금속 증착 선택성을 증가시킨다.

[0026] 방법은 기상 증착에 의해 패터닝된 기판(2) 상에 금속층(112)을 증착하는 단계를 더 포함하며, 금속층(112)은, 함입형 형상부(110) 둘레의 필드 영역(101) 상에 비하여, 함입형 형상부(110)의 바닥의 제2 층(102) 상에 그리고 측벽(103) 상의 금속 함유층(111) 상에 우선적으로 증착된다. 예를 들어, 금속층(112)은 Ru 금속, Co 금속, 및 W 금속으로 이루어진 그룹으로부터 선택될 수 있다. 도 2d에 개략적으로 도시된 바와 같이, 금속 증착이 완전히 선택적이지 않을 수 있으며, 금속 원자핵(113)이 필드 영역(101) 상에 증착될 수 있다. 금속층(112)과는 달리, 금속 원자핵(113)은 비연속적 층을 형성할 수 있으며, 금속 원자핵(113)의 금속의 총량은 금속층(112)의 금속의 양 미만이다. 도 2d에 도시된 실시형태에 따라, 금속층(112)은 함입형 형상부(110)를 완전히 충전할 수 있다. 도 2e에 도시된 바와 같이, 방법은, 함입형 형상부(110) 내에 금속층(112)을 선택적으로 형성하기 위해, 함입형 형상부(110) 둘레의 제1 층(100)의 필드 영역(101) 상에 증착된 금속 원자핵(113)을 제거하는 단계를 더 포함한다.

[0027] 다른 실시형태에 따라, 금속층(112)은 함입형 형상부(110)를 완전히 충전하지 않을 수 있으며, 함입형 형상부(110) 내에 증착되는 금속의 두께를 증가시키기 위해, 전처리하는 단계, 증착하는 단계, 및 제거하는 단계가 적어도 한 번 반복될 수 있다. 일 실시형태에 따라, 함입형 형상부(110)가 금속으로 완전히 충전될 때까지, 전처

리하는 단계, 증착하는 단계, 및 제거하는 단계가 반복될 수 있다.

- [0028] 도 3a 내지 도 3e는 본 발명의 다른 실시형태에 따라, 함입형 형상부 내의 선택적 금속 형성을 위한 방법을 개략적으로 도시한다. 도 1a는 도 3a의 패터닝된 기관(3)으로 재현되었다. 방법은, 재료에 형성된 함입형 형상부(110)를 포함하는 패터닝된 기관(3)을 제공하는 단계를 포함한다. 일 실시예에서, 재료는, 제1 층(100), 및 함입형 형상부(110) 내에서 노출된 제2 층(102)을 포함할 수 있다. 도 3b에 도시된 바와 같이, 방법은, 함입형 형상부(110) 둘레의 필드 영역(101) 상 그리고 함입형 형상부(110) 내를 포함하는 패터닝된 기관(3) 상에 금속 질화물 층(114)을 증착하는 단계를 더 포함한다. 금속 질화물 층(114)은 정합성일 수 있으며, 일부 실시예에서, 금속 질화물 층(114)은 AlN, TiN, HfN, 또는 MnN을 포함할 수 있다.
- [0029] 그 후에, 방법은, 산화된 금속 질화물 층(115)을 형성하기 위해, 필드 영역(101) 상의 금속 질화물 층(114)을 산화시키는 단계를 더 포함한다. 본원에 사용된 바와 같은 산화 공정은, 금속 질화물 층(114)의 적어도 하나의 표면 영역 내로 산소를 혼입한다. 또한, 도 3c에 개략적으로 도시된 바와 같이, 금속 질화물 층(114)은, 함입형 형상부(110)의 개구부 근처의 함입형 형상부(110)에서 산화될 수 있다. 금속 질화물 층(114)을 산화시키는 단계는 플라즈마 여기 O₂ 가스를 사용하여 수행될 수 있으며, 함입형 형상부(110)의 작은 개구부는 플라즈마 여기 O₂ 가스가 함입형 형상부(110) 내로 침투하는 것을 제한한다. 이는 금속 질화물 층(114)의 산화를 함입형 형상부(110)의 상부 부분 및 필드 영역(101)으로 제한한다.
- [0030] 방법은, 기상 증착에 의해 기관 상에 금속층(116)을 증착하는 단계를 더 포함하며, 금속층(116)은, 함입형 형상부(110) 내의 산화되지 않는 금속 질화물 층(114) 상에 우선적으로 증착된다. 우선적인 금속 증착은, 산화된 금속 질화물 층(115) 상에 비하여, 금속 질화물 층(114) 상에서의 금속 증착을 위한 더 짧은 잠복 시간으로 인한 것으로 여겨진다. 도 3d에 개략적으로 도시된 바와 같이, 금속 증착이 완전히 선택적이지 않을 수 있으며, 금속 원자핵(123)이 필드 영역(101) 상에 증착될 수 있다. 금속층(116)과는 달리, 금속 원자핵(123)은 비연속적 층을 형성할 수 있으며, 금속 원자핵(123)의 금속의 총량은 금속층(116)의 금속의 양 미만이다.
- [0031] 도 3d에 도시된 실시형태에 따라, 금속층(116)은, 금속 질화물 층(114)의 산화가 방지되는 함입형 형상부(110)를 완전히 충전할 수 있다. 도 3e에 도시된 바와 같이, 방법은, 함입형 형상부(110) 내에 금속층(116)을 선택적으로 형성하기 위해, 함입형 형상부(110) 둘레의 제1 층(100)의 필드 영역(101) 상에 증착된 금속 원자핵(123)을 제거하는 단계를 더 포함한다.
- [0032] 다른 실시형태에 따라, 금속층(116)은, 금속 질화물 층(114)의 산화가 방지되는 함입형 형상부(110)를 완전히 충전하지 않을 수 있으며, 함입형 형상부(110) 내에 증착되는 금속층(116)의 두께를 증가시키기 위해, 증착하는 단계 및 제거하는 단계가 적어도 한 번 반복될 수 있다. 일 실시형태에 따라, 함입형 형상부(110)가 금속층(116)으로 완전히 충전될 때까지, 증착하는 단계 및 제거하는 단계가 반복될 수 있다.
- [0033] 도 4a 내지 도 4f는 본 발명의 다른 실시형태에 따라, 함입형 형상부 내의 선택적 금속 형성을 위한 방법을 개략적으로 도시한다. 도 1a는 도 4a의 패터닝된 기관(4)으로 재현되었다. 방법은, 재료에 형성된 함입형 형상부(110)를 포함하는 패터닝된 기관(4)을 제공하는 단계를 포함한다. 일 실시예에서, 재료는, 제1 층(100), 및 함입형 형상부(110) 내에서 노출된 제2 층(102)을 포함할 수 있다. 도 4b에 도시된 바와 같이, 방법은, 함입형 형상부(110) 둘레의 필드 영역(101) 상 그리고 함입형 형상부(110) 내를 포함하는 패터닝된 기관(4) 상에 금속 산화물 층(117)을 증착하는 단계를 더 포함한다. 금속 산화물 층(117)은 정합성일 수 있으며, 일부 실시예에서, 금속 산화물 층(117)은 Al₂O₃, TiO₂, HfO₂, 또는 MnO₂를 포함할 수 있다.
- [0034] 그 후에, 방법은, 질화 금속 산화물 층(118)을 형성하기 위해, 함입형 형상부(110) 내의 그리고 필드 영역(101) 상의 금속 산화물 층(117)을 질화시키는 단계를 더 포함한다. 본원에 사용된 바와 같은 질화 공정은, 금속 산화물 층(117)의 적어도 하나의 표면 영역 내로 질소를 혼입한다. 도 4c에 개략적으로 도시된 바와 같이, 질화 금속 산화물 층(118)은 정합성일 수 있다. 금속 산화물 층(117)을 질화시키는 단계는, 함입형 형상부(110) 내를 포함하는 전체 금속 산화물 층(117)의 두께의 적어도 일부를 효과적으로 질화시키는 열 질화 공정(예를 들어, 플라즈마 없는 NH₃ 어닐링)을 사용하여 수행될 수 있다.
- [0035] 그 후에, 방법은, 산화된 질화 금속 산화물 층(119)을 형성하기 위해, 필드 영역(101) 상의 질화 금속 산화물 층(118)을 산화시키는 단계를 더 포함한다. 본원에 사용된 바와 같은 산화 공정은, 질화 금속 산화물 층(118)의 적어도 하나의 표면 영역 내로 산소를 혼입한다. 질화 금속 산화물 층을 산화시키는 단계는 플라즈마 여기 O₂ 가스를 사용하여 수행될 수 있으며, 함입형 형상부(110)의 작은 개구부는 플라즈마 여기 O₂ 가스가 함입형 형상부

(110) 내로 침투하는 것을 제한한다. 이는 질화 금속 산화물 층의 산화를 함입형 형상부(110)의 상부 부분 및 필드 영역(101)으로 제한한다. 이는 도 4d에 개략적으로 도시된다.

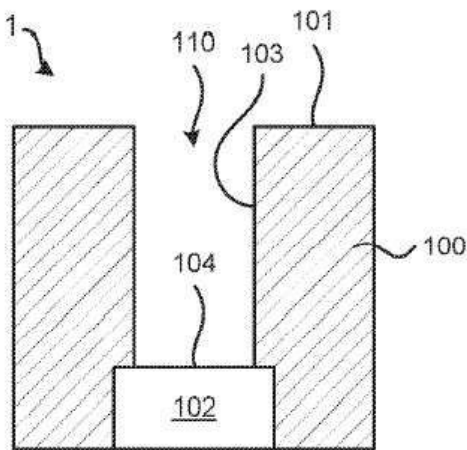
- [0036] 방법은, 기상 증착에 의해 패터닝된 기관(4) 상에 금속층(120)을 증착하는 단계를 더 포함하며, 금속층(120)은, 함입형 형상부(110) 내의 산화되지 않는 질화 금속 산화물 층(118) 상에 우선적으로 증착된다. 우선적인 금속 증착은, 산화된 질화 금속 산화물 층(119) 상에 비하여, 질화 금속 산화물 층 상에서의 금속 증착을 위한 더 짧은 잠복 시간으로 인한 것으로 여겨진다.
- [0037] 도 4e에 개략적으로 도시된 바와 같이, 금속 증착이 완전히 선택적이지 않을 수 있으며, 금속 원자핵(121)이 필드 영역(101) 상의 산화된 질화 금속 산화물 층(119) 상에 증착될 수 있다. 금속층(120)과는 달리, 금속 원자핵(121)은 비연속적 층을 형성할 수 있으며, 금속 원자핵(121)의 금속의 총량은 금속층(120)의 금속의 양 미만이다.
- [0038] 도 4e에 도시된 실시형태에 따라, 금속층(120)은, 질화 금속 산화물 층(118)의 산화가 방지되는 함입형 형상부(110)를 완전히 충전할 수 있다. 도 4f에 도시된 바와 같이, 방법은, 함입형 형상부(110) 내에 금속층(120)을 선택적으로 형성하기 위해, 함입형 형상부(110) 둘레의 제1 층(100)의 필드 영역(101) 상에 증착된 금속 원자핵(121)을 제거하는 단계를 더 포함한다.
- [0039] 다른 실시형태에 따라, 금속층(120)은, 질화 금속 산화물 층(118)의 산화가 방지되는 함입형 형상부(110)를 완전히 충전하지 않을 수 있으며, 함입형 형상부(110) 내에 증착되는 금속층(120)의 두께를 증가시키기 위해, 증착하는 단계 및 제거하는 단계가 적어도 한 번 반복될 수 있다. 일 실시형태에 따라, 함입형 형상부(110)가 금속층(120)으로 완전히 충전될 때까지, 증착하는 단계 및 제거하는 단계가 반복될 수 있다.
- [0040] 도 5a 내지 도 5d는 본 발명의 다른 실시형태에 따라, 함입형 형상부 내의 선택적 금속 형성을 위한 방법을 개략적으로 도시한다. 도 5a는 재료(500)에 형성된 함입형 형상부(510)를 포함하는 패터닝된 기관(5)을 도시하며, 함입형 형상부는 측벽(503) 및 바닥(502)을 포함한다. 방법은, 함입형 형상부(510) 둘레의 필드 영역(501) 상 그리고 함입형 형상부(510) 내를 포함하는 패터닝된 기관(5) 상에 금속 산화물 층(504)을 증착하는 단계를 포함한다. 이는 도 5b에 개략적으로 도시된다.
- [0041] 방법은, 필드 영역(501) 상의 금속 산화물 층(504)을 질화시키는 단계를 더 포함한다. 본원에 사용된 바와 같은 질화 공정은, 질화 금속 산화물 층(505)을 형성하기 위해, 금속 산화물 층(504)의 적어도 하나의 표면 영역 내로 질소를 혼입한다. 이는 도 5c에 개략적으로 도시된다. 금속 산화물 층(504)을 질화시키는 단계는 플라즈마 여기 질소 함유 가스(예를 들어, N₂ 또는 NH₃)를 사용하여 수행될 수 있으며, 함입형 형상부(510)의 작은 개구부는 플라즈마 여기 질소 함유 가스가 함입형 형상부(510) 내로 침투하는 것을 제한한다.
- [0042] 방법은, 기상 증착에 의해 패터닝된 기관(5) 상에 금속층(506)을 증착하는 단계를 더 포함하며, 금속층(506)은, 필드 영역(501) 상의 질화 금속 산화물 층(505) 상에 우선적으로 증착된다. 도 5d에 개략적으로 도시된 바와 같이, 금속 증착이 완전히 선택적이지 않을 수 있으며, 금속 원자핵(507)이 함입형 형상부(510) 내의 금속 산화물 층(504) 상에 증착될 수 있다.
- [0043] 방법은, 필드 영역(501) 상에 금속층(506)을 선택적으로 형성하기 위해, 함입형 형상부(510) 내에 증착된 금속 원자핵(507)을 제거하는 단계를 더 포함한다. 이는 도 5e에 개략적으로 도시된다. 필드 영역(501) 상의 금속층(506)의 두께를 증가시키기 위해, 증착하는 단계 및 제거하는 단계가 적어도 한 번 반복될 수 있다.
- [0044] 도 6a 내지 도 6d는 본 발명의 다른 실시형태에 따라, 함입형 형상부 내의 선택적 금속 형성을 위한 방법을 개략적으로 도시한다. 도 6a에 도시된 일 실시예에서, 패터닝된 기관(6)은 3D NAND 소자의 일부를 포함할 수 있다. 방법은, 재료(600)에서, 에칭된 수직 형상부(610) 및 에칭된 수평 형상부(601)를 포함하는 패터닝된 기관(6)을 제공하는 단계를 포함한다. 에칭된 수직 형상부(610)는, 바닥 근처보다 상부 근처에서 더 큰 개구부를 갖도록 테이퍼(taper)될 수 있다. 일 실시예에서, 재료(600)는 SiO₂ 또는 SiN을 포함할 수 있다. 방법은, 질화층(602)을 형성하기 위해, 에칭된 수직 형상부(610) 및 에칭된 수평 형상부(601)를 질화시키는 단계를 더 포함한다. 질화 공정은, 에칭된 수직 형상부(610) 및 에칭된 수평 형상부(601) 모두를 질화시키는 열 질화 공정(예를 들어, 플라즈마 없는 NH₃ 어닐링)을 포함할 수 있다. 그 후에, 방법은, 에칭된 수평 형상부(601) 내의 질화층(602)을 유지하면서, 에칭된 수직 형상부(610)로부터 질화층(602)을 제거하는 플라즈마 처리(예를 들어, Ar 플라즈마)를 포함한다. 결과적인 패터닝된 기관(6)은 도 6b에 도시된다. 방법은, 기상 증착에 의해 패터닝된 기관(6) 상에 금속층(603)을 증착하는 단계를 더 포함하며, 금속층(603)은, 에칭된 수직 형상부(610) 상에 비하여,

에칭된 수평 형상부(601) 내의 질화층(602) 상에 우선적으로 증착된다. 이는 도 6c에 도시된다. 에칭된 수직 형상부(610)가 또한 금속층(604)으로 완전히 충전될 때까지, 기상 증착이 수행된다. 선택적 금속 증착은, 질화되지 않는 에칭된 수직 형상부(610) 상에서보다 질화층(602) 상에서의 더 높은 금속 증착률로 인한 것이다. 이에 따라, 어떠한 보이드 없이, 에칭된 수직 형상부(610) 및 에칭된 수평 형상부(601)의 완전한 금속 충전이 가능하다.

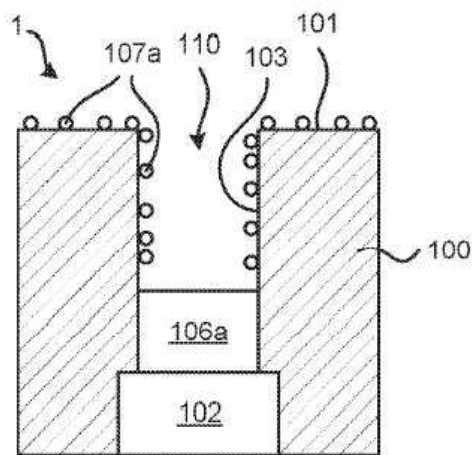
[0045] 반도체 소자의 함입형 형상부를 저-저항률 금속으로 충전하기 위한 방법이 다양한 실시형태에서 개시되었다. 본 발명의 실시형태의 기술한 설명은 예시 및 설명의 목적을 위해 제시되었다. 개시된 정확한 형태로 본 발명을 제한하거나 총망라하려고 의도되지 않는다. 본 설명 및 이하의 청구범위는, 설명을 위한 목적으로만 사용되며 제한적인 것으로 해석되어서는 안되는 용어를 포함한다. 관련 기술 분야의 당업자라면 위와 같은 교시를 고려하여 다수의 변형 및 변경이 가능하다는 것을 이해할 수 있다. 당업자는 도면에 도시된 다양한 구성 요소에 대한 다양한 동등한 조합 및 대체를 인식할 것이다. 따라서, 본 발명의 범위는 이러한 상세한 설명에 의해 제한되는 것이 아니라, 오히려 본원에 첨부된 청구범위에 의해 제한되는 것으로 의도된다.

도면

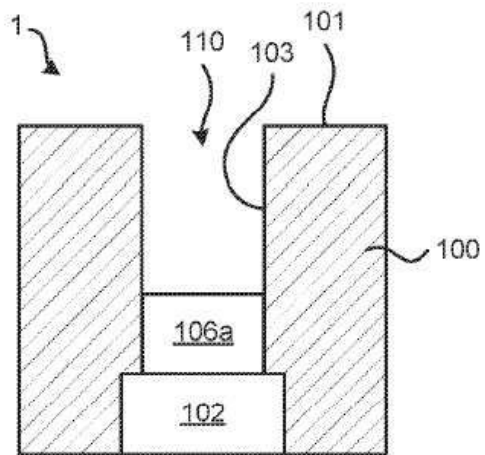
도면1a



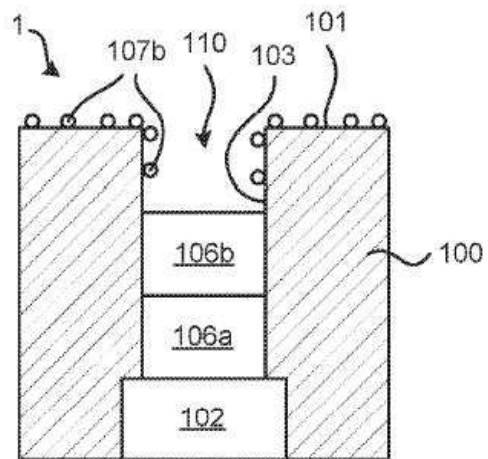
도면1b



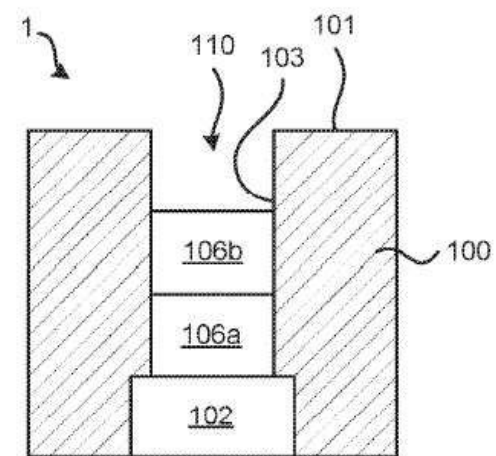
도면1c



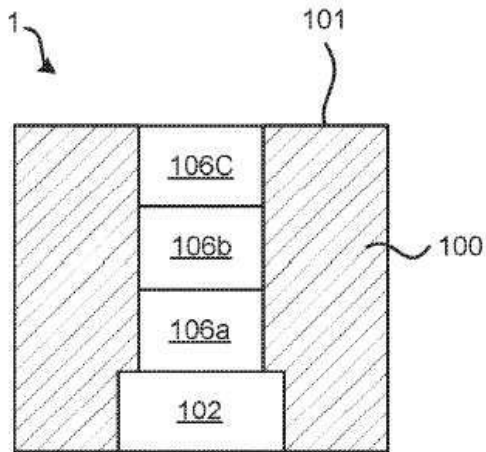
도면1d



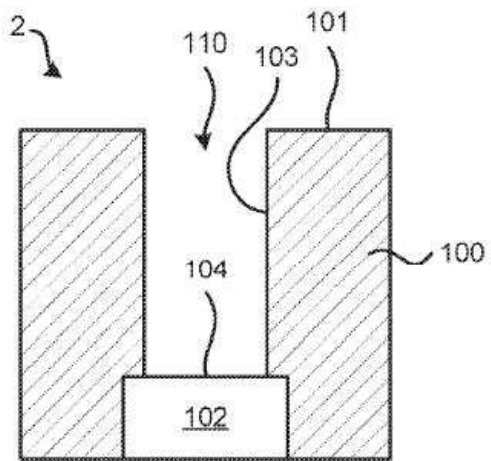
도면1e



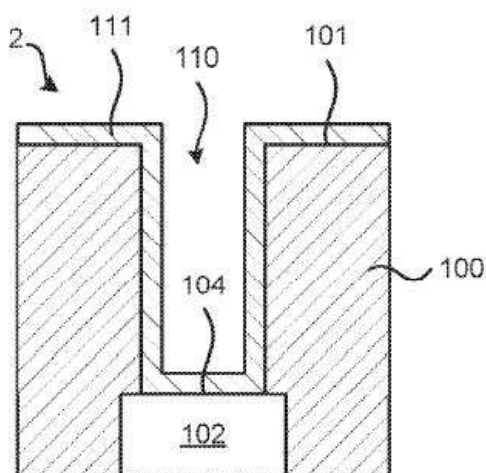
도면1f



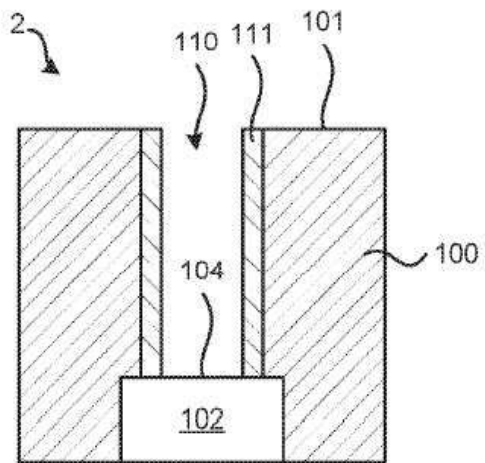
도면2a



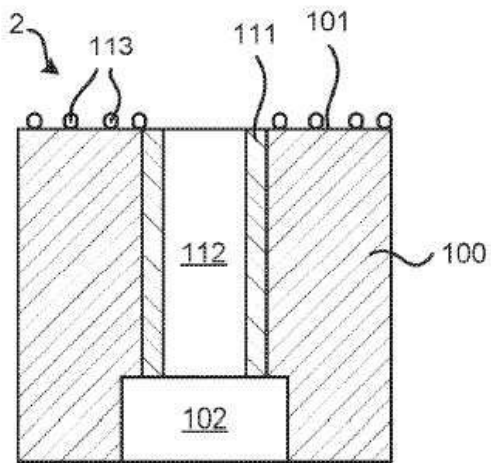
도면2b



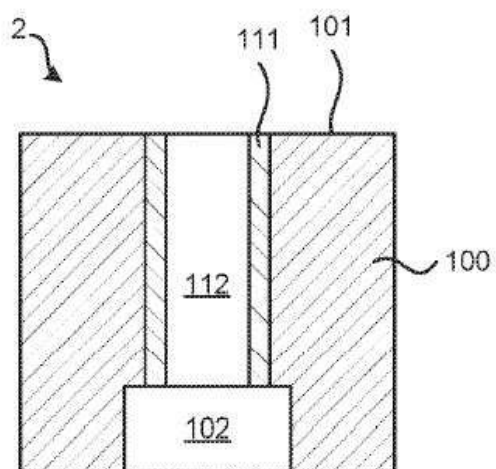
도면2c



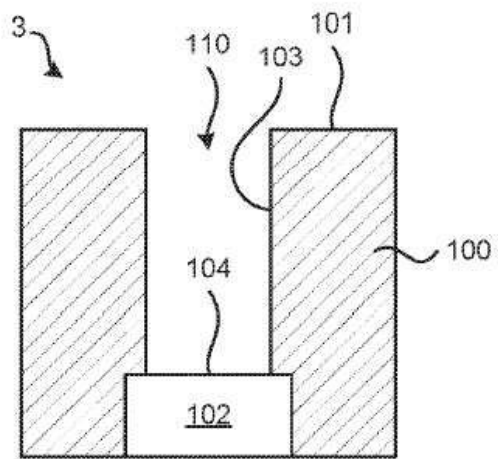
도면2d



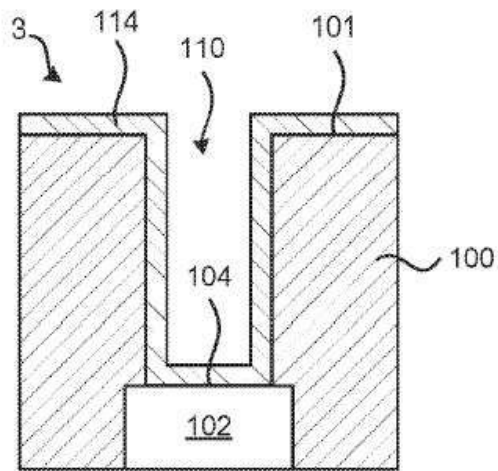
도면2e



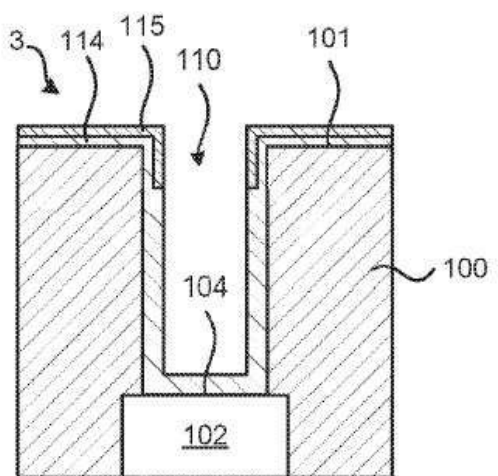
도면3a



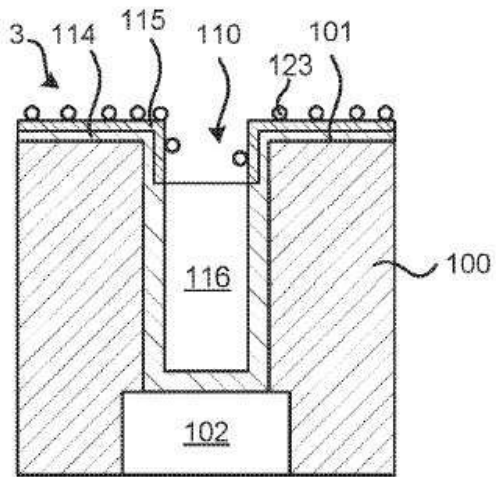
도면3b



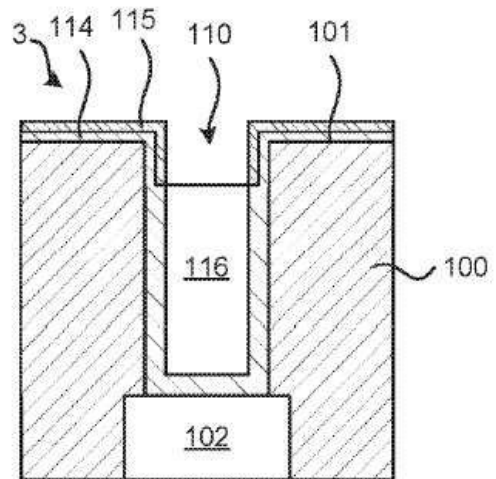
도면3c



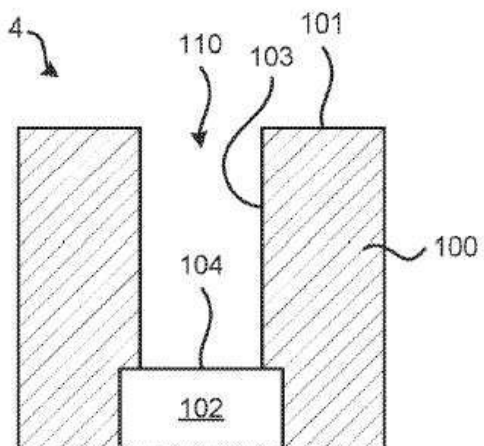
도면3d



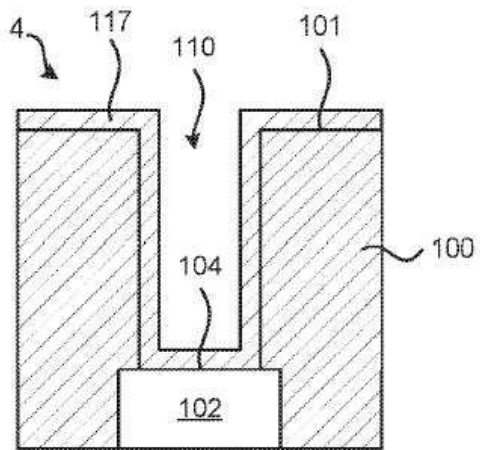
도면3e



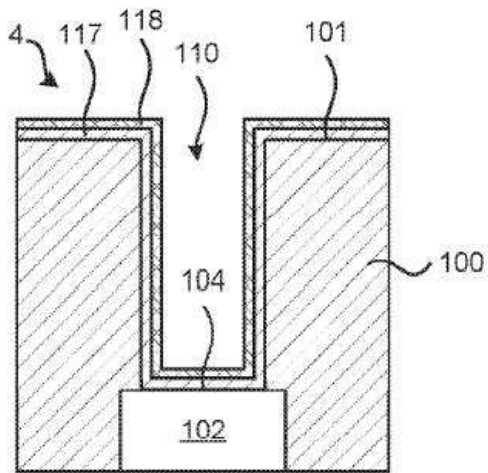
도면4a



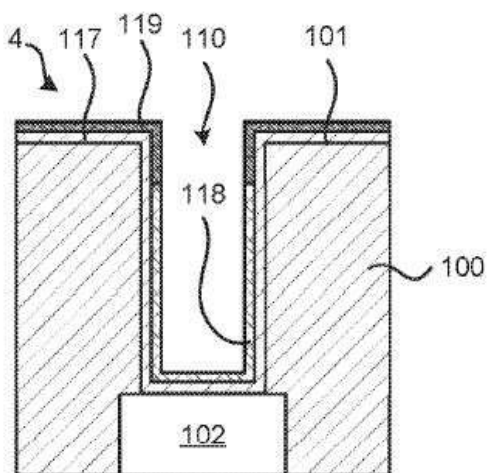
도면4b



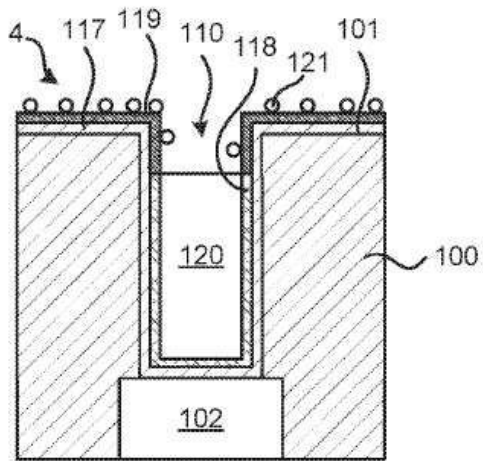
도면4c



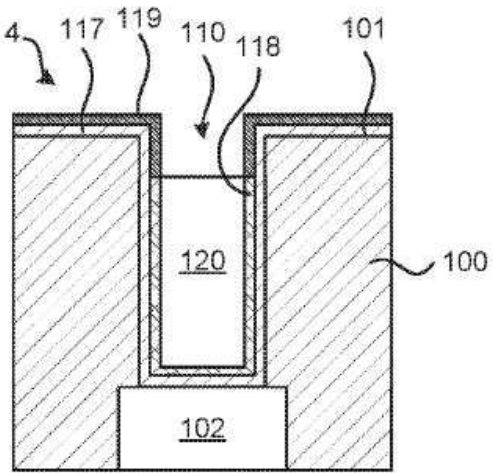
도면4d



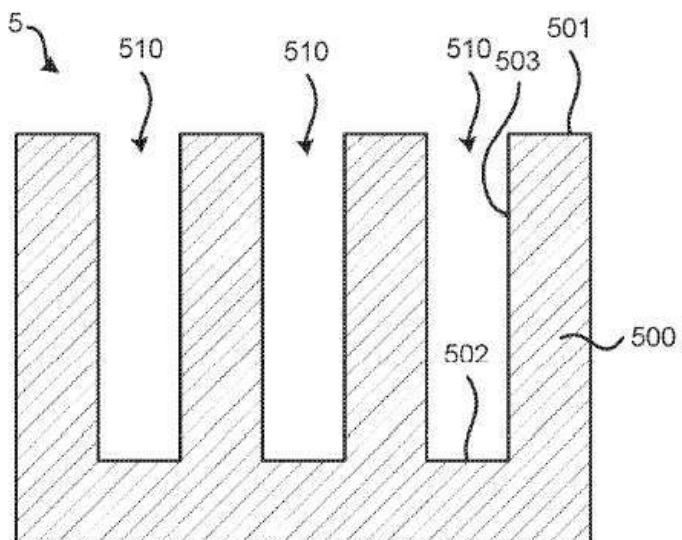
도면4e



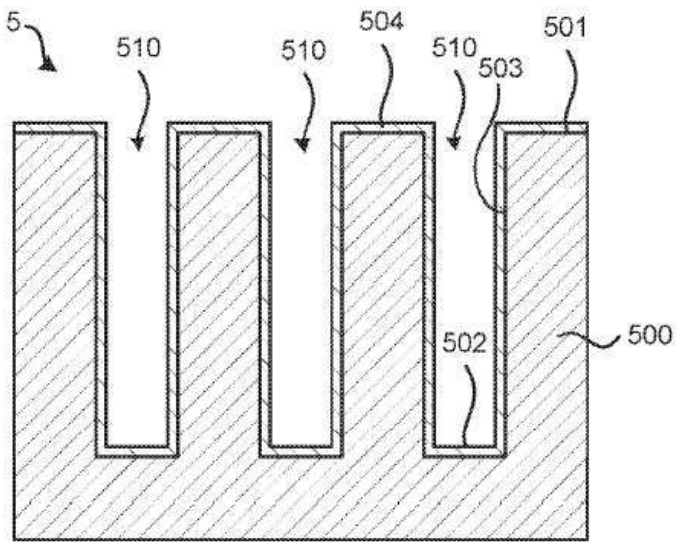
도면4f



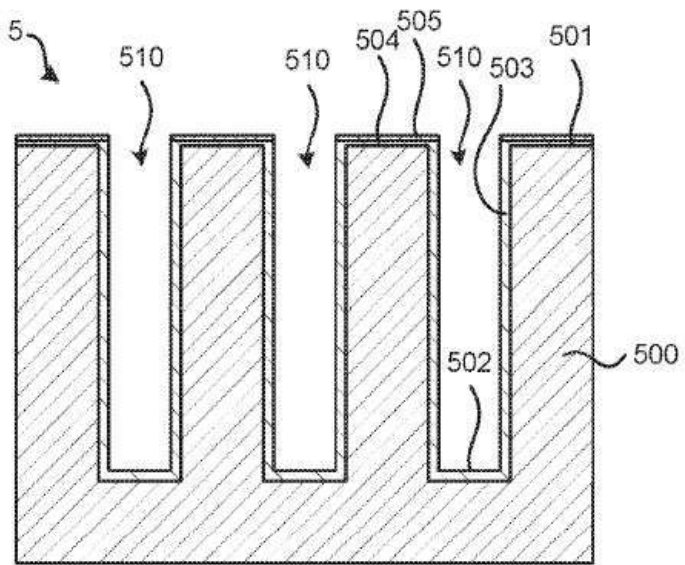
도면5a



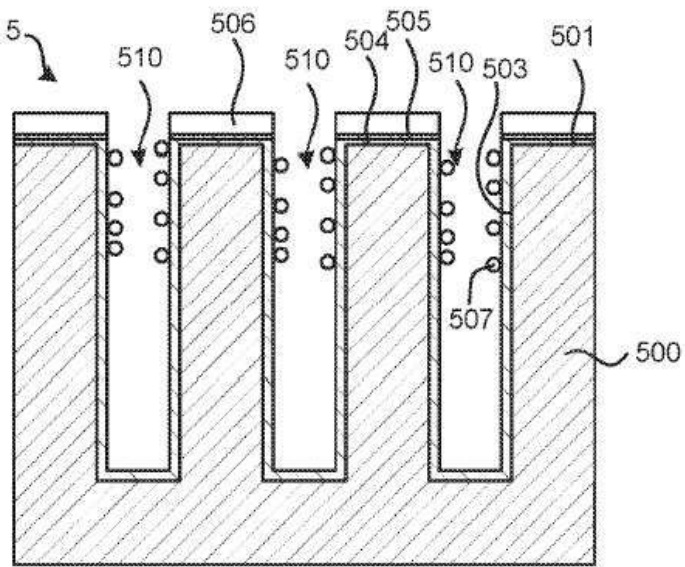
도면5b



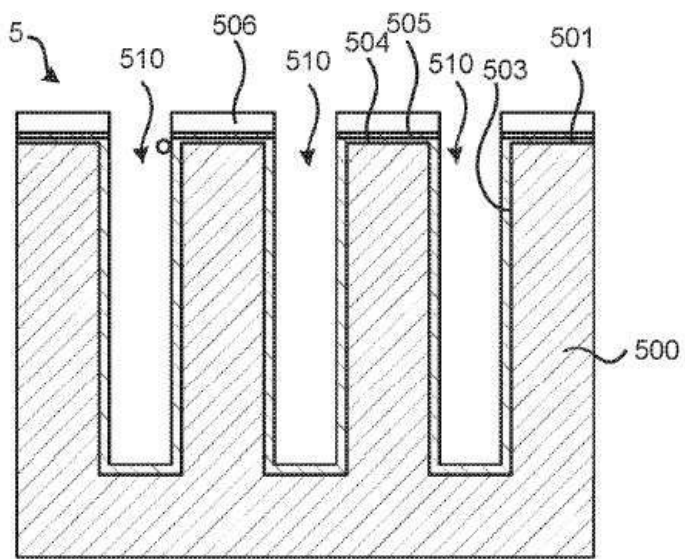
도면5c



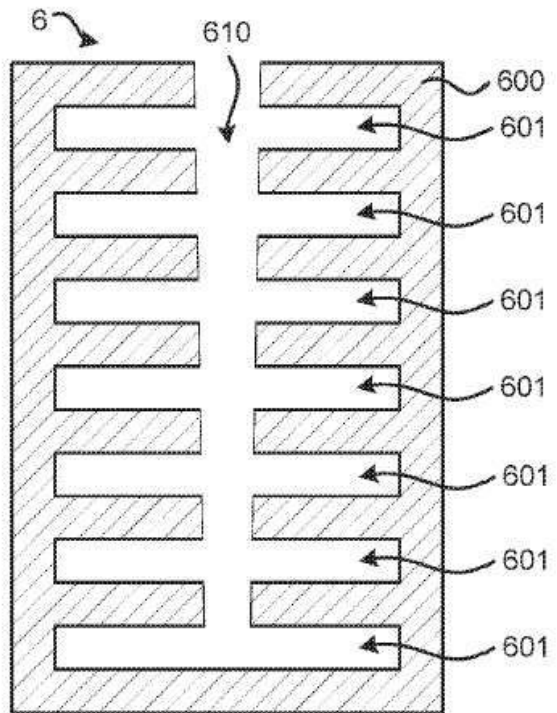
도면5d



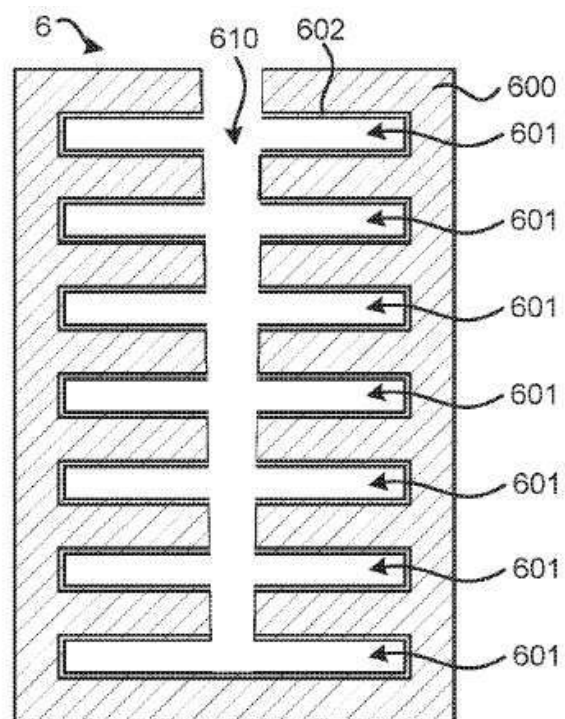
도면5e



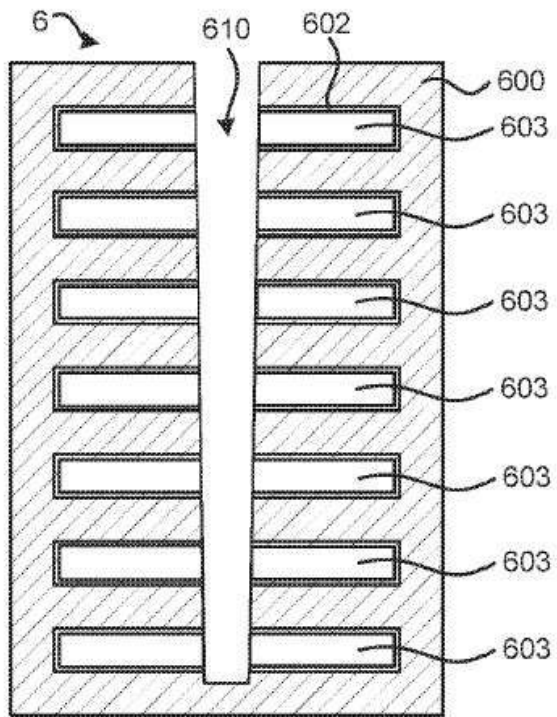
도면6a



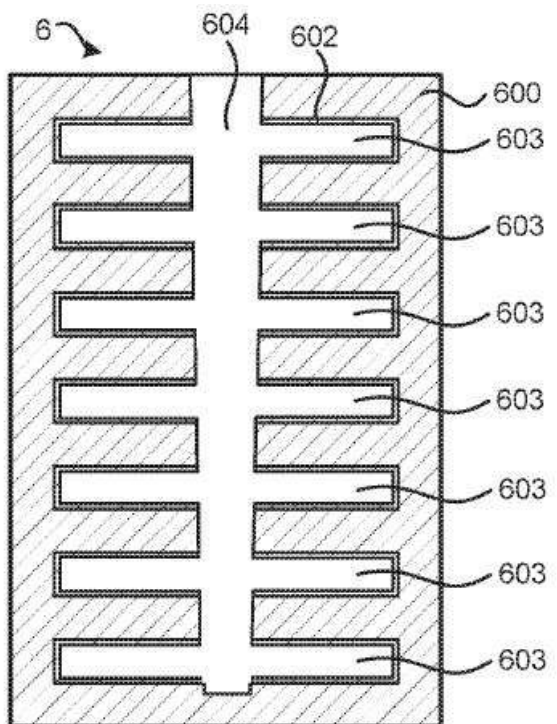
도면6b



도면6c



도면6d



도면7

