



(12) 发明专利

(10) 授权公告号 CN 103426745 B

(45) 授权公告日 2015. 12. 09

(21) 申请号 201210164993. 7

US 2005/0254180 A1, 2005. 11. 17,

(22) 申请日 2012. 05. 24

US 7647688 B1, 2010. 01. 19,

(73) 专利权人 中芯国际集成电路制造(上海)有限公司

KR 10-2006-0011440 A, 2006. 02. 03,

地址 201203 上海市浦东新区张江路 18 号

审查员 王真真

(72) 发明人 张海洋 王冬江

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 骆苏华

(51) Int. Cl.

H01L 21/3065(2006. 01)

H01L 21/768(2006. 01)

(56) 对比文件

CN 102324400 A, 2012. 01. 18,

CN 101413104 A, 2009. 04. 22,

CN 1433062 A, 2003. 07. 30,

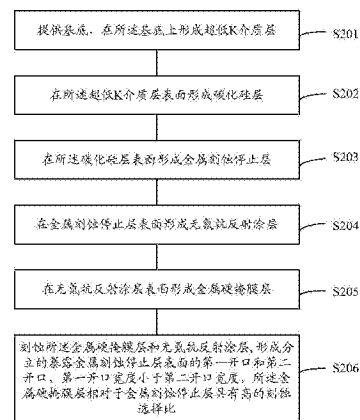
权利要求书1页 说明书6页 附图3页

(54) 发明名称

半导体结构的形成方法

(57) 摘要

一种半导体结构的形成方法,包括:提供基底,在所述基底上形成超低K介质层;在所述超低K介质层表面形成碳化硅层;在所述碳化硅层表面形成金属刻蚀停止层;刻蚀所述金属硬掩膜层形成分立的暴露金属刻蚀停止层表面的第一开口和第二开口,第一开口宽度小于第二开口宽度,所述金属硬掩膜层相对于金属刻蚀停止层具有高的刻蚀选择比。以金属刻蚀停止层作为刻蚀停止层,当刻蚀金属硬掩膜层形成宽度不同的第一开口和第二开口时,但由于金属硬掩膜层相对于金属刻蚀停止层具有高的刻蚀选择比,第一开口和第二开口底下对应的金属刻蚀停止层的过刻蚀量可以忽略不计,不会对后续的工艺窗口产生影响。



1. 一种半导体结构的形成方法,其特征在于,包括:
提供基底,在所述基底上形成超低 K 介质层;
在所述超低 K 介质层表面形成碳化硅层;
在所述碳化硅层表面形成金属刻蚀停止层;
在金属刻蚀停止层表面形成金属硬掩膜层;
刻蚀所述金属硬掩膜层,形成分立的暴露金属刻蚀停止层表面的第一开口和第二开口,第一开口宽度小于第二开口宽度,所述金属硬掩膜层相对于金属刻蚀停止层具有高的刻蚀选择比。
2. 如权利要求 1 所述的半导体结构的形成方法,其特征在于,所述金属刻蚀停止层的材料为氮化铜或铜。
3. 如权利要求 1 所述的半导体结构的形成方法,其特征在于,所述金属硬掩膜层为氮化钛层、氮化钽层、氮化硼层的单层结构或其两者或三者的堆叠结构。
4. 如权利要求 2 或 3 所述的半导体结构的形成方法,其特征在于,刻蚀所述金属硬掩膜层采用的工艺为电感耦合等离子体刻蚀工艺。
5. 如权利要求 4 所述的半导体结构的形成方法,其特征在于,所述电感耦合等离子体刻蚀工艺的电感耦合功率为 100 ~ 1000W,偏置电压为 0 ~ 200V,采用的气体为 Cl_2 、 CH_4 和 He, Cl_2 的流量为 10 ~ 500sccm, CH_4 的流量为 10 ~ 100sccm, He 的流量为 10 ~ 500sccm, 等离子体刻蚀的时间为 10 ~ 300S。
6. 如权利要求 5 所述的半导体结构的形成方法,其特征在于,所述金属硬掩膜层相对于金属刻蚀停止层的刻蚀选择比为 50:1 ~ 200:1。
7. 如权利要求 2 所述的半导体结构的形成方法,其特征在于,所述金属刻蚀停止层的材料为氮化铜,所述金属刻蚀停止层的形成工艺为溅射工艺、化学气相沉积工艺或原子层沉积工艺。
8. 如权利要求 2 所述的半导体结构的形成方法,其特征在于,所述金属刻蚀停止层的材料为铜时,所述金属刻蚀停止层的形成过程为:在所述碳化硅层表面形成氮化铜材料层;对所述氮化铜材料层进行热固化处理,形成铜层,所述铜层为金属刻蚀停止层。
9. 如权利要求 8 所述的半导体结构的形成方法,其特征在于,所述热固化处理的温度为小于等于 300 摄氏度。
10. 如权利要求 1 所述的半导体结构的形成方法,其特征在于,所述金属硬掩膜层的厚度为 50 ~ 500 埃,所述金属刻蚀停止层的厚度为 50 ~ 200 埃,所述碳化硅层的厚度为 10 ~ 200 埃。
11. 如权利要求 1 所述的半导体结构的形成方法,其特征在于,所述金属硬掩膜和金属刻蚀停止层之间形成有无氮抗反射涂层。
12. 如权利要求 11 所述的半导体结构的形成方法,其特征在于,所述无氮抗反射涂层的厚度为 50 ~ 500 埃。
13. 如权利要求 1 所述的半导体结构的形成方法,其特征在于,所述超低 K 介质层和碳化硅层的形成方法为:在所述基底上形成超低 K 介质材料层;在所述超低 K 介质材料层表面形成碳化硅材料层;平坦化所述碳化硅材料层,形成碳化硅层和超低 K 介质层。

半导体结构的形成方法

技术领域

[0001] 本发明涉及半导体制作领域,特别涉及一种半导体结构的形成方法。

背景技术

[0002] 随着半导体集成电路技术的不断发展,半导体器件尺寸和互连结构尺寸不断减小,从而导致金属连线之间的间距在逐渐缩小,用于隔离金属连线之间的介质层也变得越来越薄,这样会导致金属连线之间可能会发生串扰。现在,通过降低金属连线层间的介质层的介电常数,可有效地降低这种串扰,因此,低K介电材料、超低K介电材料已越来越广泛地应用于互连工艺的介质层,低K介电材料的介电常数通常小于4大于等于2.2,超低K介电材料为介电常数常小于2.2。

[0003] 由于空气是目前能获得的最低K值的材料($K=1.0$),为了大幅的降低K值,在介质层中形成空气隙或孔洞以有效的降低介质层的K值。因此,为了能使得介电常数低于2.2,现在广泛应用的超低K介电材料为多孔材料。但是由于多孔材料的多孔性,利用多孔材料形成的介质层的机械强度较低,在进行晶片处理时容易受到损伤,例如,利用等离子体灰化工艺去除光刻胶时,所述等离子体会对暴露出的超低K介质层造成损伤。

[0004] 为了减小灰化工艺对超低K介质层所造成的损伤,现有采用金属硬掩膜层作为刻蚀超低K介质层的掩膜,具体请参考图1~图2。

[0005] 参考图1,提供基底100,在所述基底100表面形成超低K介质层101;在所述超低K介质层101表面形成氧化硅层102;在所述氧化硅层102表面形成金属硬掩膜层103。所述氧化硅层102作为后续刻蚀金属硬掩膜层103时的停止层,并作为超低K介质层101和金属硬掩膜层103之间的隔离层。

[0006] 参考图2,在所述金属硬掩膜层103表面形成图形化的光刻胶层104,所述图形化的光刻胶层104中具有暴露金属硬掩膜层103表面的分立第一开口106和第二开口105,第一开口106的宽度小于第二开口105的宽度,所述第一开口106和第二开口105的位置对应后续金属硬掩膜层103待刻蚀的位置;以所述图形化的光刻胶层104为掩膜,沿第一开口106和第二开口105刻蚀所述金属硬掩膜层103,以氧化硅层102作为刻蚀停止层,形成第三开口108和第四开口107,第三开口108的宽度小于第四开口107的宽度。

[0007] 现有将氧化硅层102作为刻蚀停止层时,由于刻蚀负载效应(Etch loading effect)的影响,面积较大刻蚀区域的刻蚀速度要大于面积较小刻蚀区域的刻蚀速度,因此第四开口107对应的金属硬掩膜层的刻蚀速率会大于第三开口108对应的金属硬掩膜层的刻蚀速率,相应的第四开口107对应的氧化硅层102中的过刻蚀量会大于宽度较窄的第三开口108对应的氧化硅层102中的过刻蚀量,而第三开口108和第四开口107对应的氧化硅层102中过刻蚀量的差异使得工艺窗口发生改变,影响后续刻蚀工艺的稳定性。

[0008] 更多关于半导体结构的形成方法请参考公开号为US2008/0026203A1的美国专利文献。

发明内容

[0009] 本发明解决的问题是提供一种半导体结构的形成方法,提高了工艺的稳定性。

[0010] 为解决上述问题,本发明实施例一种半导体结构的形成方法,包括:

[0011] 提供基底,在所述基底上形成超低 K 介质层;

[0012] 在所述超低 K 介质层表面形成碳化硅层;

[0013] 在所述碳化硅层表面形成金属刻蚀停止层;

[0014] 在金属刻蚀停止层表面形成金属硬掩膜层;

[0015] 刻蚀所述金属硬掩膜层,形成分立的暴露金属刻蚀停止层表面的第一开口和第二开口,第一开口宽度小于第二开口宽度,所述金属硬掩膜层相对于金属刻蚀停止层具有高的刻蚀选择比。

[0016] 可选的,所述金属刻蚀停止层的材料为氮化铜或铜。

[0017] 可选的,所述金属硬掩膜层为氮化钛层、氮化钽层、氮化硼层的单层结构或其两者或三者的堆叠结构。

[0018] 可选的,刻蚀所述金属硬掩膜层采用的工艺为电感耦合等离子体刻蚀工艺。

[0019] 可选的,所述电感耦合等离子体刻蚀工艺的电感耦合功率为 100~1000W,偏置电压为 0~200V,采用的气体为 C12、CH4 和 He, C12 的流量为 10~500sccm, CH4 的流量为 10~100sccm, He 的流量为 10~500sccm,等离子体刻蚀的时间为 10~300S。

[0020] 可选的,所述金属硬掩膜层相对于金属刻蚀停止层的刻蚀选择比为 50:1~200:1。

[0021] 可选的,所述金属刻蚀停止层的材料为氮化铜,所述金属刻蚀停止层的形成工艺为溅射工艺、化学气相沉积工艺或原子层沉积工艺。

[0022] 可选的,所述金属刻蚀停止层的材料为铜时,所述金属刻蚀停止层的形成过程为:在所述碳化硅层表面形成氮化铜材料层;对所述氮化铜材料层进行热固化处理,形成铜层,所述铜层为金属刻蚀停止层。

[0023] 可选的,所述热固化处理的温度为小于等于 300 摄氏度。

[0024] 可选的,所述金属硬掩膜层的厚度为 50~500 埃,所述金属刻蚀停止层的厚度为 50~200 埃,所述碳化硅层的厚度为 10~200 埃。

[0025] 可选的,所述金属硬掩膜和金属刻蚀停止层之间形成有无氮抗反射涂层。

[0026] 可选的,所述无氮抗反射涂层的厚度为 50~500 埃。

[0027] 可选的,所述超低 K 介质层和碳化硅层的形成方法为:在所述基底上形成超低 K 介质材料层;在所述超低 K 介质材料层表面形成碳化硅材料层;平坦化所述碳化硅材料层,形成碳化硅层和超低 K 介质层。

[0028] 与现有技术相比,本发明技术方案具有以下优点:

[0029] 本发明实施例提供的半导体结构的形成方法,以金属刻蚀停止层作为刻蚀停止层,刻蚀金属硬掩膜层时,由于刻蚀负载效应的影响,宽度较小的第一开口的形成速度要小于宽度较宽的第二开口的形成速度,第二开口的底部会先暴露金属刻蚀停止层的表面,但是由于金属硬掩膜层相对于金属刻蚀停止层具有高的刻蚀选择比,在形成第一开口的过程中,第二开口底部暴露的金属刻蚀停止层的过刻蚀量可以忽略不计,在形成第一开口后,第一开口和第二开口底部对应的金属刻蚀停止层的过刻蚀量均可以忽略不计,因此不会对后续的工艺窗口产生影响,提高了后续刻蚀工艺的稳定性。

[0030] 进一步,刻蚀所述金属硬掩膜层采用的工艺为电感耦合等离子体刻蚀工艺,采用电感耦合等离子体刻蚀工艺的等离子体密度大,刻蚀速率高,减小形成第一开口和第二开口时刻蚀负载效应的影响。

附图说明

[0031] 图 1~图 2 为现有半导体结构的形成过程的剖面结构示意图;

[0032] 图 3 为本发明实施例半导体结构的形成方法的流程示意图;

[0033] 图 4~图 7 为本发明实施例半导体结构的形成过程的剖面结构示意图。

具体实施方式

[0034] 发明人在现有刻蚀金属硬掩膜层的时候发现,由于刻蚀负载效应(Etch loading effect)的影响,面积较大刻蚀区域(开口较大区域)的刻蚀速度要大于面积较小刻蚀区域(开口较小区域)的刻蚀速度,将氧化硅层作为刻蚀停止层时,金属硬掩膜层相对于氧化硅层的刻蚀选择比为 10:1~30:1,刻蚀过程中会在氧化硅层中形成一定的过刻蚀量,同样由于刻蚀负载效应的影响,开口较大区域对应的氧化硅层的过刻蚀量会小于开口较小区域对应的氧化硅层的过刻蚀量,使得工艺窗口发生改变,影响后续工艺的稳定性。

[0035] 为解决上述问题发明人提出一种半导体结构的形成方法,包括:提供基底,在所述基底上形成超低 K 介质层;在所述超低 K 介质层表面形成碳化硅层;在所述碳化硅层表面形成金属刻蚀停止层;刻蚀所述金属硬掩膜层形成分立的暴露金属刻蚀停止层表面的第一开口和第二开口,第一开口宽度小于第二开口宽度,所述金属硬掩膜层相对于金属刻蚀停止层具有高的刻蚀选择比。以金属刻蚀停止层作为刻蚀金属硬掩膜层的刻蚀停止层,当刻蚀金属硬掩膜层形成宽度不同的第一开口和第二开口时,虽然第二开口的形成速度会大于第一开口的形成速度,但由于金属硬掩膜层相对于金属刻蚀停止层具有高的刻蚀选择比,第一开口和第二开口底下对应的金属刻蚀停止层的过刻蚀量可以忽略不计,不会对后续的工艺窗口产生影响。

[0036] 为使本发明的上述目的、特征和优点能够更加明显易懂,下面结合附图对本发明的具体实施方式做详细的说明。在详述本发明实施例时,为便于说明,示意图会不依一般比例作局部放大,而且所述示意图只是示例,其在此不应限制本发明的保护范围。此外,在实际制作中应包含长度、宽度及深度的三维空间尺寸。

[0037] 参考图 3,图 3 为本发明实施例半导体结构的形成方法的流程示意图,包括:

[0038] 步骤 S201,提供基底,在所述基底上形成超低 K 介质层;

[0039] 步骤 S202,在所述超低 K 介质层表面形成碳化硅层;

[0040] 步骤 S203,在所述碳化硅层表面形成金属刻蚀停止层;

[0041] 步骤 S204,在金属刻蚀停止层表面形成无氮抗反射涂层;

[0042] 步骤 S205,在无氮抗反射涂层表面形成金属硬掩膜层;

[0043] 步骤 S206,刻蚀所述金属硬掩膜层和无氮抗反射涂层,形成分立的暴露金属刻蚀停止层表面的第一开口和第二开口,第一开口宽度小于第二开口宽度,所述金属硬掩膜层相对于金属刻蚀停止层具有高的刻蚀选择比。

[0044] 图 4~图 7 为本发明实施例半导体结构的形成过程的剖面结构示意图。

[0045] 参考图 4, 提供基底 300, 在所述基底 300 上形成超低 K 介质层 301; 在超低 K 介质层 301 表面形成碳化硅层 302。

[0046] 所述基底 300 为硅衬底、锗衬底、硅锗衬底、碳化硅衬底、氮化镓衬底其中的一种。所述基底 300 内形成有离子掺杂区、硅通孔等; 所述基底 300 上还可以形成晶体管、电阻、电容等半导体器件。

[0047] 在本发明的其他实施例中, 所述基底 300 上还形成有一层或多层层间介质层, 所述层间介质层的材料为氧化硅、低 K 介电材料或超低 K 介电材料, 所述介质层中形成有金属互连线、导电插塞等半导体结构。所述超低 K 介质层形成在层间介质层表面。

[0048] 所述超低 K 介质层 301 和碳化硅层 302 形成的具体过程为: 在所述基底 300 上形成超低 K 介质材料层; 在所述超低 K 介质材料层表面形成碳化硅材料层; 平坦化所述碳化硅材料层, 形成碳化硅层 302 和超低 K 介质层 301。

[0049] 所述碳化硅层 302 的厚度为 10~200 埃。

[0050] 平坦化所述碳化硅材料层的工艺为化学机械研磨, 本发明实施例中, 在基底 300 上形成超低 K 介质材料层后, 不直接对不平整的超低 K 介质材料层进行化学机械研磨使其平坦化, 而在超低 K 介质材料层表面形成碳化硅材料层, 然后对碳化硅材料层进行平坦化工艺, 以防止平坦化超低 K 介质材料层时对超低 K 介质材料层的损害以及研磨缺陷的产生。

[0051] 形成所述超低 K 介质材料层的工艺包括化学气相沉积工艺或溶胶-凝胶工艺。

[0052] 所述超低 K 介质材料层的材料为二氧化硅气凝胶时, 利用所述溶胶-凝胶工艺形成二氧化硅气凝胶的具体过程包括: 利用化学气相沉积工艺在所述基底表面形成烷氧基硅烷, 然后将所述烷氧基硅烷进行混合水解反应形成二氧化硅湿凝胶, 将所述二氧化硅湿凝胶进行干燥处理, 形成二氧化硅气凝胶。

[0053] 参考图 5, 在所述碳化硅层 302 表面形成金属刻蚀停止层 303; 在金属刻蚀停止层 303 表面形成无氮抗反射涂层 304 (Nitrogen-Free Anti-Reflective Coating, NFARC)。

[0054] 所述金属刻蚀停止层 303 作为后续刻蚀金属硬掩膜层时的停止层, 所述金属刻蚀停止层 303 的材料为氮化铜或铜, 金属硬掩膜层相对于金属刻蚀停止层具有高的刻蚀选择比, 所述金属硬掩膜层相对于金属刻蚀停止层的刻蚀选择比为 50:1~200:1, 后续刻蚀金属硬掩膜层形成第一开口和第二开口时, 第一开口和第二开口对应的金属刻蚀停止层的过刻蚀量可以忽略不计, 不会对后续的工艺窗口产生影响。

[0055] 所述金属刻蚀停止层 303 的厚度为 50~200 埃。

[0056] 所述金属刻蚀停止层 303 的材料为氮化铜时, 所述金属刻蚀停止层 303 的形成工艺为溅射工艺、化学气相沉积工艺或原子层沉积工艺。

[0057] 所述金属刻蚀停止层 303 的材料为铜时, 所述金属刻蚀停止层 303 的形成过程为: 在所述碳化硅层表面形成氮化铜材料层; 对所述氮化铜材料层进行热固化处理 (thermal curing), 形成铜层, 所述铜层为金属刻蚀停止层。

[0058] 所述热固化处理的温度为小于等于 300 摄氏度。

[0059] 所述无氮抗反射涂层 304 的厚度为 50~500 埃, 所述无氮抗反射涂层 304 作为金属刻蚀停止层 303 和后续形成的金属硬掩膜层之间的隔离层, 使形成的金属硬掩膜层具有较好的粘附性和形貌, 所述无氮抗反射涂层 304 还可以防止超低 K 介质层中的氧元素透过碳化硅层和金属硬掩膜层对金属硬掩膜层上形成的光刻胶层的毒化。

[0060] 参考图 6, 在所述无氮抗反射涂层 304 表面形成金属硬掩膜层 305; 在所述金属硬掩膜层 305 表面形成图形化的光刻胶层 306, 所述图形化的光刻胶层 306 中具有对应后续刻蚀位置的开口 307 和开口 308, 所述开口 307 的宽度小于开口 308 的宽度。

[0061] 所述金属硬掩膜层 305 为氮化钛层、氮化钽层、氮化硼层的单层结构或者氮化钛层和氮化钽层堆叠结构、氮化钽层和氮化硼层堆叠结构、氮化钛层和氮化硼层的堆叠结构或氮化钛层、氮化钽层、氮化硼层三者的堆叠结构。

[0062] 所述金属硬掩膜层 305 的厚度为 50~200 埃。

[0063] 参考图 7, 以所述图形化的光刻胶层 306 为掩膜, 刻蚀所述金属硬掩膜层 305 和无氮抗反射涂层 304 形成分立的暴露金属刻蚀停止层 303 表面的第一开口 309 和第二开口 310, 第一开口 309 的宽度小于第二开口 310 的宽度。

[0064] 刻蚀所述金属硬掩膜层 305 和无氮抗反射涂层 304 采用的工艺为电感耦合等离子体刻蚀工艺, 采用电感耦合等离子体刻蚀工艺的等离子体密度大, 刻蚀速率高, 以减小刻蚀过程中刻蚀负载效应(Etch loading effect)的影响。

[0065] 所述电感耦合等离子体刻蚀工艺的电感耦合功率为 100~1000W, 偏置电压为 0~200V, 采用的气体为 Cl_2 、 CH_4 和 He, Cl_2 的流量为 10~500sccm, CH_4 的流量为 10~100sccm, He 的流量为 10~500sccm, 等离子体刻蚀的时间为 10~300S, 使刻蚀负载效应(Etch loading effect)对第一开口 309 和第二开口 310 形成过程的影响最小。

[0066] 以金属刻蚀停止层 303 作为刻蚀停止层, 刻蚀金属硬掩膜层 305 时, 由于刻蚀负载效应(Etch loading effect)的影响, 宽度较小的第一开口 309 的形成速度要小于宽度较宽的第二开口 310 的形成速度, 第二开口 310 的底部会先暴露金属刻蚀停止层 303 的表面, 但是由于金属硬掩膜层 305 相对于金属刻蚀停止层 303 具有高的刻蚀选择比, 所述金属硬掩膜层 305 相对于金属刻蚀停止层 303 的刻蚀选择比为 50:1~200:1, 在形成第一开口 309 的过程中, 等离子体对第二开口 310 底部暴露的金属刻蚀停止层的过刻蚀量可以忽略不计, 在形成第一开口 309 后, 第一开口 309 和第二开口 310 底部对应的金属刻蚀停止层的过刻蚀量均可以忽略不计, 因此不会对后续的工艺窗口产生影响, 提高了后续刻蚀工艺的稳定性。

[0067] 在形成第一开口 309 和第二开口 310 后, 还包括: 去除图形化的光刻胶层 306; 沿第一开口 309 和第二开口 310 刻蚀所述金属刻蚀停止层 303、碳化硅层 302、超低 K 介质层 301 形成第三开口(图中未示出)和第四开口(图中未示出); 在所述第一开口 309、第二开口 310、第三开口和第四开口中填充金属层(图中未示出), 化学机械研磨所述金属材料层以碳化硅层 302 作为刻蚀停止层, 形成金属互连结构(图中未示出)。

[0068] 综上, 本发明实施例提供的半导体结构的形成方法, 以金属刻蚀停止层作为刻蚀停止层, 刻蚀金属硬掩膜层时, 由于刻蚀负载效应的影响, 宽度较小的第一开口的形成速度要小于宽度较宽的第二开口的形成速度, 第二开口的底部会先暴露金属刻蚀停止层的表面, 但是由于金属硬掩膜层相对于金属刻蚀停止层具有高的刻蚀选择比, 在形成第一开口的过程中, 第二开口底部暴露的金属刻蚀停止层的过刻蚀量可以忽略不计, 在形成第一开口后, 第一开口和第二开口底部对应的金属刻蚀停止层的过刻蚀量均可以忽略不计, 因此不会对后续的工艺窗口产生影响, 提高了后续刻蚀工艺的稳定性。

[0069] 进一步, 刻蚀所述金属硬掩膜层采用的工艺为电感耦合等离子体刻蚀工艺, 采用

电感耦合等离子体刻蚀工艺的等离子体密度大,刻蚀速率高,减小形成第一开口和第二开口时刻蚀负载效应的影响。

[0070] 本发明虽然已以较佳实施例公开如上,但其并不是用来限定本发明,任何本领域技术人员在不脱离本发明的精神和范围内,都可以利用上述揭示的方法和技术内容对本发明技术方案做出可能的变动和修改,因此,凡是未脱离本发明技术方案的内容,依据本发明的技术实质对以上实施例所作的任何简单修改、等同变化及修饰,均属于本发明技术方案的保护范围。

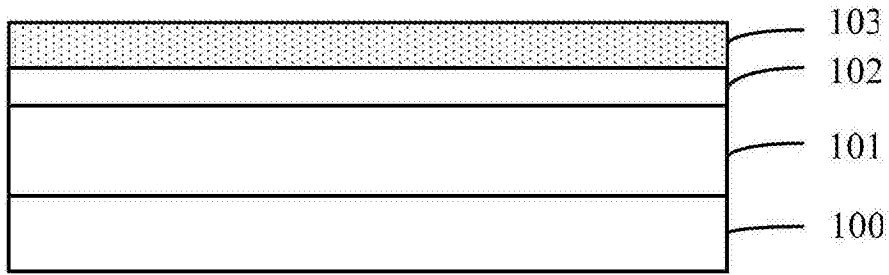


图 1

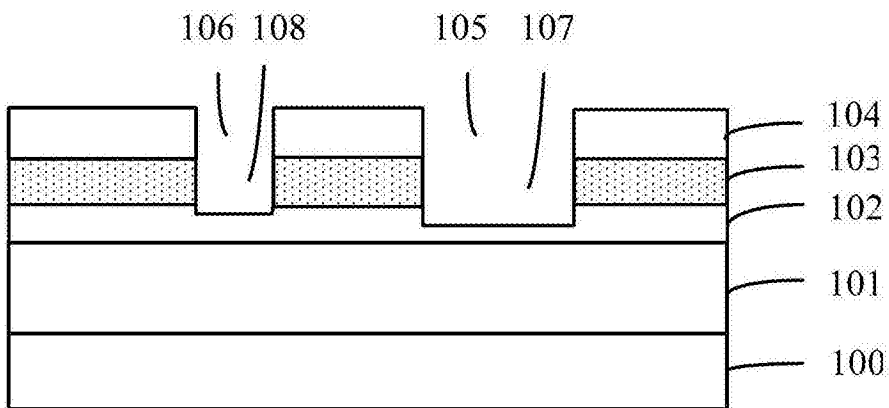


图 2

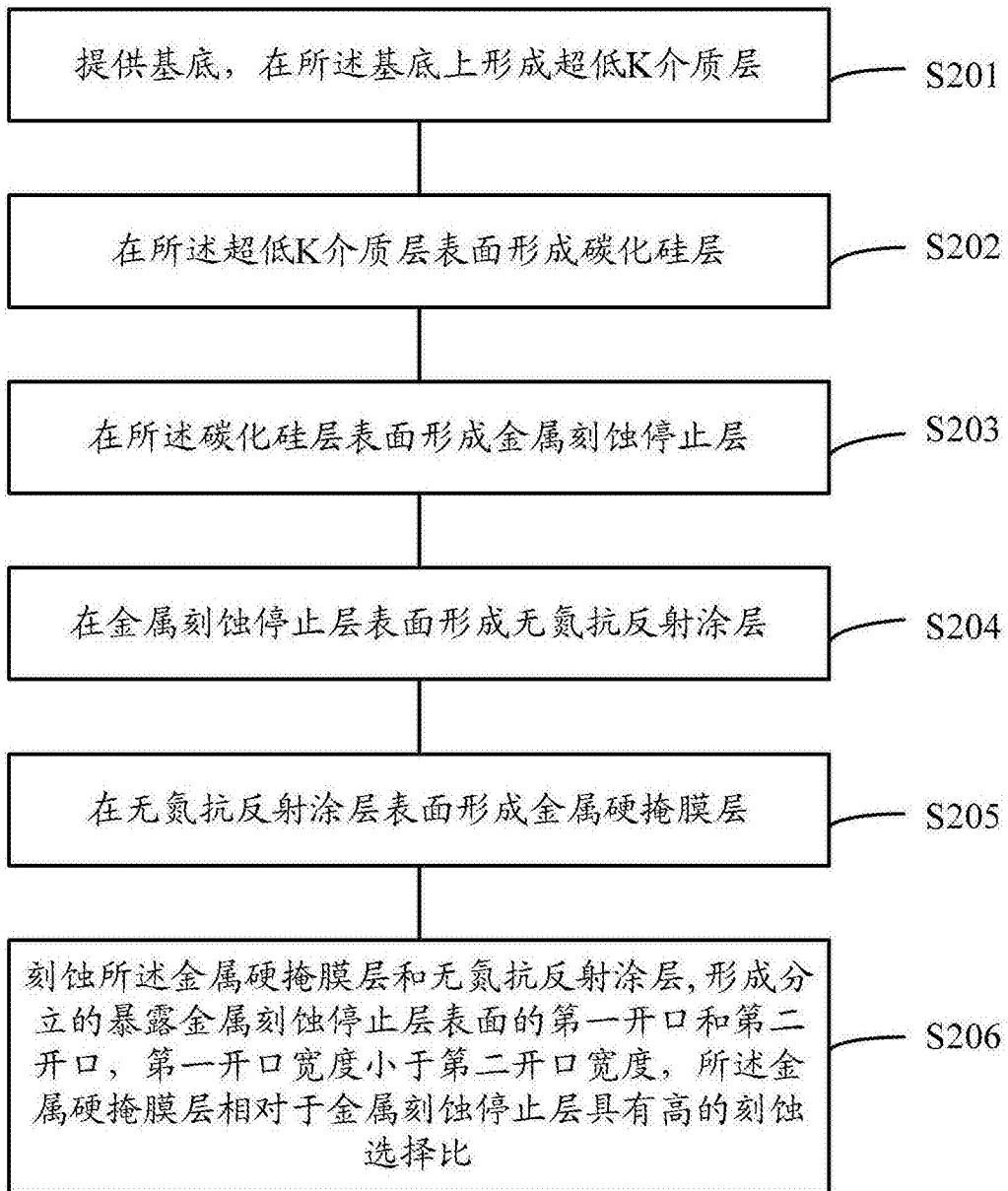


图 3

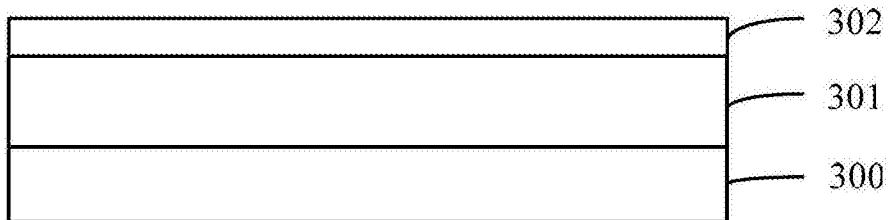


图 4

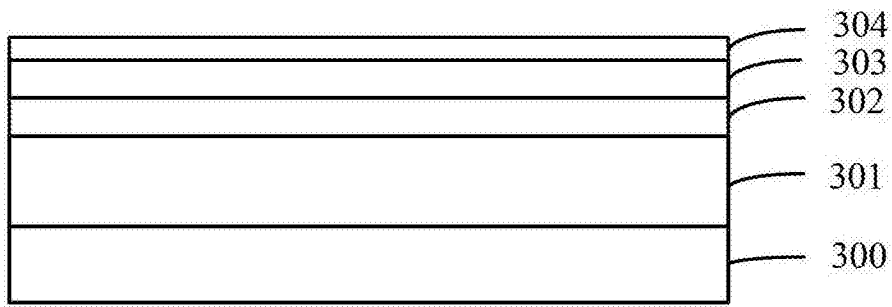


图 5

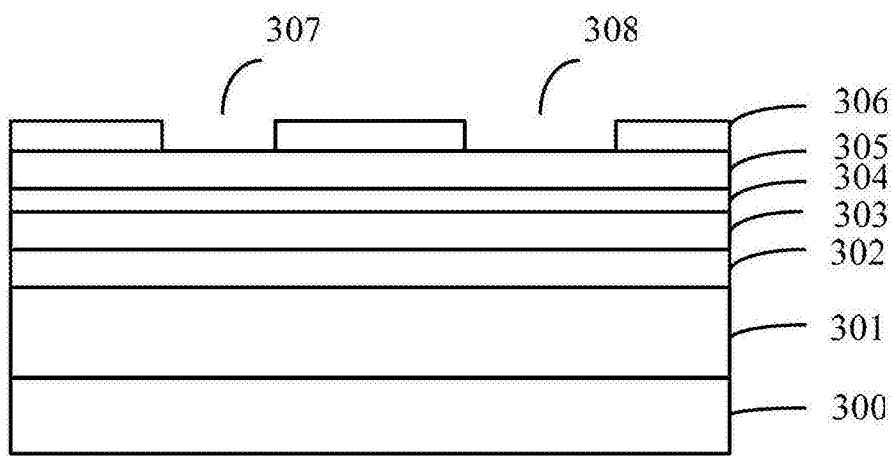


图 6

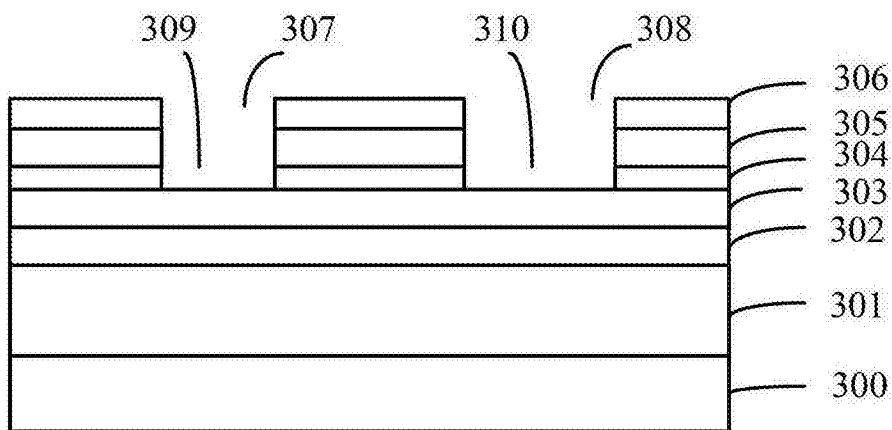


图 7