

(19) BUNDESREPUBLIK DEUTSCHLAND

PATENTCHRIFT



(12) Ausschließungspatent

(11) **DD 294 381 A5**

Erteilt gemäß § 17 Absatz 1
Patentgesetz der DDR
vom 27. 10. 1983
in Übereinstimmung mit den entsprechenden
Festlegungen im Einigungsvertrag

5(51) H 03 K 21/00

DEUTSCHES PATENTAMT

In der vom Anmelder eingereichten Fassung veröffentlicht

(21) DD H 03 K / 340 454 2 (22) 08.05.90 (44) 26.09.91

(71) VEB Schiffswerft „Neptun“, Karl-Liebknecht-Straße 30, O - 2500 Rostock, DE

(72) Gütschow, Bodo; Klemm, Ralf; Meußling, Eckhard, Dipl.-Ing., DE

(73) VEB Schiffswerft „Neptun“, O - 2500 Rostock; Universität Rostock, O - 2500 Rostock, DE

(54) **Schaltungsanordnung zur störsticheren Übertragung von digitalen Zählinformationen**

(55) digitale Zählinformationen; Anzeige; Zählimpulse; Richtungssignal; Komparator; Binärzähler; Übertragungsbildung; Vergleichsbits; Taktfrequenzen; Übertragungsstrecke

(57) Die Schaltungsanordnung zur störsticheren Übertragung von digitalen Zählinformationen dient der Realisierung einer mehrstelligen digitalen Anzeige von Informationen, die aus Zählimpulsen und Richtungssignalen bestehen. Erfindungsgemäß werden die Signale an den Binäreingängen des Komparators mit einer intern im Binärzähler erzeugten, schrittweise veränderbaren Binärzahl verglichen, so daß die am 1. Ausgang des Komparators anliegenden Signale die Freigabe des Binärzählers bewirken. Die am 2. Ausgang des Komparators anliegenden Signale legen die Zählrichtung des Binärzählers unter Berücksichtigung der Übertragungsbildung mit den beiden höchstwertigen Vergleichsbits fest. Die Freigabe und die Richtungserkennung erfolgt getaktet über ein D-Flipflop. Die Taktfrequenzen des D-Flipflop und des Binärzählers besitzen eine mehrfach höhere Frequenz als die maximale Zählimpulsfrequenz.

ISSN 0433-6461

4 Seiten

Patentanspruch:

Schaltungsanordnung zur störsicheren Übertragung von digitalen Zählinformationen, bestehend aus einem Komparator, einem D-Flipflop und einem Binärzähler, dadurch gekennzeichnet, daß die Signale an den Binäreingängen des Komparators (1) mit einer intern im Binärzähler (3) erzeugten, schrittweise veränderbaren Binärzahl verglichen werden, so daß die am 1. Ausgang des Komparators (1) anliegenden Signale die Freigabe des Binärzählers (3) bewirken und die am 2. Ausgang des Komparators (1) anliegenden Signale die Zählrichtung des Binärzählers unter Berücksichtigung der Übertragungsbildung mit den beiden höchstwertigen Vergleichsbit festlegen, wobei die Freigabe und die Richtungserkennung getaktet über ein D-Flipflop (2) erfolgt, und daß die Taktfrequenzen des D-Flipflops (2) und des Binärzählers eine mehrfach höhere Frequenz als die maximale Zählimpulsfrequenz der Übertragungsstrecke besitzen.

Hierzu 1 Seite Zeichnung

Anwendungsgebiet der Erfindung

Die Erfindung betrifft eine Schaltungsanordnung zur störsicheren Übertragung von digitalen Zählinformationen. Insbesondere handelt es sich um die Realisierung einer mehrstelligen digitalen Anzeige von Informationen, die aus Zählimpulsen und Richtungssignal bestehen.

Charakteristik des bekannten Standes der Technik

Zur Übertragung von digitalen Zählinformationen ist es bekannt, daß sie in Form von Zählimpulsen und Richtungssignalen erfolgt. Außerdem besteht die Möglichkeit der getrennten Übertragung von Vor- und Rückwärtsimpulsen. In den bekannten Varianten werden zum Zählen die Flanken der Impulse genutzt, wodurch sich ein Störimpuls auf das Zählergebnis auswirkt. Eine störungsfreie Übertragung von digitalen Meßinformationen ist damit nicht gewährleistet. So z. B. die Auslegeschrift DE 21 60 247, deren Erfindung sehr unempfindlich gegen Störungen ist und sich auf eine incrementale Signalfolge bzw. leicht umzusetzendes 2-Bit-Signal bezieht. In dieser Schrift wurde auf zahlreiche Erfindungen verwiesen, die aber zu empfindlich gegenüber Störungen sind: DE-AS 12 20 892, DE-AS 12 24 070, OE-AS 12 48 720, DE-AS 12 75 127. Auch in der Auslegeschrift DE 21 60 447 wird auf eine mögliche Zählerbeeinflussung, wenn Störungen zufällig gleichzeitig an beiden Eingängen mit dem Taktimpuls eintreffen, verwiesen. Diese Schaltung kann nur einmalige Störungen bei ein Taktimpuls verkraften. In der DE-OS 20 07 072 werden ebenfalls zwei gegeneinander phasenverschobene Impulsfolgen getaktet abgefragt, so daß ein Zähler mit den entsprechenden Richtungssignalen und Zählimpulsen versorgt wird. Auch hier kann nach gestörten Abfragen die Genauigkeit des Zählers nicht mehr garantiert werden.

Ziel der Erfindung

Durch die erfindungsgemäße Schaltungsanordnung soll die Störsicherheit bei der Übertragung von digitalen Meßinformationen entscheidend erhöht werden, um eine genaue mehrstellige Anzeige mit relativ geringem Aufwand zu ermöglichen.

Darlegung des Wesens der Erfindung

Es besteht die technische Aufgabe, eine Schaltungsanordnung zu entwickeln, die eine störsichere Übertragung von digitalen Zählinformationen mit relativ geringem technischen Aufwand ermöglicht. Erfindungsgemäß wird die Aufgabe dadurch gelöst, daß die Signale an den Binäreingängen des Komparators mit einer intern im Binärzähler erzeugten, schrittweise veränderbaren Binärzahl anliegenden Signale die Freigabe des Binärzählers bewirken. Die am 2. Ausgang des Komparators anliegenden Signale legen die Zählrichtung des Binärzählers unter Berücksichtigung der Übertragungsbildung mit den beiden höchstwertigen Vergleichsbit fest. Die Freigabe und die Richtungserkennung erfolgt getaktet über ein D-Flipflop. Die Taktfrequenzen des D-Flipflop und des Binärzählers besitzen eine mehrfach höhere Frequenz als die maximale Zählimpulsfrequenz der Übertragungsstrecke. Die Wirkungsweise der Schaltung ist so, daß aus den gegebenen Zählimpulsen und einem Richtungssignal eine dekrementierende bzw. inkrementierende n-stellige Binärzahl gewonnen wird, aus welcher nach der Übertragung die Zählimpulse und das Richtungssignal zurückgewonnen werden. Die Zurückgewinnung erfolgt durch einen Vergleich des binären Signals mit einer schrittweise veränderbaren intern erzeugten Binärzahl. Das heißt, es werden die Zustände des empfangenen Signals ausgewertet. Dadurch ist es möglich, die Wirkung eventuell eingekoppelter Störimpulse zu korrigieren. Diese ist mit einer um ein mehrfaches höheren Taktfrequenz am Binärzähler als die größtmögliche Zählimpulsfrequenz gewährleistet. Die Übertragungsbildung erfolgt aus den beiden höchstwertigen Bit des empfangenen Binärsignals und der intern erzeugten Binärzahl. Ein besonderer Vorteil der Erfindung besteht darin, daß mit wenigen Übertragungsleitungen eine vielstellige Anzeigeeinheit störsicher betrieben werden kann.

Ausführungsbeispiel

Fig. 1: Schaltungsanordnung zur stör sicheren Übertragung von digitalen Zählinformationen.

Die zu übertragende Information besteht aus Zählimpulsen C und einem Richtungssignal U/D. Aus dieser Information wird mit Hilfe eines n-stelligen asynchronen Binärzählers eine umlaufende Binärzahl gewonnen, welche über n Leitungen übertragen wird. In der Empfangsschaltung erfolgt der Vergleich dieser Binärzahl mit einer intern erzeugten schrittweise veränderbaren Binärzahl durch den Komparator 1.

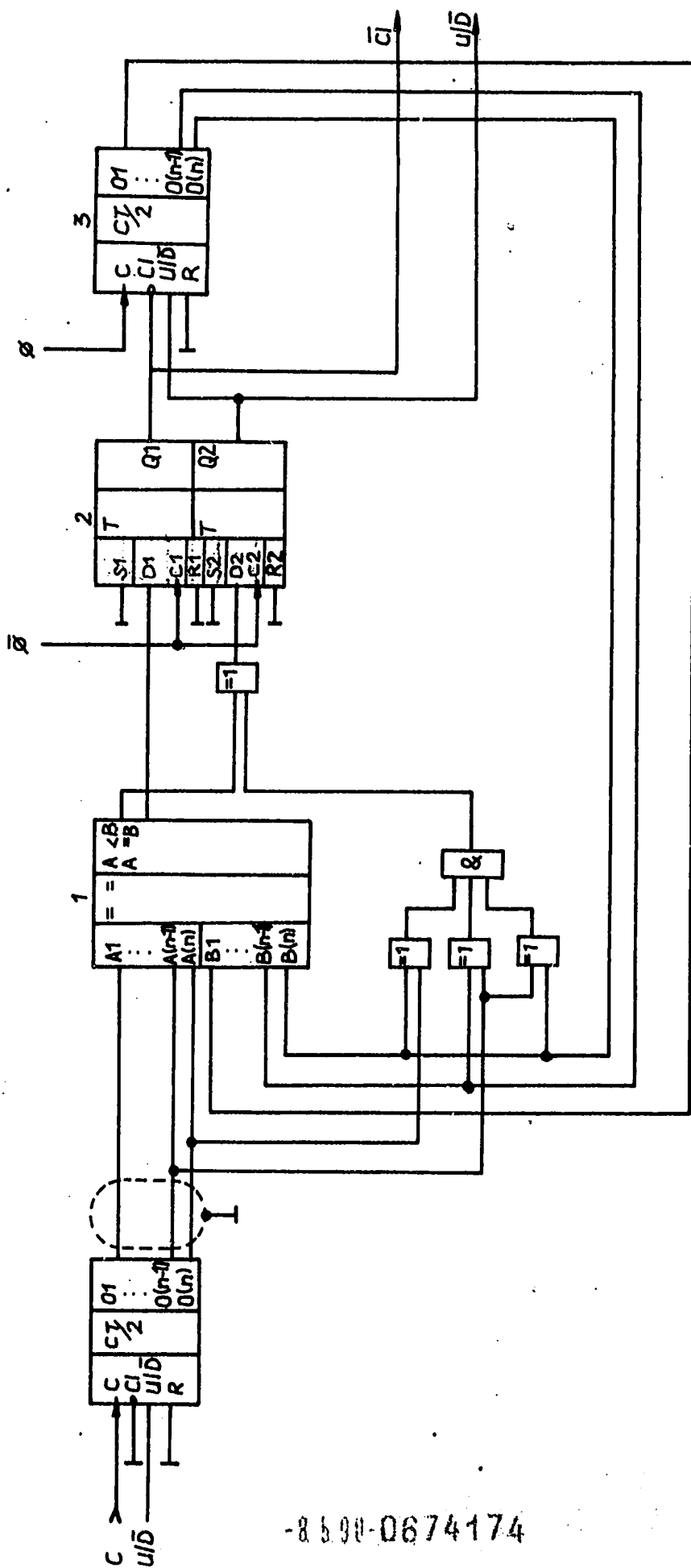
Dabei steuert der Komparator 1 einen synchronen n-stelligen Binärzähler 3. Am Binärzähler 3 liegt ein Takt Φ mit einer Frequenz an, die etwa 5mal größer als die maximale Zählimpulsfrequenz ist. Ein eventuell auftretender Störimpuls bewirkt eine kurzzeitige Veränderung am Ausgang des Komparators 1, was zu einer Freigabe des Binärzählers 3 führt, und der Zählerausgang ändert sich um einen Schritt. Bei Anliegen des folgenden Taktimpulses wird der Zähler freigegeben, und das Vergleichsergebnis des Komparators 1 erreicht eine Korrektur des Wertes am Zählerausgang.

Auf die nachfolgenden Bausteine zur Realisierung einer Anzeige bzw. Weiterverarbeitung gelangt ein \overline{CT} -Freigabe- und ein Richtungssignal U/D. Nach einem vollständigen Umlauf der empfangenen Binärzahl erfolgt die Übertragungsbildung. Dazu werden die beiden höchstwertigen Bit verwendet, was eine hohe Störsicherheit gewährleistet. UND-verknüpfte Antivalenzgatter erzeugen ein Hilfssignal im Zusammenwirken mit einem weiteren Antivalenzgatter. Es gelten dabei folgende Boolesche Gleichungen:

$$C/: = [A = B]$$

$$UD: = [A > B] \oplus ((A_n \oplus B_n) \wedge (A_{n-1} \oplus B_{n-1}) \wedge (A_{n-1} \oplus B_n))$$

Der Ausgang dieser logischen Schaltung sowie der Signalausgang $[A = B]$ des Komparators 1 liegen an D-Flipflops 2, welche mit dem negierten Takt $\overline{\Phi}$ angesteuert werden. Die D-Flipflops 2 dienen zum Ausgleich der unterschiedlichen Signallaufzeiten, insbesondere der Bildung des Übertrages. Das Signal wird verzögert, zwischengespeichert und steuert den nachfolgenden Zähler eindeutig an.



Figur