

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-50680

(P2013-50680A)

(43) 公開日 平成25年3月14日(2013.3.14)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/20 (2006.01)	G09G 3/20 641E	2H193
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/36 (2006.01)	G09G 3/36	5C006
G02F 1/133 (2006.01)	G09G 3/20 624B	5C080
H01L 51/50 (2006.01)	G09G 3/20 622C	5C380
審査請求 未請求 請求項の数 4 O L (全 12 頁) 最終頁に続く		

(21) 出願番号 特願2011-189927 (P2011-189927)
 (22) 出願日 平成23年8月31日 (2011.8.31)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 110001357
 特許業務法人つばき国際特許事務所
 (72) 発明者 吉永 朋朗
 東京都港区港南1丁目7番1号 ソニー株式会社社内
 Fターム(参考) 2H193 ZA01 ZC21 ZC39 ZD26 ZF16
 3K107 AA01 BB01 CC35 HH05
 5C006 AA14 AA22 AC22 BB16 BC06
 FA42
 5C080 AA06 AA10 BB05 CC03 DD23
 HH09 JJ02 JJ04

最終頁に続く

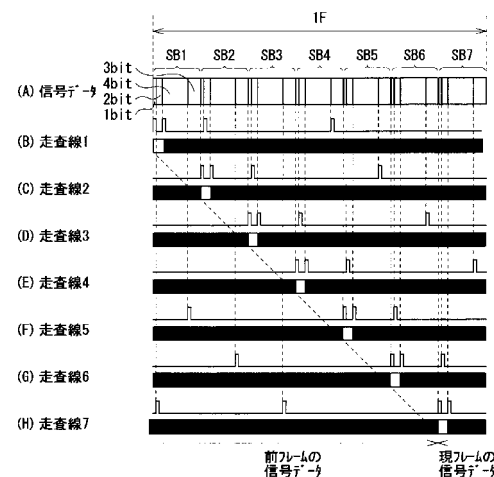
(54) 【発明の名称】 駆動回路、表示装置、および表示装置の駆動方法

(57) 【要約】

【課題】走査線の数を増やさなくても、階調数を増やすことの可能な駆動回路およびそれを備えた表示装置、ならびに、走査線の数を増やさなくても、階調数を増やすことの可能な表示装置の駆動方法を提供する。

【解決手段】電気光学素子を含むメモリ内蔵の画素を駆動する駆動回路は、階調データの各ビットに対応し、かつ対応ビットの重みに応じた期間となる複数のサブフィールドからなる複数のサブフレームで1フレーム期間を分割するようになっている。この駆動回路は、また、サブフレーム単位で、当該サブフレームに含まれるサブフィールドの数より1だけ少ない数の走査線を選択するとともに、選択した一の走査線を再度、同一サブフレーム期間中に選択するようになっている。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

電気光学素子を含むメモリ内蔵の画素が行列状に配置され、画素行ごとに走査線が設けられた表示装置における各画素を駆動する駆動回路であって、

階調データの各ビットに対応し、かつ対応ビットの重みに応じた期間となる複数のサブフィールドからなる複数のサブブロックで1フレーム期間を分割する分割部と、

各サブフィールドに対応するビットに従って画素の電気光学素子をオンまたはオフすることで、1フレーム期間中のオン期間またはオフ期間の割合を制御するオンオフ期間制御部と

を備え、

10

前記オンオフ期間制御部は、前記サブブロック単位で、当該サブブロックに含まれるサブフィールドの数より1だけ少ない数の走査線を選択するとともに、選択した一の走査線を再度、同一サブブロック期間中に選択するようになっている

駆動回路。

【請求項 2】

前記オンオフ期間制御部は、前記選択した一の走査線を再度、同一サブブロック期間中に選択したときに、当初のビットとは異なるビットを画素に書き込む

請求項 1 に記載の駆動回路。

【請求項 3】

電気光学素子を含むメモリ内蔵の画素が行列状に配置され、画素行ごとに走査線が設けられた表示領域と、

20

各画素を駆動する駆動回路と

を備え、

前記駆動回路は、

階調データの各ビットに対応し、かつ対応ビットの重みに応じた期間となる複数のサブフィールドからなる複数のサブブロックで1フレーム期間を分割する分割部と、

各サブフィールドに対応するビットに従って画素の電気光学素子をオンまたはオフすることで、1フレーム期間中のオン期間またはオフ期間の割合を制御するオンオフ期間制御部と

を有し、

30

前記オンオフ期間制御部は、前記サブブロック単位で、当該サブブロックに含まれるサブフィールドの数より1だけ少ない数の走査線を選択するとともに、選択した一の走査線を再度、同一サブブロック期間中に選択するようになっている

表示装置。

【請求項 4】

電気光学素子を含むメモリ内蔵の画素が行列状に配置され、画素行ごとに走査線が設けられた表示装置の駆動方法であって、

階調データの各ビットに対応し、かつ対応ビットの重みに応じた期間となる複数のサブフィールドからなる複数のサブブロックで1フレーム期間を分割する分割ステップと、

40

各サブフィールドに対応するビットに従って画素の電気光学素子をオンまたはオフすることで、1フレーム期間中のオン期間またはオフ期間の割合を制御するオンオフ期間制御ステップと

を含み、

前記オンオフ期間制御ステップにおいて、前記サブブロック単位で、当該サブブロックに含まれるサブフィールドの数より1だけ少ない数の走査線を選択するとともに、選択した一の走査線を再度、同一サブブロック期間中に選択する

表示装置の駆動方法。

【発明の詳細な説明】**【技術分野】****【0001】**

50

本技術は、パルス幅変調 (P W M) で階調表示を行う駆動回路およびそれを備えた表示装置に関する。また、本技術は、上記の表示装置の駆動方法に関する。

【背景技術】

【 0 0 0 2 】

P W M で階調表示を行うデジタル駆動の表示装置では、5 ビット (3 2 階調) の場合を例にとると、例えば、図 5 に示したような階調表示法が用いられる。具体的には、図 5 に示したように、例えば数 m s 幅の 1 ビットのデータを単位として、期間の比が 1 : 2 : 4 : 8 : 1 6 の 5 つのデータを用意し、これら 5 つのデータの組み合わせにより 3 2 階調が表現される。

【 0 0 0 3 】

図 6 は、従来の一般的なデジタル駆動における順次走査の信号データと、走査線に印加される選択パルスとの関係を表したものである。ここでは、説明の都合上、走査線が 3 本の場合を示している。図 6 からわかるように、従来の一般的なデジタル駆動の表示装置では、階調データの各ビット (本例では、1 b i t ~ 5 b i t) に対応し、かつ対応ビットの重みに応じた期間となるサブフィールド S F 1 ~ S F 5 で 1 フレーム期間 (1 F) が分割されている。そして、各サブフィールド S F 1 ~ S F 5 に対応するビットに従って画素の電気光学素子がオンまたはオフされることで、1 F 中のオン期間またはオフ期間の割合が段階的に制御される。さらに、走査線を介した画素へのデータ書込みは、サブフィールド S F 1 ~ S F 5 ごとに線順次走査で行われる。なお、上記のデジタル駆動に関する情報は、例えば、以下の特許文献 1 などに記載されている。

【先行技術文献】

【特許文献】

【 0 0 0 4 】

【特許文献 1】特開 2 0 0 6 - 3 4 3 6 0 9 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 5 】

しかし、上記の階調表示法では、最小ビット (1 b i t) の転送速度で、信号データの転送速度が律束されるので、階調数を容易に増やすことができない。そこで、例えば、特許文献 2 では、複数のサブフィールドが 1 つのサブブロックにまとめられ、複数のサブブロックで 1 フレーム期間が分割され、サブブロック単位で走査線が間引き走査されることが提案されている。

【 0 0 0 6 】

図 7 は、上記の間引き走査の一例を模式的に表したものである。図 7 (A) に示したように、1 フレーム期間が 7 つのサブブロック S B 1 ~ S B 7 で分割され、各サブブロック S B 1 ~ S B 7 が図 8 に示した 3 つのサブフィールドで構成されている。図 7 (B) ~ (H) に示したように、各走査線 1 ~ 7 はサブブロック単位で間引き走査されている。さらに、全てのサブブロック S B 1 ~ S B 7 で各走査線 1 ~ 7 が間引き走査されることにより、各サブフィールドに対応するビットに従って、各走査線 1 ~ 7 に接続された画素がオンまたはオフされる。

【 0 0 0 7 】

図 7 に記載の階調表示法では、転送速度がサブブロックごとに均一となっており、しかも、従来 of 階調表示法よりも、転送速度を大幅に低減することができる。そのため、階調数が、最小ビットの転送速度に律束されることがないので、階調数を容易に増やすことができる。しかし、図 7 に記載の階調表示法では、階調数が走査線の数によって制限を受ける。そのため、階調数を増やすために、走査線の数を増やさなければならなくなる事態が起こり得る。

【 0 0 0 8 】

本技術はかかる問題点に鑑みてなされたものであり、その第 1 の目的は、走査線の数を増やさなくても、階調数を増やすことの可能な駆動回路およびそれを備えた表示装置を提

10

20

30

40

50

供することにある。また、第2の目的は、走査線の数を増やさなくても、階調数を増やすことの可能な表示装置の駆動方法を提供することにある。

【課題を解決するための手段】

【0009】

本技術による駆動回路は、電気光学素子を含むメモリ内蔵の画素が行列状に配置され、画素行ごとに走査線が設けられた表示装置における各画素を駆動する回路である。駆動回路は、分割部と、オンオフ期間制御部とを含んでいる。分割部は、階調データの各ビットに対応し、かつ対応ビットの重みに応じた期間となる複数のサブフィールドからなる複数のサブブロックで1フレーム期間を分割するようになっている。オンオフ期間制御部は、各サブフィールドに対応するビットに従って画素の電気光学素子をオンまたはオフすることで、1フレーム期間中のオン期間またはオフ期間の割合を制御するようになっている。オンオフ期間制御部は、さらに、サブブロック単位で、当該サブブロックに含まれるサブフィールドの数より1だけ少ない数の走査線を選択するとともに、選択した一の走査線を再度、同一サブブロック期間中に選択するようになっている。

10

【0010】

本技術による表示装置は、電気光学素子を含むメモリ内蔵の画素が行列状に配置され、画素行ごとに走査線が設けられた表示領域と、各画素を駆動する駆動回路とを備えている。この表示装置において、駆動回路は、上記の分割部と同一の構成要素の分割部と、上記のオンオフ期間制御部と同一の構成要素のオンオフ期間制御部とを備えている。

20

【0011】

本技術による表示装置の駆動方法は、電気光学素子を含むメモリ内蔵の画素が行列状に配置され、画素行ごとに走査線が設けられた表示装置の駆動方法である。この駆動方法は、以下の3つのステップを含んでいる。

(A) 階調データの各ビットに対応し、かつ対応ビットの重みに応じた期間となる複数のサブフィールドからなる複数のサブブロックで1フレーム期間を分割する分割ステップ

(B) 各サブフィールドに対応するビットに従って画素の電気光学素子をオンまたはオフすることで、1フレーム期間中のオン期間またはオフ期間の割合を制御するオンオフ期間制御ステップ

(C) オンオフ期間制御ステップにおいて、サブブロック単位で、当該サブブロックに含まれるサブフィールドの数より1だけ少ない数の走査線を選択するとともに、選択した一の走査線を再度、同一サブブロック期間中に選択するステップ

30

【0012】

本技術による駆動回路、表示装置、および表示装置の駆動方法では、サブブロック単位で、当該サブブロックに含まれるサブフィールドの数より1だけ少ない数の走査線が選択されとともに、選択した一の走査線が再度、同一サブブロック期間中に選択される。これにより、サブブロックの期間よりも短い期間で、再選択する直前のサブフィールドに対応するビットとは異なるビットに従ったオンオフ駆動に切り換えることができる。

【発明の効果】

【0013】

本技術による駆動回路、表示装置、および表示装置の駆動方法によれば、サブブロックの期間よりも短い期間で、再選択する直前のサブフィールドに対応するビットとは異なるビットに従ったオンオフ駆動に切り換えることができるようにしたので、走査線の数を増やさなくても、階調数を増やすことができる。

40

【図面の簡単な説明】

【0014】

【図1】本技術による一実施の形態に係る表示装置の概略図である。

【図2】1フレーム期間における信号データの一例および選択パルスの一例を表す模式図である。

【図3】図2のサブフィールドの構成の一例を表す図である。

【図4】図1の変換回路の概略図である。

50

【図 5】従来の階調データの一例を表す模式図である。

【図 6】1 フレーム期間における信号データの従来例および選択パルスの従来例を表す模式図である。

【図 7】1 フレーム期間における信号データの他の例および選択パルスの他の例を表す模式図である。

【図 8】図 7 のサブフィールドの構成の一例を表す図である。

【図 9】1 フレーム期間における信号データの従来例および選択パルスの従来例を表す模式図である。

【図 10】図 9 のサブフィールドの構成の一例を表す図である。

【発明を実施するための形態】

10

【0015】

以下、発明を実施するための形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 実施の形態（表示装置）

2. 変形例（表示装置）

【0016】

< 1. 実施の形態 >

[構成]

図 1 は、本技術による一実施の形態に係る表示装置 1 の概略構成を表したものである。この表示装置 1 は、表示パネル 10 と、表示パネル 10 を駆動する周辺回路 20 とを備えている。

20

【0017】

（表示パネル 10）

表示パネル 10 は、行方向に延在する複数の走査線 W S L と、列方向に延在する複数のデータ線 D T L とを有しており、走査線 W S L とデータ線 D T L とが互いに交差する箇所に対応して画素 11 を有している。表示パネル 10 内の複数の画素 11 は、表示パネル 10 の画素領域 10 A 全面に渡って行方向および列方向に 2 次元配置されている。画素 11 は、表示パネル 10 上の画面を構成する最小単位の点に対応するものである。表示パネル 10 がカラー表示パネルである場合には、画素 11 は、例えば赤、緑または青などの単色の光を発する副画素に相当し、表示パネル 10 がモノクロ表示パネルである場合には、画素 11 は、単色光（例えば白色光）を発する画素に相当する。

30

【0018】

画素 11 は、図示しないが、電気光学素子を含むメモリ内蔵の画素である。電気光学素子の種類としては、例えば、液晶セルや、有機 E L（Electro Luminescence）セルなどが挙げられる。メモリの種類としては、例えば、S R A M（Static Random Access Memory）や D R A M（Dynamic Random Access Memory）などが挙げられる。画素 11 は、対応する 1 本の走査線 W S L が選択されたとき、対応するデータ線 D T L に供給された信号データ（ビット）の書込みに応じて発光状態または消光状態となり、その後、当該走査線 W S L が非選択となっても、書込みによる発光状態または消光状態が継続するようになっている。そのため、周辺回路 20 は、画素 11 が発光状態となっている期間（点灯期間）、または画素 11 が消光状態となっている期間（消灯期間）の、1 フレーム期間における割合を制御することにより、階調表示を実現している。

40

【0019】

画素 11 の点灯期間または消灯期間の単位として「サブフィールド」という概念がある。「サブフィールド」とは、画素 11 の階調を規定する階調データの各ビットに対応し、かつ当該対応ビットの重みに応じた期間の単位を指している。一般に、例えば、5 ビットからなる階調データによって 32 階調を表現する場合、例えば、図 5 に示したように、例えば数 m s 幅の 1 ビットのデータを単位として、期間の比が 1 : 2 : 4 : 8 : 16 の 5 つのデータが用意され、これら 5 つのデータの組み合わせにより 32 階調が表現される。上

50

記の階調表示法では、図 6 (A) に示したように、階調データの各ビット (1 b i t ~ 5 b i t) に対応し、かつ対応ビットの重みに応じた期間となるサブフィールド S F 1 ~ S F 5 で、信号データが規定される。

【 0 0 2 0 】

本実施の形態では、複数のサブフィールドを 1 つのサブブロックにまとめ、複数のサブブロックで 1 フレーム期間を分割し、サブブロック単位で走査線を間引き走査する階調表示法が適用されている。

【 0 0 2 1 】

図 2 は、上記の階調表示法の一例を模式的に表したものである。図 2 (A) に示したように、1 フレーム期間が 7 つのサブブロック S B 1 ~ S B 7 で分割され、各サブブロック S B 1 ~ S B 7 が図 3 に示した 4 つのサブフィールドで構成されている。各サブフィールドは、階調データの各ビットに対応し、かつ対応ビットの重みに応じた期間となっている。具体的には、期初のサブフィールドは、階調データの 1 ビット目に対応しており、期初のサブフィールドの期間は、1 ビット目の重みに応じて幅 0 . 5 となっている。2 番目のサブフィールドは、階調データの 2 ビット目に対応しており、2 番目のサブフィールドの期間は、2 ビット目の重みに応じて幅 1 となっている。3 番目のサブフィールドは、階調データの 4 ビット目に対応しており、3 番目のサブフィールドの期間は、4 ビット目の重みに応じて幅 3 . 5 となっている。4 番目のサブフィールドは、階調データの 3 ビット目に対応しており、4 番目のサブフィールドの期間は、3 ビット目の重みに応じて幅 2 となっている。各サブブロック S B 1 ~ S B 7 において、幅の最も大きなサブフィールドが、4 番目ではなく、3 番目に配置されている。

【 0 0 2 2 】

図 2 (B) ~ (H) に示したように、各走査線 1 ~ 7 はサブブロック単位で間引き走査されている。さらに、全てのサブブロック S B 1 ~ S B 7 で各走査線 1 ~ 7 が間引き走査されることにより、各サブフィールドに対応するビットに従って、各走査線 1 ~ 7 に接続された画素がオンまたはオフされる。各サブブロック S B 1 ~ S B 7 での走査では、サブブロック S B 1 ~ S B 7 ごとに、当該サブブロックに含まれるサブフィールドの数より 1 だけ少ない数の走査線が選択されるとともに、選択した一の走査線が再度、同一サブブロック期間中に選択されている。間引き走査の走査速度は、走査線の選択本数に依っており、全てのサブブロック S B 1 ~ S B 7 において互いに等しくなっている。また、走査線の再選択のタイミングは、常に、幅の最も大きなサブフィールドの開始のタイミングに一致 (または同期) している。

【 0 0 2 3 】

例えば、サブブロック S B 1 においては、3 本の走査線 1 , 5 , 7 が選択されるとともに、選択された 3 本の走査線 1 , 5 , 7 のうち走査線 1 が再度、サブブロック S B 1 期間中に選択されている。また、例えば、サブブロック S B 2 においては、3 本の走査線 1 , 2 , 6 が選択されるとともに、選択された 3 本の走査線 1 , 2 , 6 のうち走査線 2 が再度、サブブロック S B 2 期間中に選択されている。また、例えば、サブブロック S B 3 においては、3 本の走査線 2 , 3 , 7 が選択されるとともに、選択された 3 本の走査線 2 , 3 , 7 のうち走査線 3 が再度、サブブロック S B 3 期間中に選択されている。また、例えば、サブブロック S B 4 においては、3 本の走査線 1 , 3 , 4 が選択されるとともに、選択された 3 本の走査線 1 , 3 , 4 のうち走査線 4 が再度、サブブロック S B 4 期間中に選択されている。また、例えば、サブブロック S B 5 においては、3 本の走査線 2 , 4 , 5 が選択されるとともに、選択された 3 本の走査線 2 , 4 , 5 のうち走査線 5 が再度、サブブロック S B 5 期間中に選択されている。また、例えば、サブブロック S B 6 においては、3 本の走査線 3 , 5 , 6 が選択されるとともに、選択された 3 本の走査線 3 , 5 , 6 のうち走査線 6 が再度、サブブロック S B 6 期間中に選択されている。また、例えば、サブブロック S B 7 においては、3 本の走査線 4 , 6 , 7 が選択されるとともに、選択された 3 本の走査線 4 , 6 , 7 のうち走査線 7 が再度、サブブロック S B 7 期間中に選択されている。

10

20

30

40

50

【 0 0 2 4 】

走査線の再選択のタイミングは、いずれのサブブロック S B 1 ~ S B 7 においても、3 番目のサブフィールドの開始のタイミングに一致（または同期）している。また、再選択される走査線は、いずれのサブブロック S B 1 ~ S B 7 においても、1 番目に選択され、その後、3 番目に再選択されている。ここで、走査線が再度、同一サブフレーム期間中に選択されたときに、当初のビットとは異なるビットが画素に書き込まれる。つまり、再選択によってオンオフ駆動の切り換えがなされる区間の最短期間は、図 2 (B) ~ (H) に示したように、期初のサブフィールドおよび 2 番目のサブフィールドのそれぞれの期間の合計に相当する。なお、図 2 (B) ~ (H) では、再選択によってオンオフ駆動の切り換えがなされる区間のビットが、常に 1 (白) となっているが、図示しないが、0 (黒) となってもよい。

10

【 0 0 2 5 】

現フレームの信号データの各画素行における書込みは、各サブブロック S B 1 ~ S B 7 の期初に各走査線が順次選択されるのに対応して開始される。例えば、サブブロック S B 1 において、走査線が 1 , 7 , 1 , 5 の順にまびき選択されたときに、走査線 1 の選択に対応して現フレームの信号データが書き込まれ、走査線 5 , 7 の選択に対応して前フレームの信号データが書き込まれる。

【 0 0 2 6 】

(周辺回路 2 0)

次に、周辺回路 2 0 の構成についての説明を行う。周辺回路 2 0 は、例えば、図 1 に示したように、変換回路 3 0 、コントローラ 4 0 、垂直駆動回路 5 0 および水平駆動回路 6 0 を有している。

20

【 0 0 2 7 】

コントローラ 4 0 は、図示しない上位装置から供給される同期信号 2 0 B から、変換回路 3 0 、垂直駆動回路 5 0 、および水平駆動回路 6 0 の動作タイミングを制御する制御信号 4 0 A , 4 0 B , 4 0 C を生成するものである。同期信号 2 0 B としては、例えば、垂直同期信号、水平同期信号、ドットクロック信号などが挙げられる。制御信号 4 0 A , 4 0 B , 4 0 C としては、例えば、クロック信号、ラッチ信号、フレーム開始信号、サブフィールド開始信号などが挙げられる。

【 0 0 2 8 】

変換回路 3 0 は、例えば、図 4 に示したように、フレームメモリ 3 1 、書込回路 3 2 、読出回路 3 3 およびデコーダ 3 4 を含んでいる。フレームメモリ 3 1 は、少なくとも表示領域 1 0 A の解像度よりも多い記憶容量を有する映像表示用メモリであり、例えば、行アドレスと、列アドレスと、行アドレスおよび列アドレスと関連付けられた各画素 1 1 の階調データとを記憶することができるようになっている。書込回路 3 2 は、同期信号 2 0 B を利用して、映像信号 2 0 A の書込アドレス W a d を生成するとともに、同期信号 2 0 B に同期してフレームメモリ 3 1 に出力するようになっている。書込みアドレス W a d は、例えば、行アドレスおよび列アドレスを含んでいる。読出回路 3 3 は、制御信号 2 0 C に基づいて、読出アドレス R a d を生成し、フレームメモリ 3 1 に出力するようになっている。デコーダ 3 4 は、フレームメモリ 3 1 から出力された階調データを信号データ 3 0 A と

30

40

【 0 0 2 9 】

垂直駆動回路 5 0 は、制御信号 4 0 C から特定されるアドレスデータに基づいて、各画素 1 1 を行単位で選択するための走査パルス走査線 W S L に出力するようになっている。垂直駆動回路 5 0 は、例えば、図 2 (B) ~ (H) に示したように、1 フレーム期間を 7 つのサブブロック S B 1 ~ S B 7 で分割し、各サブブロック S B 1 ~ S B 7 を図 3 に示した 4 つのサブフィールドで分割している。垂直駆動回路 5 0 は、例えば、図 2 (B) ~ (H) に示したように、各走査線 1 ~ 7 をサブブロック単位で間引き走査するようになっている。垂直駆動回路 5 0 は、各サブブロック S B 1 ~ S B 7 での走査において、サブブロック S B 1 ~ S B 7 ごとに、当該サブブロックに含まれるサブフィールドの数より 1 だ

50

け少ない数の走査線を選択するとともに、選択した一の走査線を再度、同一サブブロック期間中に選択するようになっている。

【0030】

垂直駆動回路50は、走査線の再選択のタイミングを、いずれのサブブロックSB1～SB7においても、3番目のサブフィールドの開始のタイミングに一致（または同期）させている。また、垂直駆動回路50は、再選択される走査線を、いずれのサブブロックSB1～SB7においても、1番目に選択し、その後、3番目に再選択するようになっている。

【0031】

水平駆動回路60は、制御信号40Bと、信号データ30Aとに基づいて、各サブフィールドに対応するビットに従って画素11の電気光学素子をオンまたはオフすることで、1F中のオン期間またはオフ期間の割合を段階的に制御するようになっている。水平駆動回路60は、例えば、図2(A)に示したように、各サブブロックSB1～SB7のサブフィールドに対応する階調データを各データ線DTLに出力するようになっている。水平駆動回路60は、垂直駆動回路50が走査線を再度、同一サブフレーム期間中に選択したときに、当初のビットとは異なるビットを、データ線DTLを介して画素に書き込むようになっている。

【0032】

[効果]

次に、従来の一般的なデジタル駆動と対比しつつ、本実施の形態の表示装置1の効果について説明する。

【0033】

従来の一般的なPWMのデジタル駆動では、5ビット（32階調）の場合を例にとると、例えば、図5に示したような階調表示法が用いられる。具体的には、図5に示したように、例えば数ms幅の1ビットのデータを単位として、期間の比が1:2:4:8:16の5つのデータを用意し、これら5つのデータの組み合わせにより32階調が表現される。

【0034】

図6は、従来の一般的なデジタル駆動における順次走査の信号データと、走査線に印加される選択パルスとの関係を表したものである。ここでは、説明の都合上、走査線が3本の場合を示している。図6からわかるように、従来の一般的なデジタル駆動の表示装置では、階調データの各ビット（本例では、1bit～5bit）に対応し、かつ対応ビットの重みに応じた期間となるサブフィールドSF1～SF5で1フレーム期間（1F）が分割されている。そして、各サブフィールドSF1～SF5に対応するビットに従って画素の電気光学素子がオンまたはオフされることで、1F中のオン期間またはオフ期間の割合が段階的に制御される。さらに、走査線を介した画素へのデータ書込みは、サブフィールドSF1～SF5ごとに線順次走査で行われる。

【0035】

しかし、上記の階調表示法では、最小ビット（1bit）の転送速度で、信号データの転送速度が律束されるので、階調数を容易に増やすことができない。そこで、例えば、複数のサブフィールドを1つのサブブロックにまとめ、複数のサブブロックで1フレーム期間を分割し、サブブロック単位で走査線を間引き走査することが考えられる。

【0036】

図7は、上記の間引き走査の一例を模式的に表したものである。図7(A)に示したように、1フレーム期間が7つのサブブロックSB1～SB7で分割され、各サブブロックSB1～SB7が図8に示した3つのサブフィールドで構成されている。図7(B)～(H)に示したように、各走査線1～7はサブブロック単位で間引き走査されている。さらに、全てのサブブロックSB1～SB7で各走査線1～7が間引き走査されることにより、各サブフィールドに対応するビットに従って、各走査線1～7に接続された画素がオンまたはオフされる。

10

20

30

40

50

【 0 0 3 7 】

図 7 に記載の階調表示法では、転送速度がサブブロックごとに均一となっており、しかも、従来の階調表示法よりも、転送速度を大幅に低減することができる。そのため、階調数が、最小ビットの転送速度に律束されることがないので、階調数を容易に増やすことができる。しかし、図 7 に記載の階調表示法では、階調数が走査線の数によって制限を受ける。そのため、階調数を増やすために、走査線の数を増やさなければならなくなる事態が起こり得る。

【 0 0 3 8 】

一方、本実施の形態では、サブブロック単位で、当該サブブロックに含まれるサブフィールドの数より 1 だけ少ない数の走査線が選択されとともに、選択した一の走査線が再度、同一サブブロック期間中に選択される。これにより、サブブロックの期間よりも短い期間で、再選択する直前のサブフィールドに対応するビットとは異なるビットに従ったオンオフ駆動に切り換えることができる。その結果、走査線の数を増やさなくても、階調数を増やすことができる。

【 0 0 3 9 】

< 2 . 変形例 >

以上、実施の形態を挙げて本技術を説明したが、本技術は上記実施の形態に限定されるものではなく、種々変形が可能である。

【 0 0 4 0 】

例えば、上記実施の形態では、走査線の再選択は、1 サブフレーム期間中に 1 回だけとなっていたが、例えば、図 7、図 8 に示したように、1 サブフレーム期間中に 2 回となってもよい。走査線の再選択を 1 サブフレーム期間中に 2 回行った場合には、走査線の再選択を行わなかった場合と比べてビット数を 2 つ増やすことができる。

【 0 0 4 1 】

また、上記実施の形態等では、変換回路 3 0、垂直駆動回路 5 0 および水平駆動回路 6 0 の駆動をコントローラ 4 0 が制御していたが、他の回路がこれらの駆動を制御するようにしてもよい。また、変換回路 3 0、垂直駆動回路 5 0 および水平駆動回路 6 0 の制御は、ハードウェア（回路）で行われていてもよいし、ソフトウェア（プログラム）で行われていてもよい。

【 符号の説明 】

【 0 0 4 2 】

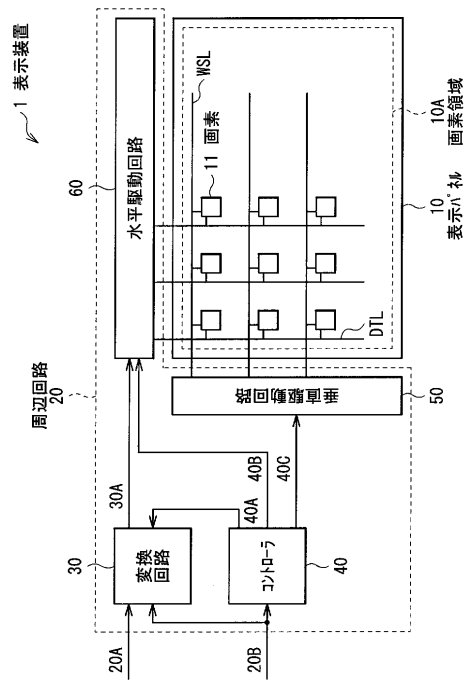
1 ... 表示装置、1 0 ... 表示パネル、1 0 A ... 画素領域、1 1 ... 画素、2 0 ... 周辺回路、2 0 A ... 映像信号、2 0 B ... 同期信号、3 0 ... 変換回路、3 0 A ... 信号データ、3 1 ... フレームメモリ、3 2 ... 書込回路、3 3 ... 読出回路、3 4 ... デコーダ、4 0 ... コントローラ、4 0 A、4 0 B、4 0 C ... 制御信号、5 0 ... 垂直駆動回路、6 0 ... 水平駆動回路、D T L ... データ線、W S L ... 走査線。

10

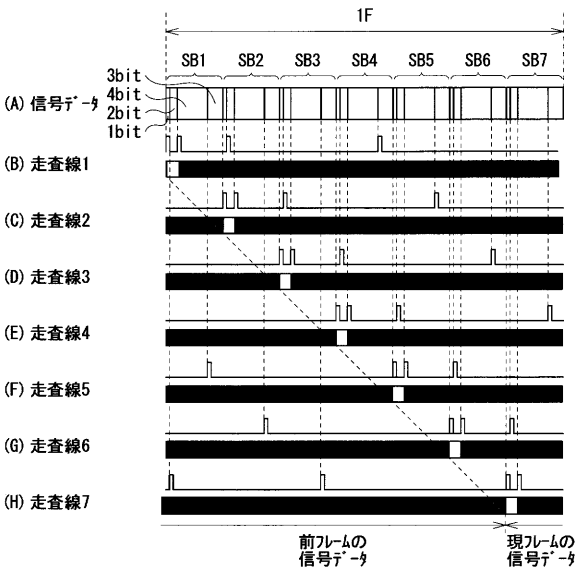
20

30

【 図 1 】



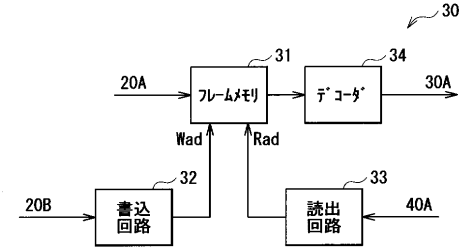
【 図 2 】



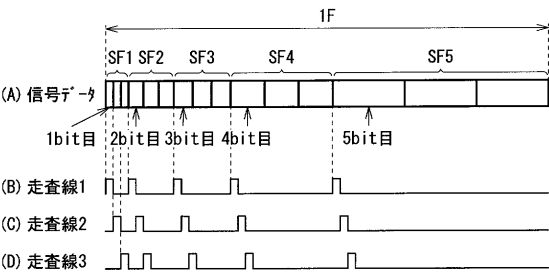
【 図 3 】

並び方	bit	幅
1	1	0.5
2	2	1
3	4	3.5
4	3	2

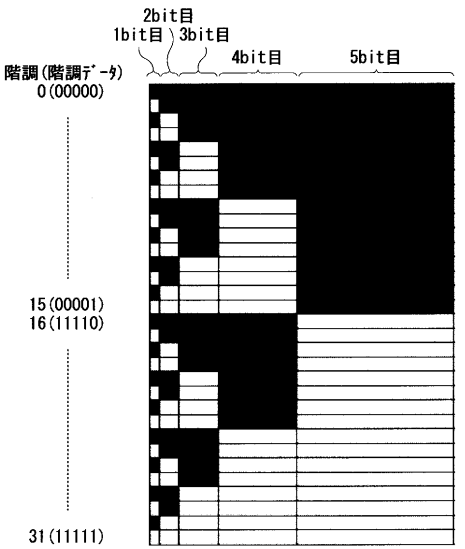
【 図 4 】



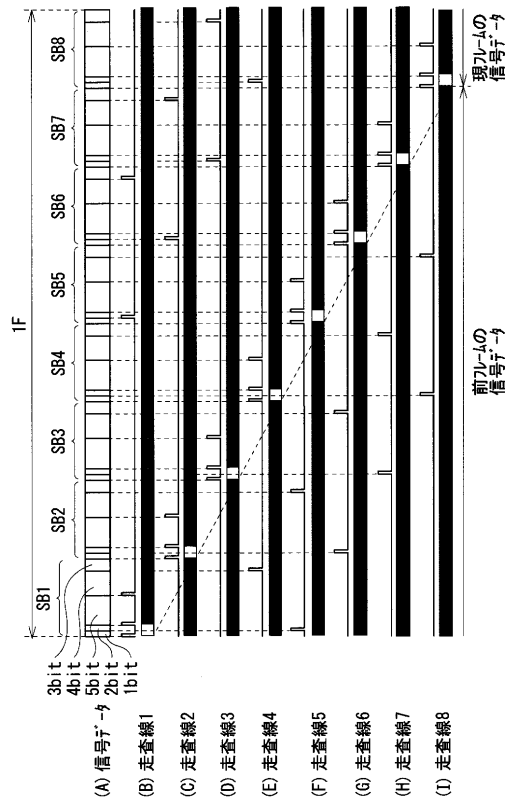
【 図 6 】



【 図 5 】



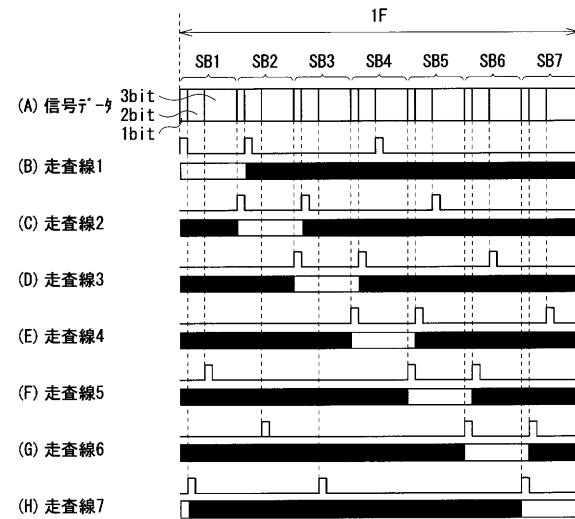
【図 7】



【図 8】

並び方	bit	幅
1	2	0.5
2	1	0.25
3	5	3.5
4	4	2
5	3	1

【図 9】



【図 10】

並び方	bit	幅
1	1	1
2	2	2
3	3	4

フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 2 J
	G 0 2 F 1/133	5 7 5
	G 0 2 F 1/133	5 5 0
	H 0 5 B 33/14	A

F ターム(参考) 5C380 AA01 AB06 AB31 AB34 BA12 CA04 CA14 CB31 CC23 CF02
CF64 DA09