

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年8月20日(20.08.2020)



(10) 国際公開番号

WO 2020/166320 A1

(51) 国際特許分類:
G02F 1/1368 (2006.01) G02F 1/13357 (2006.01)
G02F 1/1334 (2006.01)

(21) 国際出願番号: PCT/JP2020/003032

(22) 国際出願日: 2020年1月28日(28.01.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2019-024586 2019年2月14日(14.02.2019) JP

(71) 出願人:株式会社ジャパンディスプレイ(JAPAN DISPLAY INC.) [JP/JP]; 〒1050003 東京都港区西新橋三丁目7番1号 Tokyo (JP).

(72) 発明者:奥山 健太郎(OKUYAMA, Kentaro); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 大植 善英(OHUE, Yoshihide); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 杉山 裕紀(SUGIYAMA,

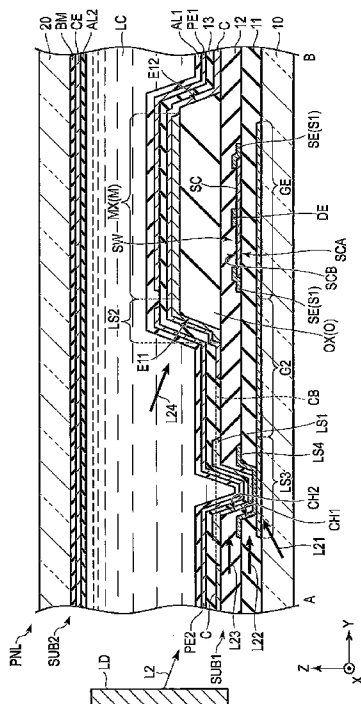
Hiroki); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 多田 友行(TADA, Tomoyuki); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP).

(74) 代理人:特許業務法人スズエ国際特許事務所(S & S INTERNATIONAL PPC); 〒1050001 東京都港区虎ノ門一丁目12番9号 スズエ・アンド・スズエビル Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置



(57) Abstract: The purpose of the present embodiment is to provide a display device such that a reduction in display quality can be suppressed. A display device according to the present embodiment comprises: a first substrate provided with a first pixel and a second pixel; a second substrate; a liquid crystal layer located between the first substrate and the second substrate and including polymers and liquid crystal molecules; and a light emitting element. The second pixel is adjacent to the first pixel and located between the light emitting element and the first pixel. The first substrate is provided with: a switching element having a semiconductor layer arranged at the first pixel; a pixel electrode electrically connected to the switching element; and a first light-shielding section arranged at the second pixel and adjacent to the semiconductor layer. The first light-shielding section is located between the semiconductor layer and the light emitting element in plan view and located closer to the first pixel than to the center of the second pixel.

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: 本実施形態の目的は、表示品位の低下を抑制することができる表示装置を提供することにある。本実施形態の表示装置は、第1画素及び第2画素を備えた第1基板と、第2基板と、前記第1基板と前記第2基板との間に位置し、ポリマーと、液晶分子とを含む液晶層と、発光素子と、を備え、前記第2画素は、前記第1画素に隣接するとともに、前記発光素子と前記第1画素との間に位置し、前記第1基板は、前記第1画素に配置された半導体層を備えたスイッチング素子と、前記スイッチング素子と電氣的に接続された画素電極と、前記第2画素に配置され前記半導体層に隣接する第1遮光部と、を備え、前記第1遮光部は、平面視で前記半導体層と前記発光素子との間に位置し、前記第2画素の中心よりも前記第1画素に近接する側に位置している。

明 細 書

発明の名称：表示装置

技術分野

[0001] 本発明の実施形態は、表示装置に関する。

背景技術

[0002] 近年、入射光を散乱する散乱状態と入射光を透過する透過状態とを切り替え可能な高分子分散液晶を用いた表示装置が提案されている。一例では、アルミニウムや銀などによって形成された反射層が画素スイッチング回路部を覆っている表示装置が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2017-167214号公報

発明の概要

発明が解決しようとする課題

[0004] 本実施形態の目的は、表示品位の低下を抑制することが可能な表示装置を提供することにある。

課題を解決するための手段

[0005] 本実施形態によれば、

第1画素及び第2画素を備えた第1基板と、第2基板と、前記第1基板と前記第2基板との間に位置し、ポリマーと、液晶分子とを含む液晶層と、発光素子と、を備え、前記第2画素は、前記第1画素に隣接するとともに、前記発光素子と前記第1画素との間に位置し、前記第1基板は、前記第1画素に配置された半導体層を備えたスイッチング素子と、前記スイッチング素子と電氣的に接続された画素電極と、前記第2画素に配置され前記半導体層に隣接する第1遮光部と、を備え、前記第1遮光部は、平面視で前記半導体層と前記発光素子との間に位置し、前記第2画素の中心よりも前記第1画素に近接する側に位置している、表示装置が提供される。

本実施形態によれば、

第1基板と、第2基板と、前記第1基板と前記第2基板との間に位置し、ポリマーと、液晶分子とを含む液晶層と、発光素子と、を備え、前記第1基板は、半導体層を備えたスイッチング素子と、前記スイッチング素子と電氣的に接続された画素電極と、前記半導体層に隣接する第1遮光部と、を備え、前記第1遮光部は、平面視で前記半導体層と前記発光素子との間に位置し、前記第1基板は、順に積層された、透明基板と、第1絶縁膜と、第2絶縁膜と、を備え、前記半導体層は、断面視で前記第1絶縁膜と前記第2絶縁膜との間に位置し、前記第1遮光部は、前記第1絶縁膜及び前記第2絶縁膜を貫通する貫通孔に設けられている、表示装置が提供される。

発明の効果

[0006] 本実施形態によれば、表示品位の低下を抑制することが可能な表示装置を提供することができる。

図面の簡単な説明

[0007] [図1]図1は、本実施形態の表示装置DSPを示す平面図である。

[図2]図2は、図1に示した第1基板SUB1における画素PXの主要部を示す平面図である。

[図3]図3は、図2に示した半導体層SCの周辺を拡大した平面図である。

[図4A]図4Aは、図3に示した第1乃至第4遮光部LS1乃至LS4を含むA-B線に沿った表示パネルPNLを示す断面図である。

[図4B]図4Bは、図4Aに示した第1基板の主要部を拡大した断面図である。

[図5]図5は、図3に示した走査線G2及び接続部DEAを含むC-D線に沿った表示パネルPNLを示す断面図である。

[図6]図6は、図3に示した信号線S1を含むE-F線に沿った表示パネルPNLを示す断面図である。

[図7]図7は、本実施形態の表示装置DSPの一構成例を示す断面図である。

[図8]図8は、シミュレーション結果を示す図である。

[図9]図9は、本実施形態の第2構成例における表示パネルP N Lを示す断面図である。

[図10]図10は、本実施形態の第3構成例における表示パネルP N Lを示す断面図である。

[図11]図11は、本実施形態の第4構成例における第1基板S U B 1を示す断面図である。

[図12]図12は、本実施形態の第5構成例における第1基板S U B 1を示す断面図である。

[図13]図13は、本実施形態の第6構成例における第1基板S U B 1を示す平面図である。

[図14]図14は、本実施形態の第7構成例における第1基板S U B 1を示す平面図である。

[図15]図15は、第8構成例の表示装置D S Pを示す平面図である。

[図16]図16は、第2画素P X 2におけるスイッチング素子S W 2及びその周辺部のレイアウトの一例を示す平面図である。

[図17]図17は、第2画素P X 2におけるスイッチング素子S W 2及びその周辺部のレイアウトの他の例を示す平面図である。

[図18]図18は、第3画素P X 3におけるスイッチング素子S W 3及びその周辺部のレイアウトの一例を示す平面図である。

[図19]図19は、図18に示すG－H線に沿った第1基板S U B 1を示す断面図である。

[図20]図20は、第9構成例の表示装置D S Pを示す平面図である。

発明を実施するための形態

[0008] 以下、本実施形態について、図面を参照しながら説明する。なお、開示はあくまで一例に過ぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は、説明をより明確にするため、実際の態様に比べて、各部の幅、厚さ、形状等について模式的に表される場合があるが、あく

まで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する詳細な説明を適宜省略することがある。

[0009] [第1構成例]

図1は、本実施形態の表示装置DSPを示す平面図である。一例では、第1方向X、第2方向Y、及び、第3方向Zは、互いに直交しているが、90度以外の角度で交差していてもよい。第1方向X及び第2方向Yは、表示装置DSPを構成する基板の主面と平行な方向に相当し、第3方向Zは、表示装置DSPの厚さ方向に相当する。本明細書において、第1基板SUB1から第2基板SUB2に向かう方向を「上側」（あるいは、単に上）と称し、第2基板SUB2から第1基板SUB1に向かう方向を「下側」（あるいは、単に下）と称する。「第1部材の上の第2部材」及び「第1部材の下の第2部材」とした場合、第2部材は、第1部材に接していてもよいし、第1部材から離間していてもよい。また、第3方向Zを示す矢印の先端側に表示装置DSPを観察する観察位置があるものとし、この観察位置から、第1方向X及び第2方向Yで規定されるX-Y平面に向かって見ることを平面視という。

[0010] 本実施形態においては、表示装置DSPの一例として、高分子分散型液晶を適用した液晶表示装置について説明する。表示装置DSPは、表示パネルPNLと、配線基板1と、ICチップ2と、発光素子LDと、を備えている。

[0011] 表示パネルPNLは、第1基板SUB1と、第2基板SUB2と、液晶層LCと、シールSLと、を備えている。第1基板SUB1及び第2基板SUB2は、X-Y平面と平行な平板状に形成されている。第1基板SUB1及び第2基板SUB2は、平面視で、重畳している。第1基板SUB1及び第2基板SUB2は、シールSLによって接着されている。液晶層LCは、第1基板SUB1と第2基板SUB2との間に保持され、シールSLによって

封止されている。図 1 において、液晶層 LC 及びシール SL は、異なる斜線で示している。

[0012] 図 1 において拡大して模式的に示すように、液晶層 LC は、ポリマー 31 と、液晶分子 32 と、を含む高分子分散型液晶を備えている。一例では、ポリマー 31 は、液晶性ポリマーである。ポリマー 31 は、一方向に沿って延出した筋状に形成されている。例えば、ポリマー 31 の延出方向 D1 は、第 1 方向 X に沿った方向である。液晶分子 32 は、ポリマー 31 の隙間に分散され、その長軸が第 1 方向 X に沿うように配向される。ポリマー 31 及び液晶分子 32 の各々は、光学異方性あるいは屈折率異方性を有している。ポリマー 31 の電界に対する応答性は、液晶分子 32 の電界に対する応答性より低い。

[0013] 一例では、ポリマー 31 の配向方向は、電界の有無にかかわらずほとんど変化しない。一方、液晶分子 32 の配向方向は、液晶層 LC にしきい値以上の高い電圧が印加された状態では、電界に応じて変化する。液晶層 LC に電圧が印加されていない状態では、ポリマー 31 及び液晶分子 32 のそれぞれの光軸は互いに平行であり、液晶層 LC に入射した光は、液晶層 LC 内でほとんど散乱されることなく透過する（透明状態）。液晶層 LC に電圧が印加された状態では、ポリマー 31 及び液晶分子 32 のそれぞれの光軸は互いに交差し、液晶層 LC に入射した光は、液晶層 LC 内で散乱される（散乱状態）。

[0014] 表示パネル PNL は、画像を表示する表示部 DA と、表示部 DA を囲む額縁状の非表示部 NDA と、を備えている。シール SL は、非表示部 NDA に位置している。表示部 DA は、第 1 方向 X 及び第 2 方向 Y にマトリクス状に配列された画素 PX を備えている。

[0015] 図 1 において拡大して示すように、各画素 PX は、スイッチング素子 SW、画素電極 PE、共通電極 CE、液晶層 LC 等を備えている。スイッチング素子 SW は、例えば薄膜トランジスタ（TFT）によって構成され、走査線 G 及び信号線 S と電氣的に接続されている。走査線 G は、第 1 方向 X に並ん

だ画素P Xの各々におけるスイッチング素子SWと電氣的に接続されている。信号線Sは、第2方向Yに並んだ画素P Xの各々におけるスイッチング素子SWと電氣的に接続されている。画素電極PEは、スイッチング素子SWと電氣的に接続されている。画素電極PEの各々は、第3方向Zにおいて共通電極CEと対向し、画素電極PEと共通電極CEとの間に生じる電界によって液晶層LC（特に、液晶分子32）を駆動している。容量CSは、例えば、共通電極CEと同電位の電極、及び、画素電極PEと同電位の電極の間に形成される。

[0016] 配線基板1は、第1基板SUB1の延出部Exに電氣的に接続されている。配線基板1は、折り曲げ可能なフレキシブルプリント回路基板である。ICチップ2は、配線基板1に電氣的に接続されている。ICチップ2は、例えば、画像表示に必要な信号を出力するディスプレイドライバなどを内蔵している。なお、ICチップ2は、延出部Exに電氣的に接続されていてもよい。配線基板1及びICチップ2は、表示パネルPNLからの信号を読み出す場合もあるが、主として表示パネルPNLに信号を供給する信号源として機能する。

[0017] 発光素子LDは、延出部Exに重畳している。複数の発光素子LDは、第1方向Xに沿って間隔をおいて並んでいる。これらの発光素子LDは、第2基板SUB2の端部E21に沿って配置され、端部E21に向けて光を出射する。

[0018] 図2は、図1に示した第1基板SUB1における画素P Xの主要部を示す平面図である。第1基板SUB1は、画素P Xとして、第1画素PX1及び第2画素PX2を備えている。第2画素PX2は、第2方向Yにおいて第1画素PX1に隣接し、発光素子LDと第1画素PX1との間に位置している。第1基板SUB1は、走査線G1及びG2と、半導体層SCと、信号線S1及びS2と、有機絶縁膜Oと、金属配線Mと、第1遮光部LS1と、第2遮光部LS2と、画素電極PE1及びPE2と、を備えている。有機絶縁膜Oは一点鎖線で示し、画素電極PE1及びPE2は二点鎖線で示している。

画素電極 P E 1 は第 1 画素 P X 1 に配置され、画素電極 P E 2 は第 2 画素 P X 2 に配置されている。

[0019] 走査線 G 1 及び G 2 は第 1 方向 X に沿って延出し、信号線 S 1 及び S 2 は第 2 方向 Y に沿って延出している。画素 P X に配置された画素電極 P E 1 は、第 1 方向 X に並ぶ 2 本の信号線 S 1 及び S 2 と、第 2 方向 Y に並ぶ 2 本の走査線 G 1 及び G 2 とで囲まれている。

[0020] 第 1 画素 P X 1 に配置されたスイッチング素子 S W の半導体層 S C は、走査線 G 2 及び信号線 S 1 の交差部の近傍に配置されている。図 2 に示した例において、半導体層 S C は、第 1 方向 X に延出している。半導体層 S C は、信号線 S 1 に近接した第 1 端部 E 1 と、第 1 端部 E 1 の反対側の第 2 端部 E 2 と、を有している。半導体層 S C は、幅 W 1 を有している。幅 W 1 は、第 1 方向 X (あるいは第 1 画素及び第 2 画素の配列方向 (第 2 方向 Y)) に直交する方向) において、第 1 端部 E 1 から第 2 端部 E 2 までの距離に相当する。半導体層は、例えばアモルファスシリコンによって形成されるが、多結晶シリコンや酸化物半導体によって形成されてもよい。

[0021] 有機絶縁膜 O は、パターン化されており、平面視において、格子状に形成されている。有機絶縁膜 O は、走査線 G 1 及び G 2、半導体層 S C、信号線 S 1 及び S 2 のそれぞれに重畳している。すなわち、有機絶縁膜 O は、第 1 部 O X と、第 2 部 O Y と、を備えている。第 1 部 O X は、走査線 G 1 及び G 2 に重畳している。第 2 部 O Y と、信号線 S 1 及び S 2 に重畳している。第 1 部 O X は、発光素子 L D に近接した側面 E 1 1 と、側面 E 1 1 の反対側の側面 E 1 2 と、を有している。側面 E 1 1 及び側面 E 1 2 は、ポリマー 3 1 の延出方向 D 1 (あるいは第 1 方向 X) に沿って延出している。

[0022] 金属配線 M は、有機絶縁膜 O に配置され、平面視において、格子状に形成されている。金属配線 M は、走査線 G 1 及び G 2、半導体層 S C、信号線 S 1 及び S 2 のそれぞれに重畳している。すなわち、金属配線 M は、第 1 配線部 M X と、第 2 配線部 M Y と、を備えている。第 1 配線部 M X は、走査線 G 1 及び G 2、及び、第 1 部 O X に重畳している。第 2 配線部 M Y は、信号線

S 1 及び S 2、及び、第 2 部 O Y に重畳している。

[0023] 第 1 遮光部 L S 1 は、第 2 方向 Y に沿って半導体層 S C と発光素子 L D との間に位置し、半導体層 S C に隣接している。第 1 遮光部 L S 1 は、平面視において、信号線 S 1 及び S 2、金属配線 M、及び、有機絶縁膜 O から離間し、島状に形成されている。また、第 1 遮光部 L S 1 は、第 2 画素 P X 2 に配置され、平面視において、画素電極 P E 2 に重畳している。第 1 遮光部 L S 1 は、第 2 方向 Y において、第 2 画素 P X 2 の中心 O（あるいは画素電極 P E 2 の中心 O）よりも第 1 画素 P X 1（あるいは画素電極 P E 1）に近接する側に位置している。あるいは、第 1 遮光部 L S 1 は、第 2 画素 P X 2 の中心 O と第 1 画素 P X 1 の半導体層 S C との間において、半導体層 S C に近接する側に位置している。

第 1 遮光部 L S 1 は、第 1 方向 X に沿って延出している。第 1 遮光部 L S 1 は、信号線 S 1 に近接した第 3 端部 E 3 と、第 3 端部 E 3 の反対側の第 4 端部 E 4 と、を有している。第 1 遮光部 L S 1 は、幅 W 2 を有している。幅 W 2 は、第 1 方向 X（あるいは第 1 画素及び第 2 画素の配列方向（第 2 方向 Y）に直交する方向）において、第 3 端部 E 3 から第 4 端部 E 4 までの距離に相当する。幅 W 2 は、半導体層 S C の幅 W 1 より大きい。また、第 1 方向 X において、第 1 端部 E 1 は第 3 端部 E 3 より信号線 S 1 から離間し、第 2 端部 E 2 は第 4 端部 E 4 より信号線 S 1 に近接している。すなわち、半導体層 S C は、その第 1 端部 E 1 及び第 2 端部 E 2 が第 1 方向 X において第 3 端部 E 3 と第 4 端部 E 4 との間に位置するように設けられている。

[0024] 第 1 遮光部 L S 1 は、金属配線 M と同層に配置されている。なお本明細書で、「同層」に配置された第 1 部材及び第 2 部材とは、同じ材料及び同じ工程で形成されたものをいう。

[0025] 第 2 遮光部 L S 2 は、第 2 方向 Y に沿って、半導体層 S C と第 1 遮光部 L S 1 との間に位置し、第 1 部 O X の側面 E 1 1 に重畳している。図 2 に示した例では、第 2 遮光部 L S 2 は、金属配線 M の第 1 配線部 M X と一体的に形成されている。換言すると、第 1 配線部 M X は、その一部が半導体層 S C か

ら離間する側に延出し（あるいは発光素子LDに向かって延出し）、側面E11に重畳する第2遮光部LS2を形成している。

[0026] スペースSPは、半導体層SCに重畳する位置に設けられている。スペースSPは、図1に示した第1基板SUB1と第2基板SUB2との間に所定のセルギャップを形成している。

[0027] 画素電極PE1及びPE2は、第2方向Yに並んでいる。図2に示した例における走査線G2の近傍では、画素電極PE1は半導体層SCに重畳し、画素電極PE2は第1遮光部LS1に重畳している。

[0028] 図3は、図2に示した半導体層SCの周辺を拡大した平面図である。第3遮光部LS3、及び、スイッチング素子SWのゲート電極GEは、走査線G2と一体的に形成されている。半導体層SCは、ゲート電極GEに重畳している。第3遮光部LS3は、ゲート電極GEの反対側において、第1遮光部LS1に向かって延出している。第1遮光部LS1及び第2遮光部LS2は、それぞれ第3遮光部LS3に重畳している。第3遮光部LS3は、第1遮光部LS1と第2遮光部LS2との間で途切れることなく連続的に形成されている。第4遮光部LS4は、第1乃至第3遮光部LS1乃至LS3に重畳している。これらの第1乃至第4遮光部LS1乃至LS4の断面構造については後に詳述する。

[0029] 遮光層GS1及びGS2は、それぞれ第2方向Yに延出している。走査線G2は、遮光層GS1及びGS2の間に位置し、遮光層GS1及びGS2から離間している。遮光層GS1及びGS2は、それぞれ島状に形成されている。

[0030] 信号線S1は、走査線G2と交差し、遮光層GS1及びGS2に重畳している。スイッチング素子SWのソース電極SE、及び、接続部SJは、信号線S1と一体的に形成されている。接続部SJは、ソース電極SEと信号線S1とを接続し、遮光層GS1に重畳している。ソース電極SEは、接続部SJとの接続位置から2つに分岐し、それぞれ第1方向Xに延出し、それぞれ半導体層SCに重畳している。

[0031] スイッチング素子SWのドレイン電極DEは、2つのソース電極SEの間に位置し、半導体層SCに重畳している。ドレイン電極DEは、図2に示した画素電極PE1と電氣的に接続される接続部DEAを有している。接続部DEAは、遮光層GIに重畳している。

金属配線Mは、ソース電極SEに重畳するとともに、接続部DEAを除いたドレイン電極DEに重畳している。

[0032] 図4Aは、図3に示した第1乃至第4遮光部LS1乃至LS4を含むA-B線に沿った表示パネルPNLを示す断面図である。第1基板SUB1は、さらに、透明基板10と、絶縁膜11乃至13と、容量電極Cと、配向膜AL1と、を備えている。本実施形態において、絶縁膜11は透明基板10の上に位置する第1絶縁膜に相当し、絶縁膜12は絶縁膜11の上に位置する第2絶縁膜に相当し、有機絶縁膜Oは絶縁膜12の上に位置する第3絶縁膜に相当する。

[0033] 走査線G2と一体のゲート電極GE及び第3遮光部LS3は、透明基板10と絶縁膜11との間に位置している。図4Aに示した例では、ゲート電極GE及び第3遮光部LS3は、透明基板10に接しているが、ゲート電極GE及び第3遮光部LS3と、透明基板10との間に、他の絶縁膜が介在していてもよい。

[0034] 半導体層SCは、ゲート電極GEの直上において、絶縁膜11と絶縁膜12との間に位置している。半導体層SCの下面SCAは、絶縁膜11に接している。信号線S1と一体の2つのソース電極SEは、半導体層SCの上面SCBに接し、それらの一部が絶縁膜11の上に位置している。ドレイン電極DEは、半導体層SCの上面SCBに接している。絶縁膜12は、ソース電極SE及びドレイン電極DEを覆い、半導体層SCの上面SCBに接している。

[0035] 第4遮光部LS4は、絶縁膜11を第3遮光部LS3まで貫通する貫通孔CH1に設けられ、第3遮光部LS3に接している。第4遮光部LS4は、信号線S1、ソース電極SE、及び、ドレイン電極DEのいずれからも離間

している。

第1遮光部LS1は、絶縁膜12を第4遮光部LS4まで貫通する貫通孔CH2に設けられ、第4遮光部LS4に接している。貫通孔CH2は、貫通孔CH1に重畳するように設けられている。このため、第1遮光部LS1は、貫通孔CH1及びCH2に重畳するように設けられている。また、貫通孔CH1及びCH2が重畳する領域において、第3遮光部LS3、第4遮光部LS4、及び、第1遮光部LS1は、この順に第3方向Zに沿って重畳している。つまり、第1遮光部LS1は、走査線G2と一体の第3遮光部LS3と、第4遮光部LS4を介して電氣的に接続されている。このため、第1遮光部LS1の電位は、走査線G2と同電位である。

[0036] 第4遮光部LS4は、信号線S1、ソース電極SE、及び、ドレイン電極DEと同層に配置される。

[0037] 有機絶縁膜Oの第1部OXは、スイッチング素子SWの上に重畳している。第1部OXの側面E11は、第2方向Yに沿って貫通孔CH1と半導体層SCとの間に位置している。金属配線Mの第1配線部MXは、第1部OXの上に重畳している。第2遮光部LS2は、側面E11を覆い、絶縁膜12に接している。

[0038] 容量電極Cは、第1配線部MXを直接覆って、第1配線部MXと電氣的に接続されている。また、容量電極Cは、第2遮光部LS2を直接覆って、第2遮光部LS2と電氣的に接続されている。このため、第2遮光部LS2の電位は、容量電極と同電位である。また、容量電極Cは、第1部OXの側面E12を覆っている。また、容量電極Cは、有機絶縁膜Oに重畳しない領域において、絶縁膜12に接している。第1遮光部LS1は、容量電極Cの開口部CBに設けられている。このため、第1遮光部LS1は、容量電極Cとは電氣的に絶縁されている。また、第1遮光部LS1及び第2遮光部LS2は、互いに電氣的に絶縁されている。

[0039] 絶縁膜13は、容量電極C及び第1遮光部LS1を覆っている。絶縁膜13は、開口部CBにおいて、容量電極Cと第1遮光部LS1との間で、絶縁

膜 1 2 と接している。画素電極 P E 1 及び P E 2 は、絶縁膜 1 3 の上に位置している。画素電極 P E 1 及び P E 2 は、第 3 方向 Z において、それぞれ絶縁膜 1 3 を介して容量電極 C に対向し、画素 P X において画素表示に必要な蓄積容量を形成する。配向膜 A L 1 は、絶縁膜 1 3、画素電極 P E 1 及び P E 2 を覆っている。配向膜 A L 1 は、画素電極 P E 1 と画素電極 P E 2 との間において、絶縁膜 1 3 に接している。

[0040] 第 2 基板 S U B 2 は、透明基板 2 0 と、遮光層 B M と、共通電極 C E と、配向膜 A L 2 とを備えている。遮光層 B M は、走査線 G 2、スイッチング素子 S W、第 1 遮光部 L S 1 及び第 2 遮光部 L S 2 のそれぞれの直上に位置している。共通電極 C E は、遮光層 B M と配向膜 A L 2 との間に位置している。共通電極 C E の電位は、容量電極 C と同電位である。

液晶層 L C は、第 1 基板 S U B 1 と第 2 基板 S U B 2 との間に位置し、配向膜 A L 1 及び A L 2 のそれぞれに接している。

[0041] 透明基板 1 0 及び 2 0 は、ガラス基板やプラスチック基板などの絶縁基板である。絶縁膜 1 1 乃至 1 3 は、例えばシリコン窒化物やシリコン酸化物などの透明な無機絶縁材料によって形成されている。有機絶縁膜 O は、例えばアクリル樹脂などの透明な有機絶縁材料によって形成されている。

走査線 G、信号線 S、及び、金属配線 M は、モリブデン、アルミニウム、タングステン、チタン、銀などの不透明な金属材料によって形成されている。第 1 遮光部 L S 1 及び第 2 遮光部 L S 2 は、金属配線 M と同一材料によって形成されている。第 3 遮光部 L S 3 は、走査線 G と同一材料によって形成されている。第 4 遮光部 L S 4 は、信号線 S と同一材料によって形成されている。

[0042] 容量電極 C、画素電極 P E、及び、共通電極 C E は、インジウム錫酸化物 (I T O) やインジウム亜鉛酸化物 (I Z O) などの透明導電材料によって形成された透明電極である。遮光層 B M は、絶縁層であってもよいし、共通電極 C E よりも低抵抗な導電層であってもよい。遮光層 B M が導電層である場合には、共通電極 C E が遮光層 B M と電氣的に接続されることにより、共

通電極C E が低抵抗化される。

配向膜A L 1 及びA L 2 は、X－Y平面に略平行な配向規制力を有する水平配向膜である。一例では、配向膜A L 1 及びA L 2 は、第1方向Xに沿って配向処理されている。なお、配向処理とは、ラビング処理であってもよいし、光配向処理であってもよい。

[0043] ここで、図7を参照しながら、本実施形態の表示装置D S Pの一構成例を示す断面図について説明する。なお、表示パネルP N Lについては、主要部のみを図示している。

発光素子L Dは、第2方向Yにおいて、透明基板2 0の側面2 0 Cに対向している。側面2 0 Cは、図1に示した第2基板S U B 2の端部E 2 1に相当する。発光素子L Dは、配線基板Fに電氣的に接続されている。発光素子L Dは、例えば、発光ダイオードであり、詳述しないが、赤発光部、緑発光部、及び、青発光部を備えている。なお、発光素子L Dと、側面2 0 Cとの間に、透明な導光体が配置されてもよい。

[0044] 次に、図7を参照しながら、発光素子L Dから出射される光L 1について説明する。

発光素子L Dは、側面2 0 Cに向けて光L 1を出射する。発光素子L Dから出射された光L 1は、第2方向Yを示す矢印の向きに沿って進行し、側面2 0 Cから透明基板2 0に入射する。透明基板2 0に入射した光L 1は、繰り返し反射されながら、表示パネルP N Lの内部を進行する。

電圧が印加されていない液晶層L Cに入射した光L 1は、ほとんど散乱されることなく液晶層L Cを透過する。また、電圧が印加された液晶層L Cに入射した光L 1は、液晶層L Cで散乱される。表示装置D S Pは、第1基板S U B 1側から観察可能であるとともに、第2基板S U B 2側からも観察可能である。また、表示装置D S Pは、第1基板S U B 1側から観察した場合であっても、第2基板S U B 2側から観察した場合であっても、表示装置D S Pを介して、表示装置D S Pの背景を観察可能である。

[0045] ここで、発光素子L Dから出射される光のうち、スイッチング素子S Wに

向かう光 L_2 について検討する。表示パネル PNL の内部を進行する光のうち、スイッチング素子 SW に向かう光 L_2 が半導体層 SC に入射すると、半導体層 SC において光励起によるキャリアが発生し、スイッチング素子 SW におけるリーク電流が増加する。リーク電流が増加すると、画素 PX に保持されていた電位が大きく変化し、表示品位の低下を招くおそれがある。

[0046] 本実施形態によれば、図4Bに示すように、スイッチング素子 SW に向かう光のうち、透明基板 10 を伝播する光 L_{21} は、第3遮光部 $LS3$ 、走査線 $G2$ 、及び、ゲート電極 GE によって遮光される。絶縁膜 11 を伝播する光 L_{22} は、第3遮光部 $LS3$ 及び第4遮光部 $LS4$ によって遮光される。絶縁膜 12 を伝播する光 L_{23} は、第1遮光部 $LS1$ 及び第4遮光部 $LS4$ によって遮光される。有機絶縁膜 O の第1部 OX に向かう光 L_{24} は、第2遮光部 $LS2$ によって遮光される。したがって、半導体層 SC の下面 SCA 及び上面 SCB に光 L_2 が到達しにくくなる。

また、図2に示すように、半導体層 SC が第1遮光部 $LS1$ の第3端部 $E3$ と第4端部 $E4$ との間に位置するように設けられているため、第2方向 Y に沿って直進する光 L_{25} のみならず、平面視で第2方向 Y に対して傾いた方向に進行する光 L_{26} 及び L_{27} も遮光される。

これにより、半導体層 SC におけるリーク電流の発生を抑制することができ、画素 PX の電位の変化に起因した輝度の低下等の表示品位の低下を抑制することができる。

[0047] また、第1乃至第4遮光部 $LS1$ 乃至 $LS4$ は、黑色樹脂によって形成された遮光層と比較して、高い反射率を有する材料によって形成可能である。このような高反射率の材料によって形成された第1乃至第4遮光部 $LS1$ 乃至 $LS4$ によれば、表示パネルを進行する光の吸収を抑制することができ、発光素子 LD からの光の利用効率の低下を抑制することができる。

[0048] また、たとえ第1乃至第4遮光部 $LS1$ 乃至 $LS4$ において不所望な散乱が生じたとしても、第2基板 $SUB2$ の遮光層 BM によって散乱光が遮光される。このため、表示品位の劣化を抑制することができる。

[0049] 図5は、図3に示した走査線G2及び接続部DEAを含むC-D線に沿った表示パネルPNLを示す断面図である。

第1基板SUB1において、遮光層G1は、走査線G2と同層に配置され、透明基板10の上に位置し、走査線G2と同一材料によって形成されている。走査線G2及び遮光層G1は、絶縁膜11によって覆われている。接続部DEAは、遮光層G1の直上において、絶縁膜11の上に位置し、絶縁膜12によって覆われている。有機絶縁膜Oの第1部OXは、走査線G2の直上において、絶縁膜12の上に位置している。金属配線Mの第1配線部MXは、走査線G2の直上において、第1部OXの上に位置している。容量電極Cは、第1部OXの側面E11及びE12を覆っている。画素電極PE1は、絶縁膜12及び13を貫通する貫通孔CH3、及び、容量電極Cの開口部CAに設けられ、接続部DEAに接している。

第2基板SUB2において、遮光層BMは、第1部OX、及び、接続部DEAのそれぞれの直上に位置している。

[0050] 図6は、図3に示した信号線S1を含むE-F線に沿った表示パネルPNLを示す断面図である。

第1基板SUB1において、遮光層GS1は、透明基板10の上に位置し、絶縁膜11によって覆われている。信号線S1は、遮光層GS1の直上において、絶縁膜11の上に位置し、絶縁膜12によって覆われている。有機絶縁膜Oの第2部OYは、信号線S1の直上において、絶縁膜12の上に位置している。金属配線Mの第2配線部MYは、信号線S1の直上において、第2部OYの上に位置している。容量電極Cは、第2配線部MYに接し、第2部OYの側面E13及びE14を覆っている。

第2基板SUB2において、遮光層BMは、第2部OYの直上に位置している。

[0051] ここで、本実施形態の効果を検証するためのシミュレーションについて説明する。このシミュレーションでは、共通電極CEの電位 V_{com} とは異なる電圧を画素電極PEに印加し、散乱状態となった画素PXでの輝度を算出

する。算出した輝度において、立ち上がり直後の輝度を L_a とし、立ち下がり直前の輝度を L_b としたとき、輝度低下率を $\{1 - (L_a / L_b)\}$ と定義する。

図8は、シミュレーション結果を示す図である。図8の(A)は比較例の構成におけるシミュレーション結果を示し、図8の(B)は本実施形態の構成におけるシミュレーション結果を示している。比較例の表示パネルは、図4Aに示した第1乃至第4遮光部を備えていない。本実施形態の表示パネルは、図4Aに示した第1乃至第4遮光部を備えている。

電位 V_{com} が基準電位 V_r に対して正の期間 T_1 において、比較例では輝度低下率が1.34%であったのに対して、本実施形態では輝度低下率が0.69%であった。電位 V_{com} が基準電位 V_r に対して負の期間 T_2 において、比較例では輝度低下率が10.7%であったのに対して、本実施形態では輝度低下率が3.8%であった。このように、本実施形態によれば、輝度の低下を抑制できることが確認された。

[0052] 次に、他の構成例について説明する。

[第2構成例]

図9は、本実施形態の第2構成例における表示パネルPNLを示す断面図である。図9に示す第2構成例は、図4Aに示した第1構成例と比較して、第1遮光部 LS_1 及び第2遮光部 LS_2 が一体的に形成され、かつ、第3遮光部 LS_3 が走査線 G_2 から離間している点で相違している。また、第1遮光部 LS_1 及び第2遮光部 LS_2 は、金属配線 M と一体的に形成されている。このような第2構成例では、第1乃至第4遮光部 LS_1 乃至 LS_4 は、金属配線 M 及び容量電極 C と電氣的に接続されている。このため、第1乃至第4遮光部 LS_1 乃至 LS_4 のそれぞれの電位は等しく、金属配線 M 及び容量電極 C と同電位である。

このような第2構成例においても、上記の第1構成例と同様の効果が得られる。また、第1遮光部 LS_1 及び第2遮光部 LS_2 の間において、液晶層 LC から絶縁膜12に向かう光 L_{28} を遮光することができる。

[0053] [第3構成例]

図10は、本実施形態の第3構成例における表示パネルPNLを示す断面図である。図10に示す第3構成例は、図4Aに示した第1構成例と比較して、第1遮光部LS1及び第2遮光部LS2が一体的に形成され、かつ、第2遮光部LS2が金属配線Mから離間している点で相違している。容量電極Cは、第2遮光部LS2及び金属配線Mに接触している。このような第3構成例では、第1乃至第4遮光部LS1乃至LS4は、走査線G2と電氣的に接続されている。このため、第1乃至第4遮光部LS1乃至LS4のそれぞれの電位は等しく、走査線G2と同電位である。

このような第3構成例においても、上記の第2構成例と同様の効果が得られる。

[0054] [第4構成例]

図11は、本実施形態の第4構成例における第1基板SUB1を示す断面図である。図11に示す第4構成例は、図4Aに示した第1構成例と比較して、第4遮光部LS4が省略された点で相違している。第1遮光部LS1は、絶縁膜11及び12を第3遮光部LS3まで貫通する貫通孔CH12に設けられ、第3遮光部LS3に接している。

このような第4構成例においても、透明基板10を伝播する光L21、絶縁膜11を伝播する光L22、及び、絶縁膜12を伝播する光L23は、第1遮光部LS1及び第3遮光部LS3によって遮光される。このため、上記の第1構成例と同様の効果が得られる。

なお、図9に示した第2構成例、及び、図10に示した第3構成例のそれぞれにおいても、第4遮光部LS4を省略する第4構成例が適用可能である。

[0055] [第5構成例]

図12は、本実施形態の第5構成例における第1基板SUB1を示す断面図である。図12に示す第5構成例は、図4Aに示した第1構成例と比較して、第3遮光部LS3及び第4遮光部LS4が省略された点で相違している。

。第1遮光部LS1は、絶縁膜11及び12を透明基板10まで貫通する貫通孔CH12に設けられている。

このような第5構成例においても、透明基板10を伝播する光L21、絶縁膜11を伝播する光L22、及び、絶縁膜12を伝播する光L23は、第1遮光部LS1によって遮光される。このため、上記の第1構成例と同様の効果が得られる。

なお、図9に示した第2構成例、及び、図10に示した第3構成例のそれぞれにおいても、第3遮光部LS3及び第4遮光部LS4を省略する第5構成例が適用可能である。

[0056] [第6構成例]

図13は、本実施形態の第6構成例における第1基板SUB1を示す平面図である。図13に示す第6構成例は、図3に示した第1構成例と比較して、半導体層SCが第2方向Yに延出している点で相違している。図13では、走査線G2、信号線S2、スイッチング素子SW、及び、第1遮光部LS1を図示し、その他の構成の図示を省略している。第1遮光部LS1は、信号線S1、ソース電極SE、及び、ドレイン電極DEから離間している。第1遮光部LS1の幅W2は、半導体層SCの幅W1より大きい。また、半導体層SCは、その第1端部E1及び第2端部E2が第1方向Xにおいて第3端部E3と第4端部E4との間に位置するように設けられている。信号線S1は、第1遮光部LS1の第3端部E3から離間するように屈曲している。なお、第1遮光部LS1に重畳する部分については、上記の構成例の如く、第3遮光部LS3及び第4遮光部LS4の少なくとも1つが配置されてもよい。また、第1遮光部LS1と半導体層SCとの間に第2遮光部LS2が配置されてもよい。

このような第6構成例においても、上記の各構成例と同様に、光L21乃至L27を遮光することができる。

[0057] [第7構成例]

図14は、本実施形態の第7構成例における第1基板SUB1を示す平面

図である。図14に示す第7構成例は、図2に示した第1構成例と比較して、容量電極Cが電極部EL及び開口部OPを備えた点で相違している。すなわち、電極部ELは、斜線で示すように、画素電極PE1の周縁部に重畳している。また、開口部OPは、画素電極PE1の中央部に重畳している。つまり、容量電極Cは、平面視において、格子状に形成されている。また、画素電極PE1と重畳する領域において、第1遮光部LS1は、開口部OPに位置している。容量電極Cは、金属配線Mに重畳し、金属配線Mと電氣的に接続されている。

このような第7構成例においても、上記の第1構成例と同様の効果が得られる。加えて、容量電極Cの設置面積（あるいは体積）は、容量電極Cが開口部OPを有していない場合より小さい。このため、第1基板SUB1を伝播する光の容量電極Cでの光吸収を抑制することができる。

また、電極部ELの面積（あるいは、開口部OPの面積）を調整することによって、画素電極PE1と容量電極Cとの間で最適な容量を形成することができる。例えば、スイッチング素子SWの規模を縮小する要求に対して、画素電極PE1に重畳する電極部ELの面積を縮小することで、最適な容量を形成することができる。

[0058] [第8構成例]

図15は、第8構成例の表示装置DSPを示す平面図である。

表示装置DSPは、表示パネルPNLと、第1光源部LU1と、第2光源部LU2とを備えている。表示部DAは、第1光源部LU1と第2光源部LU2との間に設けられている。図15に示す例では、表示部DAは、第1方向Xに延びた長形状に形成されている。表示部DAは、第1領域DA1と、第2領域DA2と、第3領域DA3とを備えている。第1領域DA1は、第2基板SUB2の端部E21の近傍に位置する領域であり、第1画素PX1を含んでいる。第2領域DA2は、第2基板SUB2の端部E22の近傍に位置する領域であり、第2画素PX2を含んでいる。第3領域DA3は、第1領域DA1と第2領域DA2との間に位置する領域であり、第3画素P

X 3 を含んでいる。

[0059] 第1光源部L U 1は、第1方向Xに並んだ複数の発光素子L D 1を備えている。これらの発光素子L D 1は、端部E 2 1に沿って配置され、端部E 2 1に向けて光を出射する。第2光源部L U 2は、第1方向Xに並んだ複数の発光素子L D 2を備えている。これらの発光素子L D 2は、端部E 2 2に沿って配置され、端部E 2 2に向けて光を出射する。つまり、発光素子L D 1及びL D 2は、それぞれ表示部D Aの長辺に沿って設けられている。

[0060] 第1画素P X 1におけるスイッチング素子S Wは、図3に示す半導体層S Cを備えている。図3に示す第1遮光部L S 1、第2遮光部L S 2、第3遮光部L S 3、及び、第4遮光部L S 4は、発光素子L D 1と第1画素P X 1の半導体層S Cとの間に設けられている。

第2画素P X 2及び第3画素P X 3におけるそれぞれのスイッチング素子については以下に説明する。

[0061] 図1 6は、第2画素P X 2におけるスイッチング素子S W 2及びその周辺部のレイアウトの一例を示す平面図である。図1 6において第2方向Yを示す矢印の先端を上とし、その反対を下とする場合、図1 6に示すレイアウトは、図3に示すレイアウトを上下に反転したものに相当する。

[0062] 図1 7は、第2画素P X 2におけるスイッチング素子S W 2及びその周辺部のレイアウトの他の例を示す平面図である。図1 7において第2方向Yを示す矢印の先端を上とし、その反対を下とし、第1方向Xを示す矢印の先端を右とし、その反対を左とする場合、図1 7に示すレイアウトは、図3に示すレイアウトを上下に反転し、且つ、左右に反転させたものに相当する。

[0063] 図1 6及び図1 7にそれぞれ示すA－B線に沿った表示パネルP N Lの断面は図4に示す通りであり、C－D線に沿った表示パネルP N Lの断面は図5に示す通りであり、E－F線に沿った表示パネルP N Lの断面は図6に示す通りである。

第1遮光部L S 1、第2遮光部L S 2、第3遮光部L S 3、及び、第4遮光部L S 4は、発光素子L D 2とスイッチング素子S W 2の半導体層S Cと

の間に設けられている。

[0064] これにより、発光素子LD2からスイッチング素子SW2に向かう光が第1遮光部LS1、第2遮光部LS2、第3遮光部LS3、及び、第4遮光部LS4によって遮光される。したがって、スイッチング素子SW2においても、半導体層SCにおけるリーク電流の発生を抑制することができ、第2画素PX2の電位の変化に起因した輝度の低下等の表示品位の低下を抑制することができる。

[0065] 図18は、第3画素PX3におけるスイッチング素子SW3及びその周辺部のレイアウトの一例を示す平面図である。図18に示すスイッチング素子SW3は、図3に示す第1画素PX1におけるスイッチング素子SWと比較して、第1遮光部LS1、第2遮光部LS2、第3遮光部LS3、及び、第4遮光部LS4が設けられていない点で相違している。図18に示すC-D線に沿った表示パネルPNLの断面は図5に示す通りであり、E-F線に沿った表示パネルPNLの断面は図6に示す通りである。

[0066] 図19は、図18に示すG-H線に沿った第1基板SUB1を示す断面図である。図19に示す第1基板SUB1は、図4Bに示す第1基板SUB1と比較して、絶縁膜11を貫通する貫通孔CH1、及び、絶縁膜12を貫通する貫通孔CH2のいずれも設けられていない点で相違している。

[0067] 図18及び図19に示すように、第3画素PX3では、第1遮光部LS1、第2遮光部LS2、第3遮光部LS3、及び、第4遮光部LS4が設けられていないため、第1画素PX1及び第2画素PX2と比較して、一画素当たりの開口面積（表示に寄与する面積）を拡大することができる。

[0068] [第9構成例]

図20は、第9構成例の表示装置DSPを示す平面図である。

図20に示す第9構成例の表示装置DSPは、図15に示す第8構成例の表示装置DSPと比較して、表示部DAが第3表示部を備えていない点で相違している。つまり、表示部DAは、端部E21の近傍に位置する第1領域DA1と、端部E22の近傍に位置する第2領域DA2とを備え、第1領域

D A 1 と第 2 領域 D A 2 とが第 2 方向 Y に隣接している。

[0069] 第 1 領域 D A 1 の第 1 画素 P X 1 におけるスイッチング素子 S W は、図 3 に示す通りである。図 3 に示す第 1 遮光部 L S 1、第 2 遮光部 L S 2、第 3 遮光部 L S 3、及び、第 4 遮光部 L S 4 は、発光素子 L D 1 と第 1 画素 P X 1 の半導体層 S C との間に設けられている。

第 2 領域 D A 2 の第 2 画素 P X 2 におけるスイッチング素子 S W 2 は、図 1 6 または図 1 7 に示す通りである。第 1 遮光部 L S 1、第 2 遮光部 L S 2、第 3 遮光部 L S 3、及び、第 4 遮光部 L S 4 は、発光素子 L D 2 とスイッチング素子 S W 2 の半導体層 S C との間に設けられている。

このような第 9 構成例においても、第 8 構成例と同様に、第 1 画素 P X 1 のスイッチング素子 S W、及び、第 2 画素 P X 2 のスイッチング素子 S W 2 において、半導体層 S C におけるリーク電流の発生を抑制することができる。

[0070] 以上説明したように、本実施形態によれば、表示品位の低下を抑制することができる表示装置を提供することができる。

[0071] なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

符号の説明

[0072] D S P …表示装置 P N L …表示パネル L D …発光素子
S U B 1 …第 1 基板 S U B 2 …第 2 基板 L C …液晶層
L S 1 …第 1 遮光部 L S 2 …第 2 遮光部 L S 3 …第 3 遮光部 L S 4
…第 4 遮光部
G …走査線 S …信号線 S W …スイッチング素子 S C …半導体層

P E …画素電極

請求の範囲

- [請求項1] 第1画素及び第2画素を備えた第1基板と、
 第2基板と、
 前記第1基板と前記第2基板との間に位置し、ポリマーと、液晶分子とを含む液晶層と、
 発光素子と、を備え、
 前記第2画素は、前記第1画素に隣接するとともに、前記発光素子と前記第1画素との間に位置し、
 前記第1基板は、前記第1画素に配置された半導体層を備えたスイッチング素子と、前記スイッチング素子と電氣的に接続された画素電極と、前記第2画素に配置され前記半導体層に隣接する第1遮光部と、を備え、
 前記第1遮光部は、平面視で前記半導体層と前記発光素子との間に位置し、前記第2画素の中心よりも前記第1画素に近接する側に位置している、表示装置。
- [請求項2] 前記第1画素及び前記第2画素の配列方向に直交する幅に関して、
 前記第1遮光部の幅は、前記半導体層の幅より大きい、請求項1に記載の表示装置。
- [請求項3] 前記第1基板は、信号線を備え、
 前記半導体層は、前記信号線に近接した第1端部と、前記第1端部の反対側の第2端部を有し、
 前記第1遮光部は、前記信号線に近接した第3端部と、前記第3端部の反対側の第4端部を有し、
 前記第1端部は、前記第3端部より前記信号線から離間し、
 前記第2端部は、前記第4端部より前記信号線に近接している、請求項1に記載の表示装置。
- [請求項4] 前記第1基板は、透明基板と、第1絶縁膜と、第2絶縁膜と、を備え、

前記半導体層は、断面視で前記第1絶縁膜と前記第2絶縁膜との間に位置し、

前記第1遮光部は、前記第1絶縁膜及び前記第2絶縁膜を貫通する貫通孔に設けられている、請求項1に記載の表示装置。

[請求項5] 前記第1基板は、前記スイッチング素子に重畳する第3絶縁膜と、第2遮光部と、を備え、

前記第3絶縁膜は、前記半導体層と前記貫通孔との間に側面を備え、

前記第2遮光部は、前記側面を覆っている、請求項4に記載の表示装置。

[請求項6] 前記第1基板は、前記透明基板と前記第1絶縁膜との間に位置する第3遮光部を備え、

前記第1遮光部は、前記貫通孔において前記第3遮光部に重畳している、請求項4に記載の表示装置。

[請求項7] 前記第1基板は、前記透明基板と前記第1絶縁膜との間に位置する走査線を備え、

前記第3遮光部は、前記走査線と一体的に形成されている、請求項6に記載の表示装置。

[請求項8] 前記第1基板は、第4遮光部を備え、

前記第4遮光部は、前記貫通孔において、前記第1遮光部と前記第3遮光部との間に位置している、請求項6に記載の表示装置。

[請求項9] 前記第1遮光部及び前記第2遮光部は、一体的に形成されている、請求項5に記載の表示装置。

[請求項10] 前記第1基板は、前記第3絶縁膜に重畳する金属配線を備え、

前記第1遮光部及び前記第2遮光部は、前記金属配線と一体的に形成されている、請求項9に記載の表示装置。

[請求項11] 前記第1基板は、前記金属配線と電氣的に接続された容量電極を備え、

前記容量電極は、前記画素電極の周縁部に重畳する電極部と、前記画素電極の中央部に重畳する開口部と、を備え、

前記第1遮光部は、前記開口部に位置している、請求項10に記載の表示装置。

[請求項12] 前記第1基板は、前記第3絶縁膜に重畳する金属配線と、前記金属配線と電氣的に接続された容量電極と、を備え、

前記第1遮光部及び前記第2遮光部は、前記金属配線から離間し、
前記容量電極は、前記第2遮光部及び前記金属配線に接触している、請求項9に記載の表示装置。

[請求項13] 第1基板と、
第2基板と、
前記第1基板と前記第2基板との間に位置し、ポリマーと、液晶分子とを含む液晶層と、

発光素子と、を備え、

前記第1基板は、半導体層を備えたスイッチング素子と、前記スイッチング素子と電氣的に接続された画素電極と、前記半導体層に隣接する第1遮光部と、を備え、

前記第1遮光部は、平面視で前記半導体層と前記発光素子との間に位置し、

前記第1基板は、順に積層された、透明基板と、第1絶縁膜と、第2絶縁膜と、を備え、

前記半導体層は、断面視で前記第1絶縁膜と前記第2絶縁膜との間に位置し、

前記第1遮光部は、前記第1絶縁膜及び前記第2絶縁膜を貫通する貫通孔に設けられている、表示装置。

[請求項14] 前記第1基板は、前記スイッチング素子に重畳する第3絶縁膜と、第2遮光部と、を備え、

前記第3絶縁膜は、有機絶縁膜であり、前記半導体層と前記貫通孔

との間に側面を備え、

前記第2遮光部は、前記側面を覆っている、請求項13に記載の表示装置。

[請求項15] 前記第1基板は、前記透明基板と前記第1絶縁膜との間に位置する走査線及び第3遮光部を備え、

前記走査線は、ゲート電極を有し、

前記半導体層は、ゲート電極に重畳し、

前記第1遮光部は、前記貫通孔において前記第3遮光部に重畳している、請求項14に記載の表示装置。

[請求項16] 前記第3遮光部は、前記走査線と一体的に形成されている、請求項15に記載の表示装置。

[請求項17] 前記第1基板は、第4遮光部を備え、

前記第4遮光部は、前記貫通孔において、前記第1遮光部と前記第3遮光部との間に位置し、前記第1遮光部及び前記第3遮光部に接触している、請求項16に記載の表示装置。

[請求項18] 前記第3遮光部は、前記走査線から離間している、請求項15に記載の表示装置。

[請求項19] 前記第1基板は、第4遮光部を備え、

前記第4遮光部は、前記貫通孔において、前記第1遮光部と前記第3遮光部との間に位置し、前記第1遮光部及び前記第3遮光部に接触し、

前記第1遮光部及び前記第2遮光部は、一体的に形成されている、請求項18に記載の表示装置。

[請求項20] 前記第1基板は、前記第3絶縁膜に重畳する金属配線を備え、

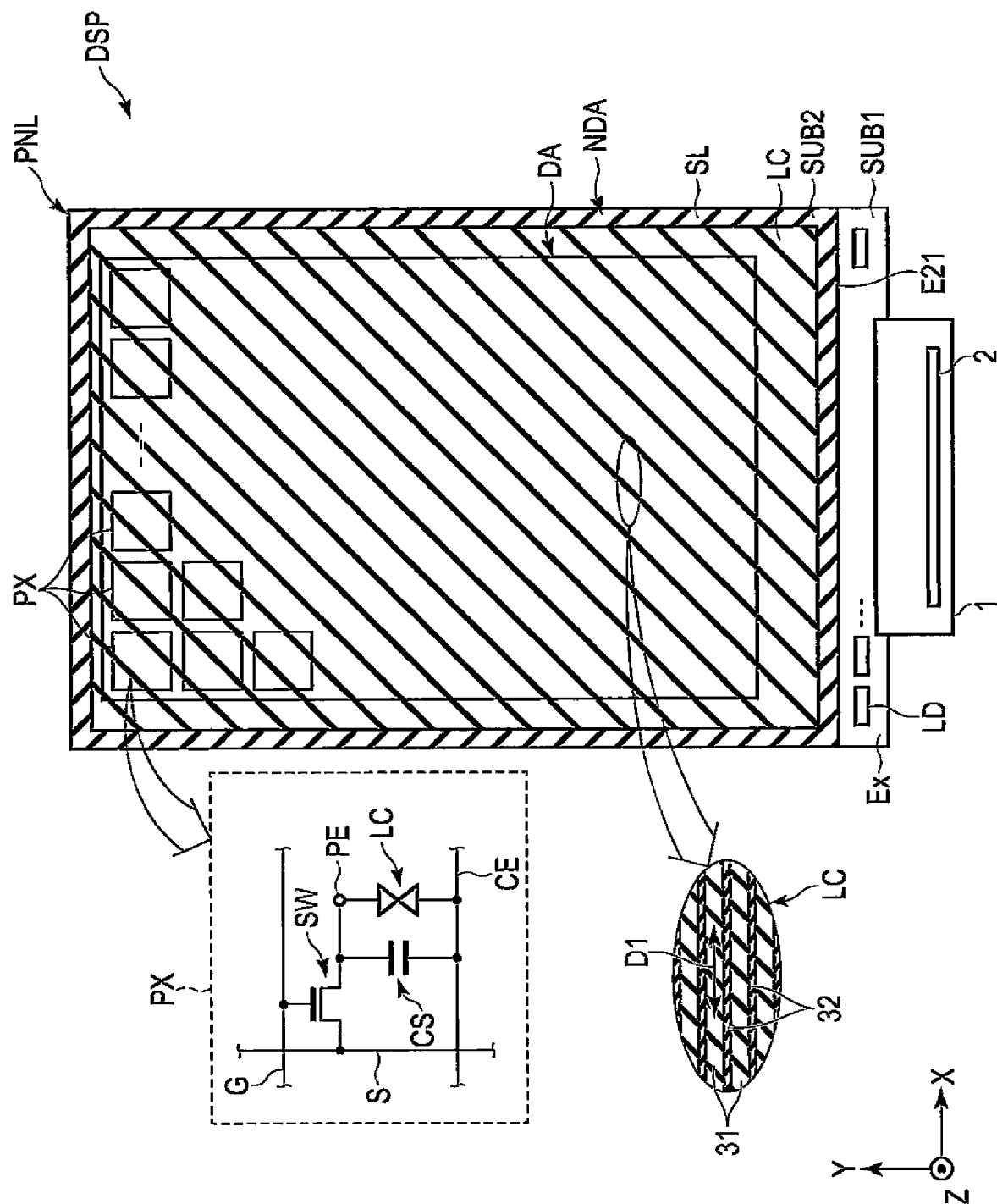
前記第2遮光部は、前記金属配線と一体的に形成されている、請求項14に記載の表示装置。

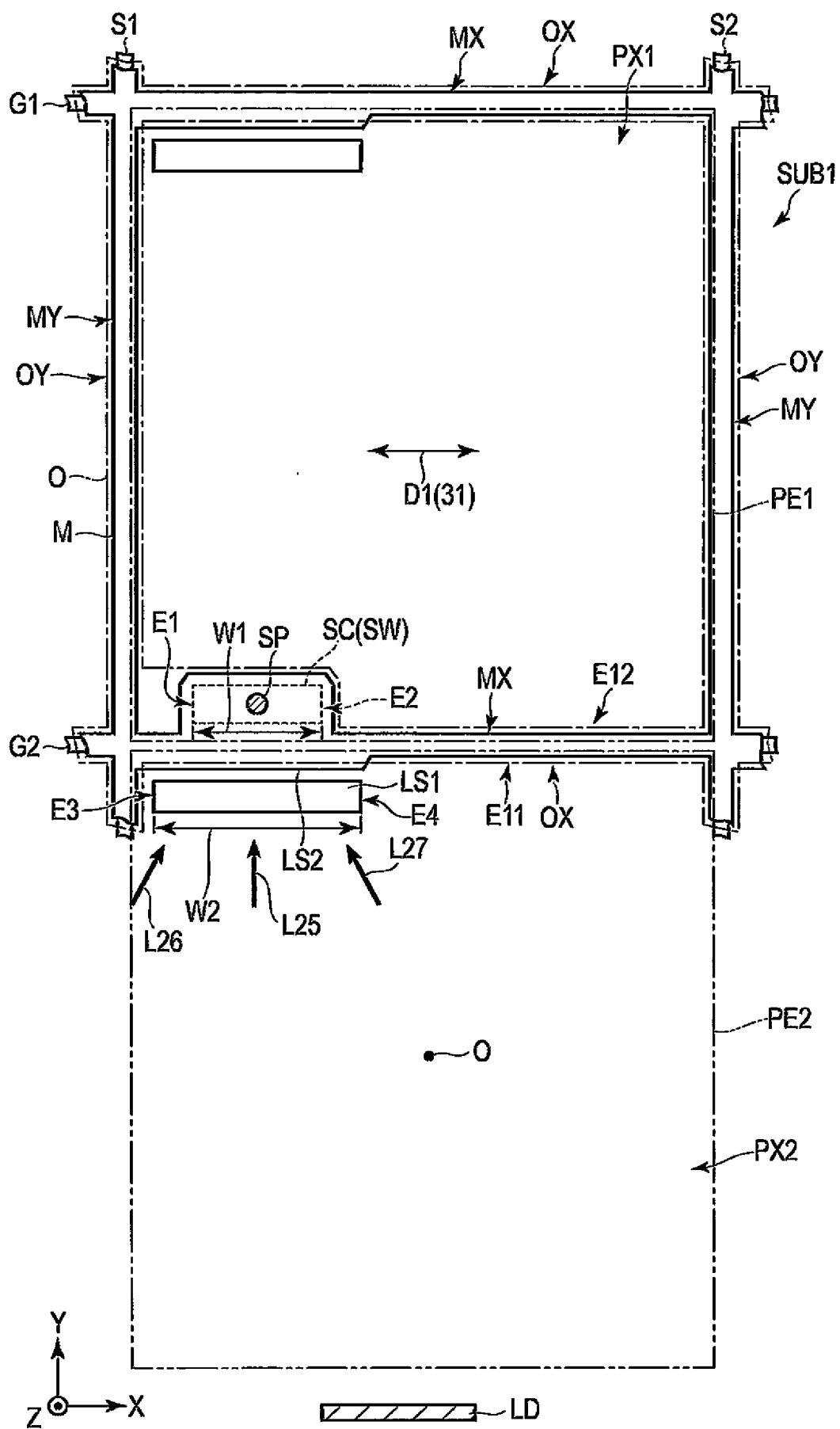
[請求項21] 前記第1基板は、前記金属配線と電氣的に接続された容量電極を備え、

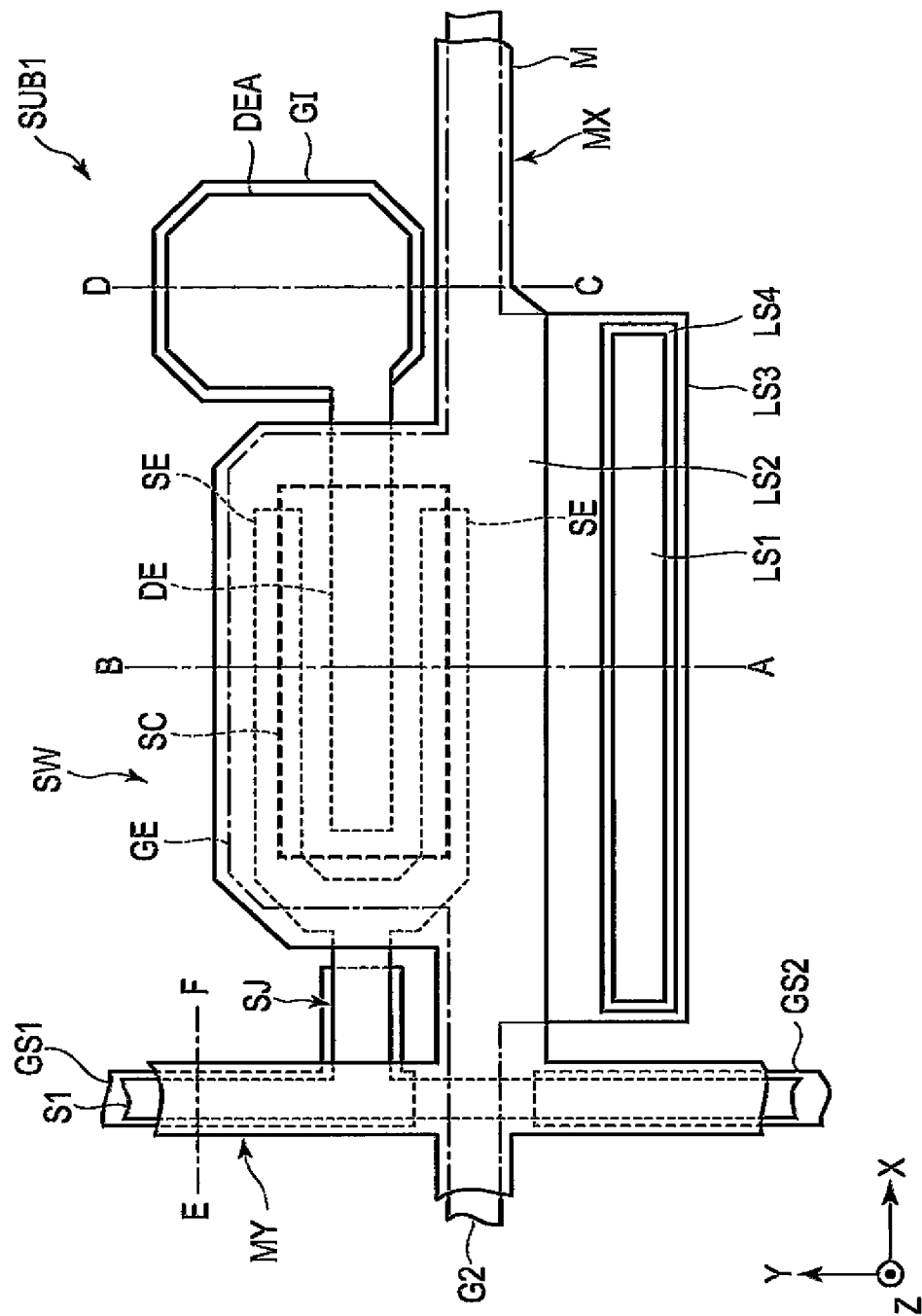
前記容量電極は、前記画素電極の周縁部に重畳する電極部と、前記画素電極の中央部に重畳する開口部と、を備え、

前記第1遮光部は、前記開口部に位置している、請求項20に記載の表示装置。

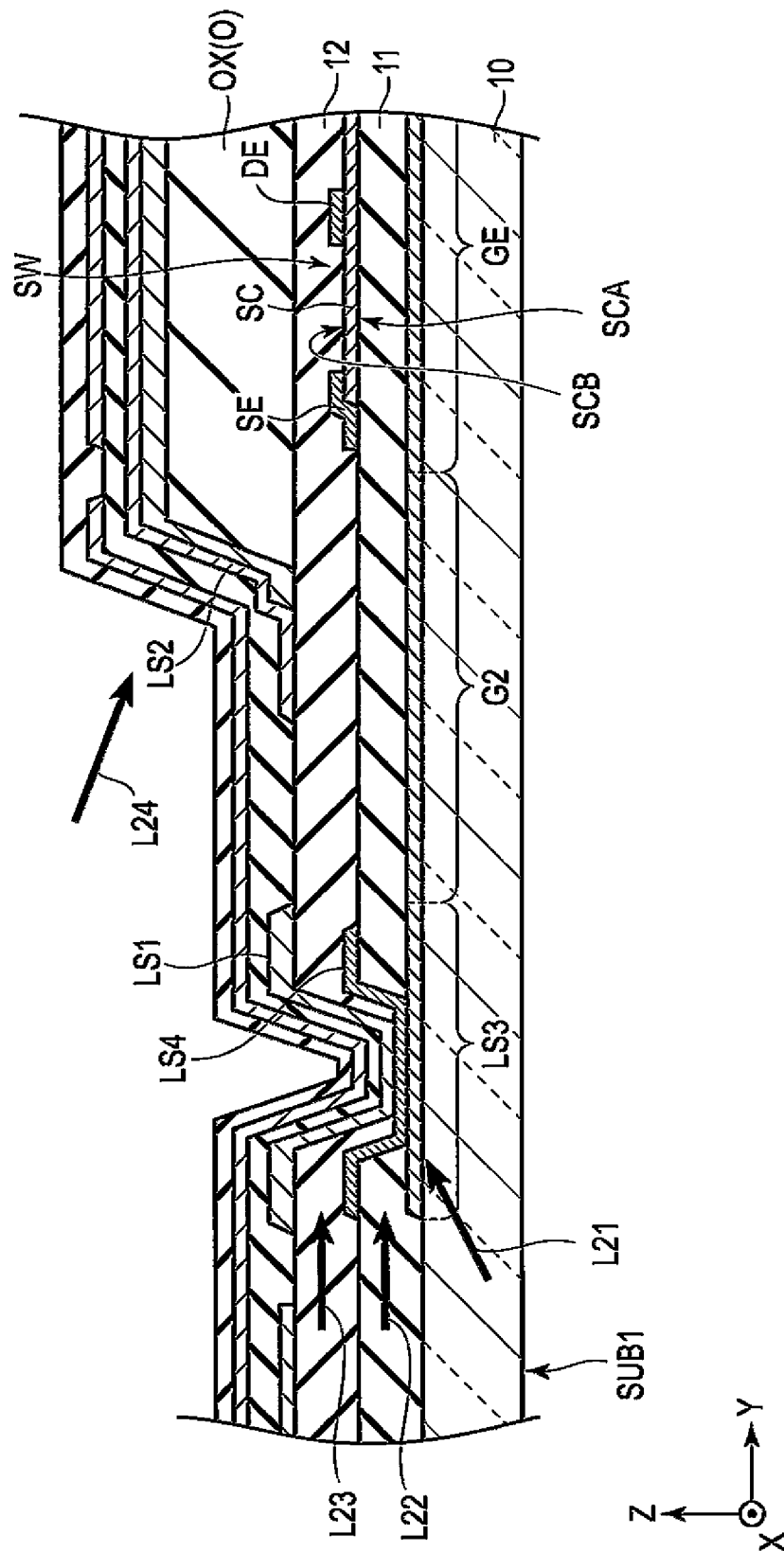
[図1]



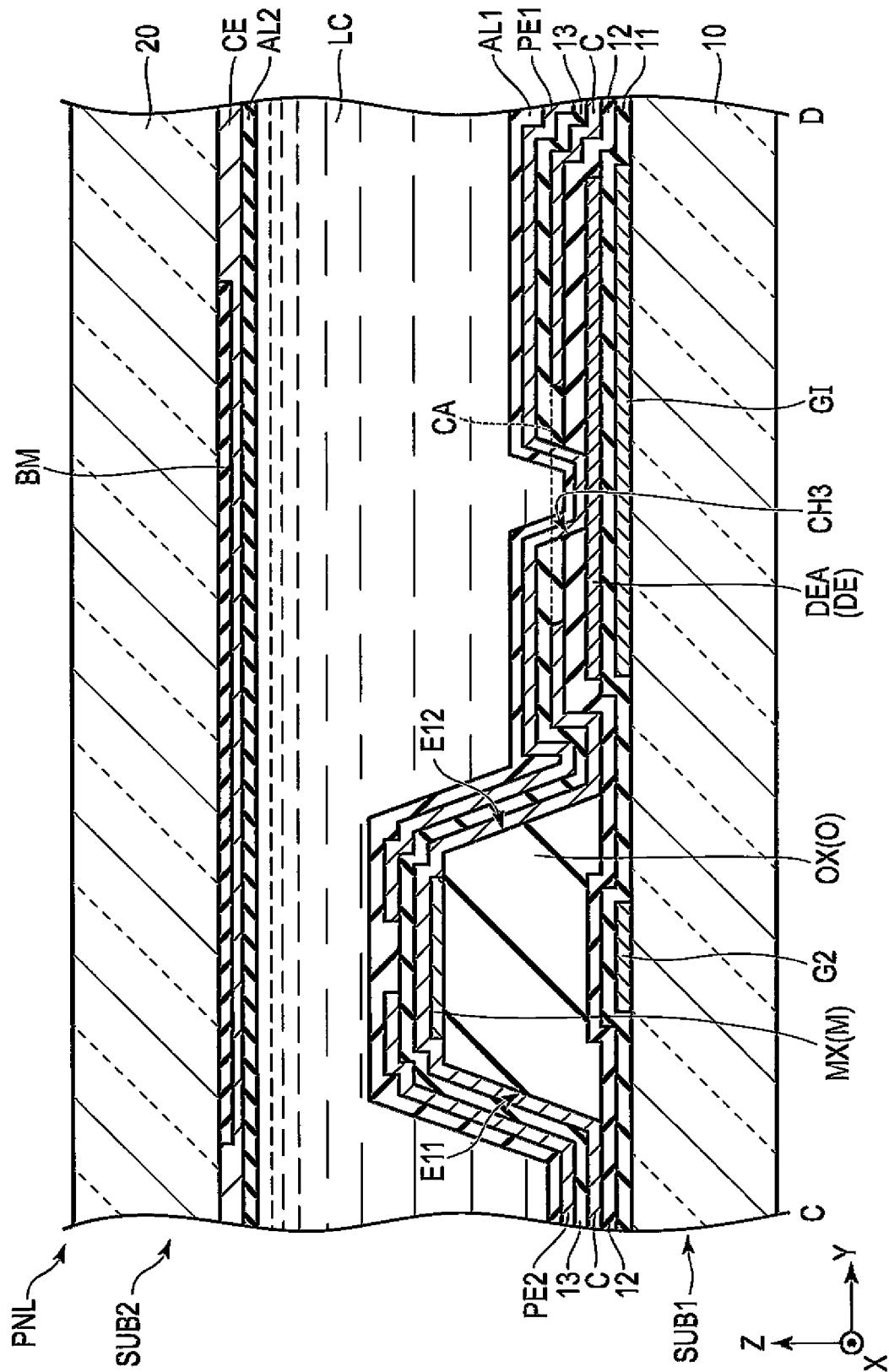




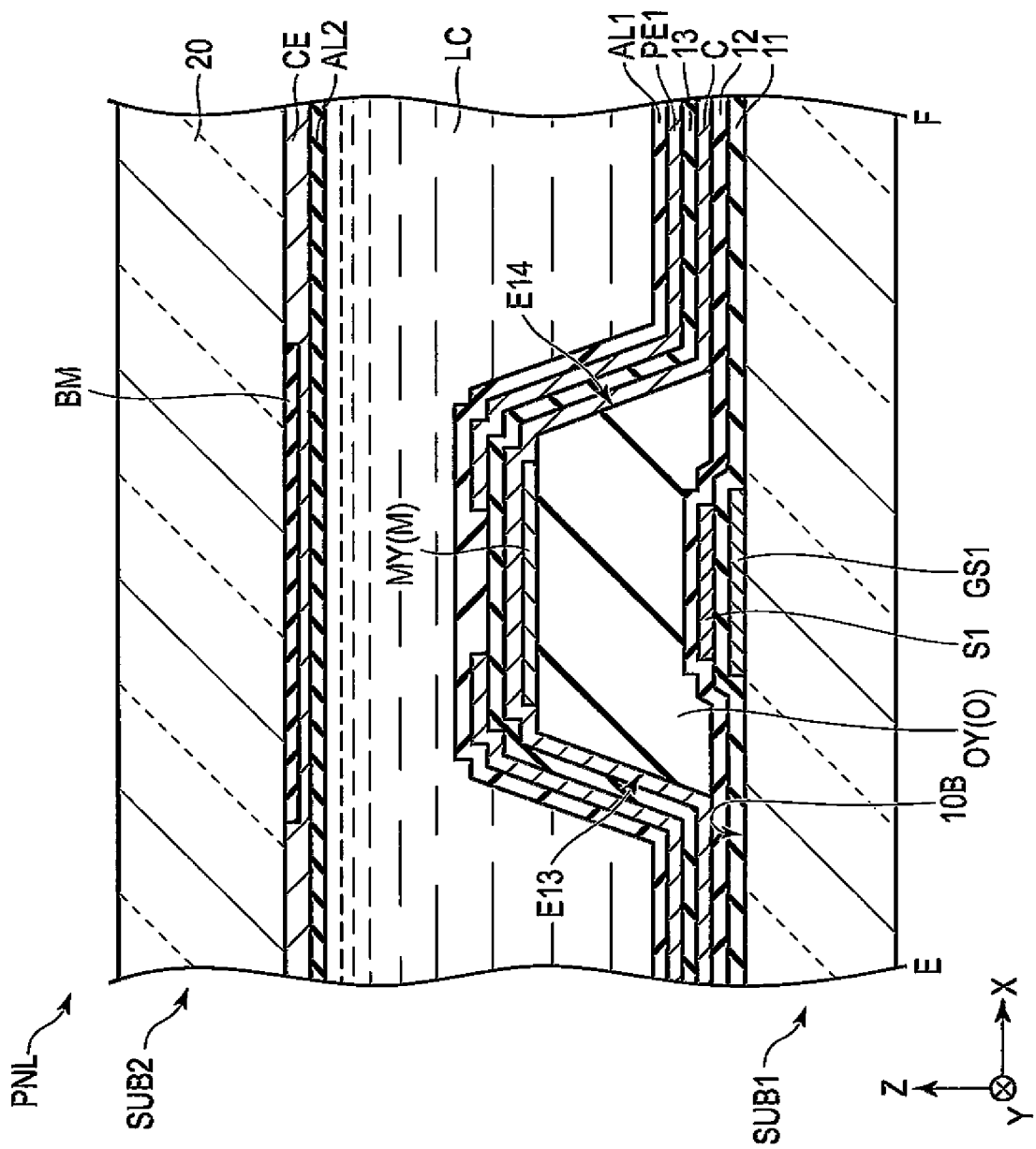
[図4B]



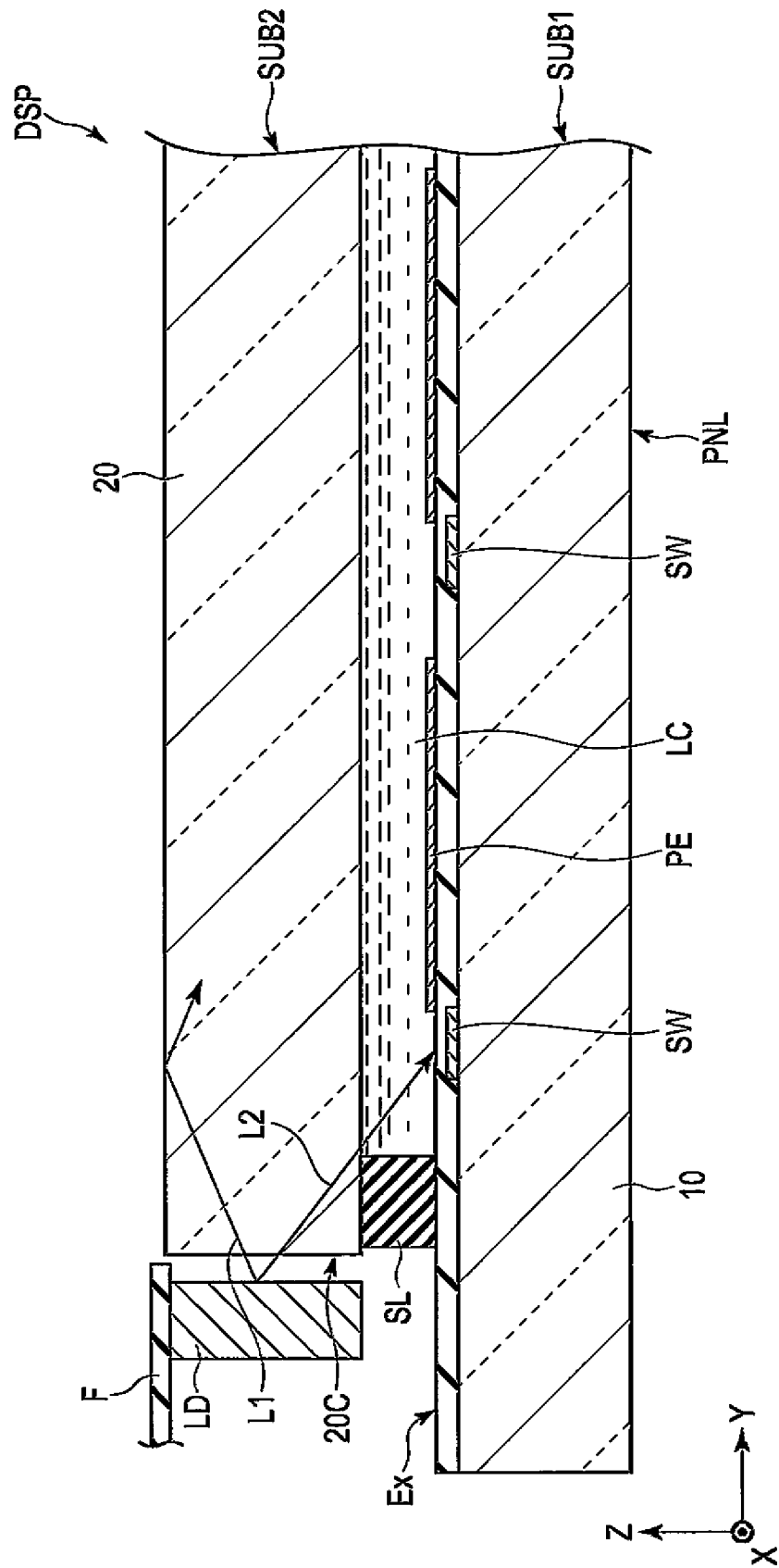
[図5]



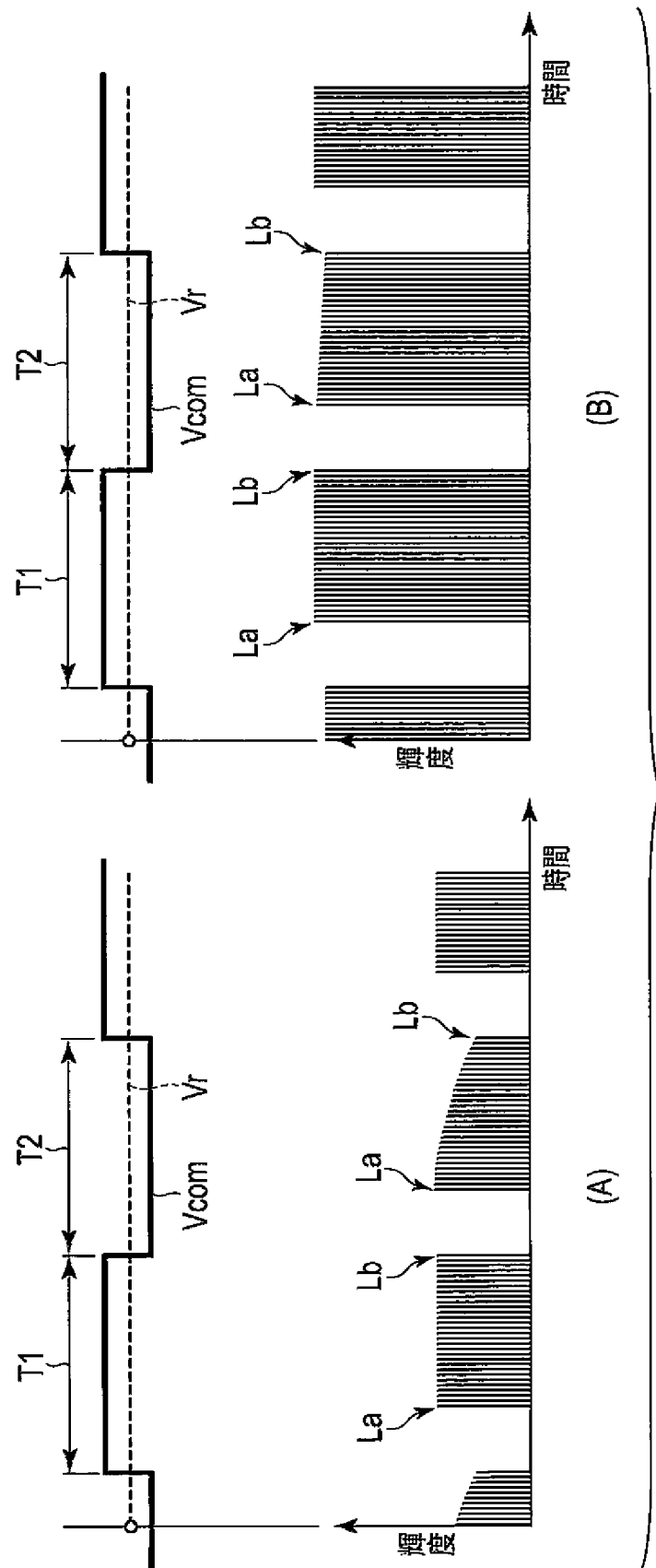
[図6]



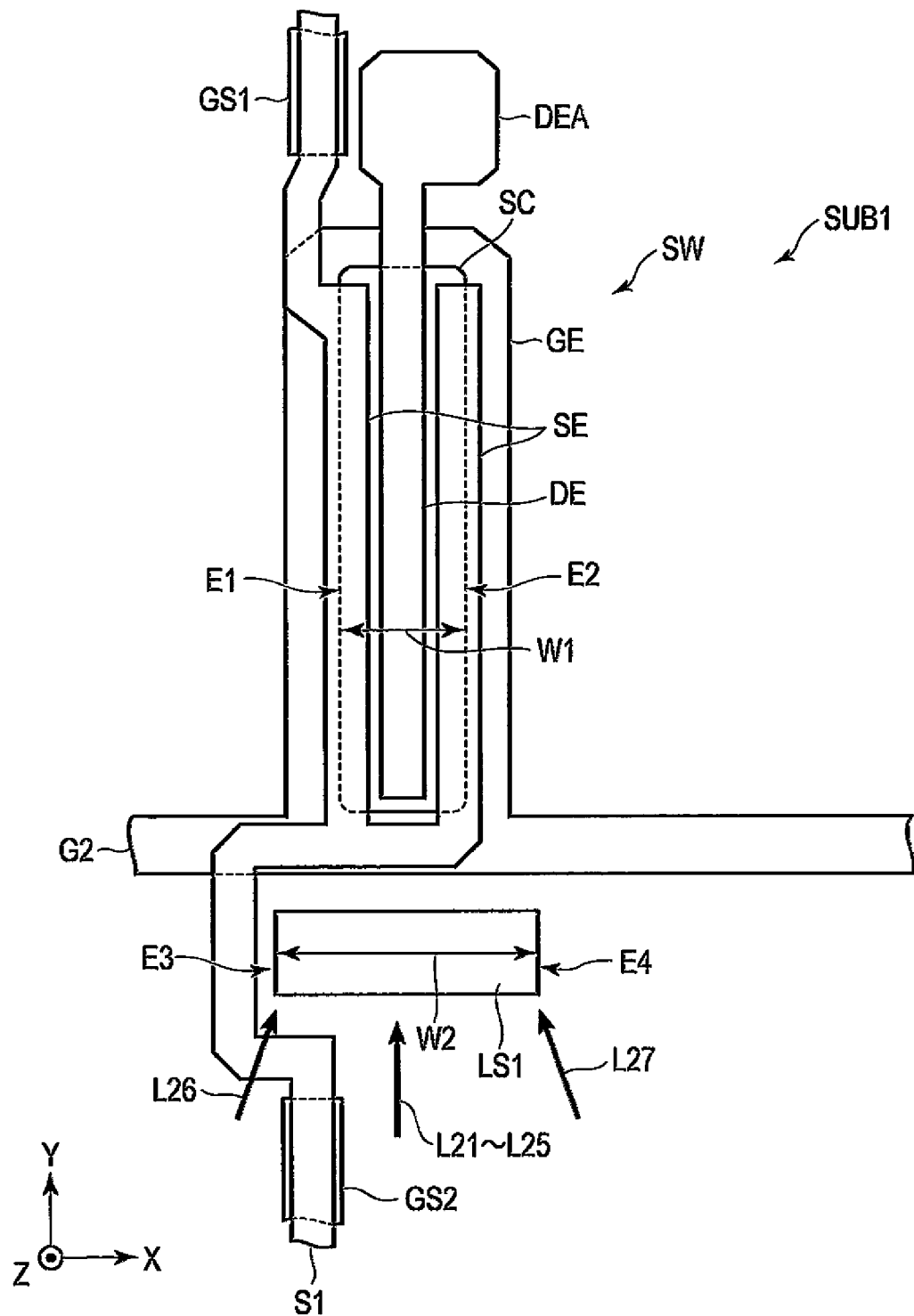
[図7]



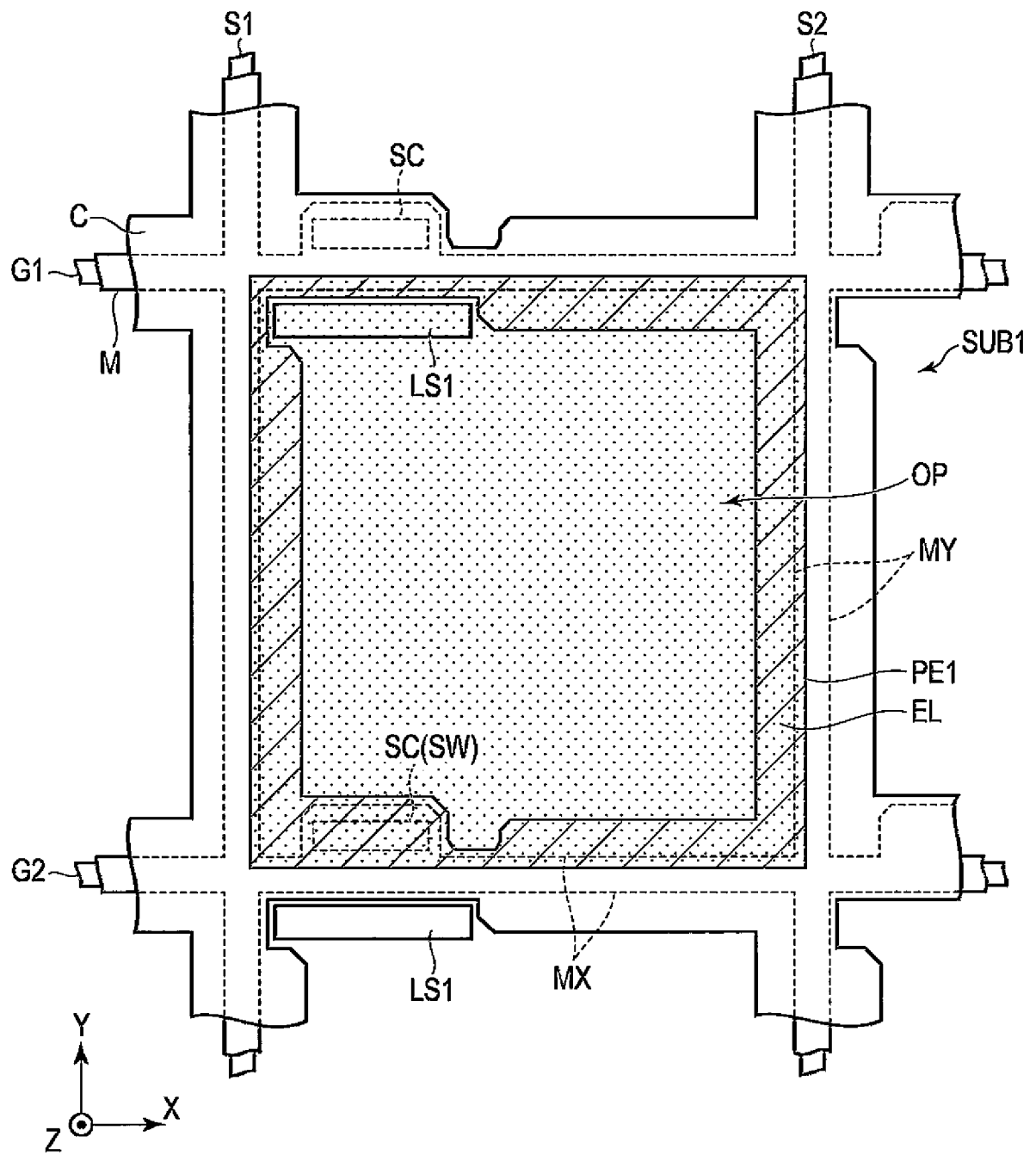
[図8]



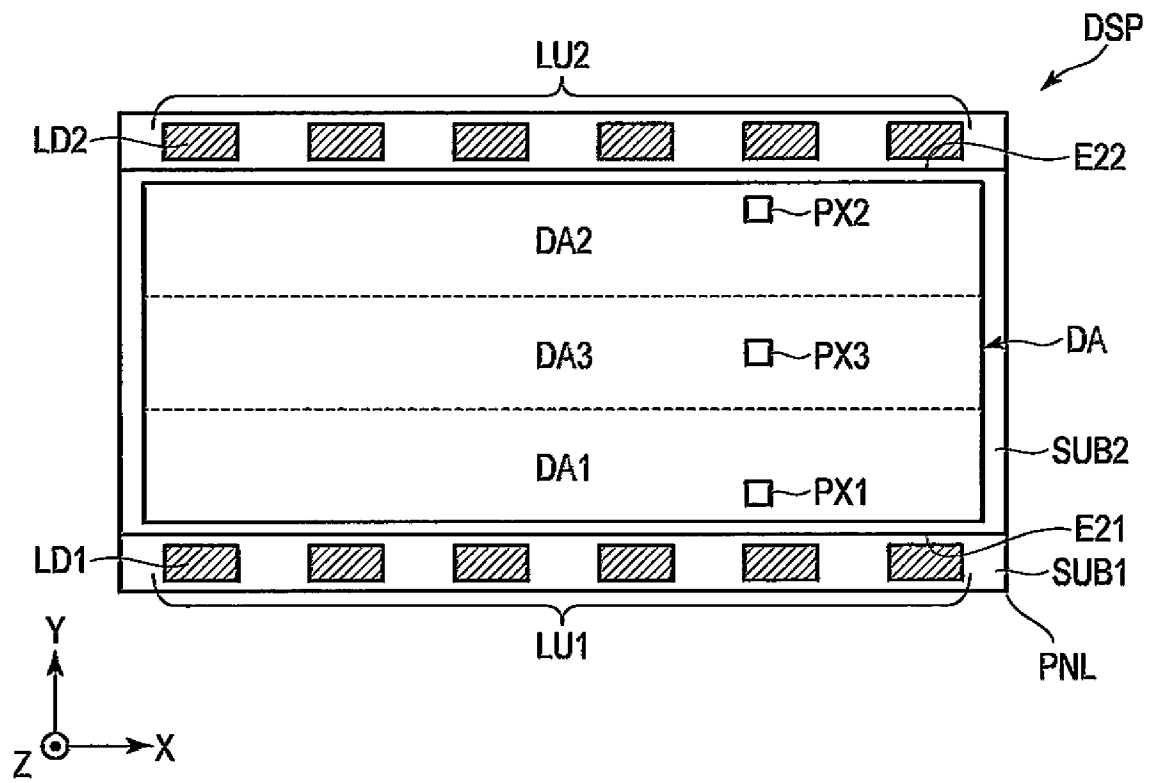
[図13]



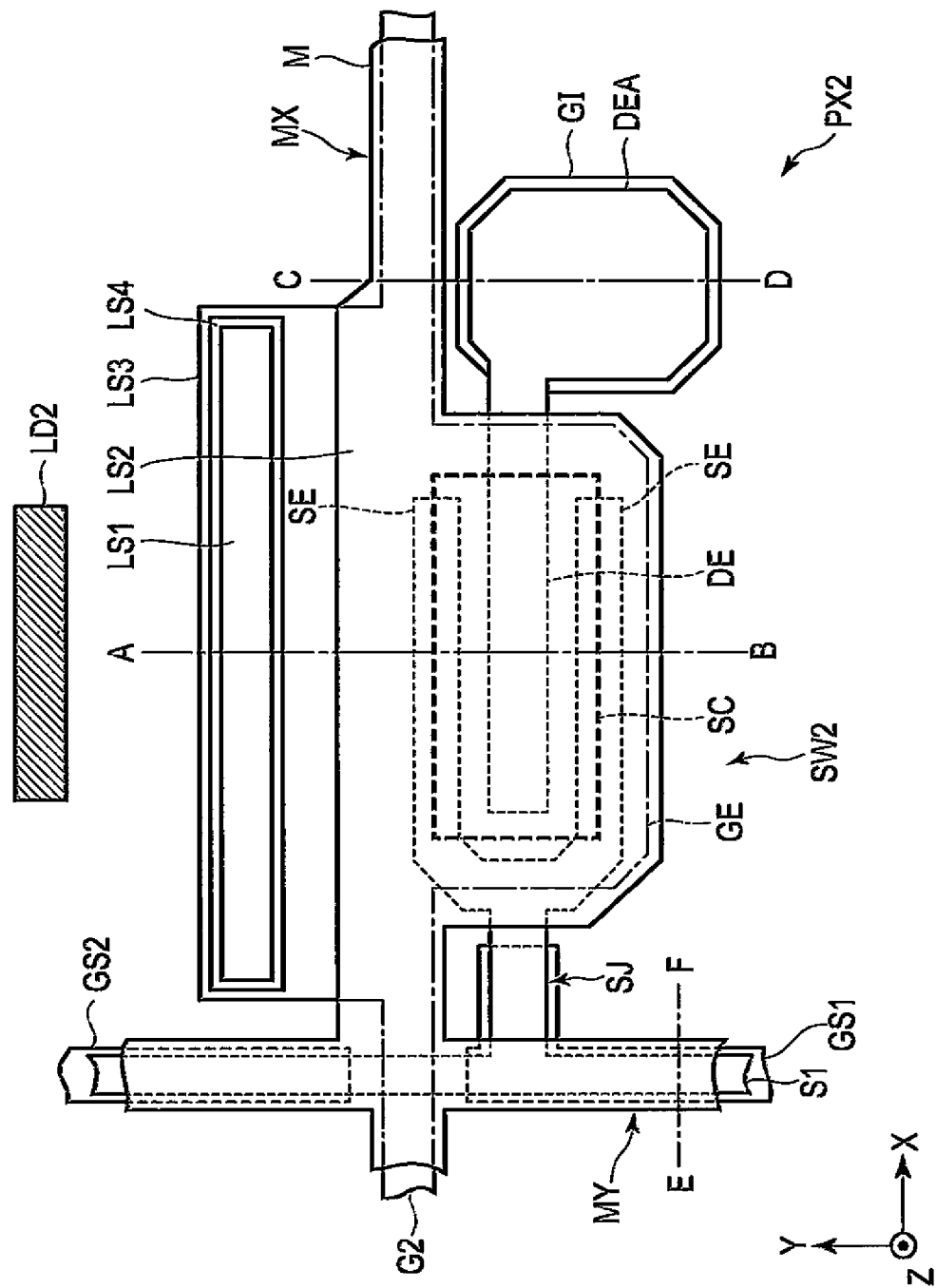
[図14]



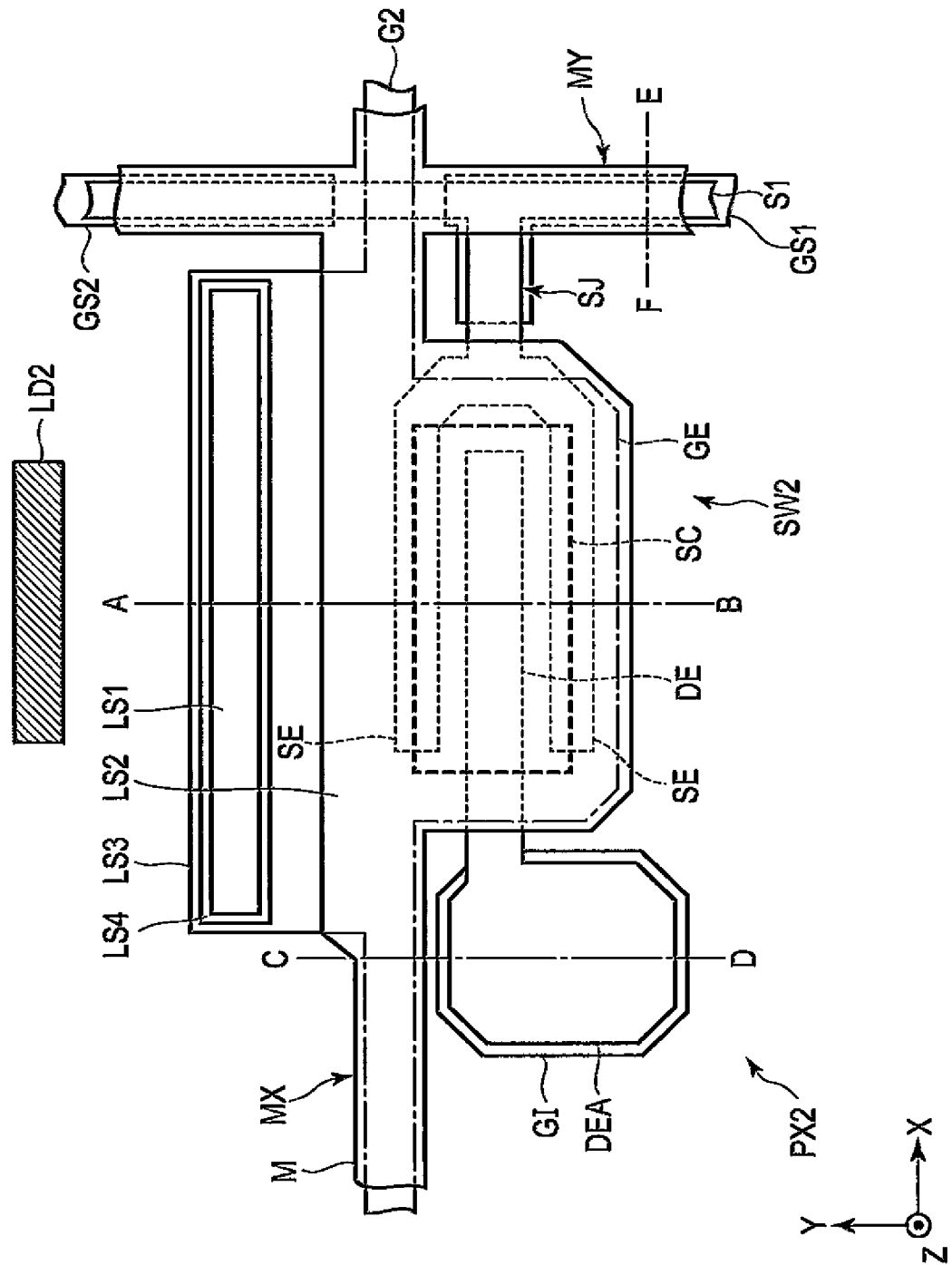
[図15]



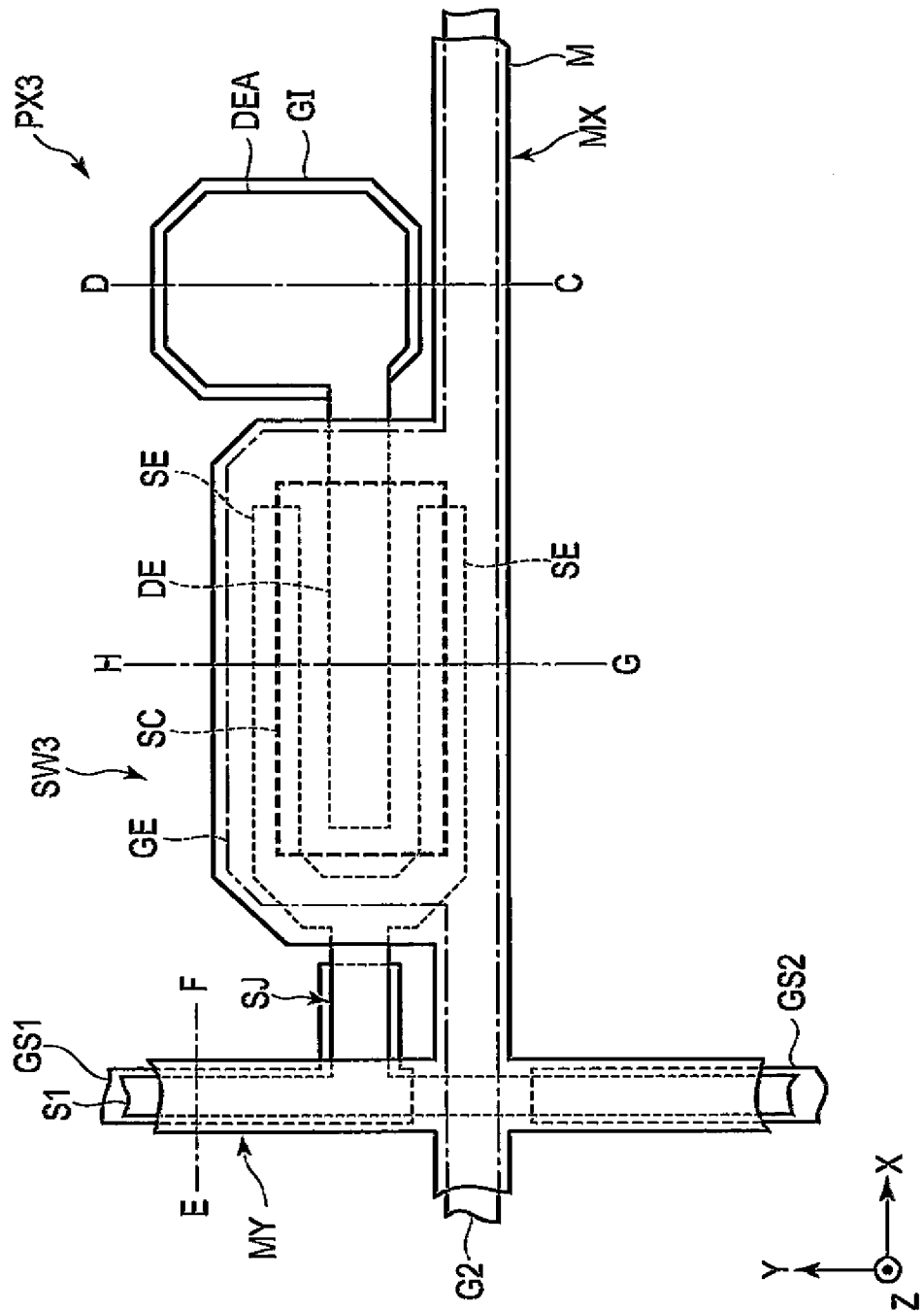
[図16]



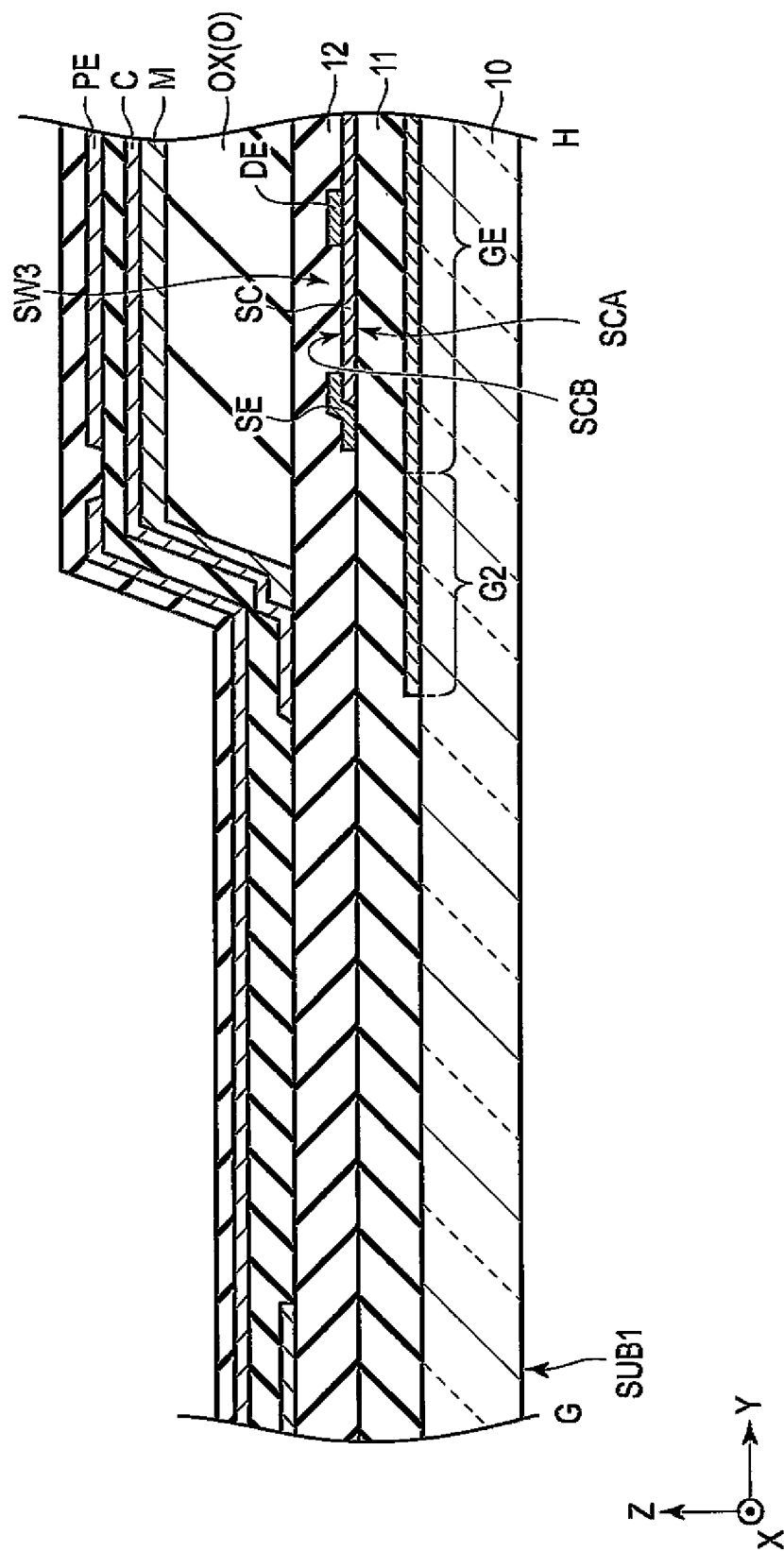
[図17]



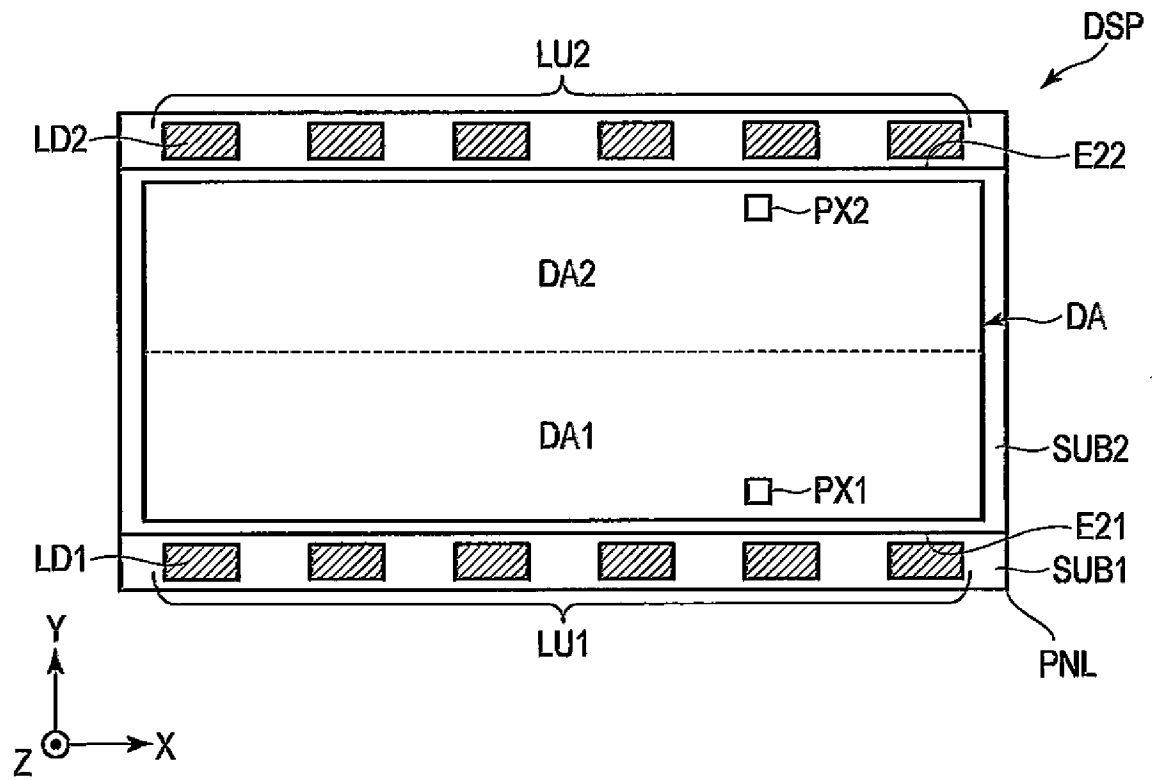
[図18]



[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/003032

A. CLASSIFICATION OF SUBJECT MATTER

G02F 1/1368 (2006.01) i; G02F 1/1334 (2006.01) i; G02F 1/13357 (2006.01) i
FI: G02F1/1368; G02F1/1334; G02F1/13357

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/136-1/1368, 1/1334, 1/13357

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

Japio-GPG/FX

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 1-297623 A (FUJI ELECTRIC CO., LTD.) 30.11.1989 (1989-11-30) page 3, upper left column, line 16 to page 5, lower right column, line 1, fig. 1, 2	1
X	US 2012/0168756 A1 (SAMSUNG ELECTRONICS CO., LTD.) 05.07.2012 (2012-07-05) paragraphs [0005], [0045], [0046], [0068]-[0074], [0086]-[0103], [0122], [0123], [0127], [0128], [0149], [0150], fig. 8-10, 12, 20, 22	1-4, 13
A	paragraphs [0005], [0045], [0046], [0068]-[0074], [0086]-[0103], [0122], [0123], [0127], [0128], [0149], [0150], fig. 8-10, 12, 20, 22	5-12, 14-21
A	WO 2018/149142 A1 (BOE TECHNOLOGY GROUP CO., LTD.) 23.08.2018 (2018-08-23) entire text, fig. 2a, 2b, 2c	1-21

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06 March 2020 (06.03.2020)

Date of mailing of the international search report
17 March 2020 (17.03.2020)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2020/003032

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 1-297623 A	30 Nov. 1989	(Family: none)	
US 2012/0168756 A1	05 Jul. 2012	KR 10-2012-0078293 A	
WO 2018/149142 A1	23 Aug. 2018	US 2019/0074302 A1	
		entire text, fig. 2a, 2b, 2c	
		CN 106876386 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） G02F 1/1368(2006.01)i; G02F 1/1334(2006.01)i; G02F 1/13357(2006.01)i FI: G02F1/1368; G02F1/1334; G02F1/13357		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） G02F1/136-1/1368, 1/1334, 1/13357		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語） Japio-GPG/FX		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 1-297623 A (富士電機株式会社) 30.11.1989 (1989 - 11 - 30) 3ページ左上欄16行-5ページ右下欄1行, 図1, 2	1
X	US 2012/0168756 A1 (SAMSUNG ELECTRONICS CO., LTD.) 05.07.2012 (2012 - 07 - 05) 段落[0005], [0045], [0046], [0068]-[0074], [0086]-[0103], [0122], [0123], [0127], [0128], [0149], [0150], 図8-10, 12, 20, 22	1-4, 13
A	段落[0005], [0045], [0046], [0068]-[0074], [0086]-[0103], [0122], [0123], [0127], [0128], [0149], [0150], 図8-10, 12, 20, 22	5-12, 14-21
A	WO 2018/149142 A1 (BOE TECHNOLOGY GROUP CO., LTD.) 23.08.2018 (2018 - 08 - 23) 全文, 図2a, 2b, 2c	1-21
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 06.03.2020		国際調査報告の発送日 17.03.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 横井 亜矢子 2L 9706 電話番号 03-3581-1101 内線 3295

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2020/003032

引用文献			公表日	パテントファミリー文献			公表日
JP	1-297623	A	30.11.1989	(ファミリーなし)			
US	2012/0168756	A1	05.07.2012	KR	10-2012-0078293	A	
WO	2018/149142	A1	23.08.2018	US	2019/0074302	A1	
				全文, 図2a, 2b, 2c			
				CN	106876386	A	