

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일

2024년 12월 19일 (19.12.2024)



WIPO | PCT



(10) 국제공개번호

WO 2024/257952 A1

(51) 국제특허분류:

H01L 25/07 (2006.01)

H01L 23/535 (2006.01)

H01L 23/522 (2006.01)

H01L 23/528 (2006.01)

H01L 23/532 (2006.01)

H01L 23/31 (2006.01)

H02M 3/00 (2006.01)

H02M 7/00 (2006.01)

(21) 국제출원번호:

PCT/KR2023/014180

(22) 국제출원일:

2023년 9월 19일 (19.09.2023)

(25) 출원언어:

한국어

(26) 공개언어:

한국어

(30) 우선권정보:

10-2023-0076595 2023년 6월 15일 (15.06.2023) KR

(71) 출원인: 주식회사 엘엑스세미콘 (LX SEMICON CO., LTD.) [KR/KR]; 34027 대전광역시 유성구 테크노2로 222, Daejeon (KR).

(72) 발명자: 김태룡 (KIM, Tae Ryong); 34027 대전광역시 유성구 테크노2로 222, Daejeon (KR). 김덕수 (KIM, De-og Soo); 34027 대전광역시 유성구 테크노2로 222, Daejeon (KR).

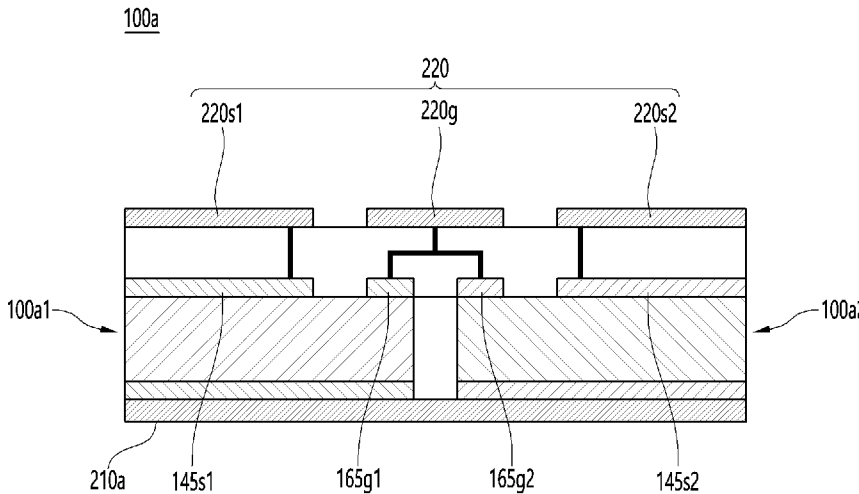
(74) 대리인: 허용록 (HAW, Yong Noke); 06252 서울특별시 강남구 역삼로 114 현죽빌딩 6층, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM,

(54) Title: POWER SEMICONDUCTOR MODULE AND POWER CONVERSION DEVICE COMPRISING SAME

(54) 발명의 명칭: 전력반도체 모듈 및 이를 포함하는 전력변환 장치



(57) Abstract: An embodiment relates to a power semiconductor module and a power conversion device comprising same. The power semiconductor module according to an embodiment may comprise: a power semiconductor device; a first wiring layer and a second wiring layer disposed on the lower side and the upper side, respectively, of the power semiconductor device; and a first mold surrounding the side surfaces of the power semiconductor device. The power semiconductor device can include a (1-1)st power semiconductor device and a (1-2)st power semiconductor device that arranged to be adjacent to each other. The first wiring layer can include a (1-1)st wiring layer electrically connected to the drain electrodes of the (1-1)st power semiconductor device and the (1-2)st power semiconductor device. The second wiring layer can be electrically connected to a gate electrode and a source electrode of the (1-1)st power semiconductor device and the (1-2)st power semiconductor device. The second wiring layer can include a common gate wiring electrically connected to a first gate electrode of the (1-1)st power semiconductor device and a second gate electrode of the (1-2)st power semiconductor device.

[다음 쪽 계속]



TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(57) 요약서: 실시예는 전력반도체 모듈 및 이를 포함하는 전력변환 장치에 관한 것이다. 실시예에 따른 전력반도체 모듈은, 전력반도체 소자와, 상기 전력반도체 소자의 하측과 상측에 각각 배치된 제1 배선층과 제2 배선층 및 상기 전력반도체 소자의 측면을 둘러싸는 제1 몰드를 포함할 수 있다. 상기 전력반도체 소자는, 인접하게 배치된 제1-1 전력반도체 소자와 제1-2 전력반도체 소자를 포함할 수 있다. 상기 제1 배선층은 상기 제1-1 전력반도체 소자 및 제1-2 전력반도체 소자의 드레인 전극들과 전기적으로 연결되는 제1-1 배선층을 포함할 수 있다. 상기 제2 배선층은, 상기 제1-1 전력반도체 소자 및 상기 제1-2 전력반도체 소자의 게이트 전극, 소스 전극과 전기적으로 연결될 수 있다. 상기 제2 배선층은, 상기 제1-1 전력반도체 소자의 제1 게이트 전극 및 상기 제1-2 전력반도체 소자의 제2 게이트 전극에 전기적으로 연결되는 공통 게이트 배선을 포함할 수 있다.

명세서

발명의 명칭: 전력반도체 모듈 및 이를 포함하는 전력변환 장치 기술분야

- [1] 실시예는 전력반도체 모듈 및 이를 포함하는 전력변환 장치에 관한 것이다.

배경기술

- [2] 전력 반도체(Power Semiconductor)는 전력전자 시스템의 효율, 속도, 내구성 및 신뢰성을 결정짓는 핵심 요소 중 하나이다.
- [3] 최근 전력전자 산업의 발전과 함께 기존에 사용되던 실리콘(Silicon: Si) 전력 반도체가 물리적 한계에 도달하면서 이를 대체하기 위한 탄화규소(Silicon Carbide: SiC) 및 질화갈륨(Gallium Nitride: GaN) 등의 WBG(Wide Bandgap) 전력 반도체에 대한 연구가 활발히 이루어지고 있다.
- [4] WBG 전력반도체 소자는 Si 전력반도체 소자에 비해 약 3배의 밴드갭 에너지를 가지며, 이로 인해 낮은 진성 캐리어 농도, 높은 절연파괴 전계(약 4~20배), 높은 열 전도성(약 3~13배) 및 큰 전자 포화속도(약 2~2.5배)의 특성을 지닌다.
- [5] 이러한 특성들로 인해 고온, 고전압 환경에서 동작이 가능하고 높은 스위칭 속도와 낮은 스위칭 손실을 갖는다. 이 중 갈륨 나이트라이드(GaN) 전력반도체 소자는 저 전압 시스템에 사용될 수 있고, 실리콘 카바이드(SiC) 전력반도체 소자는 고 전압 시스템에 적합할 수 있다.
- [6] 한편, SiC 전력반도체에 관한 종래 내부기술에 의하면, 개별 전력반도체 소자를 소정의 방열기관에 접착하는 과정에서 전력반도체 소자가 크랙 되는 문제가 있다.
- [7] 또한 종래 내부기술에서는 개별 전력반도체 소자를 방열기관에 접착 후 몰딩과정에서 몰드 재질이 제대로 채워지지 않아 보이드가 발생하는 문제가 있다.
- [8] 또한 종래 내부기술에서는 개별 전력반도체 소자를 방열기관에 접착하는 과정에서 전력반도체 소자의 전극들과 방열기관의 전도층 패턴 사이에 전기적 인터커넥션 불량 발생 하는 문제가 있다.
- [9] 또한 종래 내부기술에 의하면 각각 복수의 전력반도체 소자를 포함하는 복수의 반도체 모듈들이 하나의 유닛 모듈(unit module)로 제작될 수 있으나, 최종 모듈 테스트에서 페일(fail) 발생 시 제작된 유닛 모듈(unit module) 전체를 폐기하는 문제가 있다.
- [10]
- [11] 한편, 전력반도체 모듈에 포함되는 복수의 전력반도체 소자는 직렬이나 병렬로 연결된다. 이러한 경우, 전력반도체 소자 각각이 턴 오프되는 경우, 부유 인덕턴스(stray inductance)가 해당 전력반도체 소자에 형성되며, 전력반도체 소자 간의 전기적 연결 경로가 클수록 부유 인덕턴스가 커진다.

- [12] 부유 인덕턴스는 전류의 흐름을 방해하여 고전력 출력을 방해하므로, 최소화하거나 제거할 필요가 있다. 특히, 부유 인덕턴스가 커지는 경우, 순간적인 전압의 오버슈팅이 발생된다. 이러한 오버슈팅된 전압이 전력반도체 소자의 내전압을 초과하는 경우, 전력반도체 소자가 손상되거나 전력반도체 소자의 스위칭 손실이 발생하는 문제가 있다. 따라서, 부유 인덕턴스를 최소화하거나 제거할 수 있는 기술적 방안이 절실히 요구되고 있다.

발명의 상세한 설명

기술적 과제

- [13] 실시예의 기술적 과제 중의 하나는 개별 전력반도체 소자를 소정의 방열기판에 접착하는 과정에서 전력반도체 소자가 크랙되는 문제를 해결하고자 함이다.
- [14] 또한 실시예의 기술적 과제 중의 하나는 개별 전력반도체 소자를 방열기판에 접착 후 몰딩과정에서 몰드 재질이 제대로 채워지지 않아 보이드가 발생하는 문제를 해결하고자 함이다.
- [15] 또한 실시예의 기술적 과제 중의 하나는 개별 전력반도체 소자를 방열기판에 접착하는 과정에서 전력반도체 소자의 전극들과 방열기판의 전도층 패턴 사이에 전기적 인터커넥션의 불량 발생을 해결하고자 함이다.
- [16] 또한 실시예의 기술적 과제 중의 하나는 복수의 반도체 모듈이 하나의 유닛 모듈(unit module)로 제작된 후 최종 모듈테스트에서 패일(fail) 발생 시 제작된 유닛 모듈 전체를 폐기하는 문제를 해결하고자 함이다.
- [17] 또한 실시예의 기술적 과제 중의 하나는 전력반도체 모듈에서 전류 경로 증가에 따른 부유 인덕턴스 발생의 문제를 해결하고자 함이다.
- [18] 실시예의 기술적과제는 본 항목에 기재된 것에 한정되지 않으며 발명의 설명을 통해 파악될 수 있는 것을 포함한다.

과제 해결 수단

- [19] 실시예에 따른 전력반도체 모듈은, 전력반도체 소자(100a, 100b)와, 상기 전력반도체 소자(100a, 100b)의 하측과 상측에 각각 배치된 제1 배선층(210)과 제2 배선층(220) 및 상기 전력반도체 소자(100a, 100b)의 측면을 둘러싸는 제1 몰드(201)를 포함할 수 있다.
- [20] 상기 전력반도체 소자(100a)는, 인접하게 배치된 제1-1 전력반도체 소자(100a1)와 제1-2 전력반도체 소자(100a2)를 포함할 수 있다.
- [21] 상기 제1 배선층(210)은 상기 제1-1 전력반도체 소자(100a1) 및 제1-2 전력반도체 소자(100a2)의 드레인 전극들과 전기적으로 연결되는 제1-1 배선층(210a)을 포함할 수 있다.
- [22] 상기 제2 배선층(220)은, 상기 제1-1 전력반도체 소자(100a1) 및 상기 제1-2 전력반도체 소자(100a2)의 게이트 전극, 소스 전극과 전기적으로 연결될 수 있다.

- [23] 상기 제2 배선층(220)은, 상기 제1-1 전력반도체 소자(100a1)의 제1 게이트 전극(165g1) 및 상기 제1-2 전력반도체 소자(100a2)의 제2 게이트 전극(165g2)에 전기적으로 연결되는 공통 게이트 배선(220g)을 포함할 수 있다.
- [24] 상기 제2 배선층(220)은, 상기 제1-1 전력반도체 소자(100a1)의 제1 소스 전극(145s1) 및 상기 제1-2 전력반도체 소자(100a2)의 제2 소스 전극(145s2)과 각각 전기적으로 연결되는 제1 소스 배선(220s1) 및 제2 소스 배선(220s2)을 포함할 수 있다.
- [25] 상기 전력반도체 소자(100a)는, 중간절연층(230)에 배치되며 상기 제1-1 전력반도체 소자(100a1)의 제1 소스 전극(145s1)과 상기 제1 소스 배선(220s1)을 전기적으로 연결하는 제1 소스 비아(245b1)를 포함할 수 있다. 예를 들어, 상기 중간절연층(230)은 상기 전력반도체 소자(100a) 위 또는 아래에 배치될 수 있다.
- [26] 상기 전력반도체 소자(100a)는, 상기 중간절연층(230)에 배치되며 상기 제1-2 전력반도체 소자(100a2)의 제2 소스 전극(145s2)과 상기 제2 소스 배선(220s2)을 전기적으로 연결하는 제2 소스 비아(245b2)를 포함할 수 있다.
- [27] 상기 전력반도체 소자(100a)는, 상기 중간절연층(230)에 배치되며 상기 제1-1 전력반도체 소자(100a1) 및 상기 제1-2 전력반도체 소자(100a2)의 제1 게이트 전극(165g1) 및 제2 게이트 전극(165g2)을 상기 공통 게이트 배선(220g)에 전기적으로 연결하는 공통 게이트 비아(245a)를 포함할 수 있다.
- [28] 상기 제1-1 전력반도체 소자(100a1)의 제1 게이트 전극(165g1)과 상기 제1-2 전력반도체 소자(100a2)의 제2 게이트 전극(165g2)이 인접하게 마주보도록 배치되고, 상기 제1 게이트 전극(165g1), 상기 제2 게이트 전극(165g2)은 상기 공통 게이트 배선(220g)과 전기적으로 연결될 수 있다.
- [29] 상기 제2 배선층(220)은 상기 제1-1 전력반도체 소자(100a1)의 제1 소스 전극(145s1) 및 상기 제1-2 전력반도체 소자(100a2)의 제2 소스 전극(145s2)과 전기적으로 연결되는 공통 소스 배선(220sc)을 포함할 수 있다.
- [30]
- [31] 또 다른 실시예에 따른 전력반도체 모듈은, 제3 전력반도체 소자(100c1, 100c2)과, 상기 제3 전력반도체 소자(100c1, 100c2)의 하측과 상측에 각각 배치된 제1 배선층(210)과 제2 배선층(220) 및 상기 제3 전력반도체 소자(100c1, 100c2)의 측면을 둘러싸는 제1 몰드(201)를 포함할 수 있다.
- [32] 상기 제3 전력반도체 소자는, 인접하게 배치된 제3-1 전력반도체 소자(100c1)와 제3-2 전력반도체 소자(100c2)를 포함할 수 있다.
- [33] 상기 제1 배선층(210)은 상기 제3-1 전력반도체 소자(100c1) 및 제3-2 전력반도체 소자(100c2)의 드레인 전극들과 전기적으로 연결되는 제1-1 배선층(210a)을 포함할 수 있다.
- [34] 상기 제2 배선층(220)은, 상기 제3-1 전력반도체 소자(100c1) 및 상기 제3-2 전력반도체 소자(100c2)의 게이트 전극, 소스 전극과 전기적으로 연결될 수 있다.

- [35] 상기 제2 배선층(220)은, 상기 제3-1 전력반도체 소자(100c1)의 제1 게이트 전극(165g1) 및 상기 제3-2 전력반도체 소자(100c2)의 제2 게이트 전극(165g2)에 전기적으로 각각 연결되는 제1 게이트 배선(220g1) 및 제2 게이트 배선(220g2)을 포함할 수 있다.
- [36] 상기 제1 게이트 배선(220g1) 및 상기 제2 게이트 배선(220g2)은 게이트 브리지 배선(220gb)에 의해 연결될 수 있다.
- [37] 상기 제2 배선층(220)은 상기 제3-1 전력반도체 소자(100c1)의 제1 소스 전극(145s1) 및 상기 제3-2 전력반도체 소자(100c2)의 제2 소스 전극(145s2)과 전기적으로 연결되는 공통 소스 배선(220s)을 포함할 수 있다.
- [38] 상기 제1 게이트 배선(220g1) 및 상기 제2 게이트 배선(220g2)과 상기 공통 소스 배선(220s)은 층간절연층(230)에 의해 노출될 수 있다.
- [39] 상기 게이트 브리지 배선(220gb)은 상기 층간절연층에 의해 커버될 수 있다.
- [40] 상기 제2 배선층(220)의 제1 게이트 배선(220g1)과 제2 게이트 배선(220g2)은 상기 제3-1 전력반도체 소자(100c1)과 상기 제3-2 전력반도체 소자(100c2)의 모서리에 배치될 수 있다.
- [41] 상기 제1 게이트 배선(220g1)은 제3-1 전력반도체 소자(100c1)의 좌상측 모서리에 배치되며, 상기 제2 게이트 배선(220g2)은 상기 제3-2 전력반도체 소자(100c2)의 우상측 모서리에 배치될 수 있다.
- [42] 상기 제3 전력반도체 소자(100c)는 층간절연층(230)에 배치되며 상기 제3-1 전력반도체 소자(100c1)의 제1 소스 전극(145s1)과 상기 공통 소스 배선(220s)을 전기적으로 연결하는 제1 소스 비아(245b1)를 포함할 수 있다. 예를 들어, 상기 층간절연층(230)은 상기 제3 전력반도체 소자(100c) 위 또는 아래에 배치될 수 있다.
- [43] 상기 제3 전력반도체 소자(100c)는, 상기 층간절연층(230)에 배치되며 상기 제3-2 전력반도체 소자(100c2)의 제2 소스 전극(145s2)과 상기 공통 소스 배선(220s)을 전기적으로 연결하는 제2 소스 비아(245b2)를 포함할 수 있다.
- [44] 실시예에 따른 전력변환 장치는, 상기 어느 하나의 전력반도체 모듈을 포함할 수 있다.

발명의 효과

- [45] 실시예에 따른 전력반도체 모듈 및 이를 포함하는 전력변환 장치에 의하면, 개별 전력반도체 소자를 소정의 방열기판에 접촉하는 과정에서 전력반도체 소자가 크랙되는 문제를 해결할 수 있다.
- [46] 예를 들어, 실시예는 복수의 전력반도체 소자를 배선층을 이용하여 서브 모듈(Sub Module)화가 가능하며, 서브 모듈상태에서 배선층이 방열기판에 접촉되므로 전력반도체 소자가 크랙되는 문제를 해결할 수 있는 기술적 효과가 있다.
- [47] 또한 실시예에 의하면 전력반도체 소자 주변으로 제1 몰드층, 예를 들어 내부 몰드층이 배치되고 배선층이 존재함으로, 제1 몰드층이 전력반도체 소자가 눌러

는 것을 막아주며 동시에 배선층이 추가 완충 역할을 함에 따라 전력반도체 소자가 크랙되는 문제를 해결할 수 있다.

- [48] 또한 실시예에 의하면 개별 전력반도체 소자를 방열기관에 접착 후 몰딩과정에서 몰드 재질이 제대로 채워지지 않아 보이드가 발생하는 문제를 해결할 수 있다.
- [49] 예를 들어, 실시예는 배선층을 이용한 서브 모듈 단계에서 내부 몰딩이 진행되므로 내부에 보이드가 발생하는 문제를 해결할 수 있는 기술적 효과가 있다.
- [50] 또한 실시예에 의하면 개별 전력반도체 소자를 방열기관에 접착하는 과정에서 전력반도체 소자의 전극들과 방열기관의 전도층 패턴 사이에 전기적 인터커넥션의 불량 발생을 해결할 수 있다.
- [51] 예를 들어, 실시예는 배선층을 이용한 서브 모듈화를 진행하고, 서브 모듈상태의 배선층이 방열기관의 전도층 패턴에 접착되므로 전력반도체 소자의 전극들과 방열기관의 전도층 패턴 사이에 전기적 인터커넥션의 불량 발생을 해결할 수 있는 기술적 효과가 있다.
- [52] 또한 실시예에 의하면, 복수의 반도체 모듈이 하나의 유닛 모듈(unit module)로 제작된 후 최종 모듈테스트에서 폐일 발생 시 제작된 유닛 모듈 전체를 폐기하는 문제를 해결할 수 있다.
- [53] 예를 들어, 실시예는 Module 사양에 따라 복수의 전력반도체 소자를 직렬 또는 병렬로 서브 모듈(Sub Module)화하고, 서브 모듈에 대해 사전 테스트(Pre-test) 진행을 통해 폐일된 서브 모듈만 폐기할 수 있으므로 비용을 절감할 수 있으며 양산성이 증대될 수 있는 기술적 효과가 있다.
- [54] 또한 제2 실시예에 따른 제2 전력반도체 서브 모듈(PM)은 넓은 제2 게이트 전극 영역(GA)을 확보할 수 있는 기술적 효과가 있다. 예를 들어, 제2 게이트 전극 영역(GA)은 제1 게이트 영역 또는 제2 게이트 영역에 비해 일측 폭(L)이 4배 이상 확보가능하며, 이에 따라 내부 기술에 비해 제2 게이트 전극 영역(GA)은 16배(LxL) 이상의 게이트 전극 영역을 확보할 수 있는 특별한 기술적 효과가 있다.
- [55] 종래 내부기술에서 게이트 패드의 사이즈가 예를 들어, 1.0x1.0mm 로 작아서 접착이 잘 안되는 문제가 있는 바, 실시예에 따라 서브 모듈을 만들면서 게이트 패드를 키움에 따라 접착이 더 잘 되어 전기적 인터커넥션의 불량 발생을 해결할 수 있다.
- [56] 또한 실시예에 의하면 전력반도체 모듈에서 전류 경로 증가에 따른 부유 인덕턴스 발생의 문제를 해결하여 전력반도체 소자의 스위칭 손실 방지와 고정밀 스위칭 제어가 가능한 기술적 효과가 있다.
- [57] 실시예의 기술적 효과는 본 항목에 기재된 것에 한정되지 않으며 발명의 설명을 통해 파악될 수 있는 것을 포함한다.

도면의 간단한 설명

- [58] 도 1은 실시예에 따른 전력 변환장치(1000)의 회로 예시도이다.

- [59] 도 2a는 실시예에 따른 전력반도체 소자(100)의 제1 단면도.
- [60] 도 2b는 실시예에 따른 전력반도체 소자(100)의 제2 단면도.
- [61] 도 3a는 실시예에 따른 전력반도체 모듈(500)의 제1 단면도.
- [62] 도 3b는 도 3a에 도시된 전력반도체 모듈(500)에서 제1 암(arm)(200)의 상세도.
- [63] 도 4a는 도 3b에 도시된 제1 암(arm)(200) 중 제1 실시예에 따른 제1 전력반도체 소자(100a)의 구체적인 단면도.
- [64] 도 4b는 도 4a에 도시된 제1 실시예에 따른 제1 전력반도체 소자(100a)의 평면도.
- [65] 도 4c 및 도 4d는 도 4a에 도시된 제1 실시예에 따른 제1 전력반도체 소자(100a)의 상세도.
- [66] 도 5a는 제1 실시예에 따른 제1 전력반도체 소자(100a)의 상세 평면도.
- [67] 도 5b는 제1 실시예에 따른 제1-2 전력반도체 소자(PM)의 상세 평면도.
- [68] 도 6a는 제2 실시예에 따른 제3 전력반도체 소자(100c)의 단면도.
- [69] 도 6b는 도 6a에 도시된 제2 실시예에 따른 제3 전력반도체 소자(100c)의 평면도.
- [70] 도 6c 및 도 6d는 도 6a에 도시된 제3 전력반도체 소자(100c)의 상세도.
- [71] 도 7a는 내부 기술에서의 전력반도체와 방열 기관 금속층 간의 레이아웃 예시도.
- [72] 도 7b는 제2 실시예에 따른 제3 전력반도체 소자(100c)가 적용된 전력반도체들과 방열 기관 금속층 간의 레이아웃 예시도.
- [73] 도 7c는 제2 실시예에 따른 제3 전력반도체 소자(100c)의 평면도.
- [74] 도 8은 실시예에 따른 전력반도체 모듈(500)의 제2 단면도.

발명의 실시를 위한 형태

- [75] 이하에서는 도면을 참조하여 상기 과제를 해결하기 위한 실시예에 따른 발명을 보다 상세하게 설명한다.
- [76] 이하의 설명에서 사용되는 구성요소에 대한 접미사 "모듈" 및 "부"는 단순히 본 명세서 작성의 용이함만이 고려되어 부여되는 것으로서, 그 자체로 특별히 중요한 의미 또는 역할을 부여하는 것은 아니다. 따라서, 상기 "모듈" 및 "부"는 서로 혼용되어 사용될 수도 있다.
- [77] 제1, 제2 등과 같이 서수를 포함하는 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되지는 않는다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.
- [78] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [79] 본 출원에서, "포함한다", "가지다" 또는 "구비한다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함

을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[80]

[81] 실시예에서, 전력반도체 장치는 컴퓨터, 가전, 자동차, 태양광, 스마트 그리드 등의 인버터나 컨버터 등에 사용된다. 실시예에서 전력반도체 장치는 하나의 전력반도체 모듈 또는 복수의 전력반도체 모듈을 포함할 수 있다. 또한, 전력반도체 모듈은 복수의 전력반도체 소자를 포함할 수 있다.

[82] 이하의 실시예에서는 전력반도체 장치로서 모터를 구동하기 위한 자동차용 인버터를 설명하고 있지만, 실시예의 전력반도체 장치는 전술한 다양한 기술 분야의 인버터나 컨버터 등에 적용될 수 있다. 여기서, 자동차는 하이브리드 자동차(HEV), 플러그인 하이브리드 자동차(PHEV), 전기자동차(EV), 연료전지 자동차(PCEV) 등을 포함한다. 이하의 실시예의 설명에 있어서 스위칭 소자와 전력반도체 소자는 혼용될 수 있다.

[83]

[84] (실시예)

[85] 도 1은 실시예에 따른 전력 변환장치(1000)의 회로 예시도이다.

[86] 실시예에 따른 전력 변환장치(1000)는 배터리 혹은 연료전지로부터 DC 전원을 입력받아 AC전원으로 변환할 수 있고, 소정의 부하에 AC 전원을 공급할 수 있다. 예를 들어, 실시예에 따른 전력 변환장치(1000)는 인버터를 포함할 수 있으며, 배터리로부터 DC 전원을 입력받아 3상의 AC 전원으로 변환하여 모터(M)에 공급할 수 있고, 모터(M)는 전기자동차, 연료전지 자동차 등에 동력을 제공할 수 있다.

[87] 실시예에 따른 전력 변환장치(1000)는 전력반도체 소자(100)를 포함할 수 있다. 상기 전력반도체 소자(100)는 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)일 수 있으나 이에 한정되는 것은 아니며, IGBT(Insulated Gate Bipolar Transistor)를 포함할 수 있다.

[88] 예를 들어, 상기 전력 변환장치(1000)는 복수의 전력반도체 소자(100a, 100b, 100c, 100d, 100e, 100f)를 포함할 수 있으며, 복수의 다이오드(미도시)를 포함할 수 있다. 상기 복수의 다이오드 각각은 상기 전력반도체 소자(100a, 100b, 100c, 100d, 100e, 100f)에 각각에 내부 다이오드 형태로 내제될 수 있으나 이에 한정되는 것은 아니며, 별도로 배치될 수도 있다.

[89] 실시예는 복수의 전력반도체 소자(100a~100f)에 대한 온-오프 제어를 통해 DC 전원을 AC전원으로 변환할 수 있다. 예를 들어, 실시예에 따른 전력 변환장치(1000)는 일 주기의 제1 시구간에서 제1 전력반도체 소자(100a)를 온시키고 제2 전력반도체 소자(100b)를 오프시켜 모터(M)로 정극성 전원을 공급하고, 일 주기의 제2 시구간에서 제1 전력반도체 소자(100a)를 오프시키고 제2 전력반도체 소자(100b)를 온시켜 모터(M)로 부극성 전원을 공급할 수 있다.

- [90] 실시예에서 입력측의 고전압라인과 저전압라인에서 직렬로 배치되는 전력반도체 소자들의 그룹을 암(arm)이라고 부를 수 있다. 예를 들어, 제1 전력반도체 소자(100a)와 제2 전력반도체 소자(100b)는 제1 암을 구성하고, 제3 전력반도체 소자(100c)와 제4 전력반도체 소자(100d)는 제2 암을 구성하고, 제5 전력반도체 소자(100e)와 제6 전력반도체 소자(100f)는 제3 암을 구성할 수 있다.
- [91] 상기 암(arm)에서 상측 전력반도체 소자와 하측 전력반도체 소자는 동시에 온되지 않도록 제어될 수 있다. 예를 들어, 제1 암에서 제1 전력반도체 소자(100a)와 제2 전력반도체 소자(100b)는 동시에 온되지 않고 교번하면서 온-오프될 수 있다.
- [92] 각 전력반도체 소자(100a~100f)는 오프된 상태에서 높은 전원을 인가받을 수 있다. 예를 들어, 제1 전력반도체 소자(100a)가 온된 상태에서 제2 전력반도체 소자(100b)가 오프되면 제2 전력반도체 소자(100b)에는 입력전압이 그대로 인가될 수 있다. 제2 전력반도체 소자(100b)에 입력된 전압은 상대적으로 높은 전압일 수 있고, 이러한 높은 전압을 견딜 수 있도록 각 전력반도체 소자(100a~100f)의 내압은 높은 수준으로 설계될 수 있다.
- [93] 각 전력반도체 소자(100a~100f)는 온된 상태에서 고전류를 도통시킬 수 있다. 상기 모터(M)는 상대적으로 높은 전류로 구동되며, 이러한 고전류는 온되어 있는 전력반도체를 통해 모터(M)로 공급될 수 있다.
- [94] 각 전력반도체 소자(100a~100f)에 인가되는 높은 전압은 높은 스위칭손실을 유발시킬 수 있다. 전력반도체 소자(100a~100f)를 도통하는 높은 전류는 높은 도통손실을 유발시킬 수 있다. 이러한 손실에 의해 발생하는 열을 방출시키기 위해 전력반도체 소자(100a~100f)는 방열수단을 포함하는 전력반도체 모듈로 패키징될 수 있다.
- [95] 실시예의 전력반도체 소자(100)는 실리콘 카바이드(SiC) 전력반도체 소자일 수 있으며, 고온, 고전압 환경에서 동작이 가능하고 높은 스위칭 속도와 낮은 스위칭 손실을 갖을 수 있다.
- [96]
- [97] 한편, 실시예에 따른 전력 변환장치(1000)는 복수의 전력반도체 모듈을 포함할 수 있다.
- [98] 예를 들어, 도 1에 도시된 복수의 전력반도체 소자(100a~100f)가 하나의 전력반도체 모듈로 패키징될 수 있거나 각 암을 구성하는 전력반도체 소자들이 하나의 전력반도체 모듈로 패키징될 수 있다.
- [99] 예를 들어, 도 1에 도시된 제1 전력반도체 소자(100a), 제2 전력반도체 소자(100b), 제3 전력반도체 소자(100c), 제4 전력반도체 소자(100d), 제5 전력반도체 소자(100e) 및 제6 전력반도체 소자(100f)가 하나의 전력반도체 모듈로 패키징될 수 있다.

- [100] 또한 전류용량을 늘리기 위해 각 전력반도체 소자(100a~100f)와 병렬로 배치되는 추가적인 전력반도체 소자가 더 있을 수 있다. 이런 경우, 전력반도체 모듈에 포함되는 전력반도체 소자의 개수는 6개보다 많을 수 있다.
- [101] 실시예에 따른 전력 변환장치(1000)에는 트랜지스터 형태의 전력반도체 소자(100a~100f) 이외에 다이오드 형태의 전력반도체 소자도 포함될 수 있다. 예를 들어, 제1 전력반도체 소자(100a)와 병렬로 제1다이오드(미도시)가 배치될 수 있고, 제2 전력반도체 소자(100b)와 병렬로 제2다이오드(미도시)가 배치될 수 있다. 그리고, 이러한 다이오드들도 하나의 전력반도체 모듈에 함께 패키징될 수 있다. 또한 상기 다이오드는 각 전력반도체 소자에 내부 다이오드 형태로 배치될 수도 있다.
- [102]
- [103] 다음으로 각 암을 구성하는 전력반도체 소자들이 하나의 전력반도체 모듈로 패키징될 수 있다.
- [104] 예를 들어, 제1 암을 구성하는 제1 전력반도체 소자(100a)와 제2 전력반도체 소자(100b)가 제1 전력반도체 모듈로 패키징되고, 제2 암을 구성하는 제3 전력반도체 소자(100c)와 제4 전력반도체 소자(100d)가 제2 전력반도체 모듈로 패키징되고, 제3 암을 구성하는 제5 전력반도체 소자(100e)와 제6 전력반도체 소자(100f)가 제3 전력반도체 모듈로 패키징될 수 있다.
- [105] 또한 전류용량을 늘리기 위해 각 전력반도체 소자(100a~100f)와 병렬로 배치되는 추가적인 전력반도체 소자가 더 있을 수 있는데, 이 경우 각 전력반도체 모듈에 포함되는 전력반도체 소자의 개수는 2개보다 많을 수 있다. 그리고, 각 암에는 트랜지스터 형태의 전력반도체 소자(100a~100f) 이외에 다이오드 형태의 전력반도체 소자(미도시)도 포함될 수 있고, 이러한 다이오드들도 하나의 전력반도체 모듈에 함께 패키징될 수 있다. 또한 상기 다이오드는 각 전력반도체 소자에 내부 다이오드 형태로 배치될 수도 있다.
- [106]
- [107] 다음으로 도 2a는 실시예에 따른 전력반도체 소자(100)의 제1 단면도이다.
- [108] 도 2a를 참조하면, 실시예에 따른 전력반도체 소자(100)는 기판(110), 제1 도전형 에피층(120), 제2 도전형 웰(130), 제1 도전형 소스영역(140), 게이트 절연층(150), 게이트 전극(160) 및 드레인 전극(105)을 포함할 수 있다. 상기 제1 도전형은 N형일 수 있고, 제2 도전형은 P형일 수 있으나, 이에 한정되는 것은 아니다.
- [109] 예를 들어, 상기 전력반도체 소자(100)는 소정의 기판(110) 상에 형성된 제1 도전형 에피층(120)과, 상기 제1 도전형 에피층(120)에 형성된 제2 도전형 웰(130), 상기 제2 도전형 웰(130)에 형성된 제1 도전형 소스영역(140)과, 상기 제1 도전형 소스영역(140) 상에 형성된 게이트 절연층(150)과 게이트 전극(160) 및 상기 기판(110) 아래에 배치되는 드레인 전극(105)을 포함할 수 있다.
- [110] 상기 기판(110)과 상기 제1 도전형 에피층(120)은 SiC(Silicon Carbide)를 포함할 수 있다.

[111]

[112] 다음으로 도 2b는 실시예에 따른 전력반도체 소자(100)의 제2 단면도이며, 도 2a에 도시된 제1 단면도에 기초한 개략도이다.

[113] 실시예에 따른 전력반도체 소자(100)는 소정의 반도체 에피층(120) 상측에 배치된 소스 전극(145s), 게이트 전극(165g) 및 상기 반도체 에피층(120) 하측에 배치된 드레인 전극(105)을 포함할 수 있다.

[114] MOSFET의 형태에서 소스 전극(145s) 또는 게이트 전극(165g)은 Al 계열 금속을 포함할 수 있으며, 드레인 전극(105)은 Ti층, Ni층, Ag층을 포함하는 Ti/Ni/Ag 금속이나 NiV/Ag, V(vanadium)/Ni/Ag 등을 포함할 수 있으나 이에 한정되는 것은 아니다.

[115]

[116] 다음으로 도 3a는 실시예에 따른 전력반도체 모듈(500)의 제1 단면도이다.

[117] 실시예에 따른 전력반도체 모듈(500)은, 제1 기판(410), 제2 기판(420), 제1 암(arm)(200), 제1 전도성 프레임(310), 제2 전도성 프레임(320)을 포함할 수 있다. 실시예에서 '전도성 프레임'은 '리드 프레임'으로 칭해질 수도 있으나 이에 한정되는 것은 아니다.

[118] 상기 제1 암(arm)(200)은 복수의 전력반도체 소자(100a, 100b)를 포함할 수 있다.

[119] 예를 들어, 상기 제1 암(arm)(200)은 제1 전력반도체 소자(100a)와 제2 전력반도체 소자(100b)를 포함할 수 있다. 잠시 도 2b를 참조하면, 제1 또는 제2 전력반도체 소자(100a, 100b)는 반도체 에피층(120), 소스 전극(145s), 게이트 전극(165g) 및 드레인 전극(105)을 포함할 수 있다.

[120] 다시 도 3a를 참조하면, 제1 전력반도체 소자(100a)와 제2 전력반도체 소자(100b)는 하나의 암(200)을 구성할 수 있다.

[121] 예를 들어, 상기 제1 전력반도체 소자(100a)와 제2 전력반도체 소자(100b)는 전극들이 반대 방향으로 배치될 수 있다. 예를 들어, 제1 전력반도체 소자(100a)의 소스전극과 게이트전극은 상측으로 배치되고, 드레인전극은 하측으로 배치될 수 있다.

[122] 그리고, 제2 전력반도체 소자(100b)의 소스전극과 게이트전극은 하측으로 배치되고 드레인전극은 상측으로 배치될 수 있다. 이러한 배치구조에서 제1 전력반도체 소자(100a)와 제2 전력반도체 소자(100b)는 하나의 암을 구성할 수 있다.

[123]

[124] 한편, 제1 전력반도체 소자(100a)와 제2 전력반도체 소자(100b)는 전기적으로 병렬연결될 수 있다.

[125] 예를 들어, 실시예에서 제1 전력반도체 소자(100a)와 제2 전력반도체 소자(100b)는 전극들이 동일한 방향으로 배치될 수 있다. 예를 들어, 제1 전력반도체 소자(100a)의 소스전극과 게이트전극은 상측으로 배치되고 드레인전극은 하측으로 배치될 수 있다.

- [126] 또한 제2 전력반도체 소자(100b)의 소스전극과 게이트전극은 상측으로 배치되고 드레인전극은 하측으로 배치될 수 있다. 이러한 배치구조에서 제1 전력반도체 소자(100a)와 제2 전력반도체 소자(100b)는 전기적으로 병렬연결될 수 있다.
- [127]
- [128] 다음으로 도 3b는 도 3a에 도시된 전력반도체 모듈(500)에서 제1 암(arm)(200)의 상세도이다.
- [129] 실시예에 따른 제1 암(arm)(200)은 제1 배선층(210)과 제2 배선층(220) 사이에 배치된 복수의 전력반도체 소자(100a, 100b) 및 상기 복수의 전력반도체 소자(100a, 100b)의 측면을 둘러싸는 제1 몰드(201)를 포함할 수 있다. 실시예에서 '제1 몰드'는 '내부 몰드'로 칭해질 수 있으나 이에 한정되는 것은 아니다.
- [130] 상기 제1 배선층(210)은 제1-1 배선층(210a)과 제1-2 배선층(210b)을 포함할 수 있다.
- [131] 상기 제1-1 배선층(210a)은 제1 전력반도체 소자(100a)의 드레인 전극과 전기적으로 연결될 수 있으며, 제1-2 배선층(210b)은 제2 전력반도체 소자(100b)의 소스 전극, 게이트 전극과 전기적으로 연결될 수 있다.
- [132] 상기 제2 배선층(220)은 제2-1 배선층(220a)과 제2-2 배선층(220b)을 포함할 수 있다.
- [133] 상기 제2-1 배선층(220a)은 제1 전력반도체 소자(100a)의 게이트 전극과 전기적으로 연결될 수 있으며, 상기 제2-2 배선층(220b)은 제1 전력반도체 소자(100a)의 소스 전극 및 제2 전력반도체 소자(100b)의 드레인 전극과 전기적으로 연결될 수 있다.
- [134] 상기 제1 몰드(201), 예를 들어 내부 몰드는 복수의 전력반도체 소자(100a, 100b)를 산화물질로부터 보호하고 복수의 전력반도체 소자(100a, 100b)를 고정시키는 기능을 수행할 수 있다.
- [135]
- [136] 실시예에서 제1 전력반도체 소자(100a) 및 제2 전력반도체 소자(100b)는 복수의 전력반도체 소자를 포함하는 전력반도체 서브 모듈일 수 있다.
- [137] 예를 들어, 잠시 도 4a를 참조하면, 제1 실시예에 따른 제1 전력반도체 소자(100a)는 복수의 전력반도체 소자를 포함할 수 있다. 예를 들어, 제1 실시예에 따른 제1 전력반도체 소자(100a)는 제1-1 전력반도체 소자(100a1)와 제1-2 전력반도체 소자(100a2)를 포함할 수 있다. 이에 따라 제1 실시예에 따른 제1 전력반도체 소자(100a)는 복수의 전력반도체 소자를 포함하는 전력반도체 서브 모듈일 수 있다.
- [138] 제2 전력반도체 소자(100b)도 복수의 전력반도체 소자를 포함할 수 있다. 예를 들어, 제2 전력반도체 소자(100b)는 제2-1 전력반도체 소자(미도시)와 제2-2 전력반도체 소자(미도시)를 포함하는 전력반도체 서브 모듈일 수 있다.
- [139]

- [140] 다시 도 3a 및 도 3b를 참조하면, 실시예에 의하면 복수의 전력반도체 소자를 배선층(210, 220)을 이용하여 서브 모듈(Sub Module)화가 가능하며, 서브 모듈상태에서 배선층이 방열기판에 접촉되므로 제1 몰드(201)에 의해 전력반도체 소자가 보호되므로 전력반도체 소자가 크랙되는 문제를 해결할 수 있는 기술적 효과가 있다.
- [141] 또한 실시예에 의하면 배선층(210, 220)을 이용한 서브 모듈 단계에서 제1 몰드(201)에 의한 내부 몰딩이 진행되므로 내부에 보이드가 발생하는 문제를 해결할 수 있는 기술적 효과가 있다.
- [142] 또한 실시예에 의하면 배선층(210, 220)을 이용한 서브 모듈화를 진행하고, 서브 모듈상태의 배선층이 방열기판의 전도층 패턴에 접촉되므로 전력반도체 소자의 전극들과 방열기판의 전도층 패턴 사이에 전기적 인터커넥션의 불량 발생을 해결할 수 있는 기술적 효과가 있다.
- [143] 또한 실시예에 의하면 내부 몰딩된 모듈에 대해 Singulation을 진행하여 전력반도체 서브 모듈을 제조할 수 있으며, 전력반도체 서브 모듈은 복수의 전력반도체 소자를 포함할 수 있다. 예를 들어, 각각의 전력반도체 소자의 전극의 배치가 같은 방향을 향하는 병렬 형태로 패키징되거나, 각각의 전극의 배치가 반대 방향으로 배치되어 각 암을 구성하는 형태로 패키징될 수 있다.
- [144] 또한 실시예에 의하면, Module 사양에 따라 복수의 전력반도체 소자를 직렬 또는 병렬로 서브 모듈(Sub Module)화하고, 또한 실시예는 각각의 전력반도체 서브 모듈에 대해 Pre-test를 진행할 수 있다.
- [145] 이에 따라 서브 모듈에 대해 사전 테스트(Pre-test) 진행을 통해 폐일된 서브 모듈만 폐기할 수 있으므로 비용을 절감할 수 있으며 양산성이 증대될 수 있는 기술적 효과가 있다.
- [146]
- [147] 다음으로 도 4a는 도 3b에 도시된 제1 암(arm)(200) 중 제1 실시예에 따른 제1 전력반도체 소자(100a)의 구체적인 단면도이며,
- [148] 도 4b는 도 4a에 도시된 제1 실시예에 따른 제1 전력반도체 소자(100a)의 평면도이다. 도 4a는 도 4b에 도시된 제1 실시예에 따른 제1 전력반도체 소자(100a)의 A1-A1' 선을 따른 단면도이기도 하다.
- [149]
- [150] 도 4a 및 도 4b를 참조하면, 제1 실시예에 따른 제1 전력반도체 소자(100a)는 복수의 전력반도체 소자를 포함할 수 있다. 예를 들어, 제1 실시예에 따른 제1 전력반도체 소자(100a)는 제1-1 전력반도체 소자(100a1)와 제1-2 전력반도체 소자(100a2)를 포함할 수 있다. 이에 따라 제1 실시예에 따른 제1 전력반도체 소자(100a)는 복수의 전력반도체 소자를 포함하는 전력반도체 서브 모듈일 수 있다.
- [151] 마찬가지로 도 3b에 도시된 제2 전력반도체 소자(100b)도 복수의 전력반도체 소자를 포함할 수 있다. 예를 들어, 제2 전력반도체 소자(100b)는 제2-1 전력반도체 소자(미도시)와 제2-2 전력반도체 소자(미도시)를 포함할 수 있다. 이에 따라

제1 실시예에 따른 제2 전력반도체 소자(100b)는 복수의 전력반도체 소자를 포함하는 전력반도체 서브 모듈일 수 있다.

[152] 이하 제1 실시예에 따른 제1 전력반도체 소자(100a)를 중심으로 설명하기로 한다.

[153] 도 4a를 참조하면, 상기 제1-1 전력반도체 소자(100a1)는 소정의 반도체 에피층 상에 배치된 제1 소스 전극(145s1), 제1 게이트 전극(165g1)을 포함할 수 있다. 또한 상기 제1-2 전력반도체 소자(100a2)도 소정의 반도체 에피층 상에 배치된 제2 소스 전극(145s2), 제2 게이트 전극(165g2)을 포함할 수 있다.

[154] 다음으로 상기 제1 전력반도체 소자(100a)는 상기 제1-1 전력반도체 소자(100a1) 및 제1-2 전력반도체 소자(100a2)의 드레인 전극들과 전기적으로 연결되는 제1-1 배선층(210a)을 포함할 수 있다.

[155] 또한 제1 전력반도체 소자(100a)는 상기 제1-1 전력반도체 소자(100a1) 및 제1-2 전력반도체 소자(100a2)의 게이트 전극, 소스 전극과 전기적으로 연결되는 제2 배선층(220)을 포함할 수 있다.

[156] 예를 들어, 상기 제2 배선층(220)은, 상기 제1-1 전력반도체 소자(100a1)의 제1 게이트 전극(165g1) 및 상기 제1-2 전력반도체 소자(100a2)의 제2 게이트 전극(165g2)에 전기적으로 연결되는 공통 게이트 배선(220g)을 포함할 수 있다.

[157] 또한 상기 제2 배선층(220)은 상기 제1-1 전력반도체 소자(100a1)의 제1 소스 전극(145s1) 및 상기 제1-2 전력반도체 소자(100a2)의 제2 소스 전극(145s2)과 각각 전기적으로 연결되는 제1 소스 배선(220s1) 및 제2 소스 배선(220s2)을 포함할 수 있다.

[158]

[159] 다음으로 도 4c 및 도 4d는 도 4a에 도시된 제1 실시예에 따른 제1 전력반도체 소자(100a)의 상세도이다.

[160] 도 4c를 참조하면, 상기 제1-1 전력반도체 소자(100a1)는 제1 반도체 에피층(120a1) 상측에 배치된 제1 소스 전극(145s1), 제1 게이트 전극(165g1) 및 상기 제1 반도체 에피층(120a1) 하측에 배치된 제1 드레인 전극(105a1)을 포함할 수 있다.

[161] 또한 상기 제1-2 전력반도체 소자(100a2)도 제2 반도체 에피층(120a2) 상측에 배치된 제2 소스 전극(145s2), 제2 게이트 전극(165g2) 및 상기 제2 반도체 에피층(120a2) 하측에 배치된 제2 드레인 전극(105a2)을 포함할 수 있다.

[162]

[163] 다음으로 도 4d를 참조하면, 제1 전력반도체 소자(100a)는, 층간절연층(230)에 배치되며 제1-1 전력반도체 소자(100a1)의 제1 소스 전극(145s1)과 제1 소스 배선(220s1)을 전기적으로 연결하는 제1 소스 비아(245b1)를 포함할 수 있다. 예를 들어, 상기 층간절연층(230)은 상기 제1 전력반도체 소자(100a) 위 또는 아래에 배치될 수 있다.

- [164] 또한 제1 실시예에 따른 제1 전력반도체 소자(100a)는, 층간절연층(230)에 배치되며 제1-2 전력반도체 소자(100a2)의 제2 소스 전극(145s2)과 제2 소스 배선(220s2)을 전기적으로 연결하는 제2 소스 비아(245b2)를 포함할 수 있다.
- [165] 또한 제1 실시예에 따른 제1 전력반도체 소자(100a)는, 층간절연층(230)에 배치되며 제1-1 전력반도체 소자(100a1) 및 제1-2 전력반도체 소자(100a2)의 제1 게이트 전극(165g1) 및 제2 게이트 전극(165g2)을 공통 게이트 배선(220g)에 전기적으로 연결하는 게이트 비아(245a)를 포함할 수 있다. 상기 게이트 비아(245a)는 공통 게이트 비아일 수 있다.
- [166]
- [167] 다음으로 도 5a는 제1 실시예에 따른 제1 전력반도체 소자(100a)의 상세 평면도이며, 게이트 전극 영역(GA)을 대한 나타낸다.
- [168] 도 5a를 참조하면, 제1 전력반도체 소자(100a)는 제1-1 전력반도체 소자(100a1)와 제1-2 전력반도체 소자(100a2)를 포함하며, 상기 제1-1 전력반도체 소자(100a1) 및 제1-2 전력반도체 소자(100a2)의 게이트 전극, 소스 전극과 전기적으로 연결되는 제2 배선층(220)을 포함할 수 있다.
- [169] 예를 들어, 상기 제2 배선층(220)은, 상기 제1-1 전력반도체 소자(100a1)의 제1 게이트 전극(165g1) 및 상기 제1-2 전력반도체 소자(100a2)의 제2 게이트 전극(165g2)에 전기적으로 연결되는 공통 게이트 배선(220g)을 포함할 수 있다.
- [170] 또한 상기 제2 배선층(220)은 상기 제1-1 전력반도체 소자(100a1)의 제1 소스 전극(145s1) 및 상기 제1-2 전력반도체 소자(100a2)의 제2 소스 전극(145s2)과 각각 전기적으로 연결되는 제1 소스 배선(220s1) 및 제2 소스 배선(220s2)을 포함할 수 있다.
- [171]
- [172] 제1 실시예에 따른 제1 전력반도체 소자(100a)는 제1-1 전력반도체 소자(100a1)의 제1 게이트 전극(165g1)과 제1-2 전력반도체 소자(100a2)의 제2 게이트 전극(165g2)이 인접하게 마주보도록 배치되고, 이들을 공통 게이트 배선(220g)과 전기적으로 연결시킴으로써 넓은 게이트 전극 영역(GA)을 확보할 수 있는 기술적 효과가 있다.
- [173] 예를 들어, 게이트 전극 영역(GA)의 수평 폭(M)은 각각의 제1 게이트 전극(165g1), 제2 게이트 전극(165g2)의 수평 폭(m)에 약 3배 이상 확보가능하며, 수직 폭(L)도 내부 기술 대배(l) 약 1.5 배 이상 확보가 가능하다. 이에 따라 내부 기술에 비해 게이트 전극 영역(GA)은 4.5배 이상의 게이트 전극 영역을 확보하여 서브모듈화 특성과 함께 전기적 특성이 향상되는 특별한 기술적 효과가 있다.
- [174]
- [175] 다음으로 도 5b는 제1 실시예에 따른 제1-2 전력반도체 소자(PM)의 평면도이며, 게이트 콘택 영역(GA)을 대한 나타낸다.
- [176] 도 5b를 참조하면, 제1-2 전력반도체 소자(PM)는 제1-1 전력반도체 소자(100a1)와 제1-2 전력반도체 소자(100a2)를 포함하며, 상기 제1-1 전력반도체 소자

(100a1) 및 제1-2 전력반도체 소자(100a2)의 게이트 전극, 소스 전극과 전기적으로 연결되는 제2 배선층(220)을 포함할 수 있다.

[177] 예를 들어, 상기 제2 배선층(220)은, 상기 제1-1 전력반도체 소자(100a1)의 제1 게이트 전극(165g1) 및 상기 제1-2 전력반도체 소자(100a2)의 제2 게이트 전극(165g2)에 전기적으로 연결되는 공통 게이트 배선(220gc)을 포함할 수 있다.

[178] 또한 상기 제2 배선층(220)은 상기 제1-1 전력반도체 소자(100a1)의 제1 소스 전극(145s1) 및 상기 제1-2 전력반도체 소자(100a2)의 제2 소스 전극(145s2)과 전기적으로 연결되는 공통 소스 배선(220sc)을 포함할 수 있다.

[179] 상기 제1-1 전력반도체 소자(100a1)의 제1 소스 전극(145s1)과 상기 제1-2 전력반도체 소자(100a2)의 제2 소스 전극(145s2)는 단일 또는 복수의 소스 전극을 포함할 수 있으나 이에 한정되는 것은 아니다.

[180]

[181] 제1-2 전력반도체 소자(PM)는 제1-1 전력반도체 소자(100a1)의 제1 게이트 전극(165g1)과 제1-2 전력반도체 소자(100a2)의 제2 게이트 전극(165g2)이 인접하게 마주보도록 모서리에 배치되고, 이들을 공통 게이트 배선(220gc)과 전기적으로 연결시킴으로써 넓은 게이트 전극 영역(GA)을 확보할 수 있는 기술적 효과가 있다.

[182] 예를 들어, 게이트 전극 영역(GA)의 수평, 수직 폭(L)은 제1 게이트 전극(165g1), 제2 게이트 전극(165g2)의 폭(m)에 4배 이상 확보가능하며, 이에 따라 내부 기술에 비해 게이트 전극 영역(GA)은 16배(4x4) 이상의 게이트 전극 영역을 확보할 수 있어 서브 모듈화 효과뿐만 아니라 전기적 특성이 향상되는 특별한 기술적 효과가 있다.

[183]

[184] 다음으로 도 6a는 도 3b에 도시된 제1 실시예에 따른 제1 전력반도체 소자(100a)에 대한 추가 실시예인 제2 실시예에 따른 제3 전력반도체 소자(100c)의 단면도이며,

[185] 도 6b는 도 6a에 도시된 제2 실시예에 따른 제3 전력반도체 소자(100c)의 평면도이다. 도 6a는 도 6b에 도시된 제2 실시예에 따른 제3 전력반도체 소자(100c)의 A2-A2' 선을 따른 단면도이기도 하다.

[186]

[187] 도 6a 및 도 6b를 참조하면, 제2 실시예에 따른 제3 전력반도체 소자(100c)는 복수의 전력반도체 소자를 포함할 수 있다. 예를 들어, 제3 전력반도체 소자(100c)는 제3-1 전력반도체 소자(100c1)와 제3-2 전력반도체 소자(100c2)를 포함할 수 있다.

[188] 도 6a를 참조하면, 상기 제3-1 전력반도체 소자(100c1)는 소정의 반도체 에피층 상에 배치된 제1 소스 전극(145s1), 제1 게이트 전극(165g1)을 포함할 수 있다. 또한 상기 제3-2 전력반도체 소자(100c2)도 소정의 반도체 에피층 상에 배치된 제2 소스 전극(145s2), 제2 게이트 전극(165g2)을 포함할 수 있다.

- [189] 다음으로 제3 전력반도체 소자(100c)는 상기 제3-1 전력반도체 소자(100c1) 및 제3-2 전력반도체 소자(100c2)의 드레인 전극들과 전기적으로 연결되는 제1-1 배선층(210a)을 포함할 수 있다.
- [190] 또한 제3 전력반도체 소자(100c)는 상기 제3-1 전력반도체 소자(100c1) 및 제3-2 전력반도체 소자(100c2)의 게이트 전극, 소스 전극과 전기적으로 연결되는 제2 배선층(220)을 포함할 수 있다.
- [191] 예를 들어, 상기 제2 배선층(220)은, 상기 제3-1 전력반도체 소자(100c1)의 제1 게이트 전극(165g1) 및 상기 제3-2 전력반도체 소자(100c2)의 제2 게이트 전극(165g2)에 전기적으로 각각 연결되는 제1 게이트 배선(220g1) 및 제2 게이트 배선(220g2)을 포함할 수 있다.
- [192] 도 6b를 참조하면, 제1 게이트 배선(220g1) 및 제2 게이트 배선(220g2)은 게이트 브리지 배선(220gb)에 의해 연결될 수 있다.
- [193] 또한 상기 제2 배선층(220)은 상기 제3-1 전력반도체 소자(100c1)의 제1 소스 전극(145s1) 및 상기 제3-2 전력반도체 소자(100c2)의 제2 소스 전극(145s2)과 전기적으로 연결되는 공통 소스 배선(220s)을 포함할 수 있다.
- [194] 실시예에 의하면 모듈화 공정에서 제1 게이트 배선(220g1) 및 제2 게이트 배선(220g2)과 공통 소스 배선(220s)은 층간절연층(230) 상으로 노출될 수 있으나, 게이트 브리지 배선(220gb)은 노출되지 않을 수 있다.
- [195] 실시예에서 제2 배선층(220)의 제1 게이트 배선(220g1)과 제2 게이트 배선(220g2)은 제3-1 전력반도체 소자(100c1)과 제3-2 전력반도체 소자(100c2)의 모서리에 배치될 수 있다.
- [196] 또한 제1 게이트 배선(220g1)과 제2 게이트 배선(220g2)은 제3-1 전력반도체 소자(100c1)과 제3-2 전력반도체 소자(100c2)의 마주보되 이격거리가 멀도록 배치될 수 있다.
- [197] 예를 들어, 제1 게이트 배선(220g1)은 제3-1 전력반도체 소자(100c1)의 좌상측 모서리에 배치될 수 있다. 반면, 제2 게이트 배선(220g2)은 제3-2 전력반도체 소자(100c2)의 우상측 모서리에 배치될 수 있다.
- [198]
- [199] 다음으로 도 6c 및 도 6d는 도 6a에 도시된 제3 전력반도체 소자(100c)의 상세도이다.
- [200] 도 6c를 참조하면, 상기 제3-1 전력반도체 소자(100c1)는 제1 반도체 에피층(120a1) 상측에 배치된 제1 소스 전극(145s1), 제1 게이트 전극(165g1) 및 상기 제1 반도체 에피층(120a1) 하측에 배치된 제1 드레인 전극(105a1)을 포함할 수 있다.
- [201] 또한 상기 제3-2 전력반도체 소자(100c2)도 제2 반도체 에피층(120a2) 상측에 배치된 제2 소스 전극(145s2), 제2 게이트 전극(165g2) 및 상기 제2 반도체 에피층(120a2) 하측에 배치된 제2 드레인 전극(105a2)을 포함할 수 있다.
- [202] 다음으로 도 6d를 참조하면, 제3 전력반도체 소자(100c)는 층간절연층(230)에 배치되며 제3-1 전력반도체 소자(100c1)의 제1 소스 전극(145s1)과 공통 소스 배

선(220s)을 전기적으로 연결하는 제1 소스 비아(245b1)를 포함할 수 있다. 예를 들어, 상기 충전절연층(230)은 상기 제3 전력반도체 소자(100c) 위 또는 아래에 배치될 수 있다.

[203] 또한 제3 전력반도체 소자(100c)는 충전절연층(230)에 배치되며 제3-2 전력반도체 소자(100c2)의 제2 소스 전극(145s2)과 공통 소스 배선(220s)을 전기적으로 연결하는 제2 소스 비아(245b2)를 포함할 수 있다.

[204] 또한 제3 전력반도체 소자(100c)는 충전절연층(230)에 배치되며 제3-1 전력반도체 소자(100c1) 및 제3-2 전력반도체 소자(100c2)의 제1 게이트 전극(165g1) 및 제2 게이트 전극(165g2)을 각각 제1 게이트 배선(220g1), 제2 게이트 배선(220g2)에 전기적으로 연결하는 제1 게이트 비아(245a) 및 제2 게이트 비아(245a)를 포함할 수 있다.

[205]

[206] 다음으로 도 7a는 내부 기술에서의 전력반도체와 방열 기관 금속층 간의 레이아웃 예시도(RA)이다.

[207] 실시예의 기술적 과제 중의 하나는 전력반도체 모듈에서 전류 경로 증가에 따른 부유 인덕턴스 발생의 문제를 해결하고자 함이다.

[208] 도 7a를 참조하면, 제1 내지 제8 전력 반도체 소자들(100r1, 100r2, 100r3, 100r4, 100r5, 100r6, 100r7, 100r8)이 방열 기관의 게이트 패턴(420g)과 전기적으로 연결될 수 있다.

[209] 예를 들어, 방열 기관의 게이트 패턴(420g)은 High side와 Low side의 MOSFET Gate 전극들과 모두 연결된다.

[210] 상기 방열 기관의 게이트 패턴(420g)은 제1 내지 제4 게이트 패턴들(420g1, 420g2, 420g3, 420g4)을 포함할 수 있다.

[211] 예를 들어, 제1 게이트 패턴(420g1)은 제1 전력반도체 소자(100r1)와 제3 전력반도체 소자(100r3)의 게이트 전극들과 각각 연결된다. 또한 제2 게이트 패턴(420g2)은 제2 전력반도체 소자(100r2)와 제4 전력반도체 소자(100r4)의 게이트 전극들과 각각 연결된다.

[212] 또한 제3 게이트 패턴(420g3)은 제5 전력반도체 소자(100r5)와 제7 전력반도체 소자(100r7)의 게이트 전극들과 각각 연결된다. 또한 제4 게이트 패턴(420g4)은 제6 전력반도체 소자(100r6)와 제8 전력반도체 소자(100r8)의 게이트 전극들과 각각 연결된다.

[213]

[214] 그런데 전력반도체 모듈의 중간 중간에 있는 제2 게이트 패턴(420g2), 제3 게이트 패턴(420g3)들은 전류의 흐름을 방해하는 부유 인덕턴스(stray inductance)(SI) 발생을 유발한다.

[215] 즉, 도 7a와 같이 전력반도체 소자들 간의 전기적 연결 경로가 클수록 부유 인덕턴스가 커진다.

- [216] 부유 인덕턴스는 전류의 흐름을 방해하여 고전력 출력을 방해하므로, 최소화하거나 제거할 필요가 있다. 특히, 부유 인덕턴스가 커지는 경우, 순간적인 전압의 오버슈팅이 발생된다. 이러한 오버슈팅된 전압이 전력반도체 소자의 내전압을 초과하는 경우, 전력반도체 소자가 손상되거나 전력반도체 소자의 스위칭 손실이 발생하는 문제가 있다. 따라서, 부유 인덕턴스를 최소화하거나 제거할 수 있는 기술적 방안이 절실히 요구되고 있다.
- [217]
- [218] 도 7b는 제2 실시예에 따른 제3 전력반도체 소자(100c)가 적용된 전력반도체들과 방열 기관 금속층 간의 레이아웃 예시도이고, 도 7c는 제2 실시예에 따른 제3 전력반도체 소자(100c)의 평면도이다.
- [219] 우선, 도 7c를 참조하면 제2 배선층(220)은 상기 제3-1 전력반도체 소자(100c1)의 제1 게이트 전극(165g1) 및 상기 제3-2 전력반도체 소자(100c2)의 제2 게이트 전극(165g2)과 전기적으로 연결되는 제1 게이트 배선(220g1) 및 제2 게이트 배선(220g2)을 포함할 수 있다.
- [220] 이때 제1 게이트 배선(220g1) 및 제2 게이트 배선(220g2)은 게이트 브리지 배선(220gb)을 통해 연결될 수 있다.
- [221] 또한 상기 제2 배선층(220)은 상기 제3-1 전력반도체 소자(100c1)의 제1 소스 전극(145s1) 및 상기 제3-2 전력반도체 소자(100c2)의 제2 소스 전극(145s2)과 전기적으로 연결되는 공통 소스 배선(220s)을 포함할 수 있다.
- [222] 제2 실시예에 따른 제3 전력반도체 소자(100c)에 의하면, 모듈화 공정에서 대칭배치된 제1 게이트 배선(220g1) 및 제2 게이트 배선(220g2)과 공통 소스 배선(220s)은 외부로 노출될 수 있으나, 게이트 브리지 배선(220gb)은 노출되지 않을 수 있다.
- [223] 실시예에서 제2 배선층(220)의 제1 게이트 배선(220g1)과 제2 게이트 배선(220g2)은 제3-1 전력반도체 소자(100c1)과 제3-2 전력반도체 소자(100c2)의 모서리에 배치될 수 있다.
- [224] 예를 들어, 제1 게이트 배선(220g1)은 제3-1 전력반도체 소자(100c1)의 좌상측 모서리에 배치될 수 있다. 반면, 제2 게이트 배선(220g2)은 제3-2 전력반도체 소자(100c2)의 우상측 모서리에 배치될 수 있다.
- [225]
- [226] 다시 도 7b를 참조하면, 제2 실시예에 따른 제3 전력반도체 소자(100c)가 적용된 제1 내지 제8 전력 반도체 소자들(100c1, 100c2, 100c3, 100c4, 100c5, 100c6, 100c7, 100c8)들은 서브 모듈상태로 방열 기관의 게이트 패턴(420g)과 전기적으로 연결될 수 있다.
- [227] 예를 들어, 제1 내지 제2 전력 반도체 소자들(100c1, 100c2)은 제1 서브 모듈을 구성할 있다. 또한 제3 내지 제4 전력 반도체 소자들(100c3, 100c4)은 제2 서브 모듈을 구성할 있다. 또한 제5 내지 제6 전력 반도체 소자들(100c5, 100c6)은 제3 서

브 모듈을 구성할 있다. 또한 제7 내지 제8 전력 반도체 소자들(100c7, 100c8)은 제4 서브 모듈을 구성할 있다.

[228]

[229] 실시예에서 방열 기관의 게이트 패턴(420g)은 High side와 Low side의 MOSFET Gate 전극들과 모두 연결되며, 방열 기관의 게이트 패턴(420g)은 제1 게이트 패턴(420g1)과 제4 게이트 패턴(420g4)을 포함할 수 있다.

[230]

제2 실시예에 따른 제3 전력반도체 소자(100c)에 의하면 제1 게이트 배선(220g1)은 제3-1 전력반도체 소자(100c1)의 좌상측 모서리에 배치되며, 제2 게이트 배선(220g2)은 제3-2 전력반도체 소자(100c2)의 우상측 모서리에 배치될 수 있다. 이때 제1 게이트 배선(220g1) 및 제2 게이트 배선(220g2)은 게이트 브리지 배선(220gb)을 통해 연결될 수 있다.

[231]

이에 따라 도 7b에 도시된 바와 같이, 게이트 배선이 대칭적으로 설계됨에 따라 서브 모듈을 로테이션을 통해 제1 서브 모듈과 제2 서브 모듈의 좌우 상하의 4개의 게이트 배선에 대해 하나의 제1 게이트 패턴(420g1)과 연결시킬 수 있는 특별한 기술적 효과가 있다.

[232]

또한 제3 서브 모듈과 제4 서브 모듈에 대해서도 좌우 상하의 4개의 게이트 배선에 대해 하나의 제4 게이트 패턴(420g4)과 연결시킬 수 있는 특별한 기술적 효과가 있다.

[233]

이에 따라 도 7a에 도시된 제2 게이트 패턴(420g2), 제3 게이트 패턴(420g3)들을 생략할 수 있으므로 전기적 연결 경로를 단축시킴으로써 부유 인덕턴스(stray inductance)(SI) 발생을 방지할 수 있는 특별한 기술적 효과가 있다.

[234]

[235] 다음으로 도 8은 실시예에 따른 전력반도체 모듈(500)의 제2 단면도로서, 도 3a에 도시된 실시예에 따른 전력반도체 모듈(500)의 상세도이다.

[236]

실시예에서 제1, 제2 기관(410, 420)은 전력반도체 모듈(500)의 하측과 상측에 각각 배치될 수 있다.

[237]

예를 들어, 상기 제1 기관(410)은 전력반도체 모듈(500)의 하측에 배치될 수 있으며, 소정의 접착부재(미도시)를 통해 전력반도체 모듈(500)의 하측에 접착될 수 있다. 상기 접착부재는 Sn-Ag계열 접착부재이거나 Ag계열 접착부재일 수 있다. 또는 상기 제1 기관(410)은 솔더링을 통해 혹은 신터링을 통해 전력반도체 모듈(500)의 하측에 접착될 수 있다.

[238]

상기 제2 기관(420)은 상기 전력반도체 모듈(500)의 상측에 배치될 수 있으며, 앞서 기술한 제1 기관(410)의 기술적 특징을 채용할 수 있다.

[239]

상기 제1 기관(410)은 제1 금속층(410a), 제1절연층(410b) 및 제2 금속층(410c)을 포함할 수 있다.

[240]

상기 제1절연층(410b)은 제1 금속층(410a)과 제2 금속층(410c)을 전기적으로 절연시킬 수 있다. 상기 제1절연층(410b)은 열전도도가 높은 세라믹재질을 포함할 수 있다.

- [241] 제1 금속층(410a)은 일측이 제1절연층(410b)에 접하고 타측으로 열을 발산시킬 수 있다. 제1 금속층(410a)의 타측에는 냉각매체를 포함하는 방열수단이 근접 배치될 수 있다.
- [242] 상기 제2 금속층(410c)에는 배선판턴이 형성되고 배선판턴은 제1 암(arm)(200)과 전기적으로 연결될 수 있다.
- [243] 예를 들어, 상기 제2 금속층(410c)은 전기적으로 분리된 제2-1 금속층(410c1)과 제2-2 금속층(410c2)을 포함할 수 있고, 각각 제1 전력반도체 소자(100a) 및 제2 전력반도체 소자(100b)와 전기적으로 연결될 수 있다. 상기 제1 금속층(410a)과 제2 금속층(410c)은 Cu계열 금속을 포함할 수 있으나 이에 한정되는 것은 아니다.
- [244] 또한 상기 제2 기판(420)은 제3 금속층(420a), 제2 절연층(420b) 및 제4 금속층(420c)을 포함할 수 있다. 상기 제2 기판(420)은 상기 제1 기판(410)의 기술적 특징을 채용할 수 있다.
- [245] 예를 들어, 상기 제2 절연층(420b)은 제3 금속층(420a)과 제4 금속층(420c)을 전기적으로 절연시킬 수 있다. 상기 제2 절연층(420b)은 열전도도가 높은 세라믹재질을 포함할 수 있다.
- [246] 상기 제3 금속층(420a)에는 배선판턴이 형성되고 배선판턴은 제1 암(arm)(200)과 전기적으로 연결될 수 있다. 예를 들어, 제3 금속층(420a)은 제1 전력반도체 소자(100a) 및 제2 전력반도체 소자(100b)와 전기적으로 연결될 수 있다.
- [247] 제4 금속층(420c)은 일측이 제2절연층(420b)에 접하고 타측으로 열을 발산시킬 수 있다. 제4 금속층(420c)의 타측에는 냉각매체를 포함하는 방열수단이 근접 배치될 수 있다.
- [248]
- [249] 제1 전도성 프레임(310)과 제2 전도성 프레임(320)의 각각의 일측은 제1 암(arm)(200)과 전기적으로 연결될 수 있고, 각각의 타측은 외부 연결단자와 연결될 수 있다. 외부 연결단자는 입력전원, 모터 또는 인버터제어기 등을 포함할 수 있다.
- [250] 예를 들어, 제1 전도성 프레임(300)과 제2 전도성 프레임(320)은 제1 기판(410)과 제2 기판(420)을 통해 제1 암(arm)(200)과 전기적으로 연결될 수 있다.
- [251] 예를 들어, 상기 제1 전도성 프레임(310)은 제1 기판(410)의 제2-1 금속층(410c1)과 전기적으로 연결되는 제1-1 전도성 프레임(310a)과, 제2 기판(420)의 제3 금속층(420a)과 전기적으로 연결되는 제1-2 전도성 프레임(310b)을 포함할 수 있다.
- [252] 또한 상기 제2 전도성 프레임(320)은 제1 기판(410)의 제2-2 금속층(410c2)과 전기적으로 연결되는 제2-1 전도성 프레임(320a)과, 제2 기판(420)의 제3 금속층(420a)과 전기적으로 연결되는 제2-2 전도성 프레임(320b)을 포함할 수 있다.
- [253] 다음으로 실시예의 제1 암(arm)(200)은 복수의 전력반도체 소자(100a, 100b)의 측면을 둘러싸는 제1 몰드(201)를 포함할 수 있다.

- [254] 또한 실시예에 따른 전력반도체 모듈(500)은 상기 제1 암(arm)(200)의 외측면을 둘러싸는 제2 몰드(502)를 포함할 수 있다. 실시예에서 '제2 몰드'는 '외측 몰드'로 칭해질 수 있으나 이에 한정되는 것은 아니다.
- [255] 상기 제1 몰드(201) 또는 상기 제2 몰드(502)는 EMC(Epoxy Molding Compound)를 포함할 수 있으나 이에 한정되는 것은 아니다.
- [256]
- [257] 실시예에 의하면, 제1, 제2 배선층(210, 220)을 이용한 서브 모듈(Sub Module) 단계에서 제1 몰드(201)를 통해 1차 내부 몰딩이 진행되므로 내부에 보이드가 발생하는 문제를 해결할 수 있는 기술적 효과가 있다.
- [258] 또한 실시예에 의하면 복수의 전력반도체 소자를 배선층을 이용하여 서브 모듈(Sub Module)화하고, 서브 모듈상태에서 배선층이 제1 기판(410) 및 제2 기판(420)에 접착되고 제1 몰드(201)에 의해 전력반도체 소자가 보호되므로 전력반도체 소자가 크랙되는 문제를 해결할 수 있는 기술적 효과가 있다.
- [259] 또한 실시예는 배선층을 이용한 서브 모듈(Sub Module)화를 진행하고, 서브 모듈상태의 배선층이 제1, 제2 기판(410, 420)에 접착되므로 전력반도체 소자의 전극들과 제1, 제2 기판(410, 420)의 전도층 패턴 사이에 전기적 인터커넥션의 불량 발생을 해결할 수 있는 기술적 효과가 있다.
- [260] 또한 실시예는 Module 사양에 따라 복수의 전력반도체 소자를 직렬 또는 병렬로 서브 모듈(Sub Module)화하여 탑재 수량의 조절이 가능하며, 서브 모듈에 대해 사전 테스트(Pre-test) 진행을 통해 폐일된 서브 모듈만 폐기할 수 있으므로 비용을 절감할 수 있으며 양산성이 증대될 수 있는 기술적 효과가 있다.
- [261] 또한 제2 실시예에 따른 제2 전력반도체 서브 모듈(PM)은 넓은 제2 게이트 전극 영역(GA)을 확보할 수 있는 기술적 효과가 있다. 예를 들어, 제2 게이트 전극 영역(GA)은 제1 게이트 영역 또는 제2 게이트 영역에 비해 일측 폭(L)이 4배 이상 확보가능하며, 이에 따라 내부 기술에 비해 제2 게이트 전극 영역(GA)은 16배(LxL) 이상의 게이트 전극 영역을 확보할 수 있는 특별한 기술적 효과가 있다.
- [262] 또한 실시예에 의하면 전력반도체 모듈에서 전류 경로 증가에 따른 부유 인덕턴스 발생의 문제를 해결하여 전력반도체 소자의 스위칭 손실 방지와 고정밀 스위칭 제어가 가능한 기술적 효과가 있다.
- [263]
- [264] 실시예에 의하면 복수의 전력반도체 소자를 배선층을 이용하여 서브 모듈(Sub Module)화하고, 서브 모듈상태에서 배선층이 제1 기판(410) 및 제2 기판(420)에 접착되고 제1 몰드(201)에 의해 전력반도체 소자가 보호되므로 전력반도체 소자가 크랙되는 문제를 해결할 수 있는 기술적 효과가 있다.
- [265] 또한 실시예는 배선층을 이용한 서브 모듈(Sub Module)화를 진행하고, 서브 모듈상태의 배선층이 제1, 제2 기판(410, 420)에 접착되므로 전력반도체 소자의 전극들과 제1, 제2 기판(410, 420)의 전도층 패턴 사이에 전기적 인터커넥션의 불량 발생을 해결할 수 있는 기술적 효과가 있다.

- [266] 또한 제2 실시예에 따른 제2 전력반도체 서브 모듈(PM)은 넓은 제2 게이트 전극 영역(GA)을 확보할 수 있는 기술적 효과가 있다. 예를 들어, 제2 게이트 전극 영역(GA)은 제1 게이트 영역 또는 제2 게이트 영역에 비해 일측 폭(L)이 4배 이상 확보가능하며, 이에 따라 내부 기술에 비해 제2 게이트 전극 영역(GA)은 16배 ($L \times L$) 이상의 게이트 전극 영역을 확보할 수 있는 특별한 기술적 효과가 있다.
- [267] 또한 실시예에 의하면 전력반도체 모듈에서 전류 경로 증가에 따른 부유 인덕턴스 발생의 문제를 해결하여 전력반도체 소자의 스위칭 손실 방지와 고정밀 스위칭 제어가 가능한 기술적 효과가 있다.
- [268] 이상에서는 본 발명의 실시예를 참조하여 설명하였지만, 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 쉽게 이해할 수 있을 것이다.

산업상 이용가능성

- [269] 실시예에 따른 전력변환 장치는 컴퓨터, 가전, 자동차, 태양광, 스마트 그리드 등의 인버터나 컨버터 등에 사용될 수 있다. 실시예에서 전력변환 장치는 하나의 전력반도체 모듈 또는 복수의 전력반도체 모듈을 포함할 수 있다. 또한 실시예에 따른 전력변환 장치는 모터를 구동하기 위한 자동차용 인버터에 적용될 수 있다. 실시예의 전력변환 장치는 전술한 다양한 기술 분야의 인버터나 컨버터 등에 적용될 수 있다. 여기서, 자동차는 하이브리드 자동차(HEV), 플러그인 하이브리드 자동차(PHEV), 전기자동차(EV), 연료전지 자동차(PCEV) 등을 포함한다.

청구범위

- [청구항 1] 전력반도체 소자;
상기 전력반도체 소자의 하측과 상측에 각각 배치된 제1 배선층과 제2 배선층; 및
상기 전력반도체 소자의 측면을 둘러싸는 제1 몰드;를 포함하며,
상기 전력반도체 소자는, 인접하게 배치된 제1-1 전력반도체 소자와 제1-2 전력반도체 소자를 포함하며,
상기 제1 배선층은 상기 제1-1 전력반도체 소자 및 제1-2 전력반도체 소자의 드레인 전극들과 전기적으로 연결되는 제1-1 배선층을 포함하며,
상기 제2 배선층은, 상기 제1-1 전력반도체 소자 및 상기 제1-2 전력반도체 소자의 게이트 전극, 소스 전극과 전기적으로 연결되는, 전력반도체 모듈.
- [청구항 2] 제1항에 있어서,
상기 제2 배선층은,
상기 제1-1 전력반도체 소자의 제1 게이트 전극 및 상기 제1-2 전력반도체 소자의 제2 게이트 전극에 전기적으로 연결되는 공통 게이트 배선을 포함하는, 전력반도체 모듈.
- [청구항 3] 제2항에 있어서,
상기 제2 배선층은,
상기 제1-1 전력반도체 소자의 제1 소스 전극 및 상기 제1-2 전력반도체 소자의 제2 소스 전극과 각각 전기적으로 연결되는 제1 소스 배선 및 제2 소스 배선을 포함하는, 전력반도체 모듈.
- [청구항 4] 제3항에 있어서,
상기 전력반도체 소자는
충간절연층에 배치되며 상기 제1-1 전력반도체 소자의 제1 소스 전극과 상기 제1 소스 배선을 전기적으로 연결하는 제1 소스 비아를 포함하는, 전력반도체 모듈.
- [청구항 5] 제4항에 있어서,
상기 전력반도체 소자는
상기 충간절연층에 배치되며 상기 제1-2 전력반도체 소자의 제2 소스 전극과 상기 제2 소스 배선을 전기적으로 연결하는 제2 소스 비아를 포함하는, 전력반도체 모듈.
- [청구항 6] 제3 전력반도체 소자;
상기 제3 전력반도체 소자의 하측과 상측에 각각 배치된 제1 배선층과 제2 배선층; 및
상기 제3 전력반도체 소자의 측면을 둘러싸는 제1 몰드;를 포함하며,

상기 제3 전력반도체 소자는, 인접하게 배치된 제3-1 전력반도체 소자와 제3-2 전력반도체 소자를 포함하며,

상기 제1 배선층은 상기 제3-1 전력반도체 소자 및 제3-2 전력반도체 소자의 드레인 전극들과 전기적으로 연결되는 제1-1 배선층을 포함하며,

상기 제2 배선층은, 상기 제3-1 전력반도체 소자 및 상기 제3-2 전력반도체 소자의 게이트 전극, 소스 전극과 전기적으로 연결되며,

상기 제2 배선층은, 상기 제3-1 전력반도체 소자의 제1 게이트 전극 및 상기 제3-2 전력반도체 소자의 제2 게이트 전극에 전기적으로 각각 연결되는 제1 게이트 배선 및 제2 게이트 배선을 포함하는, 전력반도체 모듈.

[청구항 7] 제6항에 있어서,

상기 제1 게이트 배선 및 상기 제2 게이트 배선은 게이트 브리지 배선에 의해 연결되는, 전력반도체 모듈.

[청구항 8] 제7항에 있어서,

상기 제2 배선층은 상기 제3-1 전력반도체 소자의 제1 소스 전극 및 상기 제3-2 전력반도체 소자의 제2 소스 전극과 전기적으로 연결되는 공통 소스 배선을 포함하는, 전력반도체 모듈.

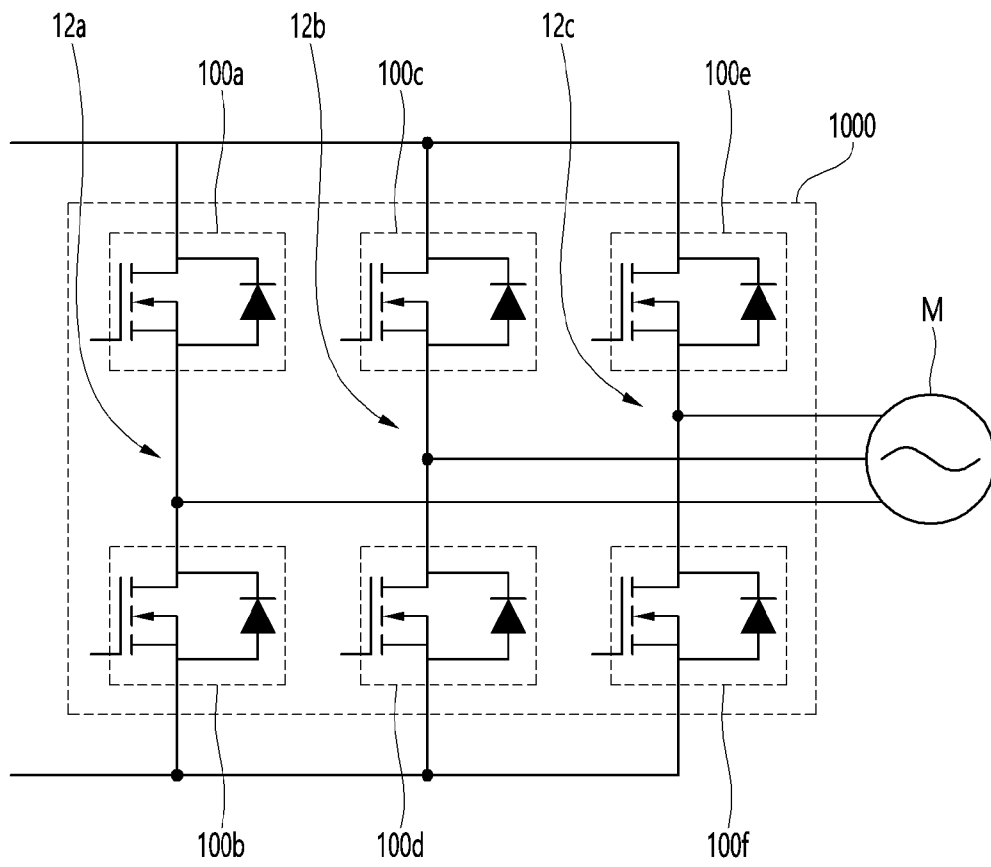
[청구항 9] 제8항에 있어서,

상기 제1 게이트 배선 및 상기 제2 게이트 배선과 상기 공통 소스 배선은 층간절연층에 의해 노출되며,
상기 게이트 브리지 배선은 상기 층간절연층에 의해 커버되는, 전력반도체 모듈.

[청구항 10] 제1항 내지 제9항 중 어느 하나의 전력반도체 모듈을 포함하는 전력변환 장치.

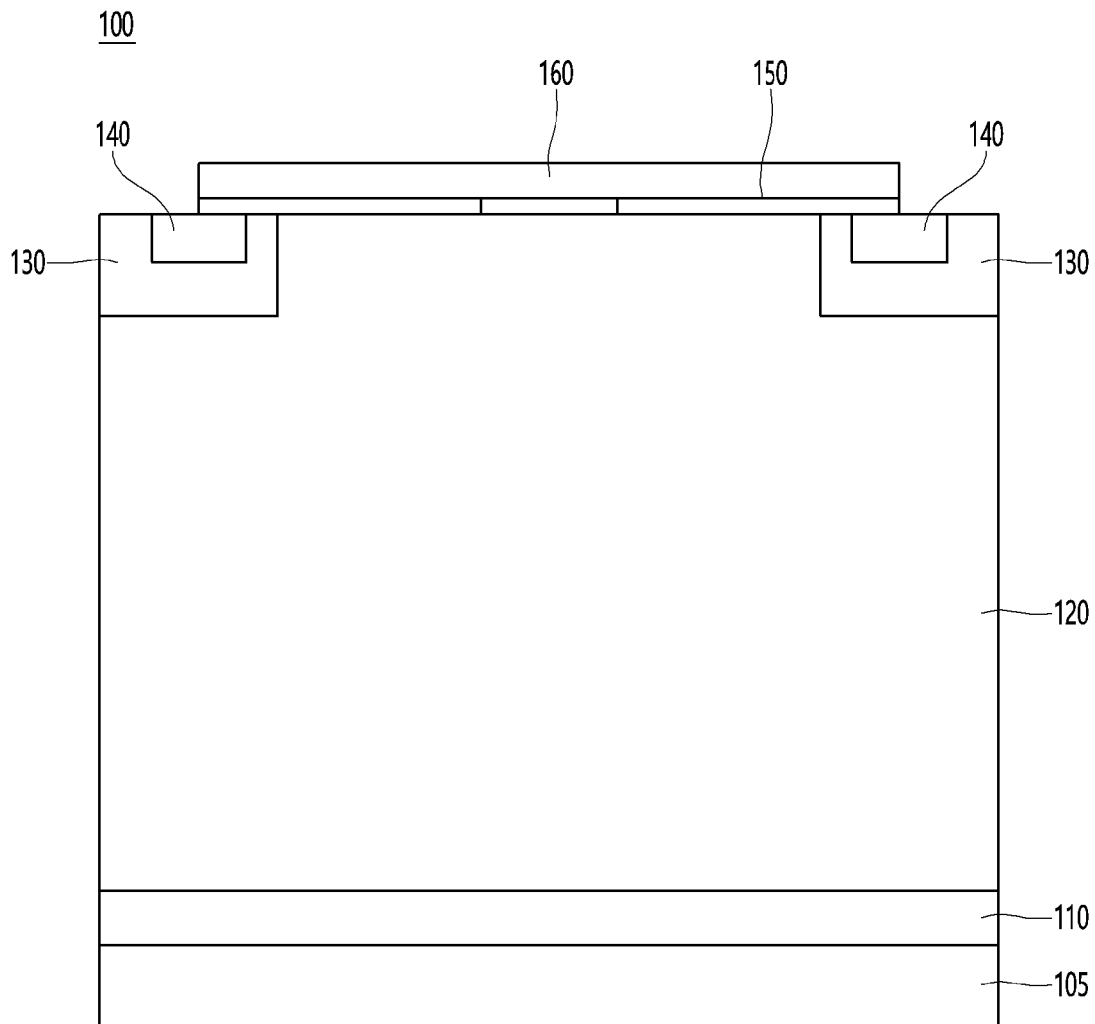
[도 1]

1000

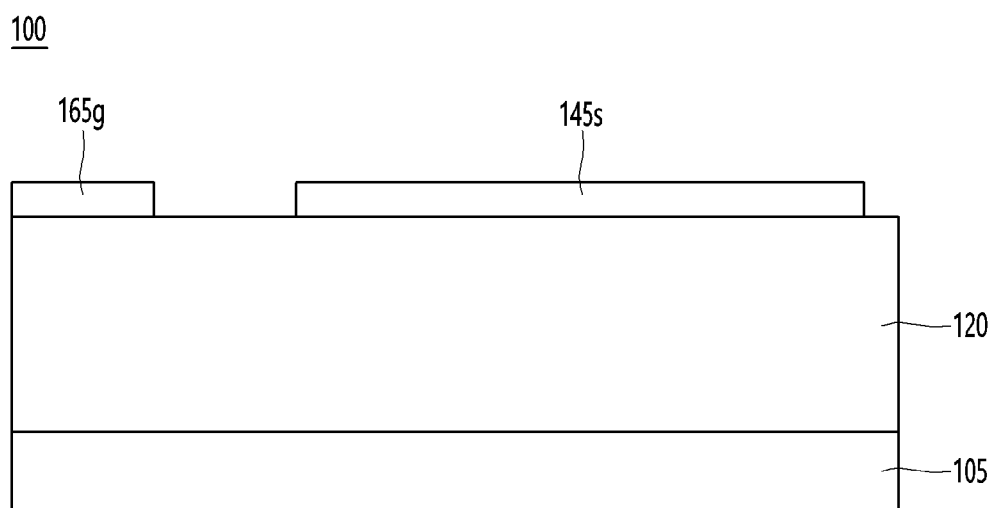


100: 100a, 100b, 100c, 100d, 100e, 100f

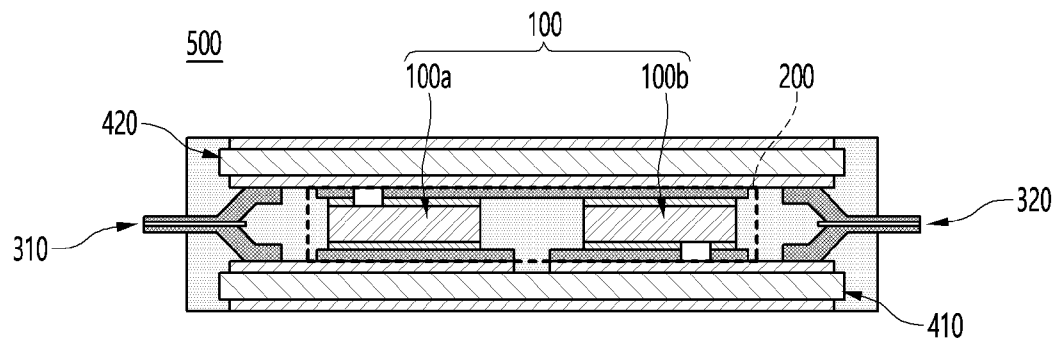
[도2a]



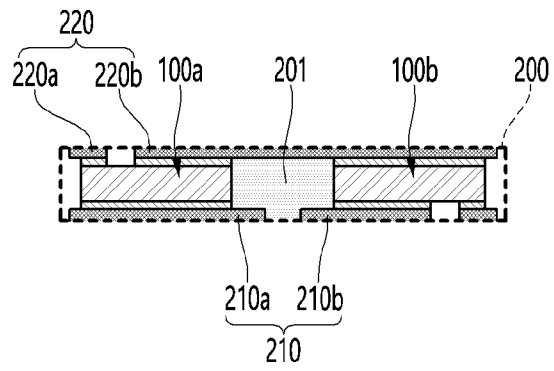
[도2b]



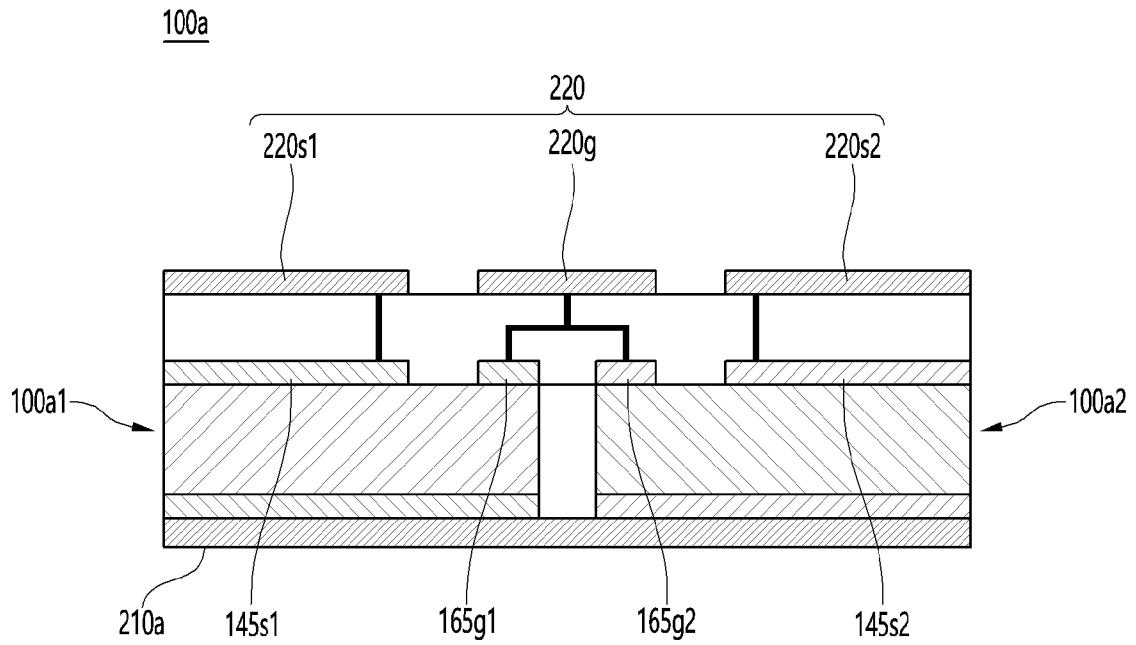
[도3a]



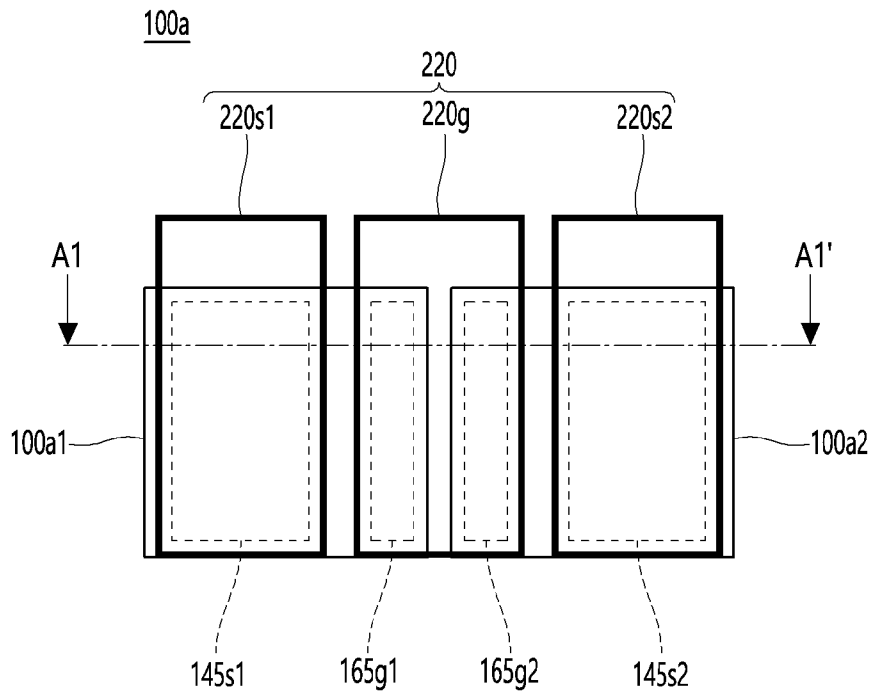
[도3b]



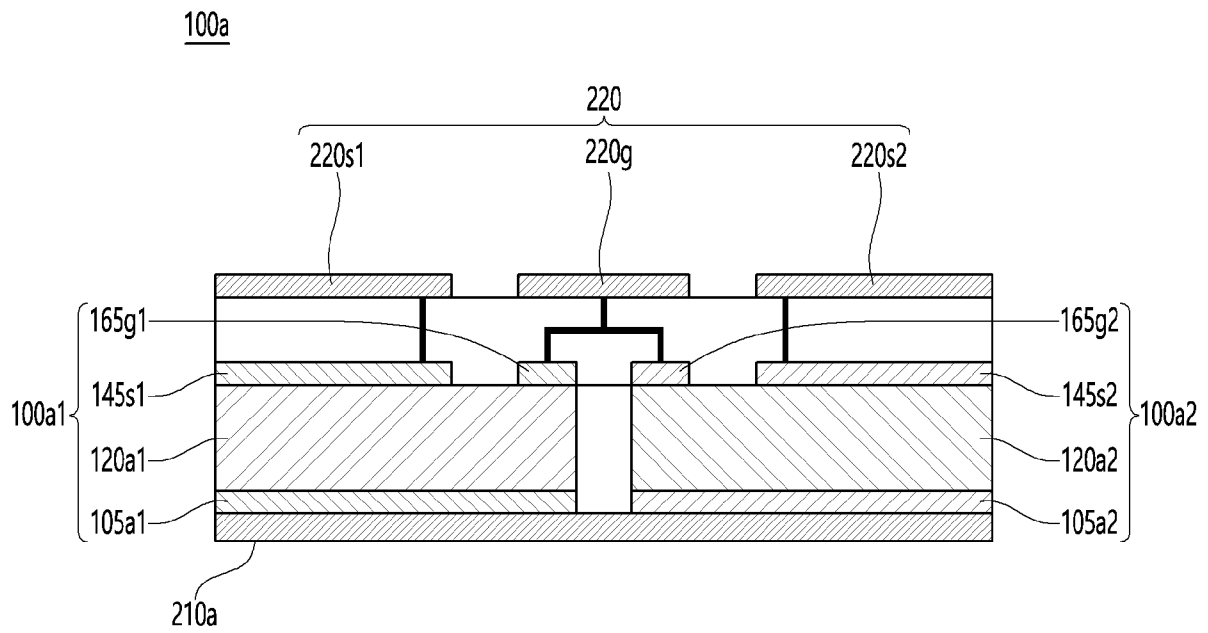
[도4a]



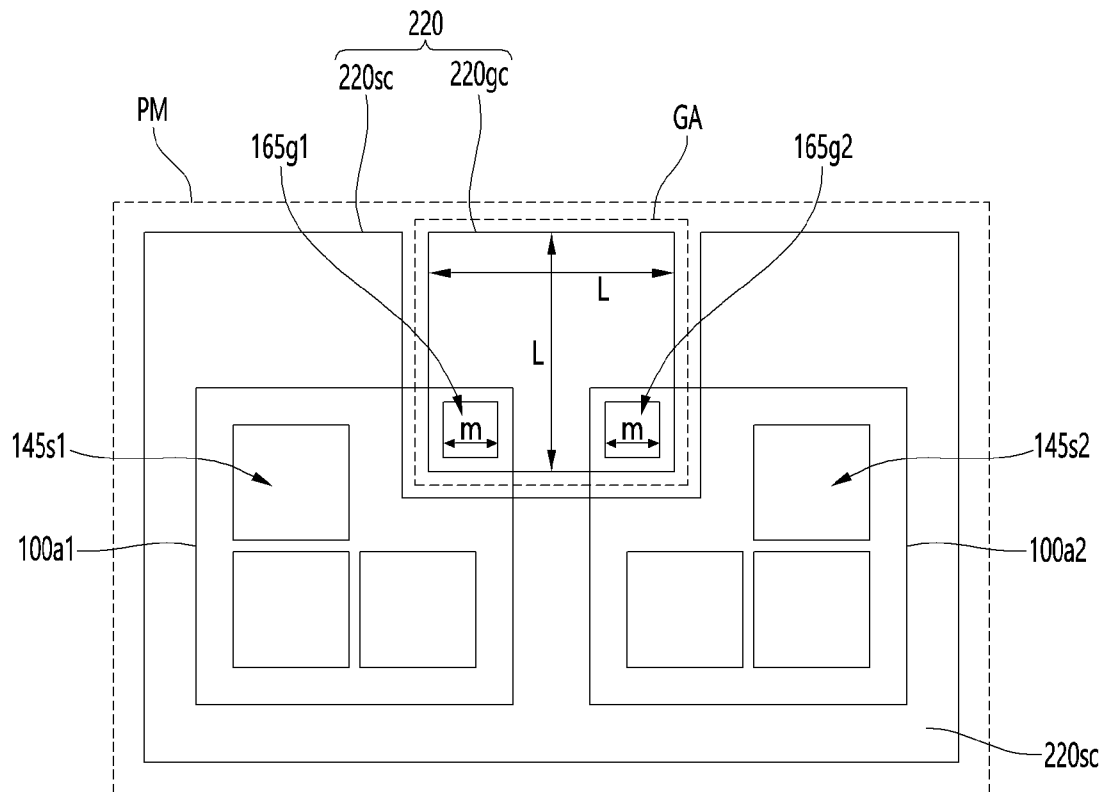
[도4b]



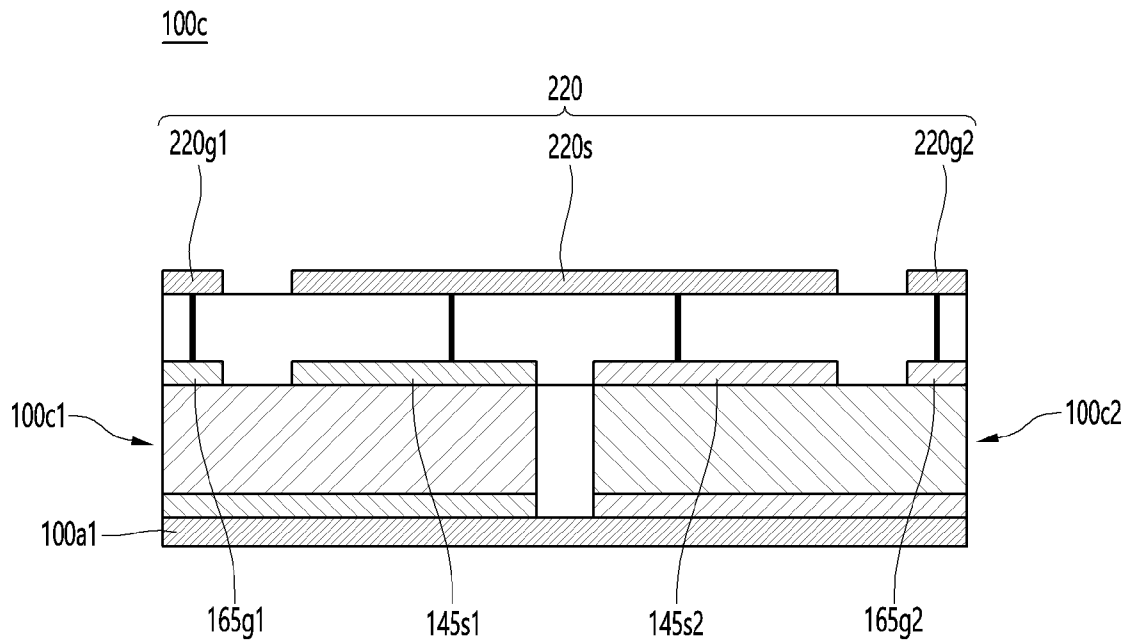
[도4c]



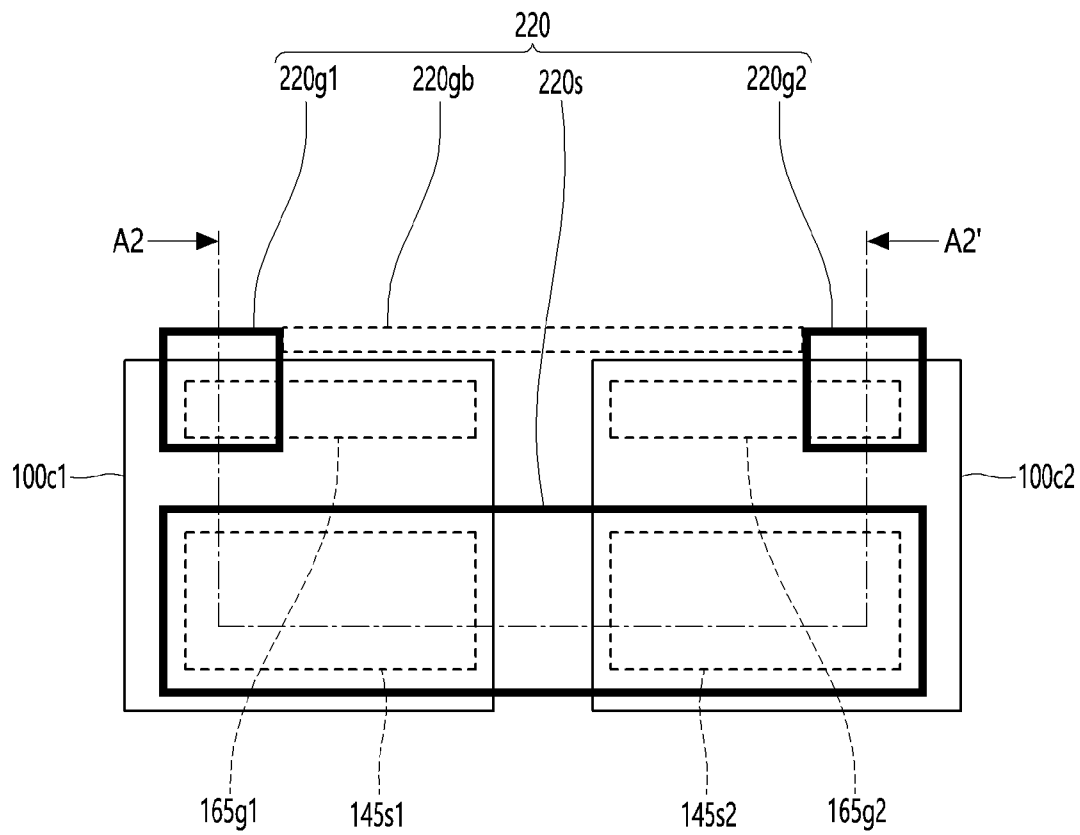
[도5b]



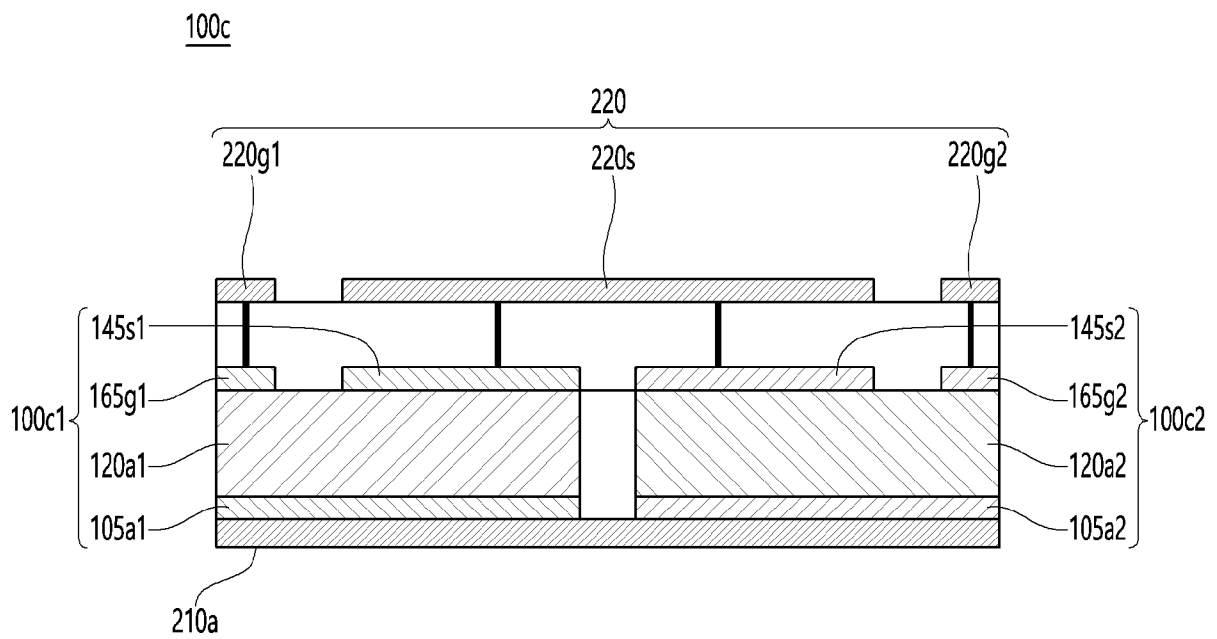
[도6a]



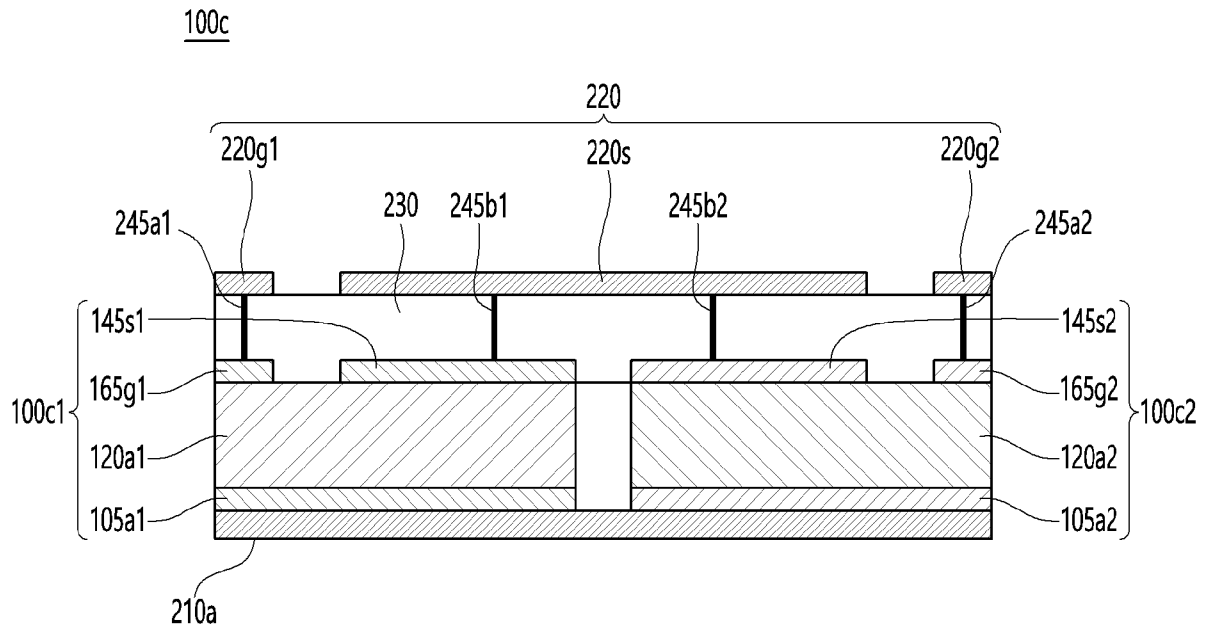
[도6b]



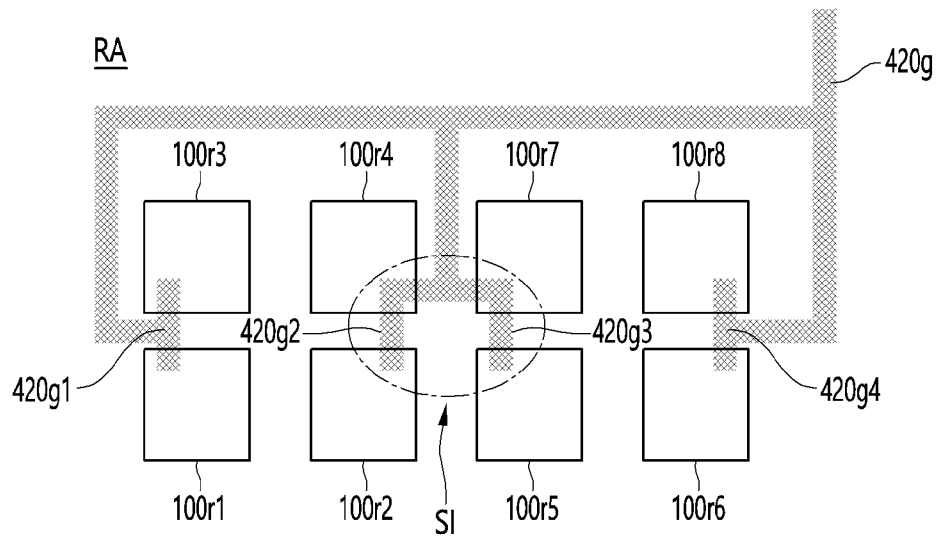
[도6c]



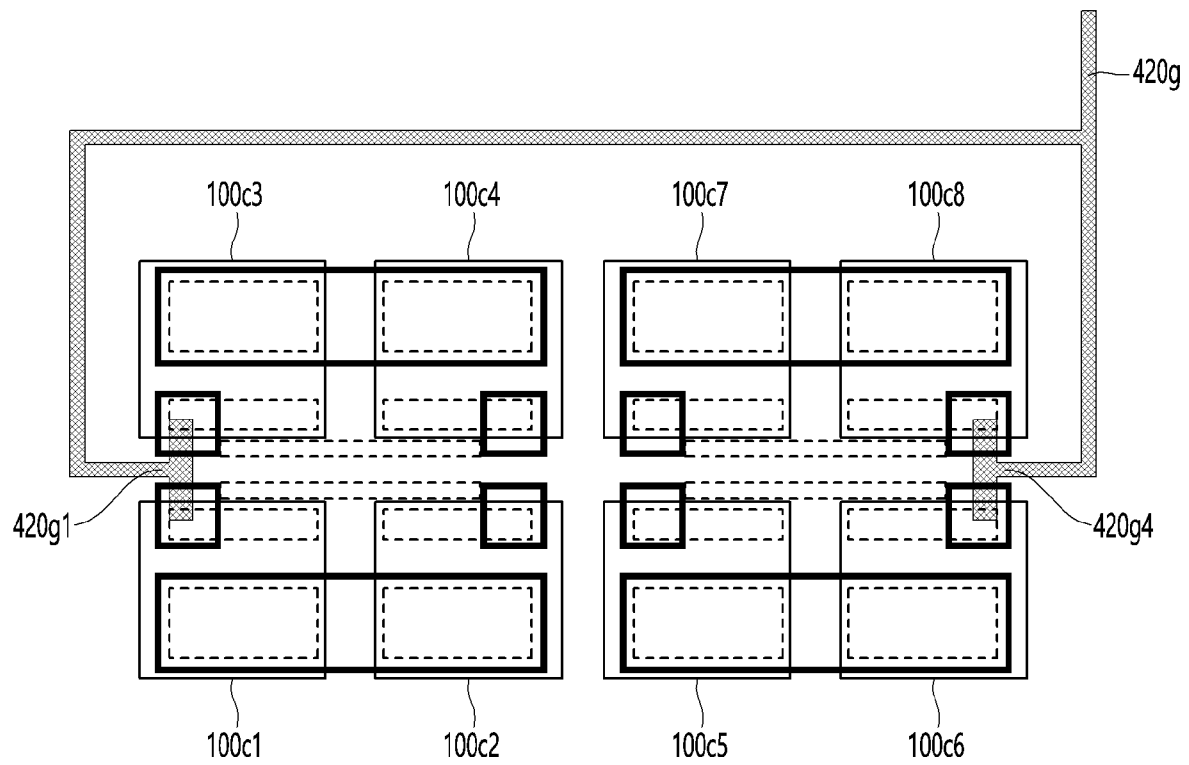
[도 6d]



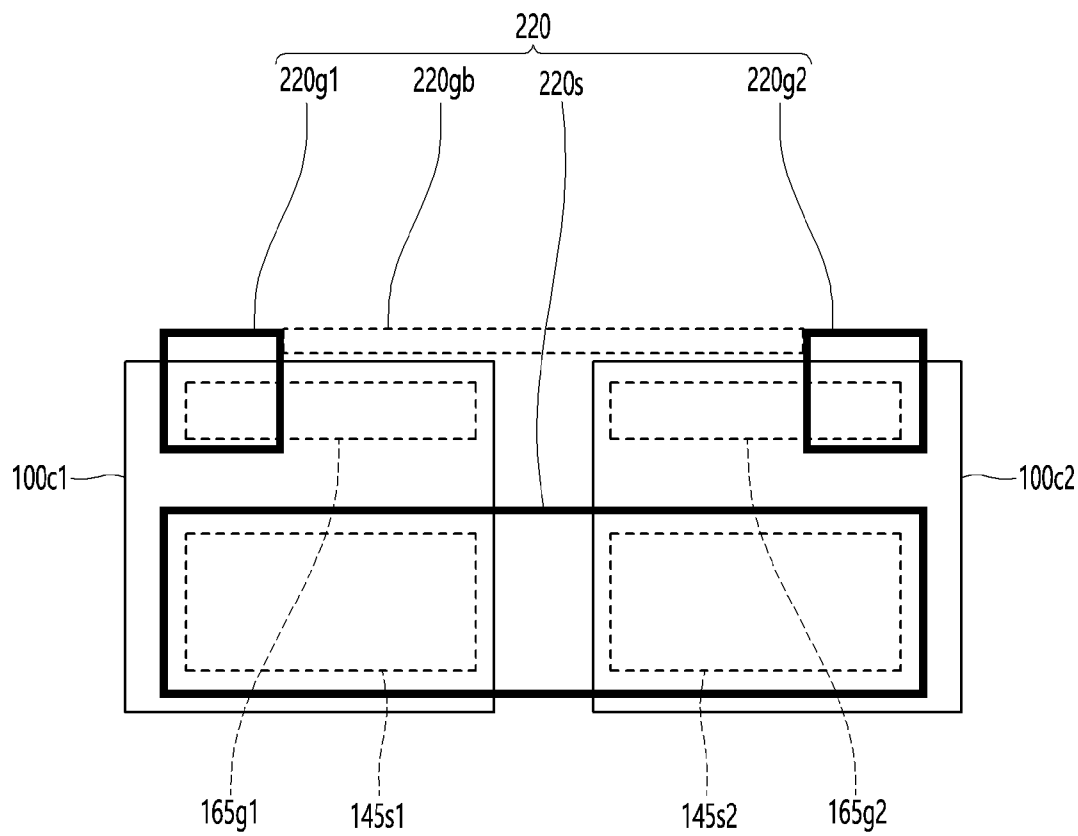
[도 7a]



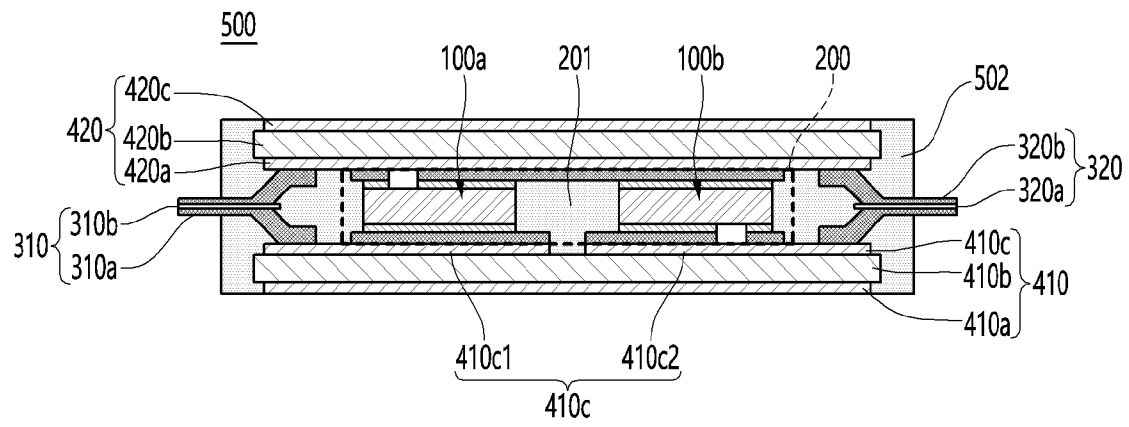
[도7b]



[도7c]



[도8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2023/014180

A. CLASSIFICATION OF SUBJECT MATTER

H01L 25/07(2006.01)i; **H01L 23/535**(2006.01)i; **H01L 23/522**(2006.01)i; **H01L 23/528**(2006.01)i; **H01L 23/532**(2006.01)i;
H01L 23/31(2006.01)i; **H02M 3/00**(2006.01)i; **H02M 7/00**(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 25/07(2006.01); H01L 23/34(2006.01); H01L 23/373(2006.01); H01L 23/495(2006.01); H01L 29/78(2006.01);
H02M 7/00(2006.01); H02M 7/44(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above
Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & keywords: 전력반도체 모듈(power semiconductor module), 배선층(wiring layer), 몰드(mold), 서브 모듈(sub module), 트랜지스터(transistor)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2022-034300 A (HITACHI POWER SEMICONDUCTOR DEVICE LTD.) 03 March 2022 (2022-03-03) See paragraphs [0029]-[0035]; and figures 1A, 3A, 6A and 7A.	1-10
A	KR 10-2019-0110376 A (LG ELECTRONICS INC.) 30 September 2019 (2019-09-30) See paragraph [0056]; and figure 2.	1-10
A	KR 10-2012-0012407 A (SEMIKRON ELEKTRONIK GMBH & CO. KG) 09 February 2012 (2012-02-09) See claim 1.	1-10
A	US 2022-0238413 A1 (INFINEON TECHNOLOGIES AG) 28 July 2022 (2022-07-28) See figure 1A.	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“D” document cited by the applicant in the international application
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

11 March 2024

Date of mailing of the international search report

11 March 2024

Name and mailing address of the ISA/KR

**Korean Intellectual Property Office
Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208**

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2023/014180

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-2015-0089609 A (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 05 August 2015 (2015-08-05) See claim 1.	1-10

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2023/014180

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	2022-034300	A	03 March 2022	CN	116114064	A	12 May 2023
				JP	7407675	B2	04 January 2024
				US	2023-0282561	A1	07 September 2023
				WO	2022-038831	A1	24 February 2022
KR	10-2019-0110376	A	30 September 2019	CN	111903049	A	06 November 2020
				EP	3771084	A1	27 January 2021
				EP	3771084	A4	15 December 2021
				JP	2021-516869	A	08 July 2021
				JP	7204770	B2	16 January 2023
				KR	10-2048478	B1	25 November 2019
				US	11810887	B2	07 November 2023
				US	2021-0057372	A1	25 February 2021
				US	2024-0030177	A1	25 January 2024
				WO	2019-182216	A1	26 September 2019
KR	10-2012-0012407	A	09 February 2012	CN	102347321	A	08 February 2012
				CN	102347321	B	20 January 2016
				EP	2413354	A1	01 February 2012
				EP	2413354	B1	09 January 2013
				JP	2012-033933	A	16 February 2012
US	2022-0238413	A1	28 July 2022	CN	114823562	A	29 July 2022
KR	10-2015-0089609	A	05 August 2015	CN	104810333	A	29 July 2015
				KR	10-2041645	B1	07 November 2019
				US	2015-0214126	A1	30 July 2015
				US	9443818	B2	13 September 2016

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 25/07(2006.01)i; H01L 23/535(2006.01)i; H01L 23/522(2006.01)i; H01L 23/528(2006.01)i; H01L 23/532(2006.01)i;
H01L 23/31(2006.01)i; H02M 3/00(2006.01)i; H02M 7/00(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 25/07(2006.01); H01L 23/34(2006.01); H01L 23/373(2006.01); H01L 23/495(2006.01); H01L 29/78(2006.01);
H02M 7/00(2006.01); H02M 7/44(2006.01)

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 전력반도체 모듈(power semiconductor module), 배선층(wiring layer), 몰드(mold), 서브 모듈(sub module), 트랜지스터(transistor)

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	JP 2022-034300 A (HITACHI POWER SEMICONDUCTOR DEVICE LTD.) 2022.03.03 단락 [0029]-[0035]; 및 도면 1A, 3A, 6A, 7A.	1-10
A	KR 10-2019-0110376 A (엘지전자 주식회사) 2019.09.30 단락 [0056]; 및 도면 2.	1-10
A	KR 10-2012-0012407 A (세미크론 엘렉트로닉 지엠비에치 앤드 코. 케이저) 2012.02.09 청구항 1.	1-10
A	US 2022-0238413 A1 (INFINEON TECHNOLOGIES AG) 2022.07.28 도면 1A.	1-10
A	KR 10-2015-0089609 A (삼성전기주식회사) 2015.08.05 청구항 1.	1-10



추가 문헌이 C(계속)에 기재되어 있습니다.



대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“D” 본 국제출원에서 출원인이 인용한 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“&” 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일

2024년03월11일(11.03.2024)

국제조사보고서 발송일

2024년03월11일(11.03.2024)

ISA/KR의 명칭 및 우편주소

대한민국 특허청
(35208) 대전광역시 서구 청사로 189, 4동 (둔산동,
정부대전청사)

팩스 번호 +82-42-481-8578

심사관

이강하

전화번호 +82-42-481-5003

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
JP 2022-034300 A	2022/03/03	CN 116114064 A	2023/05/12
		JP 7407675 B2	2024/01/04
		US 2023-0282561 A1	2023/09/07
		WO 2022-038831 A1	2022/02/24
KR 10-2019-0110376 A	2019/09/30	CN 111903049 A	2020/11/06
		EP 3771084 A1	2021/01/27
		EP 3771084 A4	2021/12/15
		JP 2021-516869 A	2021/07/08
		JP 7204770 B2	2023/01/16
		KR 10-2048478 B1	2019/11/25
		US 11810887 B2	2023/11/07
		US 2021-0057372 A1	2021/02/25
		US 2024-0030177 A1	2024/01/25
		WO 2019-182216 A1	2019/09/26
KR 10-2012-0012407 A	2012/02/09	CN 102347321 A	2012/02/08
		CN 102347321 B	2016/01/20
		EP 2413354 A1	2012/02/01
		EP 2413354 B1	2013/01/09
		JP 2012-033933 A	2012/02/16
US 2022-0238413 A1	2022/07/28	CN 114823562 A	2022/07/29
KR 10-2015-0089609 A	2015/08/05	CN 104810333 A	2015/07/29
		KR 10-2041645 B1	2019/11/07
		US 2015-0214126 A1	2015/07/30
		US 9443818 B2	2016/09/13